



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I574155 B

(45)公告日：中華民國 106 (2017) 年 03 月 11 日

(21)申請案號：105108032

(22)申請日：中華民國 100 (2011) 年 03 月 29 日

(51)Int. Cl. : G06F12/08 (2016.01)

G06F12/06 (2006.01)

G06F9/22 (2006.01)

(30)優先權：2010/03/29 美國

61/318,594

2011/02/24 美國

13/033,765

2011/02/24 美國

13/033,809

2011/02/24 美國

13/033,848

(71)申請人：威盛電子股份有限公司 (中華民國) VIA TECHNOLOGIES, INC. (TW)

新北市新店區中正路 533 號 8 樓

(72)發明人：虎克 羅德尼 E HOOKER, RODNEY E. (US)；吉爾 約翰 麥可 GREER, JOHN MICHAEL (US)

(74)代理人：洪澄文；顏錦順

(56)參考文獻：

TW 201011538A

TW 201011643A

US 2009/0138661A1

US 2010/0030973A1

審查人員：李國福

申請專利範圍項數：29 項 圖式數：21 共 79 頁

(54)名稱

資料預取方法、電腦程式產品以及微處理器

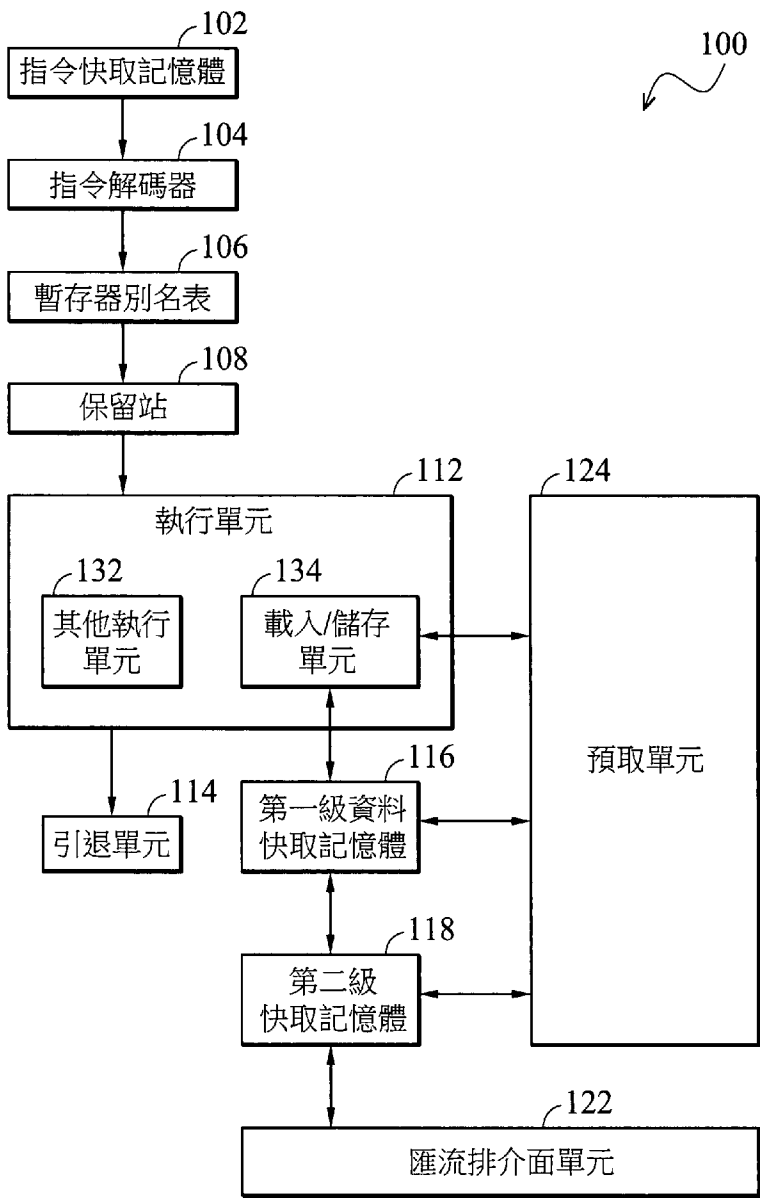
METHOD OF PREFETCH DATA, COMPUTER PROGRAM PRODUCT AND MICROPROCESSOR

(57)摘要

本發明揭露一種微處理器，包括一第一級快取記憶體、一第二級快取記憶體以及一預取單元。預取單元用以偵測出現在第二級快取記憶體中之最近存取要求之一方向以及樣態，以及根據方向以及樣態，將複數快取線預取至第二級快取記憶體中、從第一級快取記憶體接收第一級快取記憶體所接收之一存取要求之一位址，其中位址與一快取線相關、決定在方向中所相關之快取線之外被樣態所指出之一個或多個快取線、並且導致一個或多個快取線被預取至第一級快取記憶體中。

In one aspect the present invention provides a microprocessor. The microprocessor includes a first-level cache memory, a second-level cache memory, and a data prefetcher configured to detect a predominant direction and pattern of recent memory accesses presented to the second-level cache memory and prefetch cache lines into the second-level cache memory based on the predominant direction and pattern. The data prefetcher is also configured to receive from the first-level cache memory an address of a memory access received by the first-level cache memory, wherein the address implicates a cache line. The data prefetcher is also configured to determine one or more cache lines indicated by the pattern beyond the implicated cache line in the predominant direction. The data prefetcher is also configured to cause the one or more cache lines to be prefetched into the first-level cache memory.

指定代表圖：



- 符號簡單說明：
- 100 . . . 微處理器
 - 102 . . . 指令快取記憶體
 - 104 . . . 指令解碼器
 - 106 . . . 暫存器別名表
 - 108 . . . 保留站
 - 112 . . . 執行單元
 - 132 . . . 其他執行單元
 - 134 . . . 載入/儲存單元
 - 124 . . . 預取單元
 - 114 . . . 引退單元
 - 116 . . . 第一級資料快取記憶體
 - 118 . . . 第二級快取記憶體
 - 122 . . . 匯流排介面單元

第 2 圖

發明摘要

※ 申請案號：105108032 (由 104118873 分割)

※ 申請日：100.3.29

※ IPC 分類：G06F 12/08 (2006.01)

G06F 12/06 (2006.01)

G06F 9/22 (2006.01)

【發明名稱】 資料預取方法、電腦程式產品以及微處理器

Method of Prefetch Data, Computer Program

Product and Microprocessor

【中文】

本發明揭露一種微處理器，包括一第一級快取記憶體、一第二級快取記憶體以及一預取單元。預取單元用以偵測出現在第二級快取記憶體中之最近存取要求之一方向以及樣態，以及根據方向以及樣態，將複數快取線預取至第二級快取記憶體中、從第一級快取記憶體接收第一級快取記憶體所接收之一存取要求之一位址，其中位址與一快取線相關、決定在方向中所相關之快取線之外被樣態所指出之一個或多個快取線、並且導致一個或多個快取線被預取至第一級快取記憶體中。

【英文】

In one aspect the present invention provides a microprocessor. The microprocessor includes a first-level cache memory, a second-level cache memory, and a data prefetcher configured to detect a predominant direction and pattern of recent memory accesses presented to the second-level cache memory and prefetch cache lines into the second-level cache memory based on the predominant direction and pattern. The data prefetcher is also configured to receive from the first-level

cache memory an address of a memory access received by the first-level cache memory, wherein the address implicates a cache line. The data prefetcher is also configured to determine one or more cache lines indicated by the pattern beyond the implicated cache line in the predominant direction. The data prefetcher is also configured to cause the one or more cache lines to be prefetched into the first-level cache memory.

【代表圖】

【本案指定代表圖】：第 2 圖。

【本代表圖之符號簡單說明】：

100～微處理器；

102～指令快取記憶體；

104～指令解碼器；

106～暫存器別名表；

108～保留站；

112～執行單元；

132～其他執行單元；

134～載入/儲存單元；

124～預取單元；

114～引退單元；

116～第一級資料快取記憶體；

118～第二級快取記憶體；

122～匯流排介面單元。

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無。

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】 資料預取方法、電腦程式產品以及微處理器

Method of Prefetch Data, Computer Program

Product and Microprocessor

【技術領域】

【0001】 本發明係有關於一般微處理器之快取記憶體，特別係有關將資料預取至微處理器之快取記憶體。

【先前技術】

【0002】 以最近的電腦系統而言，在快取失敗(cache miss)時，微處理器存取系統記憶體所需的時間，會比微處理器存取快取記憶體(cache)多上一或兩個數量級。因此，為了提高快取命中率(cache hit rate)，微處理器整合了預取技術，用來檢查最近資料存取樣態(examine recent data access patterns)，並且企圖預測哪一個資料為程式下一個存取的對象，而預取的好處已是眾所皆知的範疇。

【0003】 然而，申請人注意到某些程式的存取樣態並不為習知微處理器之預取單元所能偵測的。例如，第1圖所示為當執行之程式包括經由記憶體進行一序列之儲存動作時，第二級快取記憶體(L2 Cache)之存取樣態，而圖中所描繪者為各時間之記憶體位址。由第1圖可知，雖然總趨勢為隨著時間而增加記憶體位址，即由往上之方向，然而在許多狀況下，所指定之存取記憶體位址亦可較前一個時間往下，而非總趨勢之往上，使其不同於習知預取單元實際所預測的結果。

【0004】 雖然就數量相對大的樣本而言，總趨勢係朝一個方向前進，但習知預取單元在面臨小樣本時卻可能出現混亂狀況的原因有兩個。第一個原因為程式係依循其架構存取記憶體，不論是由演算法特性或是不佳的編程(*poor programming*)所造成。第二個原因為非循序(*out-of-order*)微處理器核心之管線與佇列在正常功能下執行時，常常會用不同於其所產生的程式順序來進行記憶體存取。

【0005】 因此，需要一個資料預取單元(器)能夠有效地為程式進行資料預取，其必須考慮到在較小時窗(*time windows*)進行記憶體存取指令(動作)時並不會呈現明顯之趨勢(*no clear trend*)，但當以較大樣本數進行審查時則會出現明顯之趨勢。

【發明內容】

【0006】 本發明揭露一種微處理器，包括一第一級快取記憶體、一第二級快取記憶體以及一預取單元。預取單元用以偵測出現在第二級快取記憶體中之最近存取要求之一方向以及樣態，以及根據方向以及樣態，將複數快取線預取至第二級快取記憶體中、從第一級快取記憶體接收第一級快取記憶體所接收之一存取要求之一位址，其中位址與一快取線相關、決定在方向中所相關之快取線之外被樣態所指出之一個或多個快取線、並且導致一個或多個快取線被預取至第一級快取記憶體中。

【0007】 本發明揭露一種資料預取方法，用以預取資料至具有一第二級快取記憶體之一微處理器之一第一級快取記憶體，資料預取方法包括偵測出現在第二級快取記憶體中之最近

第 105108032 號專利說明書修正本

存取要求之一方向以及樣態，以及根據方向以及樣態，將複數快取線預取至第二級快取記憶體中；從第一級快取記憶體接收第一級快取記憶體所接收之一存取要求之一位址，其中位址與一快取線相關；決定在方向中所相關之快取線之外被樣態所指出之一個或多個快取線；以及導致一個或多個快取線被預取至第一級快取記憶體中。

【0008】 本發明揭露一種電腦程式產品，編碼於至少一電腦可讀取媒體之上，並適用於一計算裝置，電腦程式產品包括一電腦可讀程式編碼。該電腦可讀程式編碼儲存於電腦可讀取媒體中，用以定義一微處理器，電腦可讀程式包括一第一程式碼、一第二程式碼以及一第三程式碼。第一程式碼，用以定義一第一級快取記憶體裝置。第二程式碼，用以定義一第二級快取記憶體裝置。第三程式碼，用以定義一預取單元，使得預取單元用以偵測出現在第二級快取記憶體中之最近存取要求之一方向以及樣態，以及根據方向以及樣態，將複數快取線預取至第二級快取記憶體中、從第一級快取記憶體，接收第一級快取記憶體所接收之一存取要求之一位址，其中位址與一快取線相關、決定在方向中所相關之快取線之外被樣態所指出之一個或多個快取線、並且導致一個或多個快取線被預取至第一級快取記憶體中。

【圖式簡單說明】

【0009】

第1圖所示為當執行經由記憶體包括一序列儲存操作的程式時，一種對第二級快取記憶體之存取樣態示意圖。

第 2 圖為本發明的一種微處理器的方塊圖。

第 3 圖為本發明第 2 圖之預取單元細部方塊圖。

第 4 圖為本發明第 2 圖之微處理器以及特別係第 3 圖之預取單元的操作流程圖。

第 5 圖為本發明第 3 圖之預取單元對第 4 圖之步驟的操作流程圖。

第 6 圖為本發明第 3 圖之預取單元對第 4 圖之步驟的操作流程圖。

第 7 圖為本發明第 3 圖之預取要求佇列的操作流程圖。

第 8 圖為本發明一記憶體區塊之兩個圖型存取點，用以表示本發明之定界框預取單元。

第 9 圖為本發明第 2 圖所示之微處理器之操作範例的方塊圖。

第 10 圖為本發明延續第 9 圖之範例的第 2 圖所示之微處理器之操作範例的方塊圖。

第 11 圖為本發明延續第 9 以及 10 圖之範例的第 2 圖所示之微處理器之操作範例的方塊圖。

第 12 圖為本發明另一實施例之一種微處理器之方塊圖。

第 13 圖為本發明第 12 圖所示之預取單元之操作流程圖。

第 14 圖為本發明根據第 13 圖步驟之第 12 圖所示之預取單元的操作流程圖。

第 15 圖為本發明另一實施例具有一定界框預取單元之一種微處理器的方塊圖。

第 16 圖為本發明第 15 圖之虛擬雜湊表的方塊圖。

第 17 圖為本發明第 15 圖之微處理器的操作流程圖。

第 18 圖為本發明根據經由第 17 圖範例所述之在預取單元之操作後之第 16 圖之虛擬雜湊表的內容。

第 19 圖(統合第 19A 以及 19B 圖)為本發明第 15 圖之預取單元的操作流程圖。

第 20 圖為本發明另一實施例之用在第 15 圖之預取單元之一雜湊實體位址至雜湊虛擬位址庫的方塊圖。

第 21 圖本發明之一多核微處理器的方塊圖。

【實施方式】

【0010】 以下將詳細討論本發明各種實施例之製造及使用方法。然而值得注意的是，本發明所提供之許多可行的發明概念可實施在各種特定範圍中。這些特定實施例僅用於舉例說明本發明之製造及使用方法，但非用於限定本發明之範圍。

【0011】 定界框預取器

【0012】 廣泛而言，關於上述問題之解決方法可以後續敘述加以解釋。當一記憶體之所有存取(指令、動作或要求)皆表示在一張圖上時，所有存取(指令、動作或要求)之一集合可被一定界框(bouding box)圈起來。當外加的存取要求亦表示於同一圖上時，這些存取要求亦可被調整大小後之定界框圈起來。第 8 圖之首張圖繪示對一記憶體區塊的兩次存取(指令或動作)，第 8 圖之 X 軸表示指令存取之時間順序，Y 軸表示具有 4KB 區塊之存取的 64 位元組快取線之索引。首先，描繪第一次之兩個存取：第一個存取係對快取線 5 進行存取，第二個存取要求係對快取線 6 進行存取。如圖所示之一定界框將代表存取要求的兩點

圈起來。

【0013】 再者，第三個存取要求發生於快取線 7，定界框變大使得代表第三個存取要求的新點可被定界框圈在內部。隨著新的存取不斷發生，定界框必隨著 X 軸擴大，並且定界框之上緣亦隨著 Y 軸擴大(此為向上的例子)。上述定界框上緣以及下緣的移動之歷史記錄將用以決定存取樣態之趨勢為向上、向下或者都不是。

【0014】 除了追蹤定界框之上緣以及下緣的趨勢以決定一趨勢方向外，追蹤個別的存取要求也是必要的，因為存取要求跳過一或兩個快取線的事件時常發生。因此，為了避免預取可能被跳過快取線的事件發生，一旦偵測到一向上或向下之趨勢，預取單元將使用額外的準則決定所要預取之快取線。由於存取要求趨勢會被重新排列，預取單元會以刪除時間記錄的方式顯示這些存取歷史記錄。此動作係藉由標記位元(marking bit)在一位元遮罩(bit mask)中完成的，每一位元對應於一記憶體區塊之一快取線，且當特定之區塊被存取時，對應位元遮罩之位元將被設置。一旦對記憶體區塊的存取要求已達到一充分數量，預取單元會使用位元遮罩(其中位元遮罩不具有存取時間順序的指示)，並基於如下所述之較大的存取觀點(廣義large view)去存取整個區塊，而非基於較小的存取觀點(狹義small view)以及習知預取單元般僅根據存取的時間去做預取決策。

【0015】 第2圖所示為本發明之微處理器100的方塊圖。微處理器100包括一個具有複數階層之管線，並且管線中亦包括各種功能單元。管線包括一指令快取記憶體102，指令快取記

第 105108032 號專利說明書修正本

記憶體 102 耦接至一指令解碼器 104；指令解碼器 104 耦接至一暫存器別名表 106(register alias table, RAT)；暫存器別名表 106 耦接至一保留站 108(reservation station)；保留站 108 耦接至一執行單元 112(execution unit)；最後，執行單元 112 耦接至一引退單元 114(retire unit)。指令解碼器 104 可包括一指令轉譯器(instruction translator)，用以將巨集指令(例如 x86 架構之巨集指令)轉譯為微處理器 100 之類似精簡指令集(reduce instruction set computer RISC)之巨集指令。保留站 108 產生並且傳送指令至執行單元 112，用以使執行單元 112 以非循序方式來執行。引退單元 114 包括一重新排序緩衝器(reorder buffer)，用以依據程式順序執行指令之引退(Retirement)。執行單元 112 包括載入/儲存單元 134 以及其他執行單元 132(other execution unit)，例如整數單元(integer unit)、浮點數單元(floating point unit)、分支單元(branch unit)或者單指令多重資料串流(Single Instruction Multiple Data, SIMD)單元。載入/儲存單元 134 用以讀取第一級資料快取記憶體 116(level 1 data cache)之資料，並且寫入資料至第一級資料快取記憶體 116。一第二級快取記憶體 118 作為第一級資料快取記憶體 116 以及指令快取記憶體 102 之備份。第二級快取記憶體 118 用以經由一匯流排介面單元 122 讀取以及寫入系統記憶體，匯流排介面單元 122 係微處理器 100 與一匯流排(例如一區域匯流排(local bus)或是記憶體匯流排(memory bus))間之一介面。微處理器 100 亦包括一預取單元 124，用以自系統記憶體預取資料到第二級快取記憶體 118 及/或第一級資料快取記憶體 116。

【0016】 第3圖所示為第2圖之預取單元124細部方塊圖。預取單元124包括一區塊位元遮罩暫存器302。區塊位元遮罩暫存器302中之每一位元對應一記憶體區塊之一快取線，其中記憶體區塊之區塊號碼係儲存在一區塊號碼暫存器303內。換言之，區塊號碼暫存器303儲存了記憶體區塊之上層位址位元(upper address bits)。當區塊位元遮罩暫存器302中之一位元的數值為真(true value)時，係指出所對應之快取線已經被存取了。初始化區塊位元遮罩暫存器302將使得所有的位元值為假(false)。在一實施例中，記憶體區塊的大小為4KB，並且快取線之大小為64位元組。因此，區塊位元遮罩暫存器302具有64位元之容量。在某些實施例中，記憶體區塊之大小亦可與實體記憶體分頁(physical memory page)之大小相同。然而，快取線之大小在其他實施例中可為其他各種不同之大小。再者，區塊位元遮罩暫存器302上所維持之記憶體區域之大小是可改變的，並不需要對應於實體記憶體分頁的大小。更確切的說，區塊位元遮罩暫存器302上所維持之記憶體區域(或區塊)之大小可為任何大小(二的倍數最好)，只要其擁有足夠的快取線以利於預取方向與樣態的偵測即可。

【0017】 預取單元124亦可包括一最小指標暫存器304(min pointer register)以及一最大指標暫存器306(max pointer register)。最小指標暫存器304以及最大指標暫存器306分別用以在預取單元124開始追蹤一記憶體區塊之存取後，持續地指向此記憶體區塊中已被存取之最低以及最高之快取線的索引(index)。預取單元124更包括一最小改變計數器308以及一最大

改變計數器 312。最小改變計數器 308 以及最大改變計數器 312 分別用以在預取單元 124 開始追蹤此記憶體區塊之存取後，計算最小指標暫存器 304 以及最大指標暫存器 306 改變之次數。預取單元 124 亦包括一總計數器 314，用以在預取單元 124 開始追蹤此記憶體區塊之存取後，計算已被存取之快取線的總數。預取單元 124 亦包括一中間指標暫存器 316，用以在預取單元 124 開始追蹤此記憶體區塊之存取後，指向此記憶體區塊之中間預取記憶體線之索引(例如最小指標暫存器 304 之計數值以及最大改變計數器 312 之計數值的平均)。預取單元 124 亦包括一方向暫存器 342(direction register)、一樣態暫存器 344，一樣態週期暫存器 346、一樣態區域暫存器 348 以及一搜尋指標暫存器 352，其各功能如下所述。

【0018】 預取單元 124 亦包括複數週期匹配計數器 318 (period match counter)。每一週期匹配計數器 318 維持一不同週期之一計數值。在一實施例中，週期為 3、4 以及 5。週期係指中間指標暫存器 316 左/右之位元數。週期匹配計數器 318 之計數值在區塊的每一記憶體存取進行之後更新。當區塊位元遮罩暫存器 302 指示在週期中對中間指標暫存器 316 左邊的存取與對中間指標暫存器 316 右邊的存取相匹配時，預取單元 124 則接著增加與該週期相關之週期匹配計數器 318 之計數值。關於週期匹配計數器 318 更詳細之應用以及操作，將特別在下述之第四、五圖講述之。

【0019】 預取單元 124 亦包括一預取要求佇列 328、一提取指標器 324(pop pointer)以及一推進指標器 326(push pointer)。

預取要求佇列 328 包括一具有許多項目(entry)的循環佇列，上述項目的每一者用以儲存預取單元 124 之操作(特別是關於第 4、6 以及 7 圖)所產生之預取要求。推進指標器 326 指出預取要求佇列 328 中下一個被分派的項目(entry)。提取指標器 324 指出將從預取要求佇列 328 移出之下一個項目。在一實施例中，因為預取要求可能以非循序的方式(out of order)結束，所以預取要求佇列 328 係可以非循序的方式提取(popping)已完成的(completed)項目。在一實施例中，預取要求佇列 328 的大小係由於管線流程中，所有於管線裡欲進入第二級快取記憶體 118 之標記管線(tag pipeline)的要求數量而定的，於是使得預取要求佇列 328 中項目之數目至少和第二級快取記憶體 118 內之管線層級(stages)一樣多。預取要求將維持直至第二級快取記憶體 118 之管線結束，在這個時間點，要求可能是三個結果之一，如第 7 圖更詳細之敘述，亦即命中(hit in)第二級快取記憶體 118、重新執行(replay)、或者推進一填入佇列項目(fill queue entry)，用以從系統記憶體預取需要的資料。

【0020】 預取單元 124 亦包括控制邏輯 322，控制邏輯 322 控制預取單元 124 之各元件執行其功能。

【0021】 雖然第 3 圖只顯示出一組與一主動(active)記憶體區塊有關之硬體單元 332(區塊位元遮罩暫存器 302、區塊號碼暫存器 303、最小指標暫存器 304、最大指標暫存器 306、最小改變計數器 308、最大改變計數器 312、總計數器 314、中間指標暫存器 316、樣態週期暫存器 346、樣態區域暫存器 348 以及搜尋指標暫存器 352)，但預取單元 124 可包括複數個如第 3 圖所

示之硬體單元 332，用以追蹤多個主動記憶體區塊的存取。

【0022】 在一實施例中，微處理器 100 亦包括一個或多個高度反應式的 (highly reactive) 預取單元 (未圖示)，高度反應式的預取單元係在非常小的時間樣本 (sample) 中使用不同的演算法來進行存取，並且與預取單元 124 配合動作，其說明如下。由於此處所述之預取單元 124 分析較大記憶體存取之數目 (相較於高度反應式的預取單元)，其必趨向使用更長的時間去開始預取一新的記憶體區塊 (如下所述)，但比高度反應式的預取單元更精確。因此，使用高度反應式的預取單元與預取單元 124 同時動作，微處理器 100 可擁有高度反應式的預取單元之更快反應時間以及預取單元 124 之高精確度。另外，預取單元 124 可監控來自其他預取單元之要求，並且在其預取演算法中使用這些要求。

【0023】 第 4 圖所示為第 2 圖之微處理器 100 的操作流程圖，並且特別是第 3 圖之預取單元 124 的動作。流程開始於步驟 402。

【0024】 在步驟 402 中，預取單元 124 接收一個對一記憶體位址進行存取之一載入/儲存記憶體存取要求。在一實施例中，預取單元 124 在判斷預取哪些快取線時，會將載入記憶體存取要求與儲存記憶體存取要求加以區分。在其他實施例中，預取單元 124 並不會在判斷預取哪些快取線時，辨別載入以及儲存。在一實施例中，預取單元 124 接收載入/儲存單元 134 所輸出之記憶體存取要求。預取單元 124 可接收來自不同來源之記憶體存取要求，上述來源包括 (但不限於) 載入/儲存單元 134、第一

級資料快取記憶體 116(例如第一級資料快取記憶體 116 所產生之一分派要求，於載入/儲存單元 134 記憶體存取未擊中第一級資料快取記憶體 116 時)，及/或其他來源，例如微處理器 100 中執行與預取單元 124 不同預取演算法以預取資料之其他預取單元(未圖示)。流程進入步驟 404。

【0025】 在步驟 404 中，控制邏輯 322 根據比較記憶體存取位址與每一區塊號碼暫存器 303 之數值，判斷是否對一主動區塊之記憶體進行存取。也就是，控制邏輯 322 判斷第 3 圖所示之硬體單元 332 是否已被分派給記憶體存取要求所指定之記憶體位址所相關的記憶體區塊。若是，則進入步驟 406。

【0026】 在步驟 406 中，控制邏輯 322 分派第 3 圖所示之硬體單元 332 給相關之記憶體區塊。在一實施例中，控制邏輯 322 以一輪替(round-robin)的方式分派硬體單元 332。在其他實施例，控制邏輯 322 為硬體單元 332 維持最久未用到的頁取代法(least-recently-used)之資訊，並且以一最久未用到的頁取代法(least-recently-used)之基礎進行分派。另外，控制邏輯 322 會初始化所分派之硬體單元 332。特別是，控制邏輯 322 會清除區塊位元遮罩暫存器 302 之所有位元，將記憶體存取位址之上層位元填寫(populate)至區塊號碼暫存器 303，並且清除最小指標暫存器 304、最大指標暫存器 306、最小改變計數器 308、最大改變計數器 312、總計數器 314 以及週期匹配計數器 318 為 0。流程進入到步驟 408。

【0027】 在步驟 408 中，控制邏輯 322 根據記憶體存取位址更新硬體單元 332，如第 5 圖所述。流程進入步驟 412。

【0028】 在步驟412中，硬體單元332測試(examine)總計數器314用以判斷程式是否已對記憶體區塊進行足夠之存取要求，以便偵測一存取樣態。在一實施例中，控制邏輯322判斷總計數器314之計數值是否大於一既定值。在一實施例中，此既定值為10，然而此既定值有很多種本發明不限於此。若已執行足夠之存取要求，流程進行至步驟414；否則流程結束。

【0029】 在步驟414中，控制邏輯322判斷在區塊位元遮罩暫存器302中所指定的存取要求是否具有一個明顯的趨勢。也就是說，控制邏輯322判斷存取要求有明顯向上的趨勢(存取位址增加)或是向下的趨勢(存取位址減少)。在一實施例中，控制邏輯322根據最小改變計數器308以及最大改變計數器312兩者的差值(difference)是否大於一既定值來決定存取要求是否有明顯的趨勢。在一實施例中，既定值為2，而在其他實施例中既定值可為其他數值。當最小改變計數器308之計數值大於最大改變計數器312之計數值一既定值，則有明顯向下的趨勢；反之，當最大改變計數器312之計數值大於最小改變計數器308之計數值一既定值，則有明顯向上的趨勢。當有一明顯的趨勢已產生，則進入步驟416，否則結束流程。

【0030】 在步驟416中，控制邏輯322判斷在區塊位元遮罩暫存器302所指定的存取要求中是否為具有一明顯的樣態週期贏家(pattern period winner)。在一實施例中，控制邏輯322根據週期匹配計數器318之一者與其他週期匹配計數器318計數值之差值是否大於一既定值來決定是否有一明顯的樣態週期贏家。在一實施例中，既定值為2，而在其他實施例中既定值可

為其他數值。週期匹配計數器 318 之更新動作將於第 5 圖加以詳述。當有一明顯的樣態週期贏家產生，流程進行到步驟 418；否則，流程結束。

【0031】 在步驟 418 中，控制邏輯 322 填寫方向暫存器 342 以指出步驟 414 所判斷之明顯的方向趨勢。另外，控制邏輯 322 用在步驟 416 偵測之明顯贏家樣態週期 (clear winning pattern period)(N) 填寫樣態週期暫存器 346。最後，控制邏輯 322 將步驟 416 所偵測到之明顯贏家樣態週期填寫至樣態暫存器 344 中。也就是說，控制邏輯 322 用區塊位元遮罩暫存器 302 之中間指標暫存器 316 至右側或者左側 N 位元 (根據第 5 圖步驟 518 所述而匹配) 來填寫樣態暫存器 344。流程進行到步驟 422。

【0032】 在步驟 422 中，控制邏輯 322 根據所偵測到之方向以及樣態開始對記憶體區塊中尚未被預取之快取線 (non-fetched cache line) 進行預取 (如第 6 圖中所述)。流程在步驟 422 結束。

【0033】 第 5 圖所示為第 3 圖所示之預取單元 124 執行第 4 圖所示之步驟 408 的操作流程。流程開始於步驟 502。

【0034】 在步驟 502 中，控制邏輯 322 增加總計數器 314 之計數值。流程進行到步驟 504。

【0035】 在步驟 504 中，控制邏輯 322 判斷目前的記憶體存取位址 (特別是指，最近記憶體存取位址所相關之快取線之記憶體區塊的索引值) 是否大於最大指標暫存器 306 之值。若是，流程進行到步驟 506；若否則流程進行至步驟 508。

【0036】 在步驟 506 中，控制邏輯 322 用最近記憶體存取位

第 105108032 號專利說明書修正本

址所相關之快取線之記憶體區塊的索引值來更新最大指標暫存器 306，並增加最大改變計數器 312 之計數值。流程進行到步驟 514。

【0037】 在步驟 508 中，控制邏輯 322 判斷被最近記憶體存取位址所相關之快取線之記憶體區塊的索引值是否小於最小指標暫存器 304 之值。若是，流程進行至步驟 512；若否，則流程進行至步驟 514。

【0038】 在步驟 512 中，控制邏輯 322 用最近記憶體存取位址所相關之快取線之記憶體區塊的索引值來更新最小指標暫存器 304，並增加最小改變計數器 308 之計數值。流程進行到步驟 514。

【0039】 在步驟 514 中，控制邏輯 322 計算最小指標暫存器 304 與最大指標暫存器 306 之平均值，並且用所算之出平均值更新中間指標暫存器 316。流程進行到步驟 516。

【0040】 在步驟 516 中，控制邏輯 322 檢查區塊位元遮罩暫存器 302，並且以中間指標暫存器 316 為中心，切割成左側與右側各 N 位元，其中 N 為與每一週期匹配計數器 318 相關之位元數。流程進行到步驟 518。

【0041】 在步驟 518 中，控制邏輯 322 決定在中間指標暫存器 316 之左側的 N 位元是否與中間指標暫存器 316 之右側的 N 位元相匹配。若是，流程進行到步驟 522；若否，則流程結束。

【0042】 在步驟 522 中，控制邏輯 322 增加具有一 N 週期之週期匹配計數器 318 之計數值。流程結束於步驟 522。

【0043】 第 6 圖所示為第 3 圖之預取單元 124 執行第 4 圖之步

驟 422 的操作流程圖。流程開始於步驟 602。

【0044】 在步驟 602 中，控制邏輯 322 初始化會在偵測方向外之中間指標暫存器 316 的樣態週期暫存器 346 中，對搜尋指標暫存器 352 以及樣態區域暫存器 (patten location) 348 進行初始化。也就是說，控制邏輯 322 會將搜尋指標暫存器 352 以及樣態區域暫存器 348 初始化成中間指標暫存器 316 與所偵測到之週期 (N) 兩者之間相加/相減後的值。例如，當中間指標暫存器 316 之值為 16，N 為 5，並且方向暫存器 342 所示之趨勢為向上時，控制邏輯 322 將搜尋指標暫存器 352 以及樣態區域暫存器 348 初始化為 21。因此，在本例中，為了比較之目的 (如下所述)，樣態暫存器 344 之 5 位元可設置於區塊位元遮罩暫存器 302 之位元 21 到 25。流程進行到步驟 604。

【0045】 在步驟 604 中，控制邏輯 322 測試區塊位元遮罩暫存器 302 中在方向暫存器 342 所指之位元以及樣態暫存器 344 中之對應位元 (該位元係位於樣態區域暫存器 348 中，用以對應區塊位元遮罩暫存器者)，用以預測是否預取記憶體區塊中之對應快取線。流程進行到步驟 606。

【0046】 在步驟 606 中，控制邏輯 322 預測是否需要所測試之快取線。當樣態暫存器 344 之位元為真 (true)，控制邏輯 322 則預測此快取線係需要的，樣態預測程式將會存取此快取線。若快取線係需要的，流程進行到步驟 614；否則，流程進行到步驟 608。

【0047】 在步驟 608 中，控制邏輯 322 根據方向暫存器 342 是否已到達區塊位元遮罩暫存器 302 之末端，判斷在記憶體區塊

中是否有其他未測試之快取線。若已無未測試之快取線，則流程結束；否則，流程進行至步驟 612。

【0048】 在步驟 612 中，控制邏輯 322 增加/減少方向暫存器 342 之值。另外，若方向暫存器 342 已超過樣態暫存器 344 的最後一位元時，控制邏輯 322 將用方向暫存器 342 之新數值更新樣態區域暫存器 348，例如將樣態暫存器 344 移位(shift)至方向暫存器 342 之位置。流程進行到步驟 604。

【0049】 在步驟 614 中，控制邏輯 322 決定所需要之快取線是否已被預取。當區塊位元遮罩暫存器 302 之位元為真，控制邏輯 322 則判斷所需要之快取線已被預取。若所需要之快取線已被預取，流程進行到步驟 608；否則，流程進行到步驟 616。

【0050】 在判斷步驟 616 中，若方向暫存器 342 為向下，控制邏輯 322 自最小指標暫存器 304 判斷列入考量之快取線是否多於一既定值(既定值在一實施例中為 16)；或者若方向暫存器 342 為向上，控制邏輯 322 自最大指標暫存器 306 判斷列入考量之快取線是否多於一既定值。若控制邏輯 322 於上述的判斷為真，則流程結束；否則，流程進行到判斷步驟 618。值得注意的是，若快取線大幅多於(遠離)最小指標暫存器 304/最大指標暫存器 306 則流程結束，但這樣並不代表預取單元 124 將不接著預取記憶體區塊之其它快取線，因為根據第 4 圖之步驟，對記憶體區塊之快取線的後續存取亦會再觸發對該記憶體區塊更多的預取動作。

【0051】 在步驟 618 中，控制邏輯 322 判斷預取要求佇列 328 是否已滿。若是預取要求佇列 328 已滿，則流程進行到步驟 622，

否則流程進行到步驟 624。

【0052】 在步驟 622 中，控制邏輯 322 暫停 (stall) 直到預取要求佇列 328 未滿 (non-full) 為止。流程進行到步驟 624。

【0053】 在步驟 624 中，控制邏輯 322 推進一項目 (entry) 至預取要求佇列 328，以預取快取線。流程進行到步驟 608。

【0054】 第 7 圖所示為第 3 圖之預取要求佇列 328 的操作流程圖。流程開始於步驟 702。

【0055】 在步驟 702 中，在步驟 624 中被推進到預取要求佇列 328 中之一預取要求被允許進行存取 (其中此預取要求用以對第二級快取記憶體 118 進行存取)，並繼續進行至第二級快取記憶體 118 的管線。流程進行到步驟 704。

【0056】 在步驟 704 中，第二級快取記憶體 118 判斷快取線位址是否命中第二級快取記憶體 118。若快取線位址命中第二級快取記憶體 118，則流程進行到步驟 706；否則，流程進行到判斷步驟 708。

【0057】 在步驟 706 中，因為快取線已經在第二級快取記憶體 118 中準備好，故不需要預取快取線，流程結束。

【0058】 在步驟 708 中，控制邏輯 322 判斷第二級快取記憶體 118 之回應是否為此預取要求必須被重新執行。若是，則流程進行至步驟 712；否則，流程進行至步驟 714。

【0059】 在步驟 712 中，預取快取線之預取要求係重新推進 (re-pushed) 至預取要求佇列 328 中。流程結束於步驟 712。

【0060】 在步驟 714 中，第二級快取記憶體 118 推進一要求至微處理器 100 之一填入佇列 (fill queue) (未圖示) 中，用以要求

匯流排介面單元 122 將快取線讀取至微處理器 100 中。流程結束於步驟 714。

【0061】 第 9 圖所示為第 2 圖之微處理器 100 的操作範例。如第 9 圖所示為對一記憶體區塊進行十次存取後，區塊位元遮罩暫存器 302 (在一位元位置上之星號表示對所對應之快取線進行存取)、最小改變計數器 308、最大改變計數器 312、以及總計數器 314 在第一、第二以及第十存取之內容。在第 9 圖中，最小改變計數器 308 稱為 "cntr_min_change"，最大改變計數器 312 稱為 "cntr_max_change"，以及總計數器 314 稱為 "cntr_total"。中間指標暫存器 316 之位置在第 9 圖中則以 "M" 所指示。

【0062】 由於對位址 0x4dced300 所進行的第一次存取 (如第 4 圖之步驟 402) 係在記憶體區塊中位於索引 12 上的快取線上進行，因此控制邏輯 322 將設定區塊位元遮罩暫存器 302 之位元 12 (第 4 圖之步驟 408)，如圖所示。另外，控制邏輯 322 將更新最小改變計數器 308、最大改變計數器 312 以及總計數器 314 (第 5 圖之步驟 502、506 以及 512)。

【0063】 由於對位址 0x4ced260 之第二次存取係在記憶體區塊中位於索引 9 上的快取線進行，控制邏輯 322 根據將設定區塊位元遮罩暫存器 302 之位元 9，如圖所示。另外，控制邏輯 322 將更新最小改變計數器 308 以及總計數器 314 之計數值。

【0064】 在第三到第十次存取中 (第三到第九次存取之位址未予圖示，第十次的存取位址為 0x4dced6c0)，控制邏輯 322 根據會對區塊位元遮罩暫存器 302 進行適當元之設置，如圖所示。另外，控制邏輯 322 對應於每一次存取更新最小改變計數器 308、

最大改變計數器 312 以及總計數器 314 之計數值。

【0065】 第 9 圖底部為控制邏輯 322 在每個執行十次的記憶體存取中，當執行完步驟 514 到 522 後的週期匹配計數器 318 之內容。在第 9 圖中，週期匹配計數器 318 稱為 "cntr_period_N_matches"，其中 N 為 1、2、3、4 或者 5。

【0066】 如第 9 圖所示之範例，雖然符合步驟 412 的準則(總計數器 314 至少為十)以及符合步驟 416 的準則(週期 5 之週期匹配計數器 318 較其他所有之週期匹配計數器 318 至少大於 2)，但不符合步驟 414 的準則(最小改變計數器 308 以及區塊位元遮罩暫存器 302 之間的差少於 2)。因此，此時將不會在此記憶體區塊內執行預取操作。

【0067】 第 9 圖底部亦顯示在週期 3、4 以及 5 中，從週期 3、4 以及 5 至中間指標暫存器 316 之右側與左側的樣態。

【0068】 第 10 圖所示為第 2 圖之微處理器 100 延續第 9 圖所示之範例的操作流程圖。第 10 圖描繪相似於第 9 圖之資訊，但不同處於在對記憶體區塊之進行第十一次以及第十二次的存取(第十二次存取之位址為 0x4dced760)。如圖所示，其符合步驟 412 的準則(總計數器 314 至少為十)、步驟 414 的準則(最小改變計數器 308 以及區塊位元遮罩暫存器 302 之間的差至少為 2)以及步驟 416 的準則(週期 5 之週期匹配計數器 318 在週期 5 之計數較其他所有之週期匹配計數器 318 至少大於 2)。因此，根據第 4 圖之步驟 418，控制邏輯 322 填寫(populate)方向暫存器 342(用以指出方向趨勢為向上)、樣態週期暫存器 346(填入數值 5)、樣態暫存器 344(用樣態 " * * " 或者 "01010")。控制邏輯

第 105108032 號專利說明書修正本

322亦根據第4圖之步驟422與第6圖，為記憶體區塊執行預取預測，如第11圖所示。第10圖亦顯示控制邏輯322在第6圖之步驟602操作中，方向暫存器342在位元21之位置。

【0069】 第11圖所示為第2圖之微處理器100延續第9以及10圖之範例的操作流程圖。第11圖經由範例中描繪十二不同範例之每一者(表標示成0到11)經過第6圖之步驟604到步驟616直到記憶體區塊之快取線被預取單元124預測發現需要被預取之記憶體區塊的操作。如圖所示，在每一範例中，方向暫存器342的值是根據第6圖步驟612而增加。如第11圖所示，在範例5以及10中，樣態區域暫存器348會根據第6圖之步驟612被更新。如範例0、2、4、5、7以及10所示，由於在方向暫存器342之位元為假(false)，樣態指出在方向暫存器342上之快取線將不被需要。圖中更顯示，在範例1、3、6以及8中，由於在方向暫存器342中樣態暫存器344之位元為真(true)，樣態暫存器344指出在方向暫存器342上的快取線將被需要，然而快取線已經準備被取出(fetched)，如區塊位元遮罩暫存器302之位元為真(true)之指示。最後如圖所示，在範例11中，由於在方向暫存器342中樣態暫存器344之位元為真(true)，所以樣態暫存器344指出在方向暫存器342上之快取線將被需要，但是因區塊位元遮罩暫存器302之位元為假(false)，所以此快取線尚未被取出(fetched)。因此，控制邏輯322根據第6圖之步驟624推進一預取要求至預取要求佇列328中，用以預取在位址0x4dced800之快取線，其對應於在區塊位元遮罩暫存器302之位元32。

【0070】 在一實施例中，所描述之一或多個既定值係可藉

由操作系統(例如經由一樣態特定暫存器(model specific register, MSR))或者經由微處理器100之熔絲(fuses)來編程，其中熔絲可在微處理器100的生產過程中熔斷。

【0071】 在一實施例中，區塊位元遮罩暫存器302之大小可為了節省電源(power)以與及裸片晶片大小機板(die real estate)而減小。也就是說，在每一區塊位元遮罩暫存器302中的位元數，將少於在一記憶體區塊中快取線之數量。例如，在一實施例中，每一區塊位元遮罩暫存器302之位元數僅為記憶體區塊所包含之快取線之數量的一半。區塊位元遮罩暫存器302僅追蹤對上半區塊或者下半區塊的存取，端看記憶體區塊的那一半先被存取，而一額外之位元用以指出記憶體區塊之下半部或者上半部是否先被存取。

【0072】 在一實施例中，控制邏輯322並不如步驟516/518所述測試中間指標暫存器316上下N位元，而是包括一序列引擎(serial engine)，一次一個或兩個位元地掃描區塊位元遮罩暫存器302，用以尋找週期大於一最大週期之樣態(如前所述為5位元)。

【0073】 在一實施例中，若在步驟414沒有偵測出明顯的方向趨勢、或者在步驟416並未偵測出明顯的樣態週期、以及總計數器314之計數值到達一既定臨界值(用以指出在記憶體區塊中之大部份的快取線已被存取)時，控制邏輯322繼續執行以及預取在記憶體區塊中剩下的快取線。上述既定臨界值係為記憶體區塊之快取記憶體數量之一相對高的百分比值，例如區塊位元遮罩暫存器302之位元的值。

【0074】 結合第二級快取記憶體以及第一級資料快取記憶體之預取單元

【0075】 近代的微處理器包括具有一階層結構之快取記憶體。典型地，一微處理器包括一又小又快的第一級資料快取記憶體以及一較大但較慢之第二級快取記憶體，分別如第2圖之第一級資料快取記憶體 116 以及第二級快取記憶體 118。具有一階層結構之快取記憶體有利於預取資料至快取記憶體，以改善快取記憶體之命中率(hit rate)。由於第一級資料快取記憶體 116 之速度較快，故較佳的狀況為預取資料至第一級資料快取記憶體 116。然而，由於第一級資料快取記憶體 116 之記憶體容量較小，快取記憶體命中率可能實際上較差且慢，由於如果預取單元不正確地預取資料進第一級資料快取記憶體 116，當最後發現這些資料係不需要的，便要以其他需要的資料做替代。因此，載入第一級資料快取記憶體 116 或者第二級快取記憶體 118 的選擇，係預取單元是否能正確預測資料是否被需要的函數(function)。因為第一級資料快取記憶體 116 被要求較小的尺寸，第一級資料快取記憶體 116 傾向較小之容量以及因此具有較差的準確性；反之，由於第二級快取記憶體標籤以及資料陣列之大小使得第一級快取記憶體預取單元之大小顯得很小，所以一第二級快取記憶體預取單元可為較大之容量因此具有較佳之準確性。

【0076】 本發明實施例所述微處理器 100 的優勢，在於一載入/儲存單元 134 用以作為第二級快取記憶體 118 以及第一級資料快取記憶體 116 之預取需要之基礎。本發明之實施例提升載

入/儲存單元 134(第二級快取記憶體 118)之準確性，用以應用在解決上述預取進入第一級資料快取記憶體 116 之問題。再者，實施例中也完成了運用單一邏輯(single body of logic)來處理第一級資料快取記憶體 116 以及第二級快取記憶體 118 之預取操作的目標。

【0077】 第 12 圖所示為根據本發明各實施例之微處理器 100。第 12 圖之微處理器 100 相似於第 2 圖之微處理器 100 並具有如下所述之額外的特性。

【0078】 第一級資料快取記憶體 116 提供第一級資料記憶體位址 196 至預取單元 124。第一級資料記憶體位址 196 係藉由載入/儲存單元 134 對第一級資料快取記憶體 116 進行載入/儲存存取的實體位址。也就是說，預取單元 124 會隨著載入/儲存單元 134 存取第一級資料快取記憶體 116 時進行竊聽(eavesdrops)。預取單元 124 提供一樣態預測快取線位址 194 至第一級資料快取記憶體 116 之一佇列 198，樣態預測快取線位址 194 為快取線之位址，其中之快取線係預取單元 124 根據第一級資料記憶體位址 196 預測載入/儲存單元 134 即將對第一級資料快取記憶體 116 提出要求者。第一級資料快取記憶體 116 提供一快取線配置要求 192 至預取單元 124，用以從第二級快取記憶體 118 要求快取線，而這些快取線之位址係儲存於佇列 198 中。最後，第二級快取記憶體 118 提供所要求之快取線資料 188 至第一級資料快取記憶體 116。

【0079】 預取單元 124 亦包括第一級資料搜尋指標器 172 以及第一級資料樣態位址 178，如第 12 圖所示。第一級資料搜尋

指標器 172 以及第一級資料樣態位址 178 之用途與第 14 圖相關且如下所述。

【0080】 第 13 圖所示為第 12 圖之預取單元 124 的操作流程圖。流程開始於步驟 1302。

【0081】 在步驟 1302 中，預取單元 124 從第一級資料快取記憶體 116 接收第 12 圖之第一級資料記憶體位址 196。流程進行到步驟 1304。

【0082】 在步驟 1304 中，預取單元 124 偵測到一記憶體區塊(例如分頁(page))落入預取單元 124 為先前所測得之存取樣態所預取之快取線中，並已開始從系統記憶體預取這些快取線進入第二級快取記憶體 118，如第 1 至 11 圖中相關處所述。仔細而言，預取單元 124 維持一區塊號碼暫存器 303，其指定所偵測之存取樣態所預取記憶體區塊之基底位址。預取單元 124 藉由偵測區塊號碼暫存器 303 之位元是否匹配第一級資料記憶體位址 196 之對應位元，來偵測第一級資料記憶體位址 196 是否落在記憶體區塊中。流程進行到步驟 1306。

【0083】 在步驟 1306 中，從第一級資料記憶體位址 196 開始，預取單元 124 在記憶體區塊中所偵測到之存取方向(detected access direction)上尋找下兩個快取線，這兩個快取線與先前所偵測的存取方向有關。步驟 1306 更詳細之執行操作將於後續的第 14 圖中加以說明。流程進行到步驟 1308。

【0084】 在步驟 1308 中，預取單元 124 提供在步驟 1306 找到之下兩個快取線之實體位址至第一級資料快取記憶體 116，作為樣態預測快取線位址 194。在其他實施例中，預取單元 124 所

提供之快取線位址的數量可多於或少於 2。流程進行到步驟 1312。

【0085】 在步驟 1312 中，第一級資料快取記憶體 116 把在步驟 1308 中所提供之位址推進至佇列 198 中。流程進行到步驟 1314。

【0086】 在步驟 1314 中，無論何時只要佇列 198 為非空 (non-empty)，第一級資料快取記憶體 116 將下一個位址取出佇列 198，並發出一快取線配置要求 192 至第二級快取記憶體 118，以便取得在該位址之快取線。然而，若在佇列 198 之一位址已出現於第一級資料快取記憶體 116，第一級資料快取記憶體 116 將拋棄(dumps)該位址以及放棄自第二級快取記憶體 118 要求其快取線。第二級快取記憶體 118 接著提供所要求之快取線資料 188 至第一級資料快取記憶體 116。流程結束於步驟 1314。

【0087】 第 14 圖所示為第 12 圖所示之預取單元 124 根據第 13 圖之步驟 1306 的操作流程圖。第 14 圖所敘述之操作係在第 3 圖所偵測到樣態方向為向上(upward)的狀況下。然而，若所偵測到之樣態方向為向下，預取單元 124 亦可用以執行同樣的功能。步驟 1402 到 1408 之操作係用以將第 3 圖中之樣態暫存器 344 放置在記憶體區塊中適當的位置，使得預取單元 124 藉由從第一級資料記憶體位址 196 上開始之樣態搜尋下兩個快取線，並只要有需求時在該記憶體區塊上複製該樣態暫存器 344 之樣態 344 即可。流程開始於步驟 1402。

【0088】 在步驟 1402 中，預取單元 124 以相似於第 6 圖在步驟 602 初始化搜尋指標暫存器 352 以及樣態區域暫存器 348 之方

第 105108032 號專利說明書修正本

式，用第3圖之樣態週期暫存器346以及中間指標暫存器316的總和，來初始化第12圖之第一級資料搜尋指標器172以及第一級資料樣態位址178。例如，若中間指標暫存器316之值為16以及樣態週期暫存器346為5，並且方向暫存器342之方向為往上，預取單元124初始化第一級資料搜尋指標器172以及第一級資料樣態位址178至21。流程進行到步驟1404。

【0089】 在步驟1404中，預取單元124決定第一級資料記憶體位址196是否落入在具有目前所指定位置之樣態暫存器344之樣態中，樣態的目前起始位置係根據步驟1402所決定的，並可根據步驟1406進行更新。也就是說，預取單元124決定第一級資料記憶體位址196之適當位元(relevant bits)的值(即除去確認記憶體區塊的位元，以及在快取線中用來指定位元組偏移(byte offset)的位元)，是否大於或者等於第一級資料搜尋指標器172之值，以及是否小於或者等於第一級資料搜尋指標器172與樣態週期暫存器346兩者之值所相加之總合。若第一級資料記憶體位址196落入(fall within)樣態暫存器344之樣態中，流程進行到步驟1408；否則流程進行到步驟1406。

【0090】 在步驟1406中，預取單元124根據樣態週期暫存器346增加第一級資料搜尋指標器172以及第一級資料樣態位址178之值。根據步驟1406(與後續之步驟1418)所述之操作，若第一級資料搜尋指標器172已達到記憶體區塊之終點則結束搜尋。流程回到步驟1404。

【0091】 在步驟1408中，預取單元124將第一級資料搜尋指標器172之值設置(set)為第一級資料記憶體位址196所相關之

快取線之記憶體頁的偏移量(offset)。流程進行到步驟 1412。

【0092】 在步驟 1412 中，預取單元 124 在第一級資料搜尋指標器 172 中測試樣態暫存器 344 中之位元。流程進行到步驟 1414。

【0093】 在步驟 1414 中，預取單元 124 決定步驟 1412 所測試之位元是否設置好了。如果在步驟 1412 所測試之位元設置好了，流程進行到步驟 1416；否則流程進行到步驟 1418。

【0094】 在步驟 1416 中，預取單元 124 將在步驟 1414 中被樣態暫存器 344 所預測之快取線標記為已準備好傳送實體位址至第一級資料快取記憶體 116，以作為一樣態預測快取線位址 194。流程結束於步驟 1416。

【0095】 在步驟 1418 中，預取單元 124 增加第一級資料搜尋指標器 172 之值。另外，若第一級資料搜尋指標器 172 已超過上述樣態暫存器 344 之最後一個位元，預取單元 124 則用第一級資料搜尋指標器 172 之新的數值更新第一級資料搜尋指標器 172 之值，亦即切換(shift)樣態暫存器 344 至新的第一級資料搜尋指標器 172 的位置。步驟 1412 到 1418 之操作係反覆執行，直到兩快取線(或者快取線之其他既定值)被找到為止。流程結束於步驟 1418。

【0096】 第 13 圖中以些微繞路的方式來預取快取線至第一級資料快取記憶體 116 的好處係第一級資料快取記憶體 116 以及第二級快取記憶體 118 所需要之改變較小。然而，在其他實施例中，預取單元 124 亦可不提供樣態預測快取線位址 194 至第一級資料快取記憶體 116。例如，在一實施例中，預取單元 124

第 105108032 號專利說明書修正本

直接要求匯流排介面單元 122 自記憶體獲擷取快取線，然後將所接收之寫入快取線寫入至第一級資料快取記憶體 116。在另一實施例中，預取單元 124 自用以提供資料至預取單元 124 的第二級快取記憶體 118 要求並取得快取線（如果為命中失敗 (missing) 則從記憶體取得快取線），並將收到之快取線寫入至第一級資料快取記憶體 116。在其他實施例中，預取單元 124 自第二級快取記憶體 118 要求快取線（如果為命中失敗 (missing) 則從記憶體取得快取線），其直接將快取線寫入第一級資料快取記憶體 116。

【0097】 如上所述，本發明之各實施例的好處在於具有單一的預取單元 124，作為第二級快取記憶體 118 以及第一級資料快取記憶體 116 兩者之預取需要之基礎。雖然在第 2、12 以及 15 圖所示（如下討論之內容）為不同之區塊，預取單元 124 在空間安排上可鄰近於第二級快取記憶體 118 之標籤 (tag) 以及資料列 (data array) 之位置並且概念上包括第二級快取記憶體 118，如第 21 圖所示。各實施例允許預取單元 124 具較大空間之安排來提升其精確度與其大空間之需求，以應用一單一邏輯來處理第一級資料快取記憶體 116 以及第二級快取記憶體 118 之預取操作，以解決習知技術中只能預取資料給容量較小的第一級資料快取記憶體 116 之問題。

【0098】 具有減少跨頁上之暖機損失 (warm-up penalty) 的定界框預取單元

【0099】 本發明所述之預取單元 124 在可偵測一記憶體區塊（例如，一實體記憶體頁）上較複雜之存取樣態（例如，一實體

記憶體頁)，其一般而言為習知預取單元所無法偵測者。舉例而言，預取單元 124 可以根據一樣態偵測正在進行存取一記憶體區塊之程式，即使微處理器 100 之非循序執行(out-of-order execution)管線(pipeline)會不以程式命令的順序而重新排序(re-order)記憶體存取，一般而言，這可能會造成習知預取單元不去偵測記憶體存取樣態而導致沒有預取動作。這是由於預取單元 124 只考慮對記憶體區塊之進行有效地存取，而時間順序(time order)並非其考量點。

【0100】 然而，為了滿足辨識更複雜之存取樣態及/或重新排序存取樣態之能力，相較於習知的預取單元，本發明之預取單元 124 可能需要一較長之時間去偵測存取樣態，如下所述之”暖機時間(warm-up time)”。因此需要一減少預取單元 124 暖機時間之方法。

【0101】 預取單元 124 用以預測一個之前藉由一存取樣態正在存取一記憶體區塊之程式，是否已經跨越(cross over)實際上與舊的記憶體區塊相鄰之一新記憶體區塊，以及預測此程式是否會根據相同之樣態繼續存取這個新的記憶體區塊。因應於此，預取單元 124 使用來自舊的記憶體區塊之樣態、方向以及其他相關資訊，以加快在新的記憶體區塊偵測存取樣態的速度，即減少暖機時間。

【0102】 如第 15 圖所示為具有一預取單元 124 之微處理器 100 的方塊圖。第 15 圖之微處理器 100 相似於第 2 以及 12 圖之微處理器 100，並且具有如下所述之其它特性。

【0103】 如第 3 圖中之相關敘述，預取單元 124 包括複數硬

第 105108032 號專利說明書修正本

體單元 332。每一硬體單元 332 相較於第 3 圖所述更包括一記憶體區塊虛擬雜湊虛擬位址欄(hashed virtual address of memory, HVAMB)354 以及一狀態欄(status)356。在第 4 圖所述之步驟 406 初始化已分派之硬體單元 332 的過程中，預取單元 124 取出區塊號碼暫存器 303 中之實體區塊碼(physical block number)，並在將實體區塊碼轉譯成一虛擬位址後，根據後續第 17 圖所述之步驟 1704 所執行之相同雜湊演算法(the same hashing algorithm)將實體區塊碼轉譯成一虛擬位址(雜湊(hash)此之虛擬位址)，並將其雜湊演算之結果儲存至記憶體區塊虛擬雜湊位址欄 354。狀態欄 356 具有三種可能之數值：閒置(inactive)、主動(active)或者試用(probationary)，如下所述。預取單元 124 亦包括一虛擬雜湊表(virtual hash table, VHT)162，關於虛擬雜湊表 162 組織架構以及操作之詳細說明請參考後續第 16 到 19 圖之敘述。

【0104】 如第 16 圖所示為第 15 圖之虛擬雜湊表 162。虛擬雜湊表 162 包括複數項目，最好組織成一佇列。每一項目包括一有效位元(valid bit)(未圖示)以及三個欄：一負 1 雜湊虛擬位址 1602(HVAM1)、一未修改雜湊虛擬位址 1604(HVAUN)以及一正 1 雜湊虛擬位址 1606(HVAP1)。填寫上述欄位以生成這些數值的方式請參考後續第 17 圖所述。

【0105】 第 17 圖所述為第 15 圖之微處理器 100 之操作流程圖。流程開始於步驟 1702。

【0106】 在步驟 1702 中，第一級資料快取記憶體 116 接收來自載入/儲存單元 134 之一載入/儲存要求，其載入/儲存要求包

括一虛擬位址。流程進行到步驟 1704。

【0107】 在步驟 1704 中，第一級資料快取記憶體 116 對步驟 1702 中所接收之雜湊位址所選擇之位元執行一雜湊功能(函數)，用以產生一未修改雜湊虛擬位址 1604(HVAUN)。另外，第一級資料快取記憶體 116 將一記憶體區塊大小(MBS)與在步驟 1702 所接收之雜湊位址所選擇之位元相加，用以產生一加總值，並對加總值執行一雜湊功能，以產生一正 1 雜湊虛擬位址 1606(HVAP1)。另外，第一級資料快取記憶體 116 從在步驟 1702 所接收之雜湊位址選擇之位元，減去記憶體區塊之大小，用以產生一差值，並對此差值執行一雜湊功能，以產生一負 1 雜湊虛擬位址 1602(HVAM1)。在一實施例中，記憶體區塊大小為 4KB。在一實施例中，虛擬位址為 40 位元，虛擬位址之位元 39:30 以及 11:0 被會雜湊功能忽略。剩下之 18 個虛擬位址位元為”已處理(dealt)”，如已擁有之資訊，係透過雜湊位元位置來處理。其想法為虛擬位址之較低位元具有最高亂度(entropy)以及較高位元具有最低亂度，用此方法處理可保證亂度層級(entropy level)在跨越雜湊之位元時較一致。在一實施例中，剩下之虛擬位址之 18 位元係根據後續表 1 之方法雜湊至 6 位元。然而，在其他實施例中，亦可考慮使用不同雜湊演算法；此外，若有性能支配空間(performance dominates space)以及電力消耗之設計考量，實施例可考慮不使用雜湊演算法。流程進行到步驟 1706。

assign hash[5]=VA[29]^VA[18]^VA[17];

assign hash[4]=VA[28]^VA[19]^VA[16];

```
assign hash[3]=VA[27]^VA[20]^VA[15];  
assign hash[2]=VA[26]^VA[21]^VA[14];  
assign hash[1]=VA[25]^VA[22]^VA[13];  
assign hash[0]=VA[24]^VA[23]^VA[12];
```

表 1

【0108】 在步驟 1706 中，第一級資料快取記憶體 116 提供在步驟 1704 中所產生之未修改雜湊虛擬位址(HVAUN)1604、正 1 雜湊虛擬位址(HVAP1)1606 以及負 1 雜湊虛擬位址(HVAM1)1602 至預取單元 124。流程進行到步驟 1708。

【0109】 在步驟 1708 中，預取單元 124 用步驟 1706 所接收之未修改雜湊虛擬位址(HVAUN)1604、正 1 雜湊虛擬位址(HVAP1)1606 以及負 1 雜湊虛擬位址(HVAM1)1602 以選擇性地更新虛擬雜湊表 162。也就是說，如果虛擬雜湊表 162 已包括一新的未修改雜湊虛擬位址 1604(HVAUN)、正 1 雜湊虛擬位址 1606(HVAP1)以及負 1 雜湊虛擬位址 1602(HVAM1)之項目，預取單元 124 則放棄更新虛擬雜湊表 162。相反地，預取單元 124 則以先進先出(first-in-first-out)的方式將未修改雜湊虛擬位址 1604(HVAUN)、正 1 雜湊虛擬位址 1606(HVAP1)以及負 1 雜湊虛擬位址 1602(HVAM1)推進至虛擬雜湊表 162 最頂端之項目，並將所推進之項目標記為有效(valid)。流程結束於步驟 1708。

【0110】 如第 18 圖所示為第 16 圖之虛擬雜湊表 162 在預取單元 124 的載入/儲存單元 134 根據第 17 圖之敘述操作之後的內容，其中在載入/儲存單元 134 因應於程式的執行，已經在一向上的方向上前進兩記憶體區塊(標示為 A and A+MBS)，並進入

一第三記憶體區塊(標示為 $A+2*MBS$)，以便回應已填寫虛擬雜湊表 162 之預取單元 124。仔細而言，虛擬雜湊表 162 距離尾端兩個項目的項目包括在負 1 雜湊虛擬位址 (HVAM1) 1602 之 $A-MBS$ 的雜湊、在未修改雜湊虛擬位址 (HVAUN) 1604 之 A 的雜湊以及在正 1 雜湊虛擬位址 (HVAP1) 1606 之 $A+MBS$ 的雜湊；虛擬雜湊表 162 距離尾端一個項目的項目包括負 1 雜湊虛擬位址 (HVAM1) 1602 之 A 的雜湊、在未修改雜湊虛擬位址 (HVAUN) 1604 之 $A+MBS$ 的雜湊以及在正 1 雜湊虛擬位址 (HVAP1) 1606 之 $A+2*MBS$ 的雜湊；虛擬雜湊表 162 在尾端的項目(即最近時間所推進的項目)包括在負 1 雜湊虛擬位址 (HVAM1) 1602 之 $A+MBS$ 的雜湊、在未修改雜湊虛擬位址 (HVAUN) 1604 之 $A+2*MBS$ 的雜湊以及在正 1 雜湊虛擬位址 (HVAP1) 1606 之 $A+3*MBS$ 的雜湊。

【0111】 第 19 圖所示(由第 19A 圖以及第 19B 圖組成)為第 5 圖之預取單元 124 的操作流程圖。流程開始於步驟 1902。

【0112】 在步驟 1902 中，第一級資料快取記憶體 116 傳送一新的配置要求(allocation request, AR)至第二級快取記憶體 118。新的配置要求係要求一新記憶體區塊。也就是說預取單元 124 決定與配置要求相關之記憶體區塊係新的，意即尚未配置一硬體單元 332 給新的配置要求所相關之記憶體區塊。也就是說，預取單元 124 最近未遇到(encountered)一新記憶體區塊之配置要求。在一實施例中，配置要求係在一載入/儲存第一級資料快取記憶體 116 結果失敗並隨之由第二級快取記憶體 118 要求同一快取線所產生的要求。在一實施例中，配置要求用以指定

第 105108032 號專利說明書修正本

一實體位址，實體位址所相關之一虛擬位址是由實體位址轉譯而來的。第一級資料快取記憶體116根據一雜湊功能(意即與第17圖之步驟1704相同之雜湊功能)，雜湊與配置要求之實體位址有關之虛擬位址，用以產生配置要求之一已雜湊虛擬位址(HVAAR)，並且將配置要求之已雜湊虛擬位址提供至預取單元124。流程進行至步驟1903。

【0113】 在步驟1903中，預取單元124配至一個新的硬體單元332給新的記憶體區塊。如果有閒置的硬體單元332存在，預取單元124配置一閒置的硬體單元332給新的記憶體區塊。否則，在一實施例中，預取單元124則配置一個最近最少使用之硬體單元332給新的記憶體區塊。在一實施例中，一旦預取單元124已經預取樣態所指示之記憶體區塊的所有快取線時，預取單元124則會失效(inactivate)該硬體單元332。在一實施例中，預取單元124具有固定(pin)硬體單元332之能力，使其就算為一個最近最少使用之硬體單元332亦不會被重置。舉例而言，若預取單元124偵測到已經根據樣態對記憶體區塊進行一既定次數之存取，但預取單元124尚未根據樣態對整個記憶體區塊完成所有的預取，預取單元124即可固定與記憶體區塊有關之硬體單元332，使其就算成為一個最近最少使用之硬體單元332仍不適合被重置。在一實施例中，預取單元124維持每一硬體單元332之相對期間(從原始配置)，並且當其期間(age)到達一既定期間臨界值時，預取單元124則會失效該硬體單元332。在另一實施例中，若預取單元124(藉由後續的步驟1904到1926)偵測一虛擬相鄰的記憶體區塊，並且已完成自虛擬鄰近的記憶體區塊之預

取，預取單元 124 則會選擇性地重複使用在虛擬相鄰的記憶體區塊之硬體單元 332，而不是配置一新的硬體單元 332。在此實施例中，預取單元 124 選擇性地初始化重複使用之硬體單元 332 之各種儲存元件(例如方向暫存器 342、樣態暫存器 344 與樣態區域暫存器 348)，以便維持儲存在其內之可用資訊。流程進行至步驟 1904。

【0114】 在步驟 1904 中，預取單元 124 比較在步驟 1902 所產生之已雜湊虛擬位址(HVAAR)與虛擬雜湊表 162 之每一項目之負 1 雜湊虛擬位址 1602(HVAM1)和正 1 雜湊虛擬位址 1606(HVAP1)。預取單元 124 根據步驟 1904 到 1922 之操作係為了決定一已主動(active)記憶體區塊是否虛擬相鄰至新記憶體區塊，預取單元 124 根據步驟 1924 到 1928 之操作係為了預測記憶體存取是否將根據事先偵測到之存取樣態與方向，繼續自虛擬相鄰之已主動記憶體區塊進入新的記憶體區塊，用以降低預取單元 124 之暖機時間，使得預取單元 124 可較快開始預取新的記憶體區塊。流程進行至步驟 1906。

【0115】 在步驟 1906 中，預取單元 124 根據步驟 1904 執行之比較方式，決定已雜湊虛擬位址(HVAAR)是否與虛擬雜湊表 162 之任何一項目匹配。若已雜湊虛擬位址(HVAAR)與虛擬雜湊表 162 之一項目匹配，流程進行至步驟 1908；否則，流程進行至步驟 1912。

【0116】 在步驟 1908 中，預取單元 124 設定一候補方向旗幟(candidate_direction flag)至一數值，以指示向上之方向。流程進行至步驟 1916。

【0117】 在步驟 1912 中，預取單元 124 根據步驟 1908 所執行之比較方式，決定已雜湊虛擬位址 (HVAAR) 是否與虛擬雜湊表 162 之任何一項目匹配。若已雜湊虛擬位址 (HVAAR) 與虛擬雜湊表 162 之一項目匹配，流程進行至步驟 1914；否則，流程結束。

【0118】 在步驟 1914 中，預取單元 124 設定候補方向旗幟 (candidate_direction flag) 至一數值，以指示向下之方向。流程進行至步驟 1916。

【0119】 在步驟 1916 中，預取單元 124 將候補雜湊暫存器 (candidate_hav register) (未圖示) 設定為步驟 1906 或 1912 所決定之虛擬雜湊表 162 之未修改雜湊虛擬位址 1604 (HVAUN) 之一數值。流程進行至步驟 1918。

【0120】 在步驟 1918 中，預取單元 124 比較候選雜湊 (candidate_hva) 與預取單元 124 中每一主動記憶體區塊之記憶體區塊虛擬雜湊位址欄 (HVAMB) 354。流程進行至步驟 1922。

【0121】 在步驟 1922 中，預取單元 124 根據步驟 1918 所執行之比較方式，決定候選雜湊 (candidate_hva) 是否與任何一記憶體區塊虛擬雜湊位址欄 (HVAMB) 354 匹配。若候選雜湊 (candidate_hva) 與一記憶體區塊虛擬雜湊位址欄 (HVAMB) 354 匹配，流程進行至步驟 1924；否則，流程結束。

【0122】 在步驟 1924 中，預取單元 124 已確定步驟 1922 所找到之匹配主動記憶體區塊確實虛擬鄰近於新的記憶體區塊。因此，預取單元 124 比較 (步驟 1908 或者 1914 所指定之) 候選方向與匹配主動記憶體區塊之方向暫存器 342，用以根據先前偵測到

之存取樣態與方向，預測記憶體存取是否將繼續自虛擬相鄰的已主動記憶體區塊進入新的記憶體區塊。仔細而言，若候選方向與虛擬相鄰記憶體區塊之方向暫存器 342 不同，記憶體存取不太可能會根據先前偵測到之存取樣態與方向，繼續自虛擬相鄰的已主動記憶體區塊進入新的記憶體區塊。流程進行至步驟 1926。

【0123】 在步驟 1926 中，預取單元 124 根據步驟 1924 所執行之比較方法，決定候選方向與匹配主動記憶體區塊之方向暫存器 342 是否匹配。若候選方向與匹配主動記憶體區塊之方向暫存器 342 匹配，則流程進行至步驟 1928；否則，流程結束。

【0124】 在步驟 1928 中，預取單元 124 決定在步驟 1902 所接收到之新的重置要求是否被指到步驟 1926 所偵測到之匹配虛擬相鄰主動記憶體區塊之一已被樣態暫存器 344 所預測之快取線。在一實施例中，為了執行步驟 1928 之決定，預取單元 124 根據其樣態週期暫存器 346 有效地切換與複製匹配虛擬相鄰主動記憶體區塊之樣態暫存器 344，用以在虛擬相鄰記憶體區塊繼續樣態位置樣態區域暫存器 348，以便在新的記憶體區塊維持樣態 334 連貫性。若新的配置要求係要求匹配主動記憶體區塊之樣態暫存器 344 所相關之一快取記憶體列，流程進行至步驟 1934；否則，流程進行至步驟 1932。

【0125】 在步驟 1932 中，預取單元 124 根據第 4 圖之步驟 406 與 408，初始化與填寫(步驟 1903 所配置之)新的硬體單元 332，希望其最後可根據上述與第 4 到 6 圖相關之方法，偵測對新的記憶體區塊之存取的新樣態，而這將需要暖機時間。流程結束於

步驟 1932。

【0126】 在步驟 1934 中，預取單元 124 預測存取要求將會根據匹配虛擬相鄰主動記憶體區塊之樣態暫存器 344 與方向暫存器 342 繼續進入新的記憶體區塊。因此，預取單元 124 以相似於步驟 1932 之方式填寫新的硬體單元 332，但會有些許不同。仔細而言，預取單元 124 會用來自虛擬相鄰記憶體區塊之硬體單元 332 的對應數值來填寫方向暫存器 342、樣態暫存器 344 以及樣態週期暫存器 346。另外，樣態區域暫存器 348 之新的數值係藉由繼續切換於增加之樣態週期暫存器 346 之值所決定，直到其交叉進入新的記憶體區塊，以提供樣態暫存器 344 持續地進入新的記憶體區塊，如步驟 1928 中之相關敘述。再者，新的硬體單元 332 中之狀態欄 356 係用以標記新的硬體單元 332 為試用 (probationary)。最後，搜尋指標暫存 352 被初使化以便由一記憶體區塊之開頭進行搜尋。流程進行至步驟 1936。

【0127】 在步驟 1936 中，預取單元 124 繼續監視發生於新記憶體區塊之存取要求。若預取單元 124 偵測到對記憶體區塊之至少一既定數量的後續存取要求是要求樣態暫存器 344 所預測之記憶體快取線，接著預取單元 124 促使硬體單元 332 之狀態欄 356 自試用 (probationary) 轉為主動，並且接著如第 6 圖所述開始自新的記憶體區塊進行預取。在一實施例中，存取要求之既定數量為 2，雖然其他實施例可考慮為其它既定數量。流程結束於步驟 1936。

【0128】 如第 20 圖所示為第 15 圖所示之預取單元 124 所用之一雜湊實體位址至雜湊虛擬位址庫 (hashed physical

address-to-hashed virtual address thesaurus)2002。雜湊實體位址至雜湊虛擬位址庫2002包括一項目陣列。每一項目包括一實體位址(PA)2004以及一對應的雜湊虛擬位址(HVA)2006。對應的雜湊虛擬位址2006係由實體位址2004轉譯成之虛擬位址加以雜湊的結果。預取單元124藉由對跨越載入/儲存單元134的管線之最近一對虛擬/實體位址進行竊聽，用以對雜湊實體位址至雜湊虛擬位址庫2002之項目進行填寫。在另一實施例中，於第19圖之步驟1902，第一級資料快取記憶體116並未提供已雜湊虛擬位址(HVAAR)至預取單元124，但只提供配置要求所相關之實體位址。預取單元124在雜湊實體位址至雜湊虛擬位址庫2002中尋找實體位置，以找到一匹配實體位址 (PA) 2004，並獲得相關之雜湊虛擬位址(HVA) 2006，其將在第19圖其他部分成為已雜湊虛擬位址(HVAAR)。將雜湊實體位址至雜湊虛擬位址庫2002包括在預取單元124可緩和第一級資料快取記憶體116提供配置要求所要求之雜湊虛擬位址的需要，因此可簡化第一級資料快取記憶體116與預取單元124之間的介面。

【0129】 在一實施例中，雜湊實體位址至雜湊虛擬位址庫2002之每一項目包括一雜湊實體位址，而不是實體位址2004，並且預取單元124將自第一級資料快取記憶體116所接收之配置要求實體位址雜湊成一雜湊實體位址，用以搜尋雜湊實體位址至雜湊虛擬位址庫2002，以便獲得適當之對應的雜湊虛擬位址(HVA)2006。本實施例允許較小之雜湊實體位址至雜湊虛擬位址庫2002，但需要另外之時間對實體位址進行雜湊。

【0130】 如第21圖所示為本發明實施例之多核微處理器

100。多核微處理器100包括兩個核心(表示成核心A2102A以及核心B2102B)，可整個視為核心2102(或者單一核心2102)。每一核心具有相似於如第2圖所示之單核微處理器100之元件12或15。另外，每一核心2102具有如前所述之高度反應式的預取單元2104。該兩個核心2102共享第二級快取記憶體118以及預取單元124。特別的是，每一核心2102之第一級資料快取記憶體116、載入/儲存單元134以及高度反應式的預取單元2104係耦接至共享之第二級快取記憶體118以及預取單元124。另外，一共享之高度反應式的預取單元2106係耦接至第二級快取記憶體118以及預取單元124。在一實施例中，高度反應式的預取單元2104/共享之高度反應式的預取單元2106只預取一記憶體存取所相關之快取線後的下一個相鄰之快取線。

【0131】 預取單元124除了監控載入/儲存單元134以及第一級資料快取記憶體116之記憶體存取之外，亦可監控高度反應式的預取單元2104/共享之高度反應式的預取單元2106所產生之記憶體存取，用以進行預取決定。預取單元124可監控從不同組合之記憶體存取來源的記憶體存取，以執行本發明所述之不同的功能。例如，預取單元124可監控記憶體存取之一第一組合，以執行第2到11圖所述之關相功能，預取單元124可監控記憶體存取之一第二組合，以執行第12到14圖所述之相關功能，並且預取單元124可監控記憶體存取之一第三組合，以執行第15到19圖所述之相關功能。在實施例中，共享之預取單元124由於時間因素難以監控每一核心2102 的載入/儲存單元134之行為。因此，共享之預取單元124經由第一級資料快取記憶體

116所產生之傳輸狀況(traffic)間接地監控載入/儲存單元134之行為，作為其載入/儲存未命中(miss)之結果。

【0132】 本發明的不同實施例已於本文敘述，但本領域具有通常知識者應能瞭解這些實施例僅作為範例，而非限定於此。本領域具有通常知識者可在不脫離本發明之精神的情況下，對形式與細節上做不同的變化。例如，軟體可致能本發明實施例所述的裝置與方法之功能、組建(fabrication)、塑造(modeling)、模擬、描述(description)、以及/或測試，亦可透過一般程式語言(C、C++)、硬體描述語言(Hardware Description Languages, HDL)(包括Verilog HDL、VHDL等等)、或其他可利用的程式語言來完成。此軟體可配置在任何已知的電腦可使用媒介，例如磁帶、半導體、磁碟，或是光碟(例如CD-ROM、DVD-ROM等等)、網際網路、有線、無線、或其他通訊媒介的傳輸方式之中。本發明所述之裝置與方法實施例可被包括於半導體智慧財產核心，例如微處理器核心(以HDL來實現)，並轉換成積體電路產品的硬體。此外，本發明所述之裝置與方法透過硬體與軟體的結合來實現。因此，本發明不應侷限於所揭露之實施例，而是依後附之申請專利範圍與等效實施所界定。特別是，本發明可實施在使用於一般用途電腦中的微處理器裝置內。最後，本發明雖以較佳實施例揭露如上，然其並非用以限定本發明的範圍，任何所屬技術領域中具有通常知識者，在不脫離本發明之精神和範圍內，當可做些許的更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

【0133】 本發明的不同實施例已於本文敘述，但本領域具

第 105108032 號專利說明書修正本

有通常知識者應能瞭解這些實施例僅作為範例，而非限定於此。本領域具有通常知識者可在不脫離本發明之精神的情況下，對形式與細節上做不同的變化。例如，軟體可致能本發明實施例所述的裝置與方法之功能、組建(fabrication)、塑造(modeling)、模擬、描述(description)、以及/或測試，亦可透過一般程式語言(C、C++)、硬體描述語言(Hardware Description Languages, HDL)(包括Verilog HDL、VHDL等等)、或其他可利用的程式語言來完成。此軟體可配置在任何已知的電腦可使用媒介，例如磁帶、半導體、磁碟，或是光碟(例如CD-ROM、DVD-ROM等等)、網際網路、有線、無線、或其他通訊媒介的傳輸方式之中。本發明所述之裝置與方法實施例可被包括於半導體智慧財產核心，例如微處理器核心(以HDL來實現)，並轉換成積體電路產品的硬體。此外，本發明所述之裝置與方法透過硬體與軟體的結合來實現。因此，本發明不應侷限於所揭露之實施例，而是依後附之申請專利範圍與等效實施所界定。特別是，本發明可實施在使用於一般用途電腦中的微處理器裝置內。最後，本發明雖以較佳實施例揭露如上，然其並非用以限定本發明的範圍，任何所屬技術領域中具有通常知識者，在不脫離本發明之精神和範圍內，當可做些許的更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

【符號說明】**【0134】**

100～微處理器；

102～指令快取記憶體；

- 104～指令解碼器；
- 106～暫存器別名表；
- 108～保留站；
- 112～執行單元；
- 132～其他執行單元；
- 134～載入/儲存單元；
- 124～預取單元；
- 114～引退單元；
- 116～第一級資料快取記憶體；
- 118～第二級快取記憶體；
- 122～匯流排介面單元；
- 162～虛擬雜湊表；
- 198～佇列；
- 172～第一級資料搜尋指標器；
- 178～第一級資料樣態位址；
- 196～第一級資料記憶體位址；
- 194～樣態預測快取線位址；
- 192～快取線配置要求；
- 188～快取線資料；
- 354～記憶體區塊虛擬雜湊位址欄；
- 356～狀態欄；
- 302～區塊位元遮罩暫存器；
- 303～區塊號碼暫存器；
- 304～最小指標暫存器；

第 105108032 號專利說明書修正本

306～最大指標暫存器；
308～最小改變計數器；
312～最大改變計數器；
314～總計數器；
316～中間指標暫存器；
318～週期匹配計數器；
342～方向暫存器；
344～樣態暫存器；
346～樣態週期暫存器；
348～樣態區域暫存器；
352～搜尋指標暫存器；
332～硬體單元；
322～控制邏輯；
328～預取要求佇列；
324～提取指標器；
326～推進指標器；
2002～雜湊虛擬位址庫；
2102A～核心A；
2102B～核心B；
2104～高度反應式的預取單元；
2106～共享之高度反應式的預取單元。

申請專利範圍

1. 一種微處理器，包括：

一第一級快取記憶體；

一第二級快取記憶體；以及

一預取單元，用以：

維持一最大位址以及一最小位址，其中上述最大位址指定了具有出現在上述第二快取記憶體中之一存取要求之一記憶體區塊的一最高位址，其中上述最小位址指定了具有上述存取要求之上述記憶體區塊的一最低位址；

維持上述最大位址之改變的一計數值以及上述最小位址之改變的一計數值，其中當一控制邏輯改變上述最大位址時，上述控制邏輯更新上述最大位址之改變的上述計數值，其中當上述控制邏輯改變上述最小位址時，上述控制邏輯更新上述最小位址之改變的計數值；

偵測出現在上述第二級快取記憶體中之上述存取要求之一方向以及樣態，以及根據上述方向以及樣態，將複數快取線預取至上述第二級快取記憶體中，其中上述方向係基於上述最大位址以及上述最小位址之上述改變計數偵測到的；

從上述第一級快取記憶體，接收上述第一級快取記憶體所接收之一存取要求之一位址，其中上述位址與一快取線相關；

決定在上述方向中所相關之快取線之後被上述樣態所指出之一個或多個快取線；以及

第 105108032 號申請專利範圍修正本

導致上述一個或多個快取線被預取至上述第一級快取記憶體中。

2. 如申請專利範圍第1項所述之微處理器，其中：

上述記憶體區塊係可被上述微處理器存取之記憶體範圍之一次集合；

為了決定在上述方向中所相關之快取線之後被上述樣態所指出之一個或多個快取線，上述預取單元：

放置上述樣態至上述記憶體區塊，使得上述位址位於上述樣態中；以及

沿著上述方向，由上述位址開始搜尋，直到遇到上述樣態所指出之一快取線。

3. 如申請專利範圍第2項所述之微處理器，其中：

上述樣態包括快取線之一順序；

其中為了放置上述樣態至上述記憶體區塊，使得上述位址位於上述樣態中，上述預取單元係用以藉由上述順序將上述樣態切換(shift)至上述記憶體區塊。

4. 如申請專利範圍第2項所述之微處理器，其中出現在上述第二級快取記憶體中之上述記憶體區塊的上述存取要求之位址係隨著時間函數而非單調性地增加以及減少。

5. 如申請專利範圍第4項所述之微處理器，其中出現在上述第二級快取記憶體中之上述記憶體區塊的上述存取要求之上述位址可為非連續的。

6. 如申請專利範圍第1項所述之微處理器，更包括：

複數核心；其中

上述第二級快取記憶體以及預取單元係由上述核心所共享；
以及

每一上述核心包括上述第一級快取記憶體之一不同之範例
(a distinct instantiation)。

7. 如申請專利範圍第1項所述之微處理器，其中為了導致上述一個或多個快取線被預取至上述第一級快取記憶體中，上述預取單元提供上述一個或多個快取線之位址至上述第一級快取記憶體，其中上述第一級快取記憶體係用以從上述第二級快取記憶體中要求上述一個或多個快取線。
8. 如申請專利範圍第7項所述之微處理器，其中上述第一級快取記憶體包括一佇列，用以儲存從上述預取單元所接收之上述位址。
9. 如申請專利範圍第1項所述之微處理器，其中為了導致上述一個或多個快取線被預取至上述第一級快取記憶體中，上述預取單元從上述微處理器之一匯流排介面單元要求一個或多個快取線，並且隨後將提供上述所要求到之快取線提供至上述第一級快取記憶體。
10. 如申請專利範圍第1項所述之微處理器，其中為了導致上述一個或多個快取線被預取至上述第一級快取記憶體中，上述預取單元自上述第二級快取記憶體中要求上述一個或多個快取線。
11. 如申請專利範圍第10項所述之微處理器，其中上述預取單元將上述被所要求之快取線隨後提供至上述第一級快取記憶體。

- 12.如申請專利範圍第10項所述之微處理器，其中上述第二級快取記憶體係用以所要求之快取線隨後提供至上述第一級快取記憶體。
- 13.如申請專利範圍第1項所述之微處理器，其中為了偵測上述方向以及樣態，上述預取單元更用以：
當上述存取要求出現時，維持具有上述記憶體區塊之上述存取要求所相關之存取之快取線之一歷史記錄；以及
根據上述歷史記錄，決定上述樣態。
- 14.如申請專利範圍第13項所述之微處理器，為了根據上述最小位址之改變以及上述最大位址之改變的上述計數值偵測上述方向，上述預取單元更用以：
當上述最大位址之改變計數值與上述最小位址之改變計數值間之差值係大於一既定值時，偵測上述方向係向上；以及
當上述最小位址之改變計數值與上述最大位址之改變計數值間之差值係大於上述既定值時，偵測上述方向係向下。
- 15.如申請專利範圍第13項所述之微處理器，其中：
上述歷史記錄包括一位元遮罩，用以指出上述記憶體區塊之上述存取要求所相關之存取的快取線；
上述預取單元更用以：
計算上述位元遮罩中之上述存取要求之快取線的一中間指標；以及
當上述位元遮罩在上述中間指標之左側之N位元與上述位元遮罩在上述中間指標之右側之N位元匹配時，為複數個不

同的位元週期中之每一者，增加上述位元週期所相關之一匹配計數器的計數值，其中N為上述位元週期中之位元數。

16.如申請專利範圍第15項所述之微處理器，其中為了根據上述位元遮罩偵測上述存取樣態，上述預取單元更用以：

偵測上述位元週期之一者所相關的上述匹配計數器與上述位元週期之其他者所相關的上述匹配計數器之間的差值是否大於一既定值；以及

偵測上述位元遮罩在上述中間指標之其中一側的N位元所指定的上述存取樣態，其中N為上述位元週期之一者的位元數，上述位元週期之上述一者所具有之相關匹配計數器與上述位元週期之其他者所具有之相關匹配計數器之間的差值大於上述既定值。

17.一種資料預取方法，用以預取資料至具有一第二級快取記憶體之一微處理器之一第一級快取記憶體，上述資料預取方法包括：

維持一最大位址以及一最小位址，其中上述最大位址指定了具有出現在上述第二快取記憶體中之一存取要求之一記憶體區塊的一最高位址，其中上述最小位址指定了具有上述存取要求之上述記憶體區塊的一最低位址；

維持上述最大位址之改變的一計數值以及上述最小位址之改變的一計數值，其中當一控制邏輯改變上述最大位址時，上述控制邏輯更新上述最大位址之改變的上述計數值，其中當上述控制邏輯改變上述最小位址時，上述控制邏輯更新上述最小位址之改變的計數值；

偵測出現在上述第二級快取記憶體中之上述存取要求之一方向以及樣態，以及根據上述方向以及樣態，將複數快取線預取至上述第二級快取記憶體中，其中上述方向係基於上述最大位址以及上述最小位址之上述改變計數偵測到的；

從上述第一級快取記憶體，接收上述第一級快取記憶體所接收之一存取要求之一位址，其中上述位址與一快取線相關；

決定在上述方向中所相關之快取線之後被上述樣態所指出之一個或多個快取線；以及

導致上述一個或多個快取線被預取至上述第一級快取記憶體中。

18. 如申請專利範圍第 17 項所述之資料預取方法，其中：

上述記憶體區塊係可被上述微處理器存取之記憶體範圍之一次集合；

決定在上述方向中所相關之快取線之後被上述樣態所指出之一個或多個快取線的步驟，包括：

放置上述樣態至上述記憶體區塊，使得上述位址位於上述樣態中；以及

沿著在上述方向，由上述位址開始搜尋，直到遇到上述樣態所指出之一快取線。

19. 如申請專利範圍第 18 項所述之資料預取方法，其中上述樣態包括快取線之一順序，並且放置上述樣態至上述記憶體區塊，使得上述位址位於上述樣態中的步驟，包括藉由上

述順序將上述樣態轉移至上述記憶體區塊。

- 20.如申請專利範圍第18項所述之資料預取方法，其中出現在上述第二級快取記憶體中之上述記憶體區塊的上述存取要求之位址係隨著時間函數而非單調性地增加以及減少。
- 21.如申請專利範圍第20項所述之資料預取方法，其中出現在上述第二級快取記憶體中之上述記憶體區塊的上述存取要求之上述位址可為非連續的。
- 22.如申請專利範圍第17項所述之資料預取方法，其中上述微處理器更包括複數核心，並且上述第二級快取記憶體以及預取單元係由上述核心所共享，並且每一上述核心包括上述第一級快取記憶體之一不同之範例。
- 23.如申請專利範圍第17項所述之資料預取方法，其中導致上述一個或多個快取線被預取至上述第一級快取記憶體的步驟，包括上述微處理器之一預取單元用以提供上述一個或多個快取線之位址至上述第一級快取記憶體，其中上述第一級快取記憶體係用以從上述第二級快取記憶體中要求上述一個或多個快取線。
- 24.如申請專利範圍第17項所述之資料預取方法，其中導致上述一個或多個快取線被預取至上述第一級快取記憶體的步驟，包括上述微處理器之一預取單元用以提供上述一個或多個快取線之位址至上述第一級快取記憶體中，其中上述第一級快取記憶體自上述微處理器之一匯流排介面單元用以要求上述一個或多個快取線，並且隨後將上述要求之一個或多個快取線提供至上述第一級快取記憶體。

第 105108032 號申請專利範圍修正本

25. 如申請專利範圍第 17 項所述之資料預取方法，其中導致上述一個或多個快取線被預取至上述第一級快取記憶體之步驟，包括上述預取單元係用以自上述第二級快取記憶體中要求上述一個或多個快取線。
26. 如申請專利範圍第 25 項所述之資料預取方法，其中導致上述一個或多個快取線被預取至上述第一級快取記憶體之步驟，包括上述預取單元係用以將所要求之一個或多個快取線隨後提供至上述第一級快取記憶體。
27. 如申請專利範圍第 25 項所述之資料預取方法，更包括上述第二級快取記憶體係用以將所要求之一個或多個快取線隨後提供至上述第一級快取記憶體。
28. 一種電腦程式產品，編碼於至少一非易失性電腦可讀取媒體之上，並適用於一計算裝置，上述電腦程式產品包括：
- 一電腦可讀程式編碼，儲存於上述電腦可讀取媒體中，用以定義一微處理器，上述電腦可讀程式包括：
 - 一第一程式碼，用以定義一第一級快取記憶體裝置；
 - 一第二程式碼，用以定義一第二級快取記憶體裝置；以及
 - 一第三程式碼，用以定義一預取單元，使得上述預取單元用以：
- 維持一最大位址以及一最小位址，其中上述最大位址指定了具有出現在上述第二快取記憶體中之一存取要求之一記憶體區塊的一最高位址，其中上述最小位址指定了具有上述存取要求之上述記憶體區塊的一最低位址；
- 維持上述最大位址之改變的一計數值以及上述最小位址之

改變的一計數值，其中當一控制邏輯改變上述最大位址時，上述控制邏輯更新上述最大位址之改變的上述計數值，其中當上述控制邏輯改變上述最小位址時，上述控制邏輯更新上述最小位址之改變的計數值；

偵測出現在上述第二級快取記憶體中之上述存取要求之一方向以及樣態，以及根據上述方向以及樣態，將複數快取線預取至上述第二級快取記憶體中，其中上述方向係基於上述最大位址以及上述最小位址之上述改變計數偵測到的；

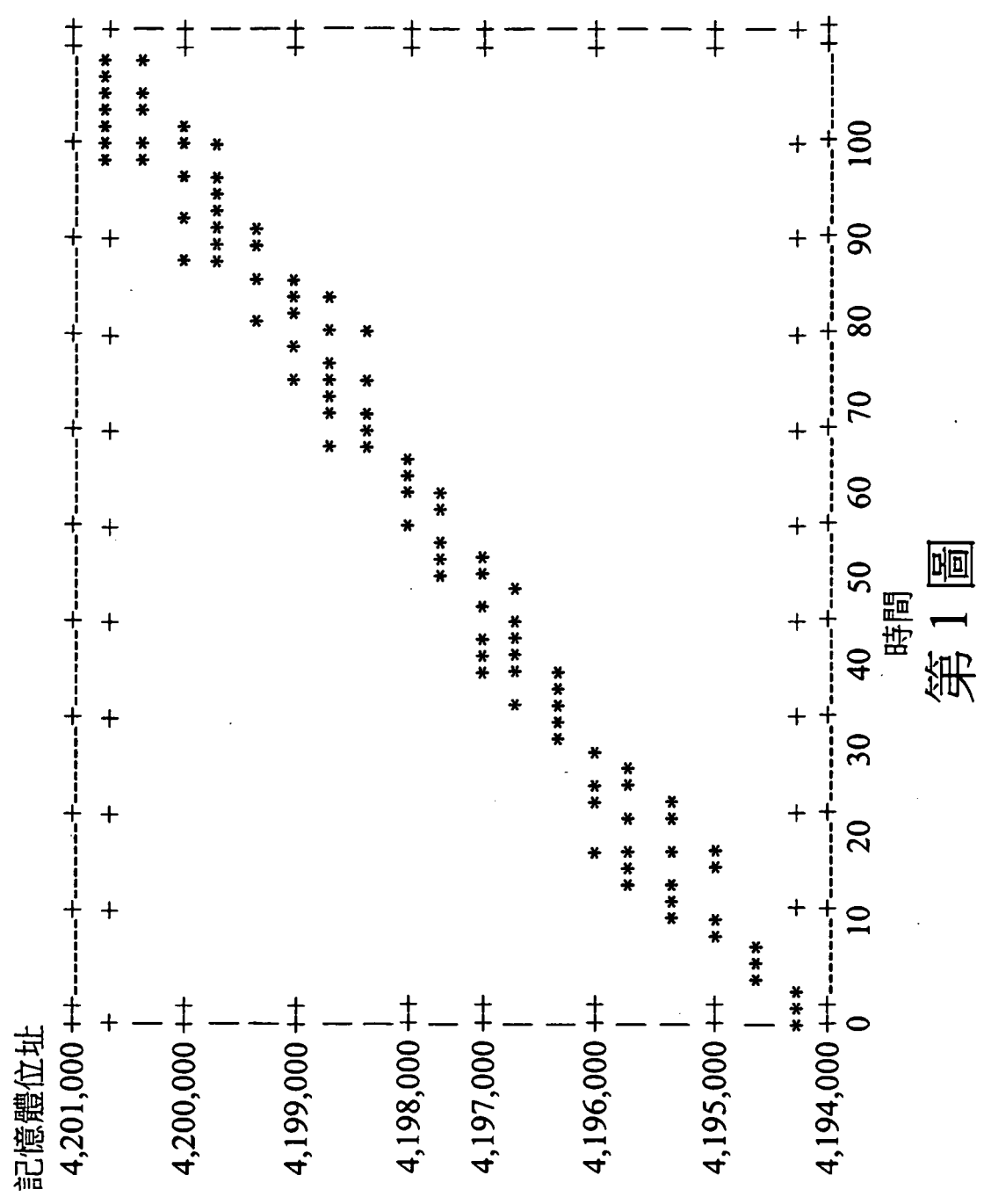
從上述第一級快取記憶體，接收上述第一級快取記憶體所接收之一存取要求之一位址，其中上述位址與一快取線相關；

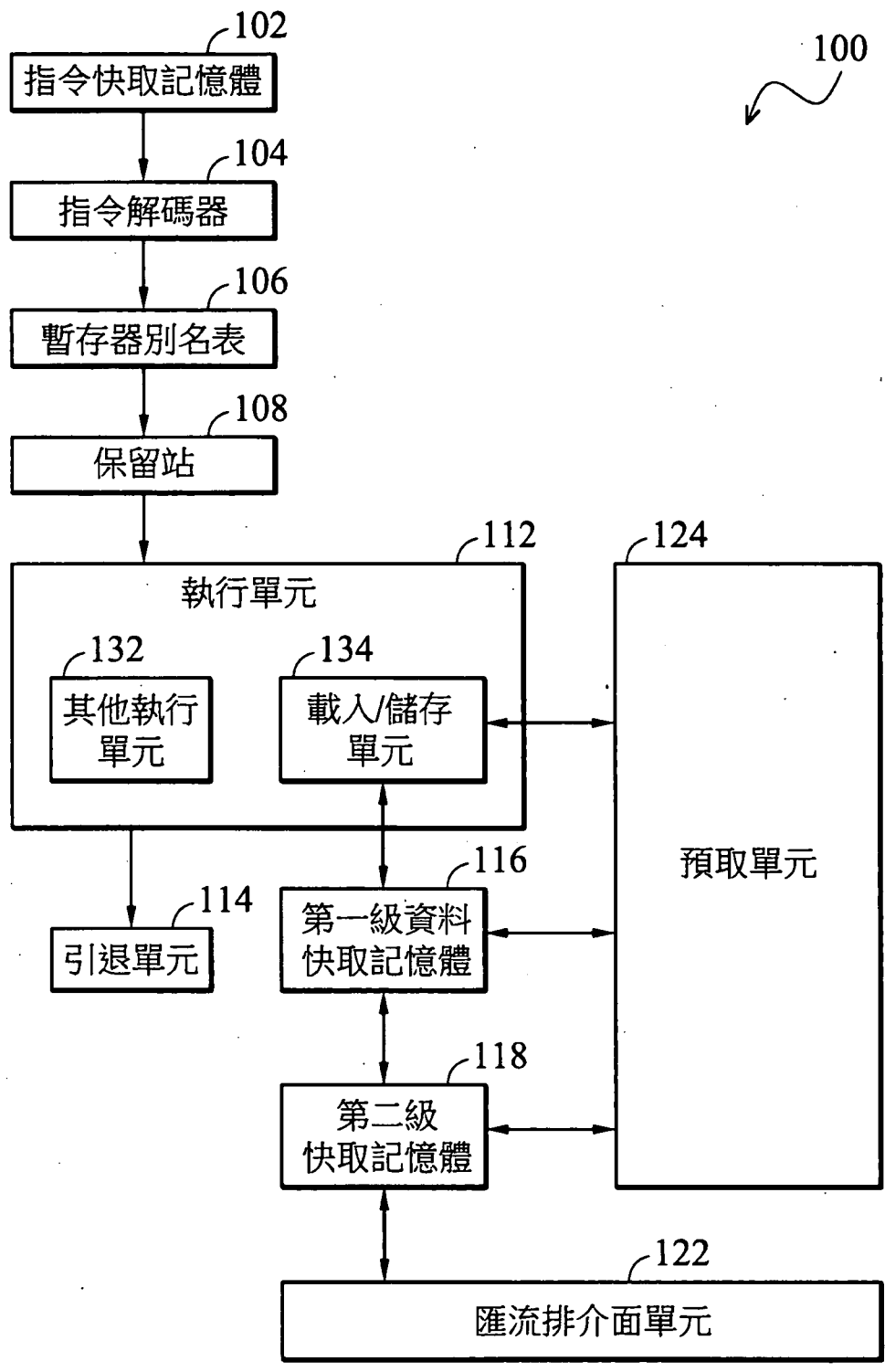
決定在上述方向中所相關之快取線之後被上述樣態所指出之一個或多個快取線；以及

導致上述一個或多個快取線被預取至上述第一級快取記憶體中。

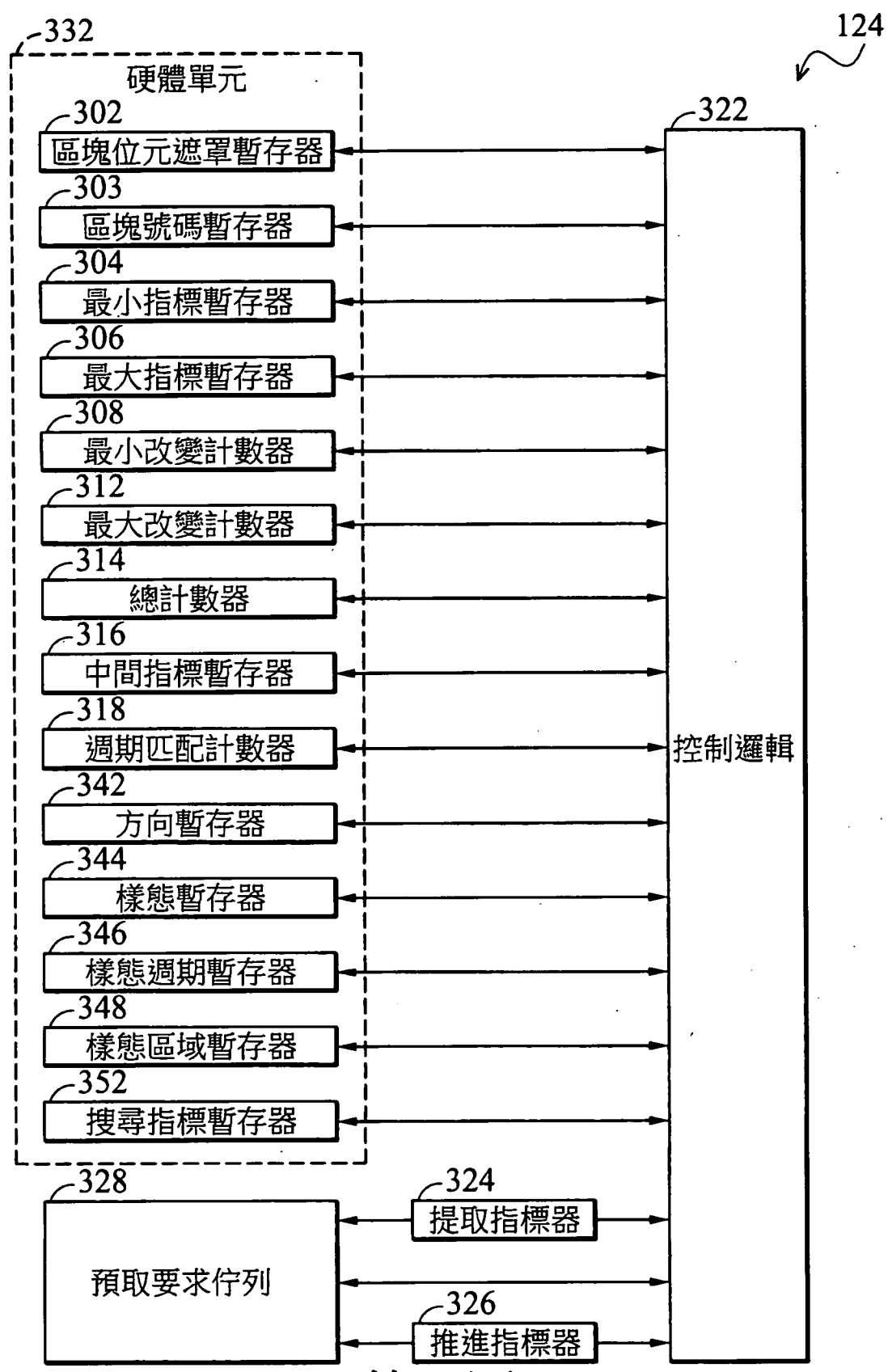
29. 如申請專利範圍第 28 項所述之電腦程式產品，其中上述至少一電腦可讀媒體係擇自於一碟片、磁帶或者其他具磁性、光學或者電子儲存媒體以及一線路。

圖式

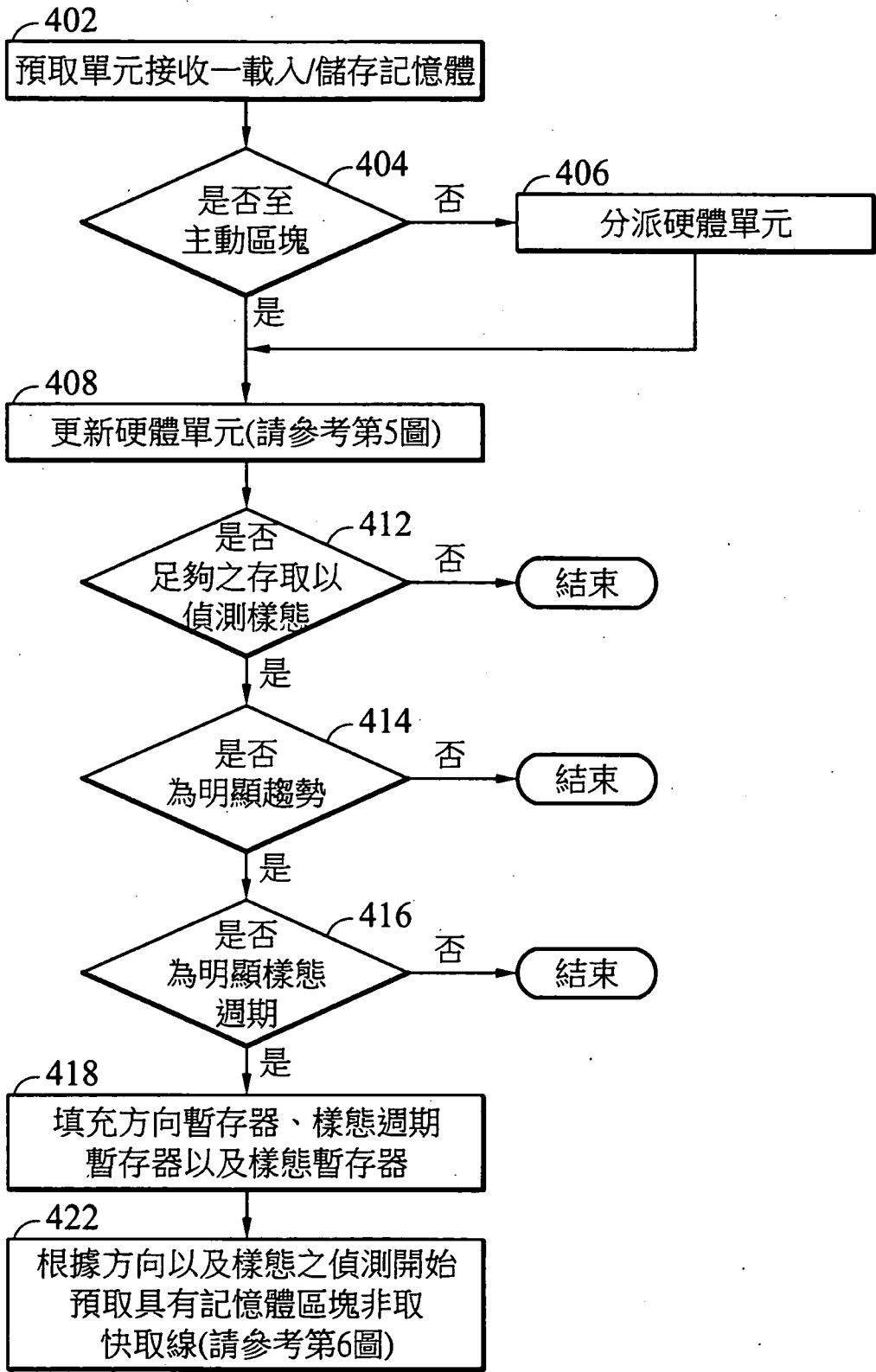




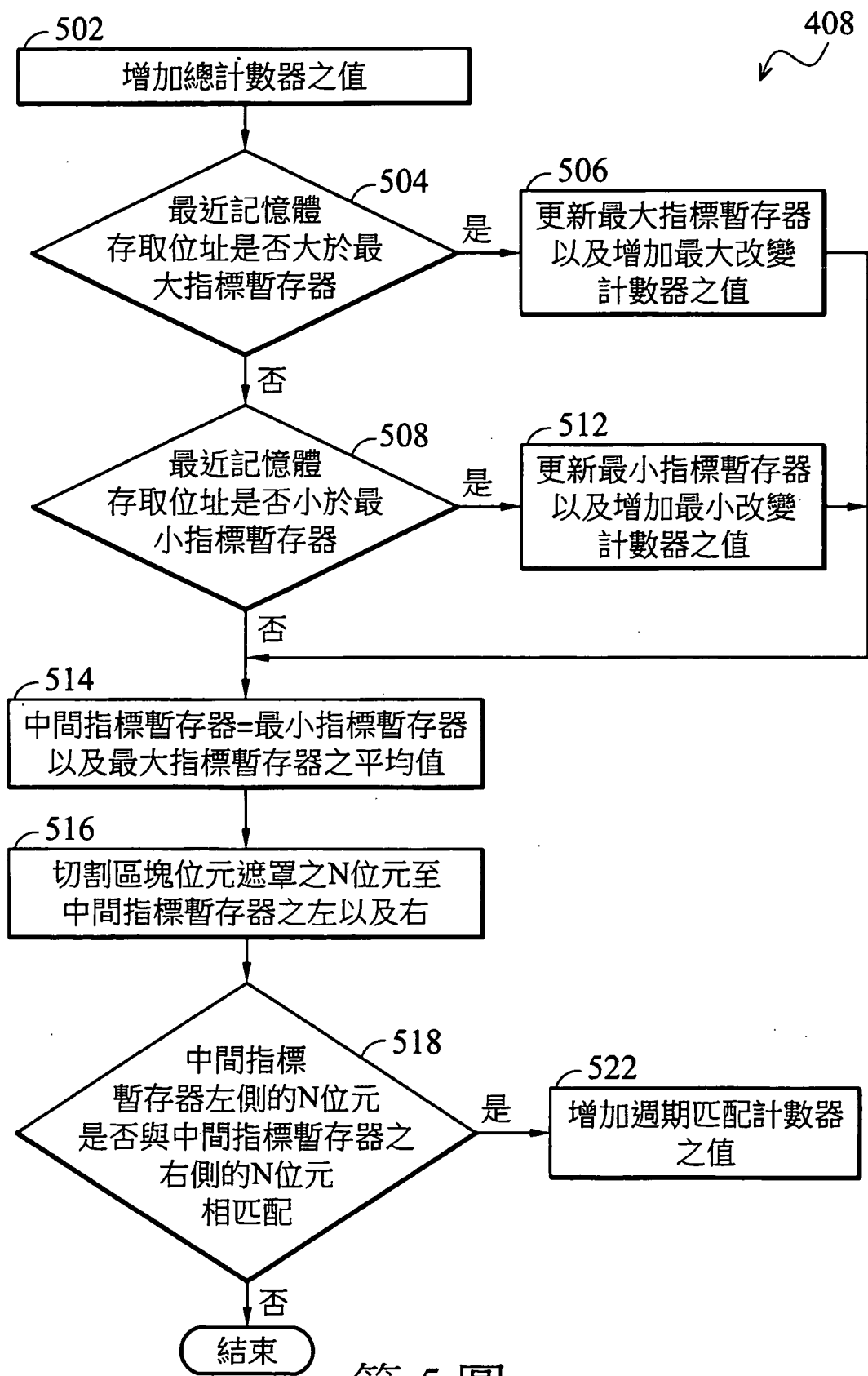
第 2 圖



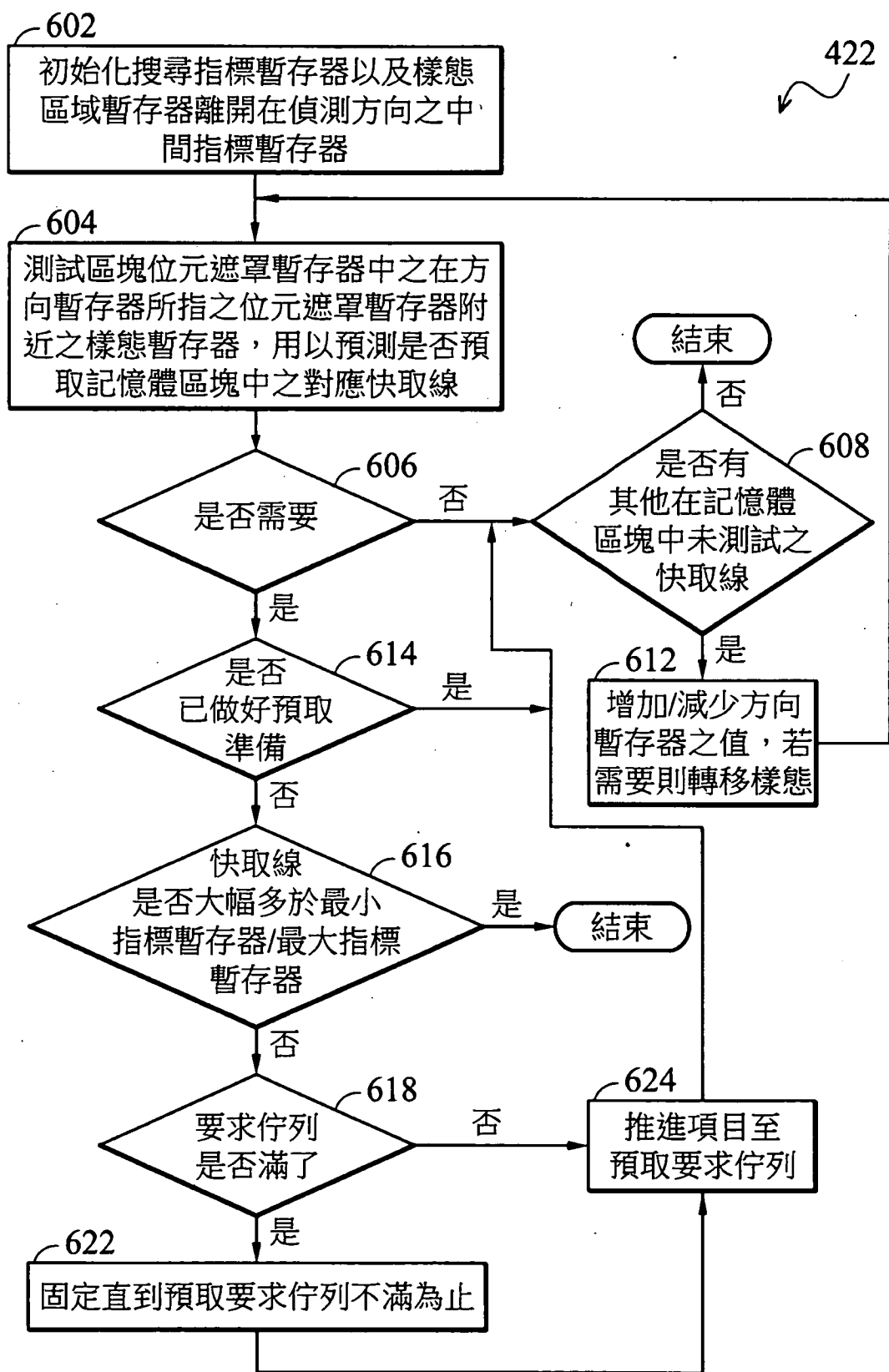
第 3 圖



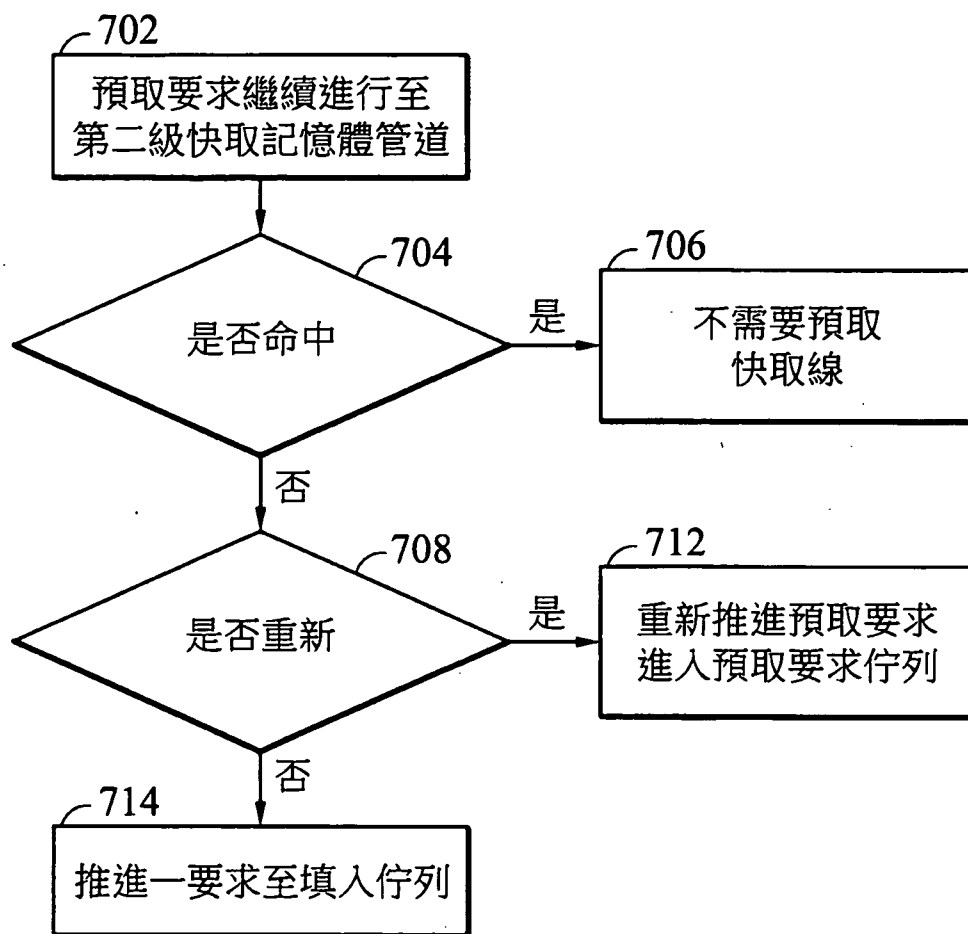
第 4 圖



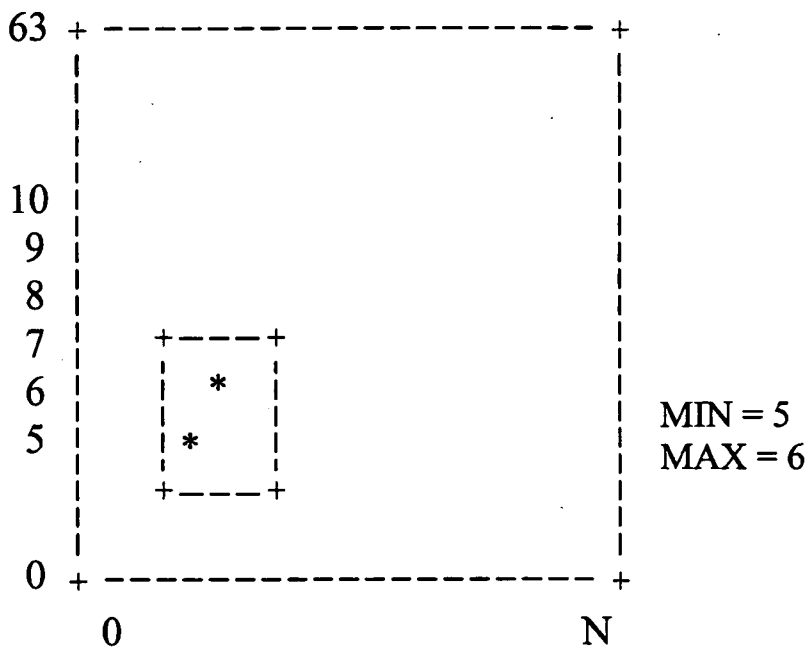
第 5 圖



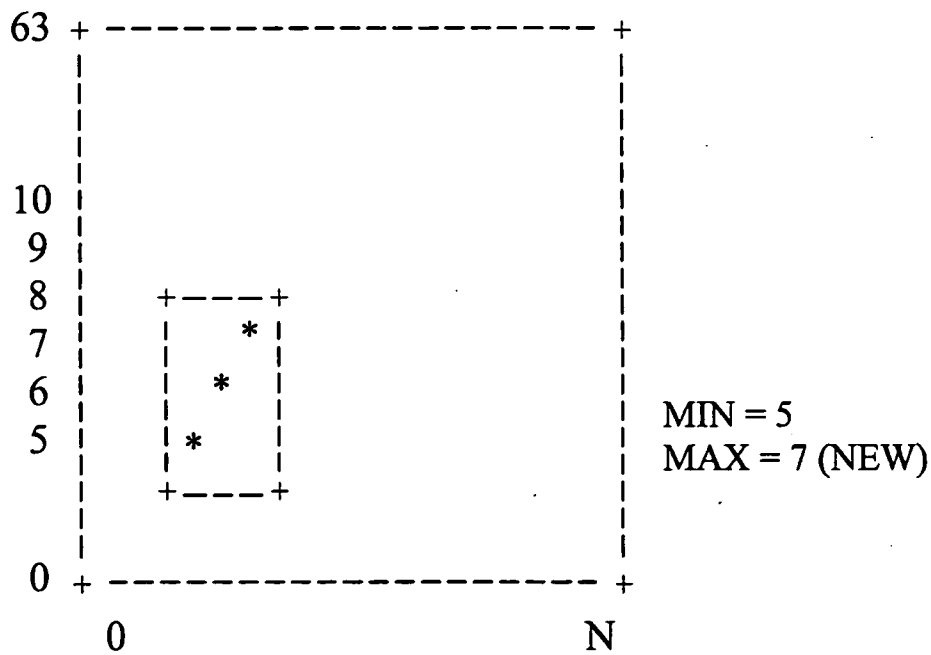
第 6 圖



第 7 圖



第 8A 圖



第 8B 圖

ADDR 4DCED760

+	-----	+
	** ** ** ** ** ** **	
+	-----	+

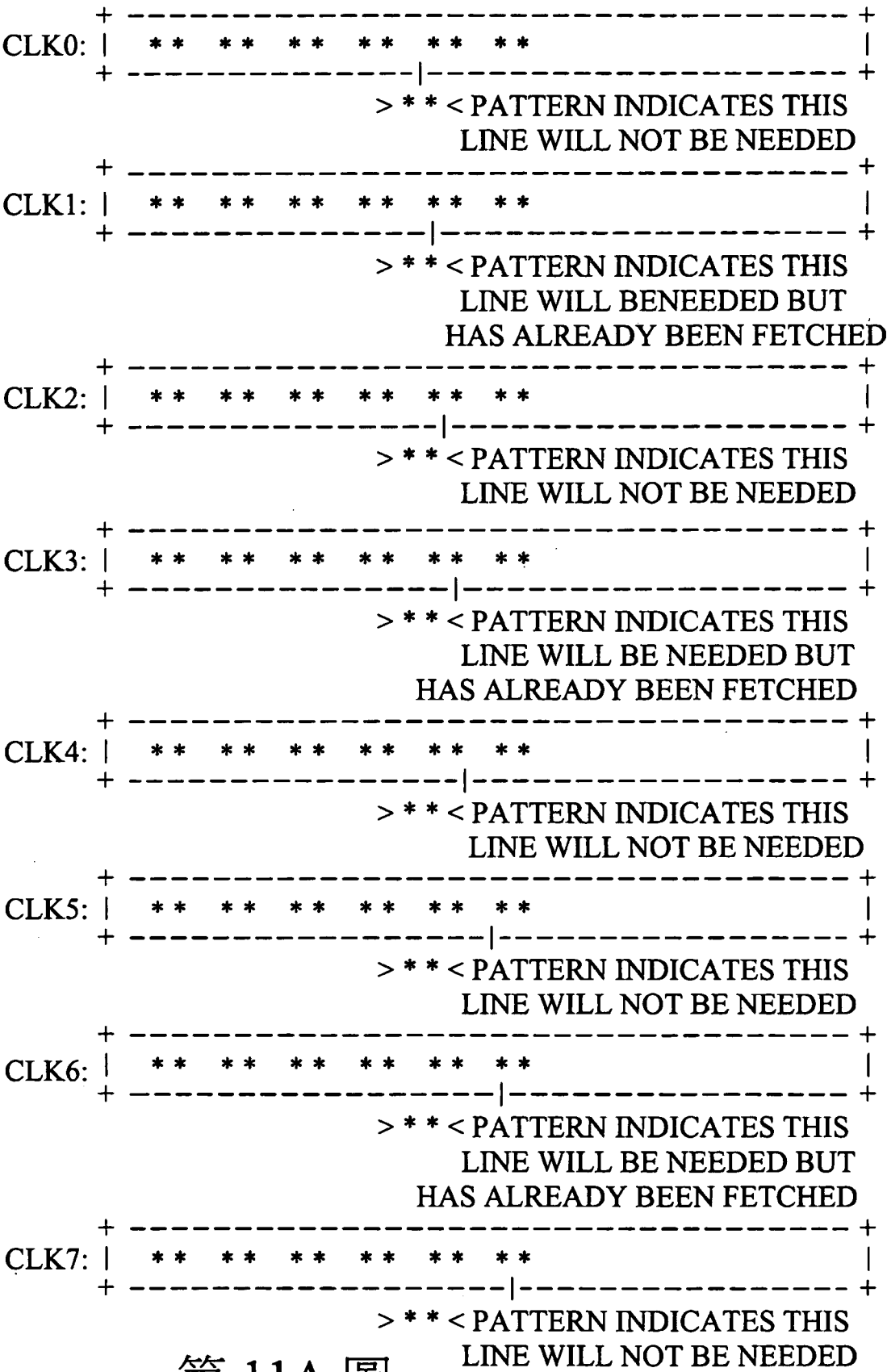
M

PERIOD 3 LEFT OF MIDDLE		*	
PERIOD 3 RIGHT OF MIDDLE		*	
PERIOD 4 LEFT OF MIDDLE		**	
PERIOD 4 RIGHT OF MIDDLE		**	
PERIOD 5 LEFT OF MIDDLE		**	
PERIOD 5 RIGHT OF MIDDLE		**	
CNTR_MIN_CHANGE 4			
CNTR_MAX_CHANGE 6 *			
CNTR_TOTAL 12			
CNTR_PERIOD_1_MATCHES			
CNTR_PERIOD_2_MATCHES			
CNTR_PERIOD_3_MATCHES 3 *			
CNTR_PERIOD_4_MATCHES			
CNTR_PERIOD_5_MATCHES 5 *			

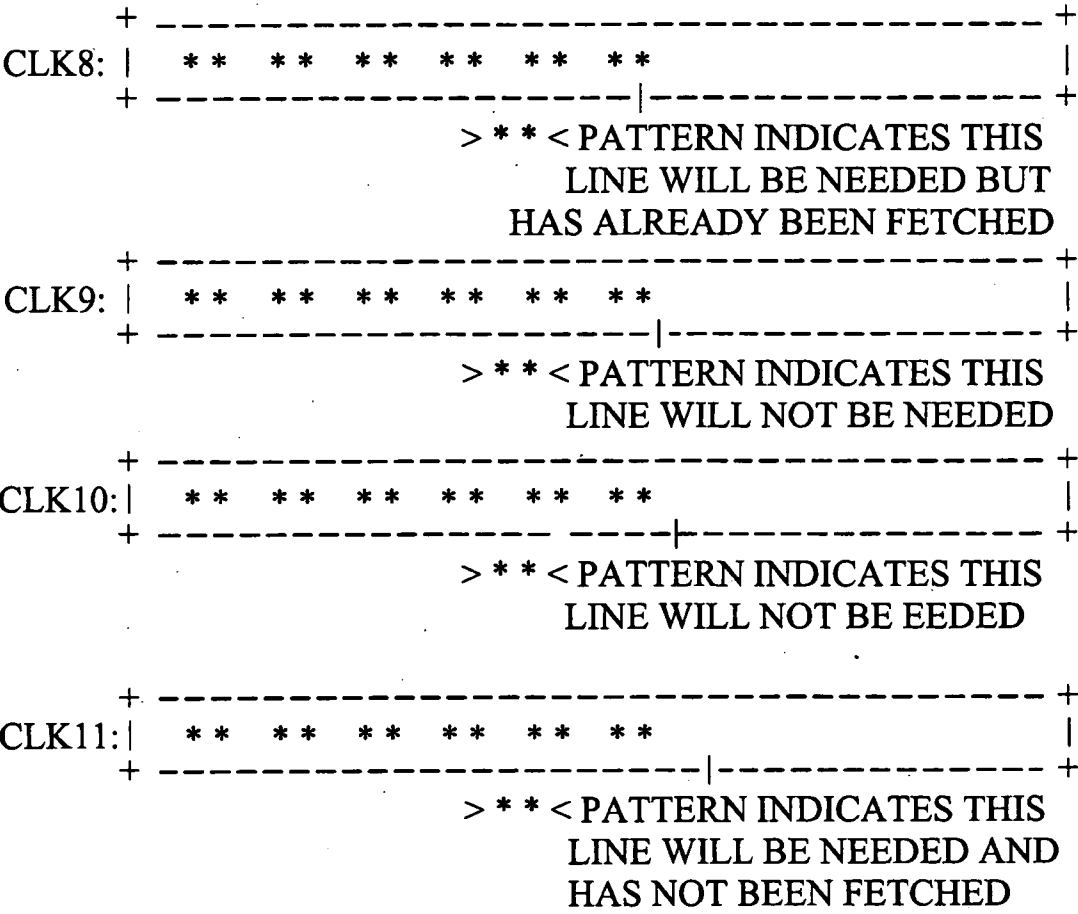
+	-----	+
	** ** ** ** ** **	
+	-----	+

LLLLRRRRR|
SEARCH POINTER

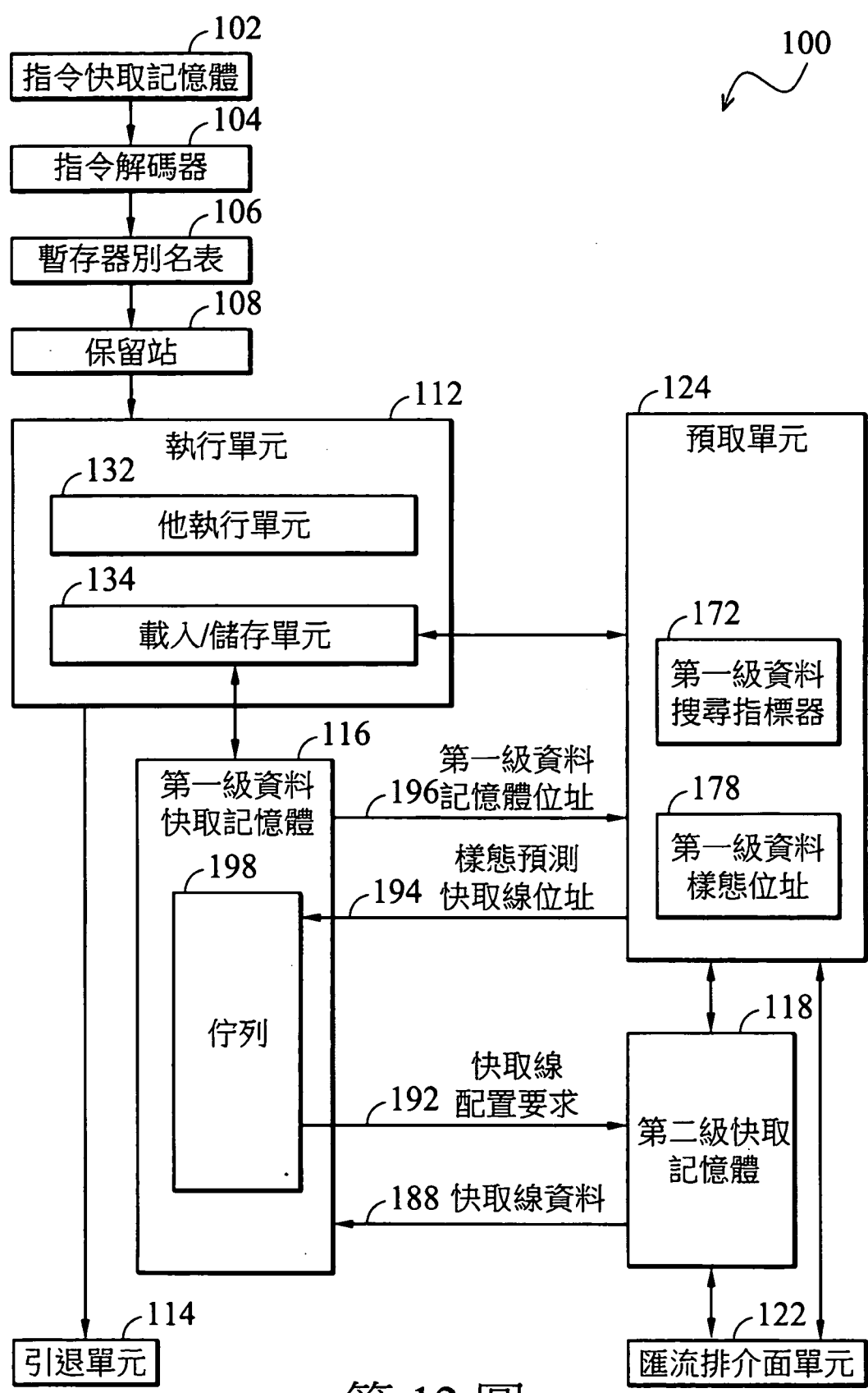
第 10 圖



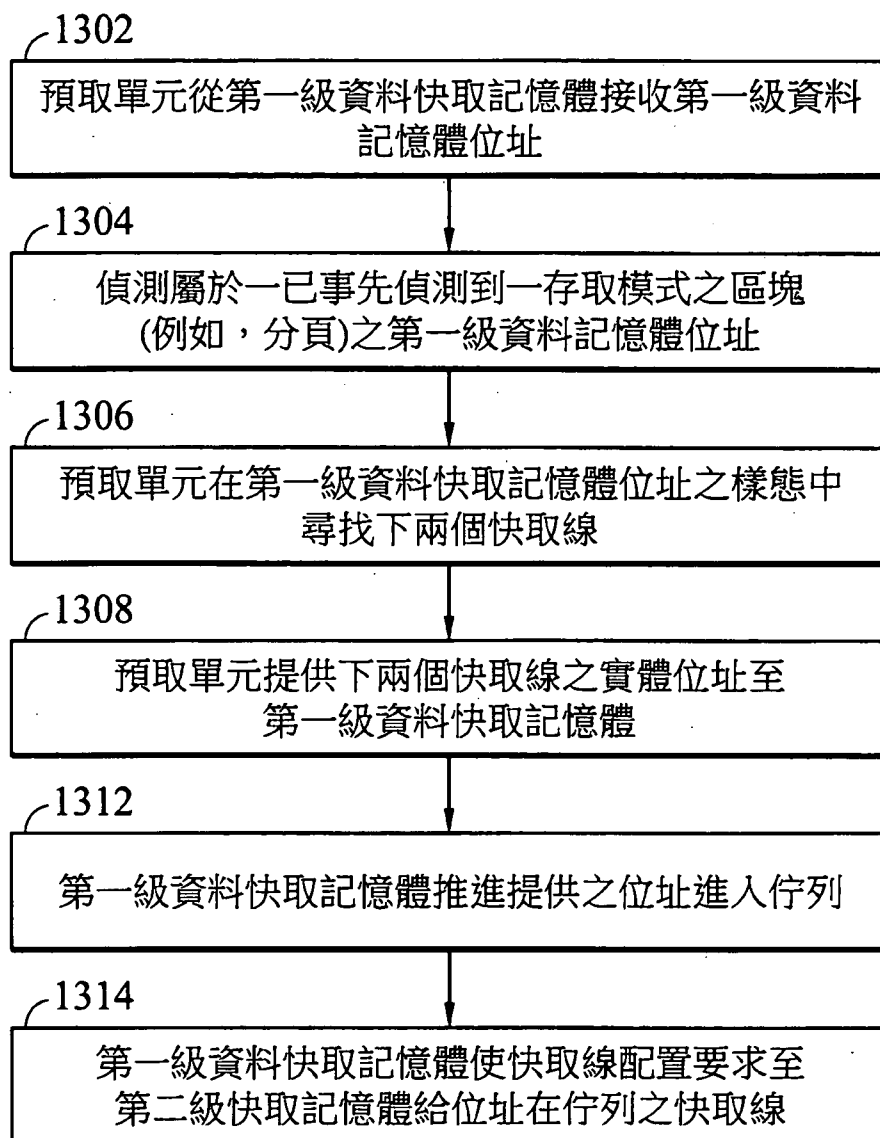
第 11A 圖



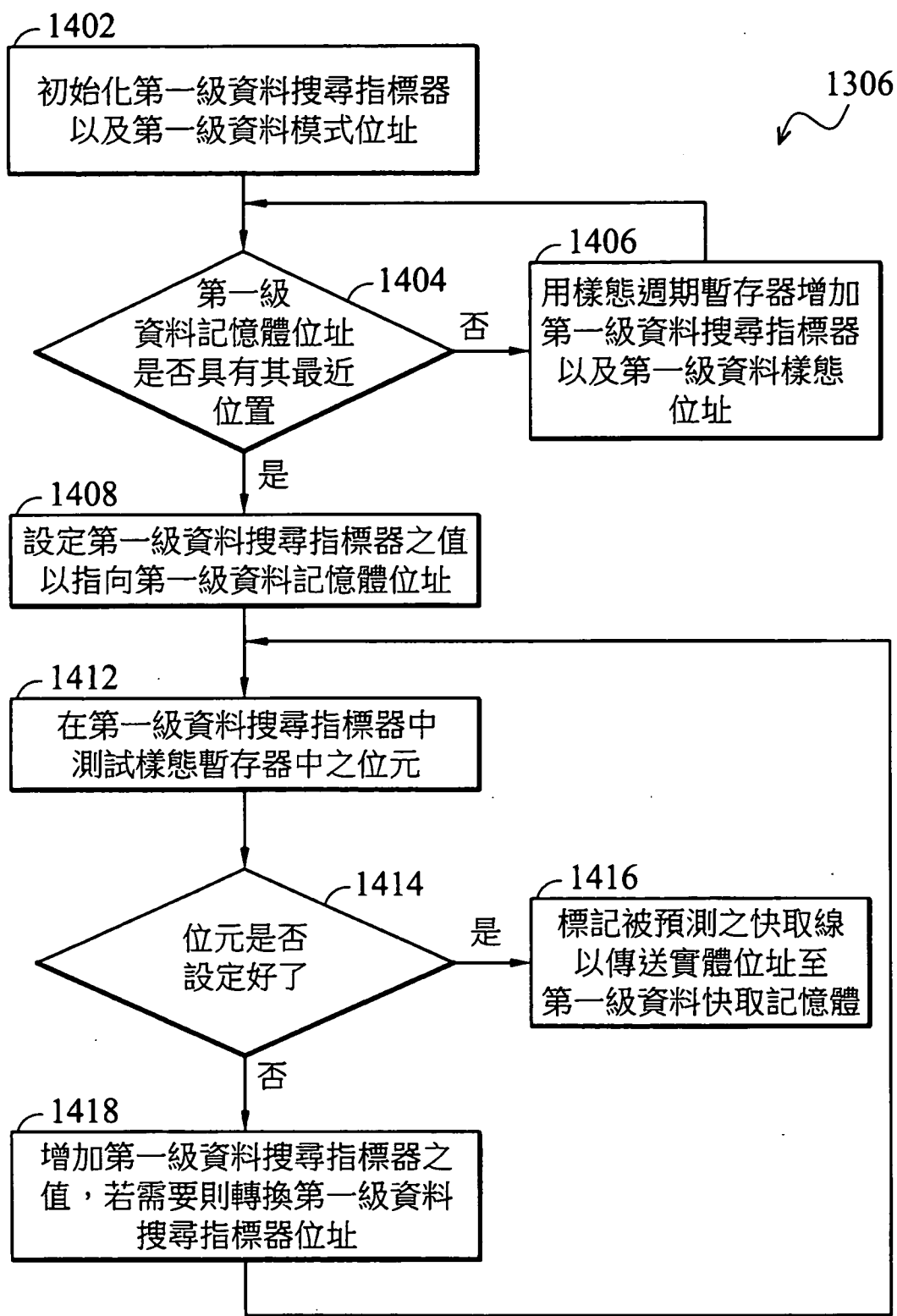
第 11B 圖



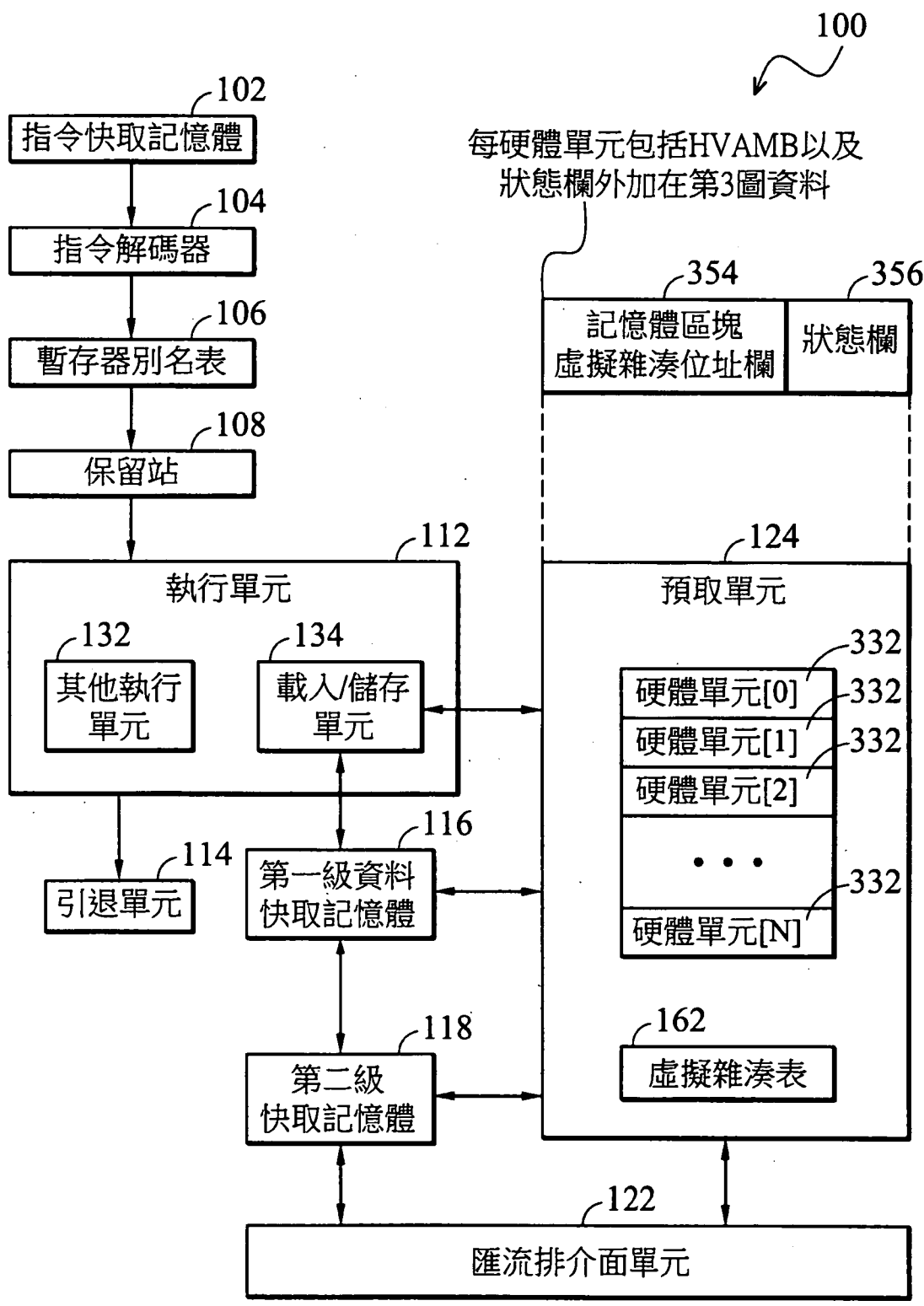
第 12 圖



第 13 圖



第 14 圖

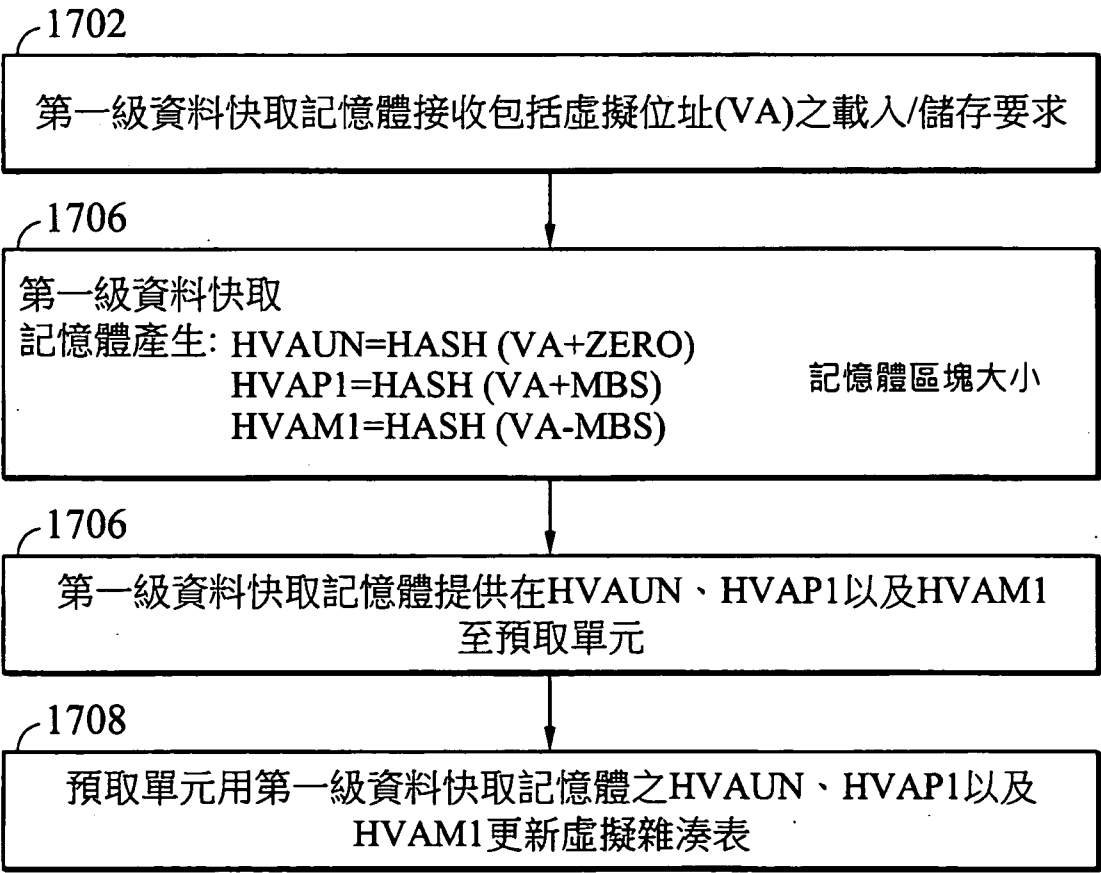


第 15 圖

162

HVAM1 1602	HVAUM 1604	HVAP1 1606
HVAM1 1602	HVAUM 1604	HVAP1 1606
HVAM1 1602	HVAUM 1604	HVAP1 1606
HVAM1 1602	HVAUM 1604	HVAP1 1606
...		
HVAM1 1602	HVAUM 1604	HVAP1 1606

第 16 圖

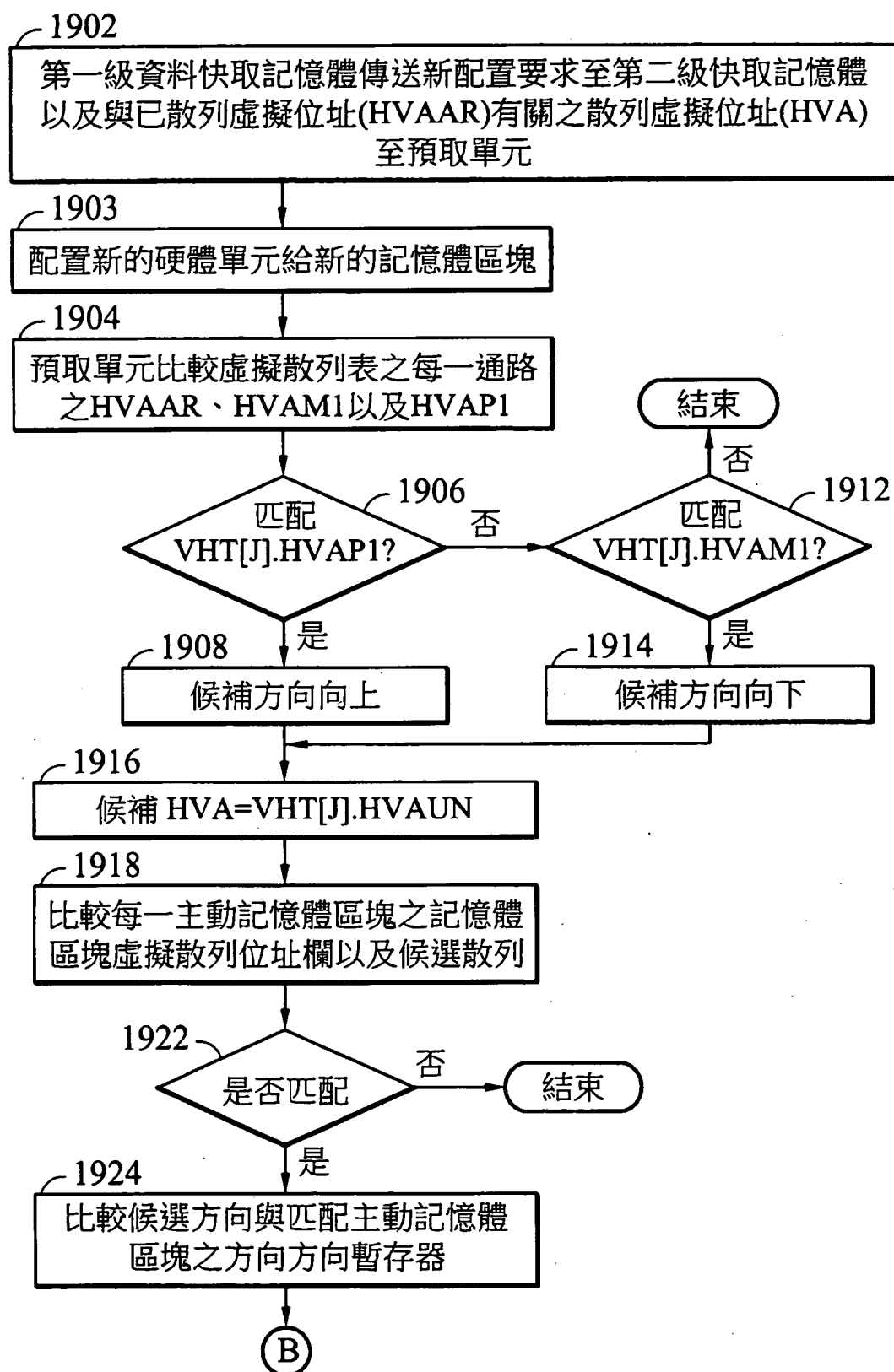


第 17 圖

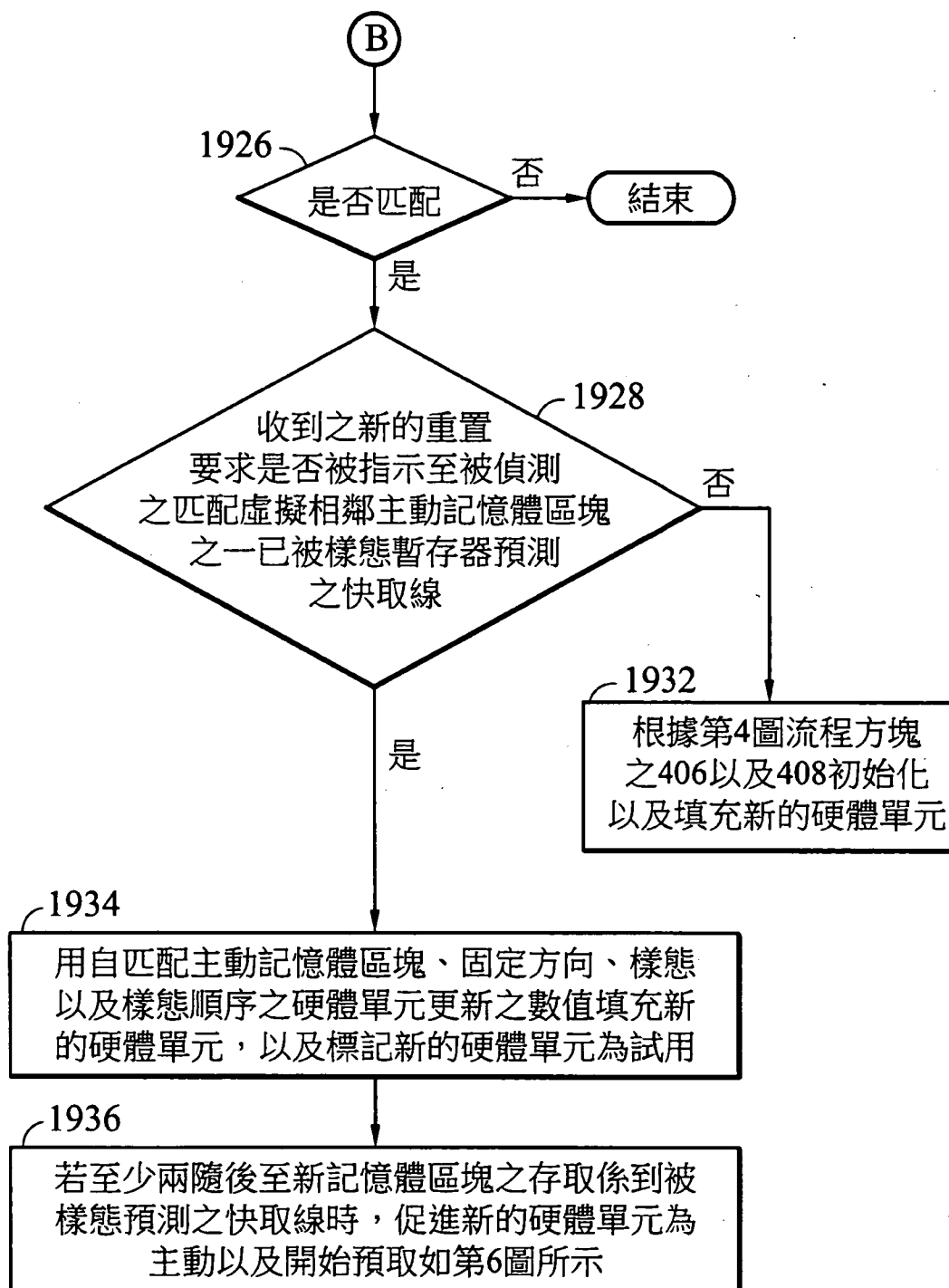
162

HASH (A+MBS)	HASH (A+2*MBS)	HASH (A+3*MBS)
HASH (A)	HASH (A+MBS)	HASH (A+2*MBS)
HASH (A-MBS)	HASH (A)	HASH (A+MBS)
...		

第 18 圖



第 19A 圖



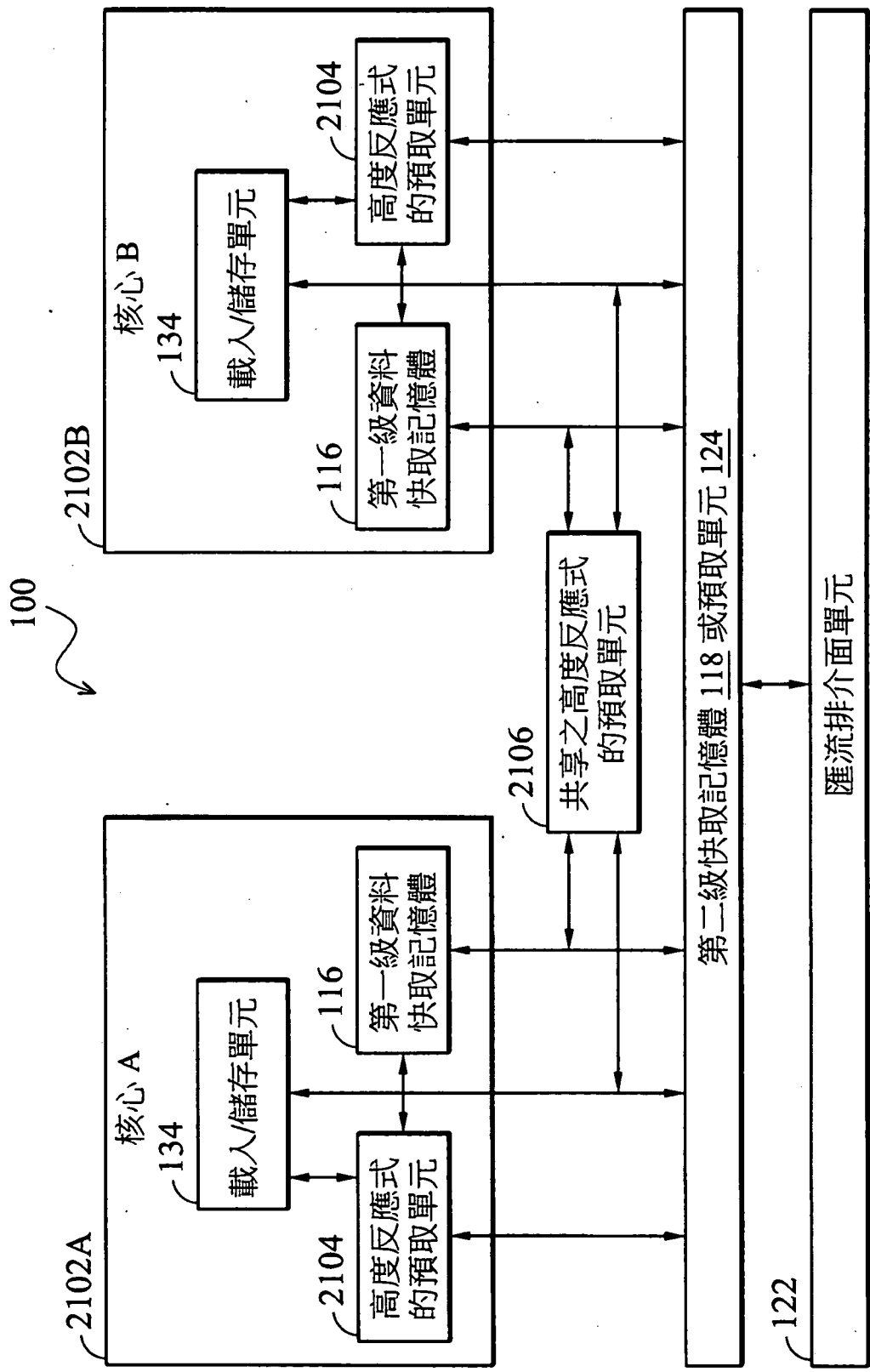
第 19B 圖

2002



PA <u>2004</u>	HVA <u>2006</u>
PA <u>2004</u>	HVA <u>2006</u>
PA <u>2004</u>	HVA <u>2006</u>
PA <u>2004</u>	HVA <u>2006</u>
• • •	
PA <u>2004</u>	HVA <u>2006</u>

第 20 圖



第 21 圖