

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4770706号
(P4770706)

(45) 発行日 平成23年9月14日(2011.9.14)

(24) 登録日 平成23年7月1日(2011.7.1)

(51) Int. Cl.		F I	
HO 1 L 21/02	(2006.01)	HO 1 L 21/02	B
HO 1 L 21/20	(2006.01)	HO 1 L 21/20	
HO 1 L 21/205	(2006.01)	HO 1 L 21/205	

請求項の数 7 (全 20 頁)

(21) 出願番号	特願2006-306522 (P2006-306522)	(73) 特許権者	000002185 ソニー株式会社 東京都港区港南1丁目7番1号
(22) 出願日	平成18年11月13日(2006.11.13)	(74) 代理人	100122884 弁理士 角田 芳末
(62) 分割の表示 原出願日	特願平8-234490の分割 平成8年9月4日(1996.9.4)	(74) 代理人	100133824 弁理士 伊藤 仁恭
(65) 公開番号	特開2007-81422 (P2007-81422A)	(72) 発明者	田舎中 博士 東京都品川区北品川6丁目7番35号 ソ ニー株式会社内
(43) 公開日 審査請求日	平成19年3月29日(2007.3.29) 平成18年11月13日(2006.11.13)	審査官	大嶋 洋一

最終頁に続く

(54) 【発明の名称】 薄膜半導体の製造方法

(57) 【特許請求の範囲】

【請求項1】

半導体基体表面を、陽極化成の電流密度を順次大きくなるように3段階に変化させて、多孔質の表面層と、該表面層下に形成され該表面層に比して多孔率が大きい中間多孔率層と、該中間多孔率層内部もしくは中間多孔率層の下層に形成され前記表面層および前記中間多孔率層に比して多孔率が大きい高多孔率層とを有するような多孔質層に変化させる工程と、

前記多孔質層に半導体膜を形成する工程と、

前記半導体膜を、前記多孔質層を介して前記半導体基体から剥離する工程とを有し、

前記陽極化成の電解溶液として、フッ化水素とエタノールを含有する電解溶液、あるいはフッ化水素とメタノールを含有する電解溶液を用い、

前記陽極化成の第1段階での電流密度を、 $0.5 \sim 3 \text{ mA/cm}^2$ 未満とし、

前記陽極化成の第2段階での電流密度を、 $3 \sim 20 \text{ mA/cm}^2$ とし、

前記陽極化成の第3段階での電流密度を、 $40 \sim 300 \text{ mA/cm}^2$ とし、

前記第3段階での処理時間を、前記第1段階及び前記第2段階での処理時間より短時間とする

ことを特徴とする薄膜半導体の製造方法。

【請求項2】

前記多孔質層に変化させる工程後に、 H_2 雰囲気中で所要温度によるアニール処理を行う工程を有する

10

20

ことを特徴とする請求項 1 記載の薄膜半導体の製造方法。

【請求項 3】

前記多孔質層に形成する半導体膜がエピタキシャル半導体膜である

ことを特徴とする請求項 1 記載の薄膜半導体の製造方法。

【請求項 4】

前記半導体膜に回路素子もしくは集積回路を形成した後、前記半導体膜を前記多孔質層を介して前記半導体基体から剥離する工程を行う

ことを特徴とする請求項 1 記載の薄膜半導体の製造方法。

【請求項 5】

前記半導体基体が、Si, SiGe, GaAs, GaPのいずれかによる

ことを特徴とする請求項 1 記載の薄膜半導体の製造方法。

10

【請求項 6】

前記多孔質層に半導体膜を形成する工程の後に、前記半導体膜表面を平坦研磨する工程を経る

ことを特徴とする請求項 1 記載の薄膜半導体の製造方法。

【請求項 7】

前記多孔質層に半導体膜を形成する工程の後に、前記半導体膜上に接着剤を介して支持基板を接合する工程を経て後、前記半導体膜を前記多孔質層を介して前記半導体基体から剥離する工程を行う

ことを特徴とする請求項 1 記載の薄膜半導体の製造方法。

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、例えば薄膜トランジスタ等の半導体素子よりなる単体半導体装置、あるいは複数の半導体素子からなる半導体集積回路（IC）、ICカード、太陽電池等の各種半導体装置を構成することのできる薄膜半導体の製造方法に係わる。

【背景技術】

【0002】

単体半導体装置、半導体集積回路、ICカード、太陽電池等の各種半導体装置を構成するに、その厚さを充分薄くすることによって、機器の小型化をはかるとか、例えば太陽電池において、光-電気の変換効率を高めるとか、さらに薄膜化によってフレキシブル化して、各種機器の組み立ての簡易化、使用上の便益化等をはかることができる。

30

【0003】

従来、薄膜半導体の製造方法として、Si単結晶基板の表面を多孔質化し、多孔質Si上に非多孔質単結晶Si層を形成し、次に、Si支持基板と単結晶Si層を絶縁層を介して貼り合せた後、多孔質Siで分離してSOI基板を作製する方法が知られている（特許文献1参照）。

【特許文献1】特開平7-302889号公報

【発明の開示】

【発明が解決しようとする課題】

40

【0004】

本発明は、上述した諸目的から、薄膜半導体を、低コストをもって容易、確実に得ることができるようにした薄膜半導体の製造方法を提供する。

【課題を解決するための手段】

【0005】

本発明に係る薄膜半導体の製造方法は、半導体基体表面を、陽極化成の電流密度を順次大きくするように3段階に変化させて、多孔質の表面層と、表面層下に形成され表面層に比して多孔率が大きい中間多孔率層と、中間多孔率層内部もしくは中間多孔率層の下層に形成され表面層および中間多孔率層に比して多孔率が大きい高多孔率層とを有するような多孔質層に変化させる工程と、多孔質層に半導体膜を形成する工程と、半導体膜を多孔質

50

層を介して半導体基体から剥離する工程とを有し、陽極化成の電解溶液として、フッ化水素とエタノールを含有する電解溶液、あるいはフッ化水素とメタノールを含有する電解溶液を用い、陽極化成の第1段階での電流密度を、 $0.5 \sim 3 \text{ mA/cm}^2$ 未満とし、陽極化成の第2段階での電流密度を、 $3 \sim 20 \text{ mA/cm}^2$ とし、陽極化成の第3段階での電流密度を、 $40 \sim 300 \text{ mA/cm}^2$ とし、第3段階での処理時間を、前記第1段階及び前記第2段階での処理時間より短時間とすることを特徴とする。

【0006】

上述の本発明の薄膜半導体の製造方法では、半導体基体表面に多孔質層を形成し、これの上に半導体膜を形成し、この半導体膜を多孔質層における強度の低下を利用して半導体基体から剥離して、剥離された半導体膜によって薄膜半導体を構成するので、その厚さは、半導体膜の厚さによって制御できることから十分薄く、例えばフレキシブルな薄膜半導体として構成することができる。

10

【0007】

多孔質層が、表面層と、中間多孔率層と、高多孔率層の多孔率の異なる3層で形成されるので、半導体膜が機械的強度の低下した高多孔率層から容易に剥離される。また、低多孔率の表面層と高多孔率層との間に中間多孔率層が形成されるので、この中間多孔率層がいわゆるバッファ層として作用し、表面層と高多孔率層との間の歪みが緩和され、結晶性の良い半導体膜の成長ができる。

【発明の効果】

【0008】

本発明に係る薄膜半導体の製造方法によれば、半導体基体表面に多孔率の異なる3層を有する多孔質層を形成して、これの上に半導体膜を成長させ、この半導体膜を多孔質層において半導体基体から剥離することにより、結晶性にすぐれた薄膜半導体を容易、確実に、安価に製造することができる。

20

【発明を実施するための最良の形態】

【0009】

本発明の実施の形態を説明する。

本発明においては、半導体基体表面を例えば陽極化成によって変化させて、多孔質層を形成する。この多孔質層は、互いに多孔率（ポロシティ）が異なる3層以上の層からなる多孔質層、本例では3層からなる多孔質層とする。3層を有する多孔質層の詳細は後述する。そして、この多孔質層の表面に半導体膜をエピタキシャル成長し、これに回路素子もしくは集積回路を形成する。その後このエピタキシャル半導体膜を多孔質層を介して、半導体基体から剥離して目的とする薄膜半導体装置を製造する。

30

【0010】

一方、残された半導体基体は、再び上述した薄膜半導体の製造に繰り返して使用されるが、特に本発明においては、その再利用に先立って多孔質層の、半導体基体に残存する多孔質膜をエッチング除去する多孔質膜の除去工程を行う。

【0011】

この半導体基体に残存する多孔質膜のエッチング除去工程は、化学薬品によるエッチングと、その後の陽極化成による電解エッチングとによることができる。このエッチングの化学薬品は、フッ硝酸の混合液、あるいはフッ硝酸と酢酸の混合液、またはフッ硝酸と過酸化水素水との混合液を用いることができる。

40

【0012】

また、この繰り返し使用されてその厚さが薄くなった半導体基体は、これ自体を薄膜半導体として用いることができる。

【0013】

多孔質層の形成工程においては、その表面に面して多孔率が低い層を形成し、多孔質化がされない半導体基体に近い側すなわち内部側に多孔率が高い層を形成する。

【0014】

また、多孔質層形成工程において、例えば多孔率が低い表面層と、この表面層と半導体

50

基体との間に形成され、多孔率が表面層のそれより高い中間多孔率層と、この中間多孔率層内もしくはこの中間多孔率層の下層すなわち多孔質化がなされていない半導体基体との界面に形成され、中間多孔率層より高い多孔率を有する高多孔率層とを形成することができる。

【0015】

多孔質層を形成する陽極化成においては、半導体基体表面を低電流密度で陽極化成する工程と、その後、高電流密度で陽極化成する工程とをとる。

【0016】

また、陽極化成において、半導体基体表面を低電流密度で陽極化成する工程と、更にこの低電流密度よりも少し高い中間低電流密度で陽極化成する工程と、更にこれより高電流密度で陽極化成する工程とをとることができる。

10

【0017】

また、陽極化成において、その高電流密度での陽極化成は、高電流密度の通電を間欠的に行うようにすることができる。

【0018】

また、多孔質層を形成する陽極化成における、中間低電流密度での陽極化成において、その電流密度を漸次大きくすることができる。

【0019】

陽極化成は、フッ化水素とエタノールを含有する電解溶液中、あるいはフッ化水素とメタノールを含有する電解溶液中で行うことができる。

20

【0020】

また、陽極化成工程において、電流密度を変更するに際して、電解溶液の組成も変更することができる。

【0021】

多孔質層を形成した後は、水素ガス雰囲気中で加熱することが好ましい。また、多孔質層を形成した後の、水素ガス雰囲気中での加熱工程の前に、多孔質層を熱酸化することが好ましい。

【0022】

半導体基体は、これの上に形成する、すなわちこの半導体基体の表面の多孔質層上に形成する半導体膜に応じて、例えば、Si単結晶、多結晶、SiGe、GaAs、GaP等による半導体基体を用いることができる。例えば化合物半導体による薄膜半導体を形成する場合においては、半導体基体として化合物半導体基体を用いる。そして、この多孔質層上に化合物半導体をエピタキシャル成長させれば、例えばSi半導体基体上に化合物半導体をエピタキシャル成長させる場合よりも格子不整合を小さくすることができることから良好な結晶性をもつ薄膜化合物半導体を形成することができる。SiGe、GaAs、GaP等による半導体基体のいずれにおいても、陽極化成を行うことによってその表面に多孔質層を形成することができる。

30

【0023】

半導体基体の形状は、種々の構成を採ることができる。例えばウエファ状すなわち円板状、あるいは基体表面が曲面を有する単結晶引上げによる円柱体状インゴットによるなど、種々の形状とすることができる。

40

【0024】

また、半導体基体は、n型もしくはp型の不純物がドーブされた半導体基体あるいは、不純物を含まない半導体基体によって構成することができる。しかし、陽極化成を行う場合は、p型の不純物が高濃度にドーブされた低比抵抗の半導体基体いわゆるp⁺のSi基体を用いることが好ましい。この半導体基体としてp⁺型Si基体を用いるときは、p型不純物の例えばボロンBが、約10¹⁹atoms/cm³程度にドーブされ、その抵抗が0.01~0.02cm程度のSi基板を用いることが望ましい。そして、このp⁺型Si基体を陽極化成すると、基板表面とほぼ垂直方向に細長く伸びた微細孔が形成され、結晶性を維持したまま多孔質するため、望ましい多孔質層が形成される。

50

【 0 0 2 5 】

このように結晶性を維持したまま多孔質された多孔質層上に、半導体膜をエピタキシャル成長する。この半導体膜は、単層の半導体膜によって構成することもできるし、2層以上の複層半導体膜とすることができる。

【 0 0 2 6 】

このように、半導体基体上にエピタキシャル成長した半導体膜は、半導体基体から剥離するが、この剥離に先立って例えば半導体膜上に、フレキシブル樹脂シート等による支持基板を接合してこの支持基板とエピタキシャル半導体膜とを一体化した後、エピタキシャル半導体膜を支持基板と共に、半導体基体から、この半導体基体に形成した多孔質層を介して剥離することができる。

【 0 0 2 7 】

この支持基板は、フレキシブルシートに限られるものでなくガラス基板、樹脂基板あるいは例えば所要のプリント配線がなされたフレキシブル、もしくは剛性いわゆる堅い(リジッド)透明プリント基板によって構成することもできるものである。

【 0 0 2 8 】

半導体基体表面には、多孔率を異にする3層以上からなる多孔質層、本例では3層からなる多孔質層を形成する。最表面の多孔質層は、その多孔率が比較的小さく緻密な多孔質層として形成し、この多孔質層上に良好にエピタキシャル半導体膜を成長させることができるようにし、またこの表面層より内側すなわち下層側においては比較的多孔率の高い多孔質層を基体面に沿って形成することによってこれ自体の高多孔率化による機械的強度の低下、あるいはこの多孔質層と他との格子定数の相違に基く歪みによって脆弱化し、この層においてエピタキシャル半導体膜の剥離、すなわち分離を容易に行うことができる。例えば、超音波印加によって分離させることができる程度に弱い多孔質層を形成することも可能となる。

【 0 0 2 9 】

多孔質層の表面より内側に形成する多孔率を大きくした層は、その多孔率が大きいほど上述の剥離が容易になるが、この多孔率が余り大きいと、上述したエピタキシャル半導体膜の剥離処理前に、剥離を発生させたり、多孔質層に破損を来すおそれがあることから、この多孔率の大なる層における多孔率は、40%以上70%以下とする。

【 0 0 3 0 】

また、多孔質層に多孔率の大なる層を形成する場合、その多孔率が大きくなるにつれ歪みが大きくなり、この歪の影響が多孔質層の表面層にまで及ぶと、表面層に亀裂を発生させるおそれが生じてくる。また、このように多孔質層の表面にまで歪の影響が生じると、これの上にエピタキシャル成長させる半導体膜に結晶欠陥を発生させる。そこで、本例では多孔質層には、その多孔率が高い層と多孔率の低い表面層との間に、歪みを緩和するバッファ層として、表面層よりは多孔率が高く、かつ高多孔率層に比しては多孔率が低い中間多孔率を有する中間多孔率層を形成する。このようにすることにより、高多孔率層の多孔率を、上述のエピタキシャル半導体膜の剥離を確実に行うことができる程度に大きくし、しかも結晶性にすぐれたエピタキシャル半導体膜の形成を可能にする。

【 0 0 3 1 】

上述した半導体基体表面の多孔質化の陽極化成は、公知の方法、例えば伊藤らによる表面技術 Vol. 46, No. 5, pp. 8 ~ 13, 1995 [多孔質 Si の陽極化成] に示された方法によることができる。すなわち、例えば図7にその概略構成図を示す2重セル法で行うことができる。この方法は、第1および第2の槽1Aおよび1Bを有する2槽構造の電解溶液槽1が用いられる。そして、両槽1Aおよび1B間に多孔質層を形成すべき半導体基体11を配置し、両槽1Aおよび1B内に、直流電源2が接続された対の白金電極3Aおよび3Bの各一方が配置される。電解溶液槽1の第1および第2の槽1Aおよび1B内には、それぞれ例えばフッ化水素HFとエタノールC₂H₅OHとを含有する電解溶液4、あるいはフッ化水素HFとメタノールCH₃OHとを含有する電解溶液4が収容され、第1および第2の槽1Aおよび1Bにおいて電解溶液4に半導体基体11の両面

10

20

30

40

50

が接触するように配置され、かつ両電極 3 A および 3 B が電解溶液 4 に浸漬配置される。そして、半導体基体 1 1 の多孔質層を形成すべき表面側の槽 1 A 内の電解溶液 4 に浸漬されている電極 3 A 側を負極側として、直流電源 2 が接続されて両電極 3 A および 3 B 間に通電がなされる。このようにすると、半導体基体 1 1 側を陽極側、電極 3 A を陰極側とする給電がなされ、これにより、半導体基板の電極 3 A 側に対向する表面が侵蝕されて多孔質化する。

【 0 0 3 2 】

この 2 槽セル法による場合は、オーミック電極を半導体基体に被着形成することが不要となり、このオーミック電極から不純物が半導体基体に導入することが回避される。

【 0 0 3 3 】

そしてこの陽極化成における条件の選定により、形成される多孔質層の構造が相当に変化するものであり、これによってこれの上に形成する前述したエピタキシャル半導体膜の結晶性および剥離性が変化する。

【 0 0 3 4 】

多孔率を異にする 2 層以上の層からなる多孔質層を形成するには、陽極化成処理において、電流密度が異なる 2 段階以上の多段階陽極化成法を採用する。具体的には、表面に多孔率が低いすなわち口径の小さい微細孔による比較的緻密な低多孔率の多孔質層を作製するため、まず、低電流密度で第 1 陽極化成を施す。多孔質層の膜厚は時間に比例するので、所望する膜厚になるような時間で陽極化成を行う。その後、かなり高い電流密度で第 2 陽極化成を行えば、最初に形成された低多孔率の多孔質層の下側に多孔率の大きい高多孔率の多孔層が形成される。すなわち、少なくとも多孔率の低い低多孔率層と、多孔率の高い高多孔率層を有する多孔質層が形成される。

【 0 0 3 5 】

そして、この場合、低多孔率の多孔質層と、高多孔率の多孔質層との界面付近には、両者の格子定数の違いにより大きな歪みが生じる。この歪みがある値以上になると、多孔質層は 2 つに分離する。したがって、この歪みによる分離あるいは、多孔率による機械的強度の低下による分離が生じるか、生じないかという境界条件付近の陽極化成条件で多孔質層を形成すれば、この多孔質層上に成長させた半導体膜、例えばエピタキシャル半導体膜は、この多孔質層を介して容易に分離することができる。

【 0 0 3 6 】

この場合の、低電流密度の第 1 陽極化成は、例えば $0.01 \sim 0.02 \text{ cm}$ の p 型シリコン単結晶基体を用い、 $\text{HF} : \text{C}_2\text{H}_5\text{OH} = 1 : 1$ (HF が 49% 溶液、エタノールが 95% 溶液での体積比) (以下同様) のとき、 $0.5 \sim 10 \text{ mA/cm}^2$ 程度の低電流密度で数分から数十分間行う。また、高電流密度の第 2 陽極化成は、例えば $40 \sim 300 \text{ mA/cm}^2$ 程度の電流密度で、 $1 \sim 10$ 秒間、好ましくは 3 秒間前後の時間で行う。

【 0 0 3 7 】

上述した第 1 および第 2 の 2 段階の陽極化成では、多孔質層内部の高多孔率層で発生する歪みがかなり大きくなるため、多孔質層の表面までこの歪みの影響が及び、この場合、前述したように、亀裂の発生や、これの上に形成するエピタキシャル半導体膜に結晶欠陥を発生させるおそれが生じる。そこで、多孔質層において、低多孔率の表面層と高多孔率層との間に、これらによって発生する歪みを緩和するバッファ層として、表面層よりは多孔率が高く、かつ高多孔率層に比しては多孔率が低い中間多孔率層を形成する。具体的には、最初に低電流密度の第 1 陽極化成を行い、次いで第 1 陽極化成よりもやや高い電流密度の第 2 陽極化成を行って、その後それらよりもかなり高い電流密度で第 3 陽極化成を行う。第 1 陽極化成の条件は、特に制限されないが、例えば $0.01 \sim 0.02 \text{ cm}$ の p 型シリコン単結晶基体を用い、電解溶液として $\text{HF} : \text{C}_2\text{H}_5\text{OH} = 1 : 1$ を用いるとき、 $0.5 \sim 3 \text{ mA/cm}^2$ 未満程度、第 2 陽極化成の電流密度は例えば $3 \sim 20 \text{ mA/cm}^2$ 程度、第 3 陽極化成の電流密度は、例えば $40 \sim 300 \text{ mA/cm}^2$ 程度で行うことが好ましい。例えば 1 mA/cm^2 の電流密度で陽極化成を行うと、多孔率は約 16% 程度、 7 mA/cm^2 の電流密度で陽極化成を行うと、多孔率は約 26%、 200 mA/cm^2

10

20

30

40

50

cm^2 の電流密度で陽極化成を行うと、多孔率は約 60 ~ 70 % 程度になる。このような陽極化成を行った多孔質層上にエピタキシャル成長を行うと、結晶性のよいエピタキシャル半導体膜が成膜できる。

【0038】

また、上述したように電流密度を3段階とする陽極化成を行う場合、第1陽極化成で形成される多孔率が低い表面層はそのまま低い多孔率を保ち、第2陽極化成で形成される多孔率がやや高い中間多孔率層、すなわちバッファー層は、表面層より内側、すなわち表面層と多孔質化がされていない半導体基体との界面に形成されて、多孔質層は表面層と中間多孔率層との2層構造となる。また、上述の第3陽極化成で形成される多孔率の高い高多孔率層は、原理は不明であるが、その電流密度を 90 mA/cm^2 程度以上とすると、第2陽極化成で形成した中間多孔率層内にすなわち中間多孔質層の厚さ方向の中間部に形成される。

10

【0039】

また中間多孔率層の形成において、この中間多孔率層を形成する陽極酸化を多段階もしくは漸次例えば通電電流密度を変化する条件下で行うことによって、低多孔率表面層と、高多孔率層との間に段階的にもしくは傾斜的にその多孔率を、表面層から高多孔率層側に向かって高めた中間多孔率層を形成する。このようにすれば、表面層と高多孔率層との間の歪みは、より緩和されて、さらに確実に結晶性のよいエピタキシャル半導体膜をエピタキシャル成長することができる。

【0040】

20

ところで、分離面は、最後に行う多孔率の大きい剥離層とその直前に行う多孔率の小さいバッファー層との界面で格子定数の違いによる歪みが大きくかかることによって形成することができるが、この最後の陽極化成を行うときに工夫をすると、分離面がより分離しやすくなる。それは、最後の高電流密度の陽極化成で、例えば時間を3秒間一定に通電するのではなく、1秒間の通電の後、陽極化成を一旦停止して、所要時間経過後、例えば1分程度放置した後、同じまたは異なる高電流密度でまた1分間の通電を行って陽極化成を停止し、また所要時間経過後、例えば1分程度放置した後、再度同じまたは異なる高電流密度で1秒間通電を行って陽極化成を停止するという間欠的に通電する方法である。この方法を使用して適当な陽極化成条件を選ぶと、剥離層が半導体基板との界面すなわち多孔質層の最下面に形成され、分離面は上記のような中間多孔質層すなわちバッファー層の内部ではなく、多孔質層の半導体基板との界面で分離される。そして半導体基体側表面は電解研磨される。

30

【0041】

この場合、多孔質層における歪みが生じる高多孔質層と表面とが最大限に離間し、中間多孔率層によるバッファー効果が最大限に発揮されることになり、良好な結晶性を有するエピタキシャル半導体膜を形成することができる。また、このように中間多孔質層が表面側にのみ形成されるので多孔質層の全体の厚さを小さくすることができ、この多孔質層を形成するための半導体基板の消耗厚さを減らすことができ、この半導体基体の繰り返し使用回数を大とすることができる。

【0042】

40

このように、陽極化成条件の選定により、分離面においては、歪が大きく掛かるようにし、しかもこの歪みの影響が半導体膜のエピタキシャル成長面に与えられないようにすることができる。

【0043】

また、多孔質層上に、結晶性良く半導体のエピタキシャル成長を行うには、多孔質層の表面層の結晶成長の種となる微細孔を小さくすることが望まれる。このように表面層の微細孔を小さくする手段の一つとしては、陽極化成にあたって電解液中のHF濃度を濃くする方法がある。すなわち、この場合、まず表面層を形成する低電流陽極化成では、HF濃度の濃い電解溶液を使用する。次にバッファー層となる中間多孔率層を形成し、その後、電解溶液のHF濃度を下げてから、最後に高電流密度の陽極化成を行う。このようにする

50

ことによって、表面層の微細孔の微細化をはかることができることによって、これの上に結晶性の良いエピタキシャル半導体膜を形成することができるものであり、しかも高多孔率層においては、多孔率を必要十分に高くできるので、エピタキシャル半導体膜の剥離は良好に行うことができる。

【0044】

この多孔質層の陽極化成における電解溶液の変更は、例えば表面層の形成においては、電解溶液として、例えば $\text{HF} : \text{C}_2\text{H}_5\text{OH} = 2 : 1$ による電解溶液を使用した陽極化成を行い、バッファ層としての中間多孔率層の形成においては、やや薄い HF 濃度の電解溶液、例えば $\text{HF} : \text{C}_2\text{H}_5\text{OH} = 1 : 1$ による電解溶液を使用した陽極化成を行い、さらに高多孔率層を形成においては、電解溶液は、さらに HF 濃度を薄くして、例えば $\text{HF} : \text{C}_2\text{H}_5\text{OH} = 1 : 1 \sim 1 : 2$ の電解溶液を用いた高電流密度の陽極化成を行う。

10

【0045】

なお、上述した多孔質層の形成において、表面層の形成から中間多孔率層の形成にかけて、電流密度を変化させるとき、一旦陽極化成を停止してから、次の陽極化成を行う通電を開始する手順によることもできるし、一旦陽極化成を停止することなくすなわち通電を停止することなく、連続して電流密度を変化させて行うこともできる。

【0046】

また、陽極化成を行う際は、光を遮断した暗所で行うことが好ましい。これは、光を照射すると、多孔質層の表面に凹凸が多くなり、結晶性の良好なエピタキシャル半導体膜を得ることが困難になることによる。

20

【0047】

なお、陽極化成されたシリコンの多孔質層は、可視発光素子として利用できる。この場合、上記と逆に光を照射しながら陽極化成することが好ましく、これにより発光効率が上昇する。更に、酸化させると、波長にブルーシフトが起こる。また、半導体基体は、 p 型でも n 型でもよいが、不純物を導入しない高抵抗のものの方が好ましい。

【0048】

以上の工程により、表面（片面または両面）に多孔質層が形成された半導体基板を得ることができる。なお、多孔質層全体の膜厚は、特に制限されないが、 $1 \sim 50 \mu\text{m}$ 、好ましくは $3 \sim 15 \mu\text{m}$ 、通常 $8 \mu\text{m}$ 程度の厚さとすることができる。多孔質層全体の厚さは、半導体基板をできる限り繰り返し使用できるようにするためにできるだけ薄くすることが好ましい。

30

【0049】

また、多孔質層上に、半導体膜を成膜するに先立って、多孔質層のアニールを行うことが好ましい。このアニールは、水素ガス雰囲気中での熱処理、すなわち水素アニールを挙げることができる。この水素アニールを行うときは、多孔質層の表面に形成された自然酸化膜の完全な除去、および多孔質層中の酸素原子を極力除去することができ、多孔質層の表面が滑らかになり、良好な結晶性を有するエピタキシャル半導体膜を形成することができる。同時にこの前処理によって、高多孔率層と中間多孔率層との界面の強度を一層弱めることができ、エピタキシャル半導体膜の基板からの分離をより容易に行うことができる。この場合の水素アニールは、例えば $950 \sim 1150$ 程度の温度範囲で行う。

40

【0050】

また、水素アニールの前に、多孔質層を低温酸化させると、多孔質層の内部は酸化されるので、水素ガス雰囲気中での熱アニールを施しても多孔質層には大きな構造変化が生じない。つまり、多孔質層の表面への剥離層からの歪みが伝わりにくくなり、良質な結晶性のエピタキシャル半導体膜を成膜することができる。この場合の低温酸化は、例えばドライ酸化雰囲気中で 400 で1時間程度で行うことができる。

【0051】

そして、上述したように多孔質層表面に半導体のエピタキシャル成長を行う。この半導体のエピタキシャル成長は、単結晶半導体基板の表面に形成された多孔質層は、多孔質ながら結晶性を保っていることから、この多孔質層上へのエピタキシャル成長は可能である

50

。この多孔質層表面へのエピタキシャル成長は、例えばCVD法により、例えば700～1100の温度で行うことができる。

【0052】

また、上述した水素アニール、および半導体のエピタキシャル成長のいずれにおいても、半導体基体を所定の基体温度に加熱する方法としては、いわゆるサセプタ加熱方式によることもできるし、半導体基体自体に直接電流を流して加熱する通電加熱方式等を採用することができる。

【0053】

多孔質層上に成長させる半導体膜は、単層半導体膜とすることも複数の半導体層の積層による複層半導体膜とすることができる。また、この半導体膜は半導体基体と同じ物質でもよいし、異なる物質でもよい。例えば、単結晶Si半導体基体を用い、その表面に形成した多孔質層にSi、あるいはGaAs等の化合物半導体、またはシリコン化合物、例えば $Si_{1-y}Ge_y$ をエピタキシャル成長するとか、これらを適宜組み合わせ積層する等、種々のエピタキシャル成長を行うことができる。

【0054】

また、半導体膜には、その成長に際してn型もしくはp型の不純物を導入することができる。あるいは、半導体膜の成膜後に、イオン注入、拡散等によって不純物の導入を全面もしくは選択的に行うこともできる。この場合、その使用目的に応じて、導電型、不純物の濃度、種類の選択がなされる。

【0055】

また、半導体膜の厚さも、薄膜半導体の用途に応じて適宜選択することができる。例えば、半導体集積回路を薄膜半導体に形成する場合、半導体素子の動作層は数 μm 程度の厚さであるので、例えば5 μm 程度の厚さに形成することができる。

【0056】

上述のようにして得られたエピタキシャル半導体膜の表面には、やや凹凸があり、この半導体膜に対する回路素子もしくは集積回路の形成工程で行われる例えばフォトリソグラフィ工程におけるフォトレジストに対する露光処理での露光装置のマスク合わせの精度が低下するなどの不都合が生じる場合は、半導体膜表面を研磨することが好ましい。この場合、多孔質層が脆く、弱くなっているため、この多孔質層に負担がかからない弱い研磨を行う。

【0057】

次に、半導体装置を構成する場合においては、回路素子もしくは集積回路を、半導体膜に形成する。例えばDRAM(Dynamic Random Access Memory)や、CMOS(Complementary Metal Oxide Semiconductor)など、半導体素子、あるいはこれらの素子を組み合わせた集積回路を形成する。これら回路素子もしくは集積回路は、通常一般の半導体製造技術によることができる。その製造は、例えば拡散炉、イオン注入装置、露光装置、CVD(化学的気相成長)装置、スパッタ装置、洗浄装置、ドライエッチング装置、エピタキシャル成長装置等を使用して半導体基体に形成できる全ての回路素子もしくは集積回路に適用できる。また、回路素子もしくは集積回路としては例えば、ダイオード、トランジスタ等の各半導体素子、デジタルまたはアナログIC、フラッシュメモリ等その種類を問わず、例えば太陽電池を構成することもできる。

【0058】

このように、半導体膜に回路素子もしくは集積回路が形成された薄膜半導体装置は、その全体を絶縁層によって被覆しておくことが好ましい。

【0059】

このように、回路素子もしくは集積回路を形成した後、この半導体膜、すなわち薄膜半導体装置に、支持基板を接合する。この支持基板は、例えば樹脂基板、ガラス基板、金属基板、セラミック基板などその種類に制限はない。例えば、ICカードを構成するフレキシブル基板やカバーシートなどに貼り付け、ICカードを構成するようにしてもよい。また、支持基板にも、回路素子もしくは集積回路を形成することもできるものであり、プリ

10

20

30

40

50

ント基板等によって構成することができる。この支持基板の接合方法は、例えば接着剤、半田、粘着材等による接合によることができ、その接合強度は、後に行う多孔質層を介しての剥離強度以上の接合強度、すなわち剥離に要する力で接合が破壊することのない程度の接合強度とされ、この支持基板と半導体膜とが一体化して、半導体基体から半導体膜を剥がすことができる程度の接着強度を示す接合剤が用いられる。

【0060】

このようにして、支持基板と半導体膜とを一体化させた後、これを半導体基体から多孔質層を内部での破壊によって剥離させる。この剥離は、高多孔質層を有する多孔質層においては、その高多孔質層で容易に分離される。

【0061】

このようにして剥離のなされた半導体膜の、半導体基体からの剥離面には、多孔質層が残存している場合があり、この多孔質層は、必要により、研磨、エッチングなどでこれを除去する。また、除去せずにそのままでもよい。あるいは、剥離面の保護のために、保護膜を被着するとか、保護基板例えば樹脂基板を貼り合わせてもよい。

【0062】

以上のように製造された薄膜半導体もしくはこれによる半導体装置は、極めて薄いエピタキシャル成長による半導体膜による薄膜半導体に回路素子もしくは集積回路が形成されたもので、フレキシブルで、かつ薄いという特性を利用して、例えばICカードをはじめとして、携帯機器等の電子機器に応用が可能であり、近年の軽薄短小に適応したものである。

【0063】

一方、分離された半導体基体は、その表面を研磨して再び使用する。例えば1回の薄膜半導体装置の製作に消費される基板の厚さは約3~20 μm 程度であるため、10回の繰り返し使用でも消費される厚さは約30~200 μm である。そのため、高価な単結晶の半導体基体を繰り返し使用できるので、本発明方法は、極めて低コスト、かつ低エネルギーで薄膜半導体装置を製造することができる。なお、半導体基体表面に消費した分のエピタキシャル成長を行えば、永久に同一の半導体基体を用いることができ、更に低コスト、低エネルギーで薄膜半導体装置を製造することができる。

【0064】

そして、本実施の形態の製造方法によれば、半導体基体表面に形成した多孔質層上に半導体薄膜を形成し、これを、多孔質層で分離するものであるが、更に、上述の方法によって薄膜半導体の作製に用いられた半導体基体を、再び同様の方法の繰り返しによって半導体膜、したがって、薄膜半導体の作製を行う半導体基体として利用する。すなわち、上述した半導体膜の剥離を多孔質層において行うが、この剥離が、多孔質層の膜厚方向の半導体基体との界面（半導体基体との界面とは半導体基体の多孔質化されていない部分との界面を指称する。）で剥離される態様によらず、多孔質層内で分離する態様となる場合において、半導体膜の剥離後の状態で、半導体基体のその剥離面に多孔質層の一部が残存することになる。しかし、この場合において、この半導体基体側に残存する多孔質膜をエッチング除去することから、再び、この半導体基体を用いる場合において、特に、この半導体基体表面自体を多孔質層に変化させる方法による場合においても、多孔質膜の除去がなされ、半導体基体表面は、清浄な結晶性にすぐれた表面とされる。このことから、多孔質層を再現性良く所定の多孔質性を有する多孔質層として形成することができ、これの上に形成する半導体膜においても、再現性よく安定して目的の特性を有する半導体膜、したがって薄膜半導体を構成することができる。

【0065】

次に、本発明の実施例を挙げて説明する。しかしながら、本発明は、この実施例に限定されるものではない。

【0066】

〔実施例1〕

図1および図2はこの実施例の工程図を示す。まず、高濃度にボロンがドーブされて、

10

20

30

40

50

比抵抗が例えば $0.01 \sim 0.02 \text{ cm}$)とされた単結晶 Si によるウエファ状の半導体基体 11 を用意した (図 1 A)。そして、この半導体基体 11 の表面を陽極化成して半導体基体 11 の表面に多孔質層を形成した。この実施例においては、図 7 で説明した 2 槽構造の陽極化成装置を用いて陽極化成を行った。すなわち、第 1 および第 2 の各槽 1 A および 1 B 間に単結晶 Si による半導体基体 11 を配置し、両槽 1 A および 1 B には、共に $\text{HF} : \text{C}_2\text{H}_5\text{OH} = 1 : 1$ を注入した。そして、これら各電解溶液槽 1 A および 1 B の電解溶液 4 中に浸漬配置した Pt 電極 3 A および 3 B 間に直流電源 2 によって電流を流した。

【 0067 】

まず、電流密度を、 1 mA/cm^2 の低電流として、これを 8 分間通電させた。これにより、口径が小さい微細孔を有し、緻密な多孔率が 16% で厚さが $1.7 \mu\text{m}$ の多孔質層を構成する表面層 12 S が形成された (図 1 B)。多孔質層の表面における微細孔が小さいと、後に行う H_2 アニールによって多孔質層の表面がより平坦で滑らかになり、後これの上にエピタキシャル成長する Si エピタキシャル半導体膜の結晶性がより向上するという効果がある。その後、一旦通電を停止する。次に、電流密度を 7 mA/cm^2 として、8 分間の通電を行った。このようにすると、表面層 12 S 下に、この表面層に比し多孔率が大きい、多孔率 26% で厚さ $6.3 \mu\text{m}$ の中間多孔率層 12 M が形成された (図 1 C)。その後、再び通電を停止する。次に、電流密度を 200 mA/cm^2 に上げて 3 秒間の通電を行った。このようにすると、中間多孔率層 12 M の内部に、すなわち中間多孔率層 12 M によって上下から挟み込まれるように、表面層 12 S および中間多孔率層 12 M に比し高い多孔率の約 60% の多孔率で約 $0.05 \mu\text{m}$ の厚さの高多孔率層 12 H が形成される (図 1 D)。このようにして、表面層 12 S と、中間多孔率層 12 M と、高多孔率層 12 H とによる多孔質層 12 が形成される。

【 0068 】

このように形成された多孔質層 12 は、中間多孔率層 12 M と高多孔率層 12 H との多孔率が大きく相違するので、これら界面および界面近傍に大きな歪が生じ、この付近の強度が極端に弱くなる。しかしながら、この歪は、高多孔率層 12 H と表面層 12 S との間に中間多孔率層 12 M が存在することによって、これがバッファーとして作用し、この歪みにより影響を大きく受けやすい多孔質層の表面への歪みの影響を緩和することができる。したがって、この歪みによって、後に多孔質層上に行うエピタキシャル成長の結晶性への影響を効果的に回避できる。

【 0069 】

その後、後に行うエピタキシャル成長がなされる常圧 Si エピタキシャル成長装置において、多孔質層 12 を有する半導体基体 11 を、 H_2 雰囲気中で 1100 の加熱すなわちアニール処理を行った。このアニールは、室温から 1100 まで約 20 分掛けて昇温し、 1100 で約 30 分間のアニールを行った。この H_2 アニールにより、口径の小さい微細孔による表面層が平坦で滑らかになる。同時に、多孔質層 12 の内部では、中間多孔率層 12 M と、高多孔率層 12 H の界面付近において、分離強度が、よりいっそう弱くなった。

【 0070 】

その後、 H_2 アニールを行った常圧 Si エピタキシャル成長装置において、多孔質層 12 上すなわち表面層 12 S 上に Si のエピタキシャル成長を行って Si 半導体膜 13 を形成した (図 2 E)。このエピタキシャル成長は、先の H_2 雰囲気中アニール温度の 1100 から 1030 まで降温して、 SiH_4 ガスを用いた Si エピタキシャル成長を 17 分間行った。これより多孔質層 12 上に結晶性に優れた、厚さ約 $5 \mu\text{m}$ の Si エピタキシャル半導体膜 13 が形成された。

【 0071 】

このとき、 Si エピタキシャル半導体膜 13 表面に、凹凸があるときは、この表面を研磨する。高多孔率層 12 H は、上述した歪と、これが高多孔率をもっていわば霜柱状とされて脆弱化されて分離強度が非常に弱くなっているため、これを破損することがないよう

10

20

30

40

50

に、弱い力での研磨を行った。これによって、エピタキシャル半導体膜 13 の表面はより平坦になった。このようにしたことによって、例えば露光装置のマスク合わせにおいて、より高精度に行うことができる。

【0072】

半導体膜 13 を、半導体基体 11 から分離する。まず、接着剤 60 を介して PET (ポリエチレンテレフタレート) シートよりなる支持基板 61 を、半導体膜 13 上に接合する (図 2 F)。

【0073】

このときの支持基板 61 の接着強度は、多孔質層 12 による半導体基体 11 からの分離強度よりも強い強度、すなわち分離に際して支持基板 61 に剥離が生じない程度の接着強度とする。

10

【0074】

次に、半導体基体 11 と支持基板 61 との間に両者を引き離す方向の外力を与える。このようにすると、前述したように弱い強度とされた多孔質層 12 の高多孔率層 12 H もしくはその近傍で分離が生じ、半導体基体 11 から支持基板 61 とともに集積回路が形成された半導体膜 13 が剥離される (図 2 G)。

【0075】

このようにすると、フレキシブルな基板 61 に被着形成された例えば厚さ 5 μm のフレキシブルな半導体膜 13 が形成される。

【0076】

20

そして、この場合、半導体基体 11 の、半導体膜 13 との分離面には、上述した H_2 雰囲気中アニールによって再結晶化された多孔質層 12 の残存による膜厚 5 μm の多孔質膜 22 が存在する。

【0077】

この半導体基体 11 に残存する多孔質膜 22 をエッチング除去する。この多孔質膜 22 のエッチングは、化学薬品この例ではフッ硝酸すなわちフッ酸 HF と硝酸 HNO_3 と水 H_2O との混合液によるエッチング液に、半導体基体 11 を浸漬する。このようにして多孔質膜 22 をエッチング除去する (図 2 H)。

【0078】

そして、更に、この半導体基体 11 を、上述の図 7 で示した陽極化成装置を用いて電解研磨を行う。この場合、両槽 1 A および 1 B には、共に $\text{HF} : \text{C}_2\text{H}_5\text{OH} = 1 : 2$ とした電解溶液を注入する。そして、Pt 電極 3 A および 3 B 間に $200 \text{ mA} / \text{cm}^2$ 、15 秒の通電を行った。このとき、半導体基体 11 の表面が電解研磨され、基体表面には結晶性の良い面が露呈した。

30

【0079】

このようにして、結晶性の良い面が露呈した半導体基体 11 を再利用して、これに、前述した図 1 ~ 図 2 で説明した工程を繰り返し、複数枚の薄膜半導体を得ることができる。

【0080】

〔実施例 2〕

この実施例においても、実施例 1 と同様の方法によって、図 1 A ~ 図 1 D で説明した工程を採って、半導体基体 11 の表面に、表面層 12 S と、中間多孔率層 12 M 内に、高多孔率層 12 H が形成されてなる多孔質層 12 を形成する。

40

【0081】

そして、この実施例においては、この多孔質層 12 の形成の後に、拡散炉を用いて、酸素雰囲気中で、400 で 1 時間のアニールを行った。この処理によって多孔質層 12 の内部が酸化され、この後に行う H_2 雰囲気中でのアニールによっても多孔質層に大きな構造変化が生じないようにすることができ、高多孔率層 12 H の界面近傍に生じる歪の表面層 12 S への影響をより効果的に回避することができる。

【0082】

その後、実施例 1 におけると同様に、常圧 Si エピタキシャル成長装置によって H_2 雰

50

雰囲気中でのアニールを行い、その後実施例 1 と同様に Si エピタキシャル成長によって厚さ 5 μm の結晶性にすぐれた半導体膜 1 3 の成膜を行った (図 2 E)。

【0083】

この場合においても、Si エピタキシャル半導体膜 1 3 表面に、凹凸があるときは、この表面を研磨する。高多孔率層 1 2 H は、上述した歪と、これが高多孔率をもっていわば霜柱状とされて脆弱化されて分離強度が非常に弱くなっているため、これを破損することがないように、弱い力での研磨を行った。これによって、エピタキシャル半導体膜 1 3 の表面はより平坦になった。このようにしたことによって、例えば露光装置のマスク合わせにおいて、より高精度に行うことができる。

【0084】

半導体膜 1 3 を、実施例 1 と同様の方法によって、半導体基体 1 1 から分離する。(図 2 F, 図 2 G)。

【0085】

このようにして、実施例 1 におけると同様に、フレキシブルな基板 6 1 に被着形成された例えば厚さ 5 μm のフレキシブルな半導体膜 1 3 が形成される。

【0086】

そして、この場合においても、半導体基体 1 1 の、半導体膜 1 3 との分離面には、上述した H_2 雰囲気中アニールによって再結晶化された多孔質層 1 2 の残存による膜厚 5 μm の多孔質膜 2 2 が存在する。

【0087】

その後、この実施例においては、この半導体基体 1 1 に残存する多孔質膜 2 2 を、フッ酸と、過酸化水素 H_2O_2 と、水 H_2O との混合液によるエッチング液に半導体基体 1 1 を浸漬することによってエッチング除去する (図 2 H)。

【0088】

そして、更に、この半導体基体 1 1 を、上述の図 7 で示した陽極化成装置を用いて電解研磨を行う。この場合、両槽 1 A および 1 B には、共に $\text{HF} : \text{C}_2\text{H}_5\text{OH} = 1 : 2$ とした電解溶液を注入する。そして、Pt 電極 3 A および 3 B 間に $200\text{mA}/\text{cm}^2$ 、15 秒の通電を行った。このとき、半導体基体 1 1 の表面が電解研磨され、基体表面には結晶性の良い面が露呈した。

【0089】

このようにして、結晶性の良い面が露呈した半導体基体 1 1 を再利用して、これに、同様の工程を繰り返して、複数枚の薄膜半導体を得ることができる。

【0090】

次に、本発明を太陽電池を製造する場合の一実施例を説明する。

【0091】

〔実施例 3〕

図 3 ~ 図 4 を参照して説明するが、この実施例においても、実施例 1 と同様の方法によって図 1 A ~ D に示す工程をとって、半導体基体 1 1 の表面に陽極化成によって、表面層 1 2 S と、中間多孔率層 1 2 M と、これの内部に形成された高多孔率層 1 2 H による多孔質層 1 2 を形成する。そして、実施例 1 で説明したと同様の H_2 雰囲気中でのアニールを行い、その後、半導体膜 1 3 のエピタキシャル成長を行った (図 3 A)。この実施例における半導体膜 1 3 は、 $p^+ - p^- - n^+$ 3 層構造による。

【0092】

この半導体膜 1 3 のエピタキシャル成長は、 H_2 雰囲気中アニールを行った常圧 Si エピタキシャル成長装置に、 SiH_4 ガスと B_2H_6 ガスとを用いたエピタキシャル成長を 3 分間行って、ボロン B が $10^{19}\text{atoms}/\text{cm}^3$ にドーピングされた p^+ Si による第 1 の半導体層 1 3 1 を形成し、次に、 B_2H_6 ガスの流量を変更して、Si エピタキシャル成長を 10 分間行って、ボロン B が $10^{16}\text{atoms}/\text{cm}^3$ にドーピングされた低濃度の p^- Si による第 2 の半導体層 1 3 2 を形成し、更に B_2H_6 ガスに換えて PH_3 ガスを供給して、エピタキシャル成長を 4 分間行って、 p^- エピタキシャル半導体層 1 3 2 上に、リン P が 10^{19}at

10

20

30

40

50

oms/cm³ の高濃度にドーピングされた n⁺ Si による第 3 の半導体層 133 を形成して、第 1 ~ 第 3 のエピタキシャル半導体層 131 ~ 133 よりなる p⁺ - p⁻ - n⁺ 構造の半導体膜 13 を形成した。

【0093】

次に、この実施例においては、半導体膜 13 上に表面熱酸化によって SiO₂ 膜すなわち透明の絶縁膜 16 を形成し、フォトリソグラフィによるパターンエッチングを行って電極ないしは配線とのコンタクトを行う開口 16W を形成する (図 3B)。この開口 16W は、所要の間隔を保持して図においては紙面と直交する方向に延長するストライプ状に平行配列して形成することができる。このように形成した SiO₂ 膜により、界面でのキャリア発生や再結合を極力少なくすることが可能である。

10

【0094】

そして、全面的に金属膜の蒸着を行い、フォトリソグラフィによるパターンエッチングを行って受光面側の電極ないしは配線 17 を、ストライプ状開口 16W に沿って形成する (図 4C)。この電極ないしは配線 17 を形成する金属膜は、例えば厚さ 30 nm の Ti 膜、厚さ 50 nm の Pd、厚さ 100 nm の Ag を順次蒸着し、さらにこれの上に Ag メッキを行うことによって形成した多層構造膜によって構成し得る。その後 400 °C で 20 ~ 30 分間のアニールを行った。

【0095】

次に、この実施例においては、ストライプ状の電極ないしは配線 17 上に、それぞれこれらに沿って導電線 41、この実施例では金属ワイヤを接合し、これの上に透明の接着剤 21 によって、透明基板 42 を接合する (図 4D)。電極ないしは配線 17 への導電性 41 の接合は、半田付けによることができる。そして、これら導電線 41 は、その一端もしくは他端を、電極ないしは配線 17 よりそれぞれ長くして外方に導出する。

20

【0096】

その後、半導体基体 11 と透明基板 42 とに、互いに引き離す外力を与える。このようにすると、多孔質層 12 の脆弱な高多孔率層 12H もしくはその近傍で半導体基体 11 と、エピタキシャル半導体膜 13 とが分離され、透明基板 42 上に、エピタキシャル半導体膜 13 が接合された薄膜半導体 23 が得られる (図 5E)。

【0097】

この場合、薄膜半導体 23 の裏面には、多孔質層 12 が残存するが、これの上に銀ペーストを塗布し、更に金属板を接合して他方の裏面電極 24 を構成する。このようにして、透明基板 42 に p⁺ - p⁻ - n⁺ 構造の薄膜半導体 23 が形成された太陽電池が構成される (図 5F)。この金属電極 24 は、太陽電池裏面の素子層保護膜としても機能する。

30

【0098】

このようにして形成した太陽電池は、受光側電極ないしは配線 17 が、透明基板 42 によって覆われているにもかかわらず、これからの電氣的な外部導出が導電線 41 によってなされていることから、外部との電氣的な接続が容易になされる。また、例えば上述の実施例におけるように、エピタキシャル半導体膜 13 に対し、すなわち太陽電池の活性部に対しそれぞれコンタクトされた複数の各電極ないしは配線 17 からそれぞれ導電線 41 の導出を行うようにしたことから、太陽電池の直列抵抗を充分小とすることができる。

40

【0099】

そして、太陽電池、すなわち半導体膜 13 を剥離した半導体基体 11 に対して実施例 1 におけると同様のエッチングおよび電解エッチングを行う。すなわち、フッ硝酸によるエッチングによって多孔質膜 22 をエッチング除去し、更に、この半導体基体 11 を、上述の図 7 で示した陽極化成装置を用いて電解研磨を行う。この場合、両槽 1A および 1B には、共に HF : C₂H₅OH = 1 : 2 とした電解溶液を注入する。そして、Pt 電極 3A および 3B 間に 200 mA/cm²、15 秒の通電を行った。このとき、半導体基体 11 の表面が電解研磨され、基体表面には結晶性の良い面が露呈した (図 6)。

【0100】

このようにして、結晶性の良い面が露呈した半導体基体 11 に、前述したと同様の半導

50

体膜 13 の形成を工程等を繰り返し、複数枚の太陽電池を得ることができる。

【0101】

尚、上述した各例においてはエピタキシャル半導体膜の半導体基体 11 からの剥離を、互いに引き離す外力を与えて剥離した場合であるが、或る場合は超音波振動によって剥離することができる。

【0102】

上述した各例において陽極化成において、電流密度が大きい場合や、長時間通電によって、半導体例えば Si の剥離が発生してこれによる Si くずが発生して装置内例えば電解溶液槽等に付着した場合は、半導体基体 11 を取り出して後、槽内にフッ硝酸液を注入することによって不要な Si の付着物を溶解除去することができる。また、陽極化成を行う装置としては、図 7 の例に限らず、単槽構造において半導体基体を浸漬させる装置を用いることができる。

10

【0103】

また、薄膜半導体、太陽電池を製造することによって厚さが減少した半導体基体に対し、この減少した厚さに見合った厚さの半導体のエピタキシャル成長を行って、上述した薄膜太陽電池の製造を繰返し行うようにすることによって、永久的に同一の半導体基体の使用が可能となるので、更に低コスト、低エネルギーで太陽電池を製造することができる。

【0104】

上述した本実施の形態の製造方法によれば、半導体基体は、表面に多孔質層を形成し、これの上に半導体のエピタキシャル成長を行って、これを剥離するので半導体基体は多孔質化された厚さだけが消耗されるものであるが、上述したエピタキシャル半導体膜の形成および剥離の後、半導体基体表面をエッチングおよび電解エッチングによって除去するので、再びこの半導体基体 11 を繰り返し使用して目的とする薄膜半導体、すなわち薄膜半型の、例えばフレキシブルな各種半導体装置を複数製造することができることから、安価に製造できる。

20

【0105】

また、半導体基体 11 が多孔質層の形成によって、これが薄くなるが、半導体基体 11 に、この厚さの減少に相当する厚さの半導体をエピタキシャル成長することによってその厚さの補償を行うようにすることもできる。また、厚さの補償を行わない場合において、その厚さが薄くなった場合には、この半導体基体自体によって薄膜半導体として用いることができ、例えば太陽電池の製造もできるものである。したがって、半導体基体は、最終的に無効となることなく、殆ど無駄なく使用ができることから、これによってもコストの低減化をはかることができる。

30

【0106】

また、本実施の形態の製造方法において、最終的に電解エッチングを行うときは、その後連続して、次の多孔質層 12 の形成工程を行うことができる。

【0107】

また、上述の製造方法によれば、半導体膜 13 上に、支持基板 42 接合して基板とエピタキシャル半導体膜とを一体化させた後、基板をエピタキシャル半導体膜と共に、半導体基体から剥離する方法を採ることができるので、この基板の種類には制限はなく、フレキシブルプリント基板、リジッドなプリント基板、金属板、セラミック、ガラス、樹脂等、従来からの半導体技術の常識では到底考えられなかったような基板上に薄膜単結晶半導体を形成するとか、太陽電池を形成できる。

40

【0108】

また、単に単一多孔率を有する多孔質層上に半導体層をエピタキシャル成長させる方法にする場合は、その半導体膜の結晶性を良好にするには、結晶成長の核となる多孔質層の多孔率を小さくする必要があることから、陽極化成に当たって、電流密度を低くして、電解溶液の HF 混合比を多くする必要がある。ところが、このように、多孔率を低くすると、多孔質層が硬くなり、エピタキシャル半導体膜の分離が難しくなる。そこで、分離強度を弱くするために多孔率を上げようと、例えば陽極化成の条件のうち、電流密度を高くし

50

て、電解溶液のHF混合比を少なくすると、この場合は分離は容易になるが、エピタキシャル半導体膜の結晶性が極端に悪くなる。ところが上述した方法によるときは、多孔質層の表面部分の多孔率を小さくして、多孔質層内部の多孔率が大きいという2面性の性質をもつ多孔質層を形成するので、多孔質層上にエピタキシャル半導体膜を良好に形成でき、しかも、エピタキシャル半導体膜を容易に分離できる。例えば、超音波により容易に分離させることができる程度の弱い多孔質層を形成することも可能である。

【0109】

また、多孔質層に形成する高多孔率層は、多孔率が大きいほど剥離が容易になるが、歪みが大きく、その影響が多孔質層の表面層にまで及ぼしてしまう。このため、表面層に亀裂が生じることもある。また、エピタキシャル成長を行う際、エピタキシャル半導体膜に欠陥を生じさせる原因となる。ところが、上述した方法では、多孔率の非常に高い層と多孔率の低い表面層との間に、これらの層から発生する歪みを緩和するバッファー層として、表面層よりやや多孔率の高い中間多孔率層を形成することにより、剥離が容易で良質のエピタキシャル半導体膜を形成できる。

10

【0110】

また、上述の方法において高電流密度での陽極化成において、電流を間欠的に流すときは、多孔質層に高多孔率層を半導体基板側界面またはその近傍に形成することができるものであり、この場合、表面と剥離層となる高多孔率層とを最大限に離間させることができ、そのためバッファー層を薄くでき、その分多孔質層の厚さを減らし、半導体基体の厚さ減方向の消費を少なくすることができ、コストを更に低下させることが可能となる。

20

【0111】

また、低電流密度での陽極化成において、電流を漸次増大させることにより、多孔質層の表面層と剥離層との間のバッファー層の多孔率を内部に行くに従い漸次増大させるように形成するときには、バッファー層の機能を更に良好にすることができる。

【0112】

また、陽極化成を、フッ化水素とエタノールを含有する電解溶液、あるいは、フッ化水素とメタノールの混合液中で行うことにより、多孔質層を容易に形成することができる。この場合、陽極化成の電流密度を変える際に、この電解溶液の組成も変えることにより、多孔率の調整範囲が更に大きくなる。

【0113】

また、陽極化成中の光の照射を回避すれば、多孔質層の表面の凹凸の発生を軽減ないしは回避できて、良好な結晶性を有するエピタキシャル半導体膜を形成することができる。

30

【0114】

また、多孔質層を形成した後、水素ガス雰囲気中で加熱することにより、多孔質層の表面層の表面はなめらかになり、良好な結晶性を有するエピタキシャル半導体膜を形成することができた。また、多孔質層を形成した後、水素ガス雰囲気中での加熱工程の前に、多孔質層を熱酸化することにより、多孔質層の内部が酸化されるので、次工程の水素中アニールを施しても、多孔質層には大きな構造変化が生じ難くなり、多孔質層の表面に内部からの歪みが伝わり難くなるため、結晶性の良好なエピタキシャル半導体膜を形成することができる。

40

【図面の簡単な説明】

【0115】

【図1】本発明方法の一実施例の工程図(その1)である。A~Dは、その各工程の断面図である。

【図2】本発明方法の一実施例の工程図(その2)である。E~Hは、その各工程の断面図である。

【図3】本発明方法の他の実施例の工程図(その1)である。AおよびBは、その各工程の断面図である。

【図4】本発明方法の他の実施例の工程図(その2)である。CおよびDは、その各工程の断面図である。

50

【図5】本発明方法の他の実施例の工程図(その3)である。E~Fは、その各工程の断面図である。

【図6】本発明方法の他の実施例の工程図(その4)である。

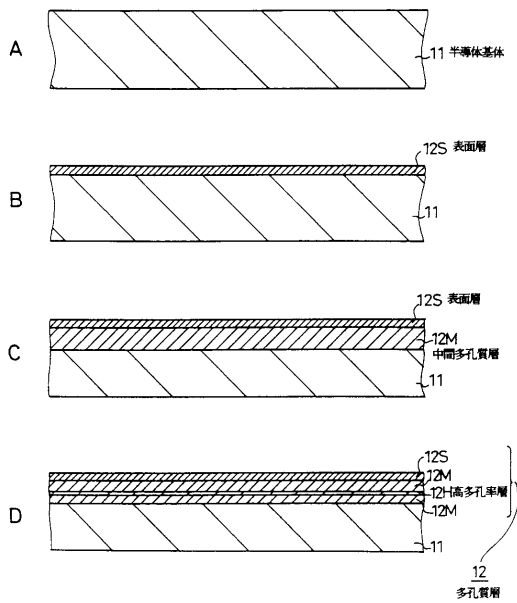
【図7】本発明方法を実施する陽極化成装置の一例の構成図である。

【符号の説明】

【0116】

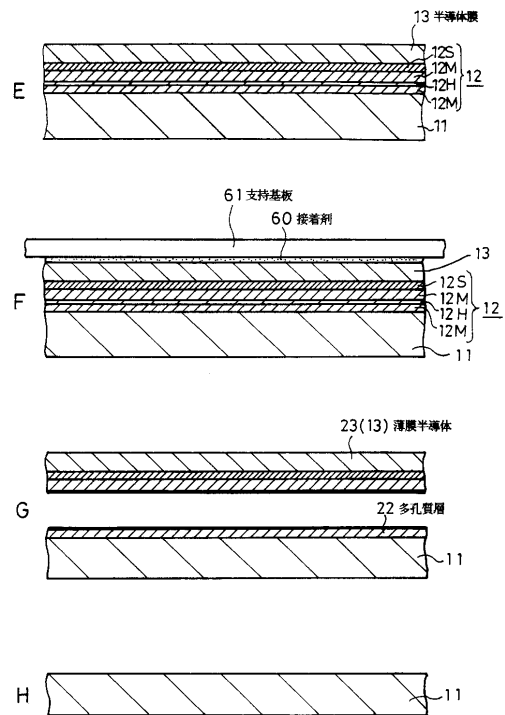
11 半導体基体、12 多孔質層、12M 中間多孔率層、12H 高多孔率層、13 半導体膜、131 第1の半導体膜、132 第2の半導体膜、133 第3の半導体膜、41 導電線、42 透明基板

【図1】



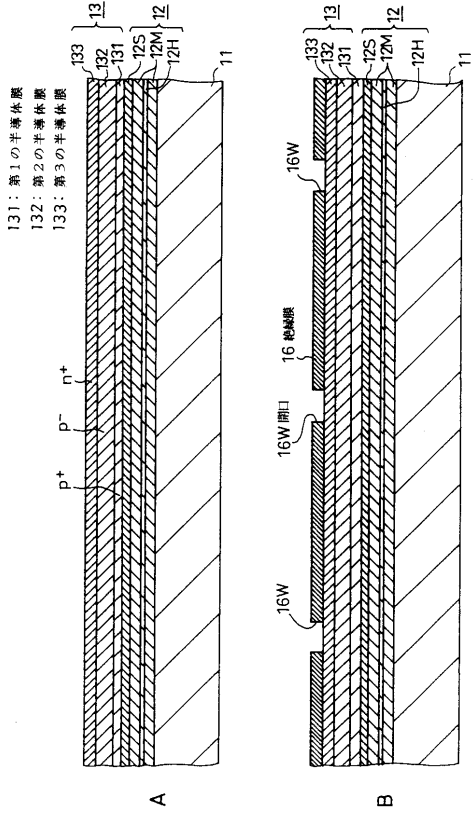
工程図(その1)

【図2】

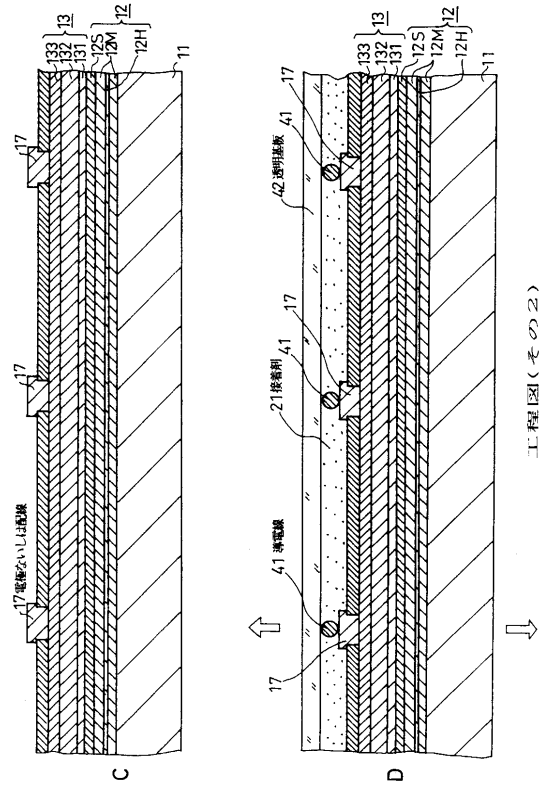


工程図(その2)

【図3】



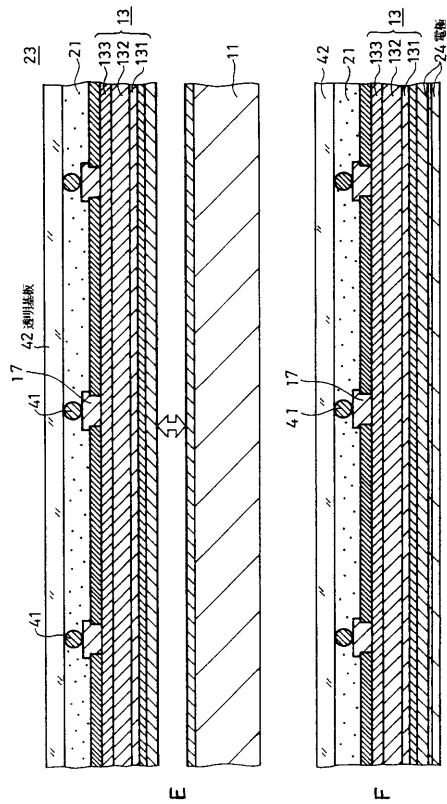
【図4】



工程図(その1)

工程図(その2)

【図5】



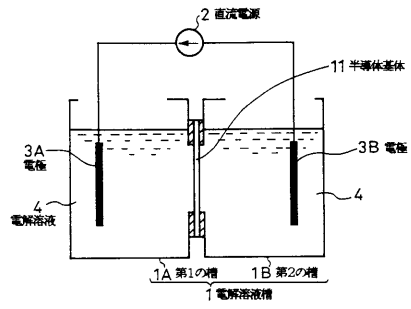
工程図(その3)

【図6】



工程図(その4)

【図7】



フロントページの続き

- (56)参考文献 特開平09 - 162090 (JP, A)
特開平08 - 213645 (JP, A)
特開平07 - 302889 (JP, A)
特開平06 - 077102 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/02
H01L 21/20
H01L 21/205