

(19) 대한민국특허청(KR)
(12) 특허공보(B1)

(51) Int. Cl.⁶
G11C 11/401

(45) 공고일자 1996년02월26일
(11) 공고번호 96-002816

(21) 출원번호	특1992-0022565	(65) 공개번호	특1993-0010988
(22) 출원일자	1992년11월27일	(43) 공개일자	1993년06월23일
(30) 우선권 주장	91-312398 1991년11월27일 일본(JP)		
(71) 출원인	가부시기가이샤 도시바 사또오 후미오		
	일본국 가나가와켄 가와사키시 사이와이쿠 호리가와 초오 72		
(72) 발명자	타가세 사토루		
	일본국 가나가와켄 가와사키시 사이와이쿠 고무카이 도시바 초오 1 가부		
	시기가이샤 도시바 종합연구소내		
	후루야마 도루		
	일본국 가나가와켄 가와사키시 사이와이쿠 고무카이 도시바 초오 1 가부		
	시기가이샤 도시바 종합연구소내		
(74) 대리인	나영환, 도두형		

심사관 : 장완호 (책자공보 제4352호)

(54) 반도체 메모리 셀

요약

내용 없음.

대표도

도1

명세서

[발명의 명칭]

반도체 메모리 셀

[도면의 간단한 설명]

제1도는 본 발명의 제1실시에에 관한 반도체 메모리 셀을 사용한 DRAM에 있어서의 메모리 셀 어레이의 일부를 도시하는 회로도.

제2도는 제1도의 메모리 셀의 독출 동작 및 기입 동작의 한 예를 도시하는 타이밍 파형도.

제3도는 본 발명의 제1실시에에 관한 반도체 메모리 셀을 사용한 DRAM에 있어서의 메모리 어레이의 일부를 도시하는 회로도.

제4도는 제3도의 메모리 셀의 독출 동작 및 기입 동작의 한 예를 도시하는 타이밍 파형도.

제5도는 제1도의 반도체 메모리 셀의 변형예를 도시하는 등가 회로도.

제6도는 제1도의 반도체 메모리 셀의 다른 변형예를 도시하는 등가 회로도.

제7도는 제1도의 반도체 메모리 셀의 또 다른 변형예를 도시하는 등가 회로도.

제8도는 제1도의 메모리 셀을 스택 셀 구조로서 오픈 비트선 방식의 DRAM 셀 어레이에 사용하는 경우의 평면 패턴의 한 예를 표시하는 도면.

제9도는 제1도의 메모리 셀의 단면 구조의 한 예를 도시하는 도면.

제10도는 제1도의 메모리 셀의 단면 구조의 다른 예를 도시한다.

제11도는 제1도의 메모리 셀의 단면 구조의 또 다른 예를 도시하는 도면.

제12도는 제1도의 메모리 셀의 평면 패턴의 또 다른 예를 도시하는 도면.

제13도는 제12도의 메모리 셀의 단면 구조의 한 예를 도시하는 도면.

제14도는 종래의 1트랜지스터·1캐퍼시터형의 DRAM를 도시하는 등가 회로도.

제15도는 현재 제안된 캐스케이드·게이트형(cascade·gate)의 메모리 셀의 한 예를 도시하는 등가

상기한 제15도, 제16도와 같은 캐스케이드·게이트형의 메모리 셀은 복수 비트의 정보를 비트 단위로 격납할 수 있고, 이 메모리 셀의 어레이를 구성하면 메모리 셀과 비트선과의 콘택트는 복수 비트 당 1개 밖에 필요없게 되므로 종래의 1 트랜지스터·1캐퍼시터형 셀의 어레이를 사용한 DRAM 보다도 현저히 높은 집적도를 실현할 수 있고 비트 단가를 대폭으로 저감시킬 수 있다.

제17도 및 제18도는 제15도의 캐스케이드·게이트형의 셀의 평면 패턴 및 단면 구조로서 상기 일본국 특원형 2-104576호에 개시되어 있는 1예를 도시하고 있다. 여기서는 캐스케이드·게이트형의 셀을 예컨대 스택 셀 구조로서 실현하고, 워드선과의 교점 근방에 캐퍼시터가 존재하도록 배치한 예컨대 오픈·비트선 방식의 DRAM 셀 어레이에 사용한 경우를 나타내고 있다.

제17도 및 제18도에 있어서 (50)은 반도체 기판, (52)는 반도체 기판 표면에서 4개의 트랜지스터 Q1~Q4의 활성 영역(소스·드레인, 채널의 각 영역으로 구성된다)이 직선상으로 배치된 활성 영역, WL1~WL4는 각기 상기 4개의 트랜지스터 Q1~Q4의 게이트(워드선), 531~534는 각기 4개의 정보 기억용 캐퍼시터 C1~C4의 스트레치 노드, 541~544는 각각 상기 4개의 스트레치 노드 531~534와 상기 4개의 트랜지스터 Q1~Q4의 각 소스 영역과의 콘택트, (55)는 비트선 BL과 상기 셀 활성 영역의 일단(트랜지스터 Q1의 드레인 영역)과의 콘택트(비트선 콘택트), (56)은 게이트 절연막, (57)은 충전 절연막, (58)은 각각 4개의 캐퍼시터 C1~C4의 절연막, (59)는 4개의 캐퍼시터 C1~C4의 플레이트 전극, (60)은 충전 절연막, (51)은 캐스케이드 접속된 트랜지스터의 배열 방향에 있어서 이웃하는 메모리 셀 사이의 전기적인 소자 분리용의 필드 산화막이다.

그런데 상기 캐스케이드·게이트형의 셀에 있어서 각 캐퍼시터 C1~C4의 기억 정보를 노드 N1에 차례로 독출할 때에 정보를 독출 종료한 캐퍼시터(예컨대 C1)는 노드 N1에 전기적으로 접속된 채로의 상태가 되므로 다른 캐퍼시터(예컨대 C2)의 정보를 읽을때의 독출 전하가 상기 캐퍼시터(C1)에도 분배된다. 이 경우 만약 각 캐퍼시터 C1~C4의 각 용량치가 같으면 캐퍼시터 C1의 정보를 읽을때의 노드 N1에서의 전압 변화분 보다도 캐퍼시터 C2, C3, C4의 정보를 차례로 읽을때의 노드 N1에서의 전압 변화분이 점차 작아지고 극단적인 경우 캐퍼시터 C4의 정보를 읽을때의 독출 전하가 캐퍼시터 C1~C3에 분배되므로, 노드 N1에서의 전압 변화분이 현저하게 작아져서 정보의 독출 오류가 발생할 염려가 있다.

이점에 비추어 본원 발명자들은 각 캐퍼시터의 기억 정보를 차례로 독출하는 경우의 노드의 전압 변화를 거의 같게 하는 일이 가능해지는 반도체 메모리를 제안(본원 출원인의 출원과 관계되는 일본국 특원평 3-41321호)하였다. 이 메모리 셀은 캐스케이드·게이트형의 셀에 있어서의 복수의 정보 기억용의 캐퍼시터 C1~C4의 용량치와 관계가 있는 규칙이 주어져 있는 것을 특징으로 한다. 예컨대 상기 캐퍼시터 C1~C4의 각 용량치의 관계로서 예컨대 정보의 독출 차례와 관계하는 규칙을 부여하고 정보의 독출순으로 용량치를 크게하도록 설정해두면 각 캐퍼시터의 기록 정보를 차례로 독출 할 경우의 전압 변화가 점차 감소하는 것을 완화 또는 방지하고 각기의 전압 변화를 거의 같게 할 수 있으며 정보의 독출 착오를 방지할 수 있다.

그러나, 캐스케이드·게이트형의 셀의 어레이를 구성하는 경우 제18도에 도시한 바와 같이 메모리 셀 사이의 소자 분리에 필드 산화막(51)을 사용하면 메모리 셀의 MOS 트랜지스터 Q1~Q4의 게이트 배선(워드선 WL1~WL4)이 규칙적으로 늘어서고 있는 영역에 필드 산화막(51)이 점재하므로, 기판상의 패턴의 규칙성이 손상된다. 패턴에 불연속선이 있으면 IC의 제조에 있어서 프로세스의 곤란화를 초래하고 패턴의 고밀도화에 대하여 악영향을 미친다.

또 필드 산화막(51)의 상면은 패턴의 평탄성도 상실되고 그 상층부에 형성되는 폴리실리콘 배선, 알루미늄 배선 등에 악영향을 미친다.

또 종래의 DRAM 셀에 필드 산화막 이외의 소자 분리 기술을 사용한 예가 문헌 : IEEE Journal of solid-State Circuits Vol. sc-21, No.5. p.640 Oct. 1986 "A 1-Mbit CMOS Dynamic RAM With Design-For Test Function"에 개시되어 있다. 이 예에서는 DRAM 셀의 캐퍼시터와 메모리 셀 어레이의 비트선과의 사이를 전기적으로 분리하기 위하여 접지 전위에 설정된 폴리실리콘 배선을 사용하고 있다.

또 제17도 및 제18도에 도시한 바와 같이 비트선 콘택트(55)도 기판상의 패턴의 규칙성을 손상하고 있다. 즉 트랜지스터 Q1~Q4의 각 소스 영역상에는 캐퍼시터 C1~C4의 전하 스트레치용의 도전체(예컨대 폴리실리콘)(531~534)가 존재하는데 트랜지스터 Q1의 드레인 영역상에는 상기 전하 스트레치용의 폴리실리콘이 존재하지 않는다.

또 상기 트랜지스터 Q1의 드레인 영역상에는 비트선 BL이 직접 콘택트하고 있고 이 부분에 대응하여 충전 절연막(57)에 형성되는 콘택트홀이 깊어지므로 프로세스의 곤란화를 초래하고 패턴의 고밀도화에 대하여 악영향을 미친다.

상기한 바와같이 현재 제안되고 있는 캐스케이드·게이트형의 메모리 셀은 메모리 셀 사이의 소자 분리부 또는 메모리 셀의 일단측의 콘택트부의 구조에 개선의 여지가 있다.

본 발명은 상기 사정에 비추어서 이루어진 것인바, 보다 높은 집적도를 실현할 수 있고 비트 단위를 대폭 저감할 수 있는 외에 제조 프로세스가 용이하게 되고, 패턴의 고밀도화를 고밀도화를 달성할 수 있는 반도체 메모리 셀을 제공함을 목적으로 한다.

본 발명(제1발명)은 복수의 MOS 트랜지스터가 캐스케이드 접속되어서 이루어지고 일단측이 독출/기록용의 노드에 접속되는 캐스케이드·게이트와 상기 각 MOS 트랜지스터의 상기 노드에서 먼측의 각 일단에 대응하여 각 일단이 접속된 복수의 정보 기억용의 캐퍼시터와 동일 반도체 기판상에 형성된 반도체 메모리 셀에 있어서 상기 반도체 기판상에서 인접하는 다른 반도체 메모리 셀과의 사이에 형성된 소자 분리용의 MOS 트랜지스터를 지니는 것을 특징으로 한다.

또 본 발명(제2발명)은 복수의 MOS 트랜지스터가 캐스케이드 접속되어서 이루어지고, 일단측이 독출/기록용의 노드에 접속되는 캐스케이드·게이트와 상기 각 MOS 트랜지스터의 상기 노드에서 먼측의

각 일단에 대응하여 각 일단이 접속된 복수의 정보 기억용의 캐퍼시터가 동일 반도체 기판상에 형성된 반도체 메모리 셀에 있어서 상기 정보 기억용의 캐퍼시터는 상기 MOS 트랜지스터용의 활성 영역의 일단에 콘택트한 전하 스트레치용 도전체를 가지고 있고 상기 캐스케이드·게이트용의 활성 영역의 일단측에 콘택트한 도전체가 형성되고 이 도전체가 상기 제1의 노드에 접속되는 것을 특징으로 한다.

또 본 발명(제3발명)은 복수의 MOS 트랜지스터가 캐스케이드 접속되어 이루어지고, 일단측이 독출/기록용의 노드에 접속되는 캐스케이드·게이트와 상기 각 MOS 트랜지스터의 상기 노드에서 먼측의 각 일단에 대응하여 각 일단이 접속된 복수의 정보 기억용의 캐퍼시터가 동일 반도체 기판상에 형성된 반도체 메모리 셀에 있어서 상기 반도체 기판상에서 이웃하는 다른 반도체 메모리 셀과의 사이에 형성된 소자 분리용의 MOS 트랜지스터를 가지고 있고, 그위에 상기 정보 기억용의 캐퍼시터는 상기 MOS 트랜지스터용의 활성영역의 일단에 콘택트한 전하 스트레치용 도전체를 지니고 있고 상기 캐스케이드·게이트용의 활성 영역의 일단측에 콘택트한 도전체가 형성되고 이 도전체가 상기 제1의 노드에 접속되는 것을 특징으로 한다.

제1발명의 반도체 메모리 셀은 캐스케이드·게이트형의 메모리 셀 사이의 소자 분리용의 MOS 트랜지스터가 형성되어 있고, 이 MOS 트랜지스터를 항상 오프 상태로 하도록 그 게이트 전위를 설정함으로써 메모리 셀 사이의 소자 분리를 행할 수 있다.

이것에 의하여 상기 메모리 셀의 어레이를 구성할 경우, 메모리 셀의 MOS 트랜지스터의 게이트 배선이 규칙적으로 늘어서는 영역에 필드 산화막이 점재하지 않게 되고 기판상의 패턴의 규칙성이 실현된다. 따라서 IC의 제조에 있어서 프로세스가 쉽게되고 패턴의 고밀도화를 달성할 수 있다.

또 소자 분리용의 MOS 트랜지스터의 게이트 전극을 캐스케이드 접속된 복수의 MOS 트랜지스터의 게이트 전극과 동일 패턴을 갖도록, 동일 프로세스에 의하여 동일 배선층에 형성함으로써 패턴의 평탄성이 상실되는 일없이 그 상층부에 형성되는 폴리실리콘 배선, 알루미늄 배선 등에 악영향을 미치는 일도 없다.

제2발명의 반도체 메모리 셀은 캐스케이드·게이트용의 활성 영역의 일단측에 콘택트한 도전체가 형성되어 있다. 이 도전체를 정보 기억용의 캐퍼시터의 전하 스트레치용의 도전체와 동일 패턴을 지니도록 동일 프로세스에 의하여 동일 배선층에 형성할 수 있다.

이것에 의하여 상기 메모리 셀의 어레이를 구성할 경우, 정보 기억용의 캐퍼시터의 전하 스트레치용의 도전체와 캐스케이드·게이트용의 활성 영역의 일단측에 콘택트한 도전체가 규칙적으로 늘어서 기판상의 패턴의 규칙성이 실현된다. 또 캐스케이드·게이트용의 활성 영역의 일단측에 콘택트한 도전체가 존재하므로 상기 도전체가 존재하지 않는 경우에 비하여, 이 도전체상에 형성되는 콘택트 홀의 마스크 맞춤 여유가 커지는 동시에 콘택트 홀을 얇게 형성할 수 있다. 따라서 IC의 제조에 있어서 프로세스가 쉬워지고 패턴의 고밀도화를 달성할 수 있다.

제3발명의 반도체 메모리 셀은 제1발명의 반도체 메모리 셀의 특징과 제2발명의 반도체 메모리 셀의 특징을 조합하고 있으므로 상기한 바와 같은 제1발명의 반도체 메모리 셀의 효과와 제2발명의 반도체 메모리 셀의 효과를 얻을 수 있다.

[실시예]

이하 도면을 참조하여 본 발명의 실시예를 상세하게 설명한다.

제1도는 본 발명의 제1실시예에 관한 캐스케이드·게이트형의 메모리 셀을 사용한 DRAM에 있어서의 메모리 셀 어레이의 1컬럼의 일부를 도시하고 있다.

이 메모리 셀 어레이는 제15도의 도시와 같은 캐스케이드·게이트형의 메모리 셀군의 오픈·비트선 구성 또는 싱글 엔드형 센스업 구성을 갖도록 배치되고 있고 표시의 간단화를 위하여 4개의 메모리 셀 $MC_i(i=1,2,3,4)$ 를 표시하고 있다. BL는 비트선, $WL_i \sim WL_4(i=1,2,3,4)$ 는 워드선 구동 회로(도시 생략)에 의하여 구동되는 워드선이다. Q0는 소자 분리용의 N 채널 인헨스먼트형의 MOS 트랜지스터, WL0는 상기 트랜지스터 Q0의 게이트 배선이고, 접지 전위 V_{SS} 또는 부의 기판 바이어스 전위 VBB가 부여된다.

상기 메모리 셀 MC_i 는 복수개(본 예에서는 4개)의 MOS 트랜지스터 Q1~Q4가 캐스케이드 접속으로 구성되고 1단측의 노드(N1)에 접속되는 제1의 캐스케이드·게이트와, 상기 각 트랜지스터 Q1~Q4의 상기 노드(N1)에 먼측의 각 1단에 대응해서 각 1단이 접속된 복수의 정보 기억용의 캐퍼시터(C1~C4)가 동일 반도체 기판상에 형성되어 있다. 상기 노드(N1)는 상기 비트선 BL에 접속된다.

상기 메모리 셀 MC_i 의 트랜지스터(Q1~Q4)의 각 게이트는 대응하여 워드선($WL_1 \sim WL_4$)에 접속되고, 이 워드선($WL_1 \sim WL_4$)는 메모리 셀 어레이의 동일 로우의 메모리 셀군(도시 생략)이 대응하는 트랜지스터(Q1~Q4)의 게이트에 공통으로 접속되고 있다. 또, 상기 캐퍼시터(C1~C4)의 각 타단은 상기 메모리 셀 어레이의 캐퍼시터 배선(11)에 공통으로 접속되어 있다. 본 예에서는 상기 캐퍼시터(C1~C4)의 각 플레이트 전극이 공통으로 접속되고 이 플레이트 전극에 다른 DRAM 셀과 공통으로 소정의 캐퍼시터 플레이트 전위(VPL)가 부여된다.

다음에 제1도의 캐스케이드·게이트형의 셀(MC_i)중의 임의의 1개의 셀의 독출 동작 및 기입 동작의 1예에 대하여 제2도의 타이밍 파형도를 참조하여 설명한다. 여기에서는 메모리 셀의 워드선을($WL_1 \sim WL_4$)로 표시한다.

워드선($WL_1 \sim WL_4$)을 제2도와 같은 타이밍으로 온/오프 제어하고, 트랜지스터(Q1~Q4)의 순서로 온, 트랜지스터(Q4~Q1)의 순서로 오프시킨다. 즉 비트선 프리차지 회로(도시 생략)에 의하여 비트선(BL)을 소정 전위로 프리차지한 후, 시간(t_1)에 워드선(WL_1)을 온하면 트랜지스터(Q1)가 온이되어 캐퍼시터(C1)의 기억 정보가 트랜지스터(Q1)를 경유하여 비트선(BL)에 독출되고 센스 앰프(도시 생략)에 의

하여 센스 증폭된다.

다음에 비트선(BL)을 일정 시간 프리차지한 후, 시간(t2)에 워드선(WL2)을 온으로 하면 트랜지스터(Q2)가 온이되어 캐퍼시터(C2)의 기억 정보가 트랜지스터(Q2, Q1)를 지나서 비트선(BL)에 독출된다.

다음에 비트선(BL)을 재차 프리차지한 후 시각(t3)에 워드선(WL3)을 온하면 트랜지스터(Q3)가 온이되어 캐퍼시터(C3)의 기억 정보가 트랜지스터(Q3~Q1)를 지나서 비트선(BL)에 독출된다.

다음에 비트선(BL)을 재차 프리차지한 후 시각(t4)에 워드선(WL4)을 온하면 트랜지스터(Q4)가 온이되어 캐퍼시터(C4)의 기억 정보가 트랜지스터(Q4~Q1)를 지나서 비트선(BL)에 독출된다.

다음에 시각(t5)에 워드선(WL4)을 온으로 하면 트랜지스터(Q4)가 오프가 되고, 캐퍼시터(C4)에 비트선(BL)의 정보가 기입된다. 시간(t6)에 워드선(WL3)을 오프로 하면, 트랜지스터(Q3)가 오프가 되어 캐퍼시터(C3)에 비트선(BL)의 정보가 기입된다. 시각(t7)에 워드선(WL2)을 오프로 하면 트랜지스터(Q2)가 오프가 되어 캐퍼시터(C2)에 비트선(BL)의 정보가 기입된다. 시각(t8)에 워드선(WL1)을 오프로 하면 트랜지스터(Q1)가 오프되어 캐퍼시터(C1)에 비트선(BL)의 정보가 기입된다.

또, 상기와 같은 순번적 독출과 순번적 기입 동작 사이, 즉 시각(t4)과 시각(t5) 사이에 독출 데이터의 순서의 교체, 에러 정정 등의 처리를 실시해도 된다.

이와 같은 제1도의 캐스케이드·게이트형의 셀에 의하면 트랜지스터(Q1~Q4)를 소정의 순서로 온/오프 제어함으로써 노드(N1)에 가까운 쪽의 캐퍼시터(C1)에서 먼쪽의 캐퍼시터(C4)의 순으로 캐퍼시터 기억 정보를 노드(N1)에 독출할 수 있게 된다. 또, 노드(N1)에 먼쪽의 캐퍼시터(C4)에서 가까운 쪽의 캐퍼시터(C1)의 순으로 노드(N1)의 정보를 기입(재기입)할 수 있게 된다.

또 제1의 셀은 노드(N1)를 비트선(BL)에 접속한 경우를 도시했으나 노드(N1)를 직접적으로 센스업(12)의 입력단에 접속해도 좋다.

제3도는 제2실시예에 관한 캐스케이드·게이트형의 메모리 셀을 사용한 DRAM에 있어서의 메모리 셀 어레이의 1컬럼의 1부를 도시하고 있다.

이 캐스케이드·게이트형의 셀은 제1도의 셀에 있어서의 캐스케이드·게이트의 타단측(트랜지스터 Q4측)과 제2의 노드(N2) 사이에 제2의 MOS 트랜지스터(Q5)가 캐스케이드 접속된 것이다. 다시말하면 이 캐스케이드·게이트형의 셀은 제1의 노드(N1)와 제2의 노드(N2) 사이에 캐스케이드 접속된 3개 이상(본예에서는 5개)의 MOS 트랜지스터(Q1~Q5)를 갖는 캐스케이드·게이트와, 상기 캐스케이드 접속된 MOS 트랜지스터 상호간의 접속 노드에 대응하여 각 1단의 접속된 복수의 정보 기억용의 캐퍼시터(C1~C4)를 구비하고 있다. 본 예에서는 상기 제1의 노드(N1)와 제2의 노드(N2)와는 공통으로 접속되고, 메모리 셀 어레이의 비트선(BL)에 접속되어 있다.

상기 메모리 셀(MCi)의 트랜지스터(Q1~Q4)의 각 게이트는 대응해서 워드선(WL1~WL5)에 접속되고, 이 워드선(WL1~WL5)은 메모리 셀 어레이의 동일 로우의 메모리 셀군(도시 생략)이 대응하는 트랜지스터(Q1~Q4)의 게이트에 공통해서 접속된다. 또 상기 캐퍼시터(C1~C4)의 각 타단은 상기 메모리 셀 어레이의 캐퍼시터 배선(11)에 공통으로 접속되어 있다(본 예에서는 이 캐퍼시터 배선 11에 캐퍼시터 플레이트 전위 VPL가 부여된다).

다음에 제3도의 캐스케이드·게이트형의 셀(MCi)중의 임의의 1개의 셀의 독출 동작 및 기입 동작의 한예에 대하여 제4도의 타이밍 파형도를 참조하여 설명한다. 여기에서는 메모리 셀의 워드선을(WL1~WL5)로 표시한다.

워드선(WL1~WL5)을 제4도와 같은 타이밍으로 온/오프 제어하고, 트랜지스터(Q1~Q5)의 순서로 온, 트랜지스터(Q1~Q5)의 순서로 오프시킨다. 즉 트랜지스터(Q1~Q5)의 순서로 온시키면 제2도를 참조하여 상기한 동작과 동일하게 노드(N1)에 가까운 쪽의 캐퍼시터(C1)에서 먼쪽의 캐퍼시터(C4)의 순으로 각각의 기억 정보를 상기 노드(N1)에 독출할 수 있다.

그후 워드선(WL1)을 오프로 하여 트랜지스터(Q1)를 오프, 워드선(WL5)을 온으로 하여 트랜지스터(Q5)를 온으로 한다(이 동작을 반대로 해도 된다).

다음에 시각(t5)에 워드선(WL2)을 오프로 하면 트랜지스터(Q2)가 오프가 되어 캐퍼시터(C1)에 제2의 노드(N2)의 정보가 기입된다. 시각(t6)에 워드선(WL3)을 오프로 하면 트랜지스터(Q3)가 오프가 되어 캐퍼시터(C2)에 상기 노드(N2)에 정보가 기입된다. 시각(t7)에 워드선(WL4)을 오프로 하면 트랜지스터(Q4)가 오프가 되어 캐퍼시터(C3)에 상기 노드(N2)의 정보가 기입된다. 시간(t8)에 워드선(WL5)을 오프로 하면 트랜지스터(Q5)가 오프가 되어 캐퍼시터(C4)에 상기 노드(N2)의 정보가 기입된다.

또, 상기와 같은 수차적 독출 동작과 순차적으로 기입 동작 사이, 즉 시간(t4)과 시간(t5) 사이에 독출 데이터의 전송 에러 정정 등의 처리를 실시해도 좋다.

이와 같은 제3도의 캐스케이드·게이트형의 셀에 의하면 트랜지스터(Q1~Q5)를 소정의 순서로 온/오프 제어함으로써 제1의 노드(N1)에 가까운 쪽의 캐퍼시터(C1)에서 먼쪽의 캐퍼시터(C4)의 순으로 캐퍼시터 기억 정보를 제1노드(N1)에 독출할 수가 있게 된다. 또, 제1의 노드(N1)에 가까운 쪽의 캐퍼시터(C1)에서 먼쪽의 캐퍼시터(C4)의 순으로 제2의 노드(N2)의 정보를 기입할 수 있게 된다.

또, 제3노드에서의 제1의 노드(N1) 및 제2의 노드(N2)가 동일 비트선(BL)에 공통으로 접속되는 경우를 도시했으나, 제1의 노드(N1) 및 제2의 노드(N2)가 따로따로의 비트선 또는 센스업에 접속되고 있어도 좋다.

또, 제4도의 타이밍 파형에 있어서의 워드선(WL1~WL5)의 구동 순서를 (WL5~WL1)의 반대로 변경하여 트랜지스터(Q5~Q1)의 순서로 온, 트랜지스터(Q5~Q1)의 순서로 오프시키면 제2의 노드(N2)에 가까운 쪽의 캐퍼시터(C4)에서 먼쪽의 캐퍼시터(C1)의 순으로 캐퍼시터 기억 정보를 제2의 노드(N2)에 독출

하고 제2의 노드(N2)에 가까운측의 캐퍼시터(C4)에서 먼측의 캐퍼시터(C1)의 순으로 제1의 노드(N1)의 정보를 기입할 수 있게 된다.

또, 제3도의 셀에 있어서 캐스캐이드·게이트의 양단의 트랜지스터중의 한쪽의 트랜지스터(Q1) 또는 (Q5)를 선택적으로 사용하지 않도록 오프 상태로 제어하고 나머지 트랜지스터(Q2~Q5), 또는 (Q1~Q4)를 제1도에 도시한 DRAM 셀의 동작에 준해서 온/오프 제어하면 셀과 제1의 노드(N1) 또는 제2의 노드(N2) 사이에서 선택적으로 정보를 받고 주고할 수 있다.

또, 상기 각 실시예에서는 캐퍼시터(C1~C4)의 각 타단을 캐퍼시터 플레이트 전위(VPL)에 공통으로 접속하고 있는 경우를 설명했으나 캐퍼시터(C1~C4)의 각 타단을 외부로부터 주어지는 전원 전위(Vcc)나 접지전위(Vss)에 공통으로 접속해도 좋다.

또, 문헌 : IEEE Journal of Solid-State Circuits. VOL. sc-17, No.5. p.872 Oct. 1982 A Storage-Node-Boosted RAM With Word-Sine Delay Compensation by K. FUJISHIMA et al.에 표시되는 것과 같은 캐퍼시터 플레이트를 클럭 동작시키는 기술을 사용하여 본 발명의 셀을 실현하는 것도 가능하다.

이 기술을 예를들면 제1도의 셀에 적용한 경우의 등가 회로를 제5도에 도시하고 있고 (PL1~PL4)는 캐퍼시터(C1~C4)의 각 타단이 대응해서 접속되는 캐퍼시터 배선이다. 기타 제1도종과 동일함으로 동일 부호를 부여한다.

또 문헌 : 1989 Symposium of VLSI Circuits, Digest of Jeck. Papers. pp.101-102 A Novel Memory Cell Architecture for High-Density DRAMs Fig1(b) by Y. OHTA et al.에 표시된 것과 같은 캐퍼시터 양단에 트랜스퍼 게이트를 접속하는 기술을 사용하여 본 발명의 셀을 실현할 수도 있다.

이 기술을 제1도의 DRAM 셀에 적용한 경우의 등가 회로를 제6도에 도시하고 있다. 제3도의 DRAM 셀에 적용한 경우의 등가 회로를 제7도에 도시하고 있다.

제6도에 있어서 (Q1a~Q4a)는 캐스캐이드 접속된 트랜스퍼 게이트용의 MOS 트랜지스터이고, 이 트랜지스터(Q1a~Q4a)의 각 소스가 대응하여 캐퍼시터(C1~C4)의 각 타단에 접속되고 있다. 트랜지스터(Q1a~Q4a)의 각 게이트는 대응하여 트랜지스터(Q1~Q4)의 각 게이트에 접속되어 있다. 그리고 트랜지스터(Q1)·(Q1a)의 각 드레인은 상보적인 비트선(BL, /BL)에 접속되고 있다. 그밖은 제1도종과 동일함으로 동일 부호를 부여한다.

또, 상기 트랜지스터(Q1)의 드레인 및 트랜지스터(Q1a)의 드레인을 센스업의 1쌍의 차동 입력단에 직접 접속해도 된다.

제7도에 있어서 (Q1a~Q5a)는 캐스캐이드 접속된 트랜스퍼 게이트용의 MOS 트랜지스터이고, 이 트랜지스터(Q1a~Q5a)의 상호간 접속 노드가 대응하여 캐퍼시터(C1~C4)의 각 타단에 접속되고 있다. 트랜지스터(Q1a~Q5a)의 각 게이트는 대응하여 트랜지스터(Q1~Q4)의 각 게이트에 접속된다. 그리고 트랜지스터(Q1), (Q1n)의 각 일단은 상보적인 비트선(BL1)(/BL1)에 접속되고, 트랜지스터(Q5), (Q5a)의 각 타단은 상보적인 비트선(BL2)(/BL2)에 접속되고 있다. 그밖은 제3도종과 동일함으로 동일 부호를 부여한다.

또, 상기 트랜지스터(Q5)(Q5a)의 각 타단을 트랜지스터(Q1)(Q1a)의 각 일단과 공통으로 상보적인 비트선(BL1)(/BL1)에 접속해도 좋다.

또, 상기 실시예에서는 1개의 캐퍼시터에 "1"나 "0"의 어느 한쪽의 1비트신호(1디지털 정보)를 기억하는 경우를 표시했으나 회로적인 연구로 1개의 캐퍼시터에 복수 비트의 정보(다치 : 多値)를 기억시키도록 해도된다.

또, 제1도, 제5도 내지 제7도에 도시한 캐스캐이드·게이트형의 메모리 셀에 있어서 상기 특원평 3-41321호에 의하여 제안한 기술(캐퍼시터 C1~C4의 용량치의 관계에 있는 규칙, 예를들면 정보의 독출 순과 관계되는 규칙을 부여한다.)를 적용함으로써 각 캐퍼시터의 기억 정보를 차례로 독출하는 경우의 독출/기입노드(N1)의 전압 변화분을 거의 동일하게 할 수 있게 되고, 정보의 독출 에러를 방지할 수 있다.

다음에 본 발명의 캐스캐이드·게이트형의 셀의 구조의 한 예를 설명한다.

제8도는 예를들면 제1도의 셀을 스택 셀 구조로 하여 실현하고 워드선과 비트선과의 각 교점에 기억 노드를 배치한 DRAM 셀 어레이(예를들면 오픈 비트선 방식의 DRAM 셀 어레이)에 사용한 경우의 평면 패턴을 표시하고 있고, 그 B-B선에 따르는 단면 구조의 한 예를 제9도에 도시한다.

제8도 및 제9도에 있어서 (50)은 반도체 기판, (52)는 반도체 기판 표면이고, 4개의 트랜지스터(Q1~Q4)의 활성 영역(소스, 드레인, 채널의 각 영역으로 구성된다)이 직선상으로 배치된 셀 활성 영역, WL1~WL4는 각각 상기 4개의 트랜지스터(Q1~Q4)의 게이트(워드선), (531~534)는 각각 4개의 정보 기억용 캐퍼시터(C1~C4)의 스트레치 노드(541~544)는 각각 상기 4개의 스트레치 노드(531~534)와 상기 4개의 트랜지스터(Q1~Q4)의 각 소스 영역과의 콘택트, (55)는 트랜지스터(Q1)의 드레인 영역과 비트선(BL)과의 콘택트(비트선 콘택트), (56)은 게이트 절연막, (57)은 층간 절연막, (58)은 각각 4개의 캐퍼시터(C1~C4)의 절연막, (59)는 4개의 캐퍼시터(C1~C4)의 플레이트 전극, (60)은 층간 절연막이다. 또, (Q0)은 제1도에 도시한 소자 분리용의 MOS 트랜지스터이고, 반도체 기판상에서 상기 캐스캐이드 접속된 트랜지스터의 배열 방향으로 상호 인접하는 메모리 셀 상호 사이에 형성되고 있고, 그 채널 영역을 (71), 게이트 전극을 (WL0)로 표시하고 있다. 이 소자 분리용의 MOS 트랜지스터(Q0)는 제1도의 도시와 같이 상호 인접하는 캐스캐이드·게이트형 메모리의 각 트랜지스터(Q4)에 연결되고 있다.

즉, 상기 캐스캐이드·게이트형의 셀은 반도체 기판상에서 상호 인접되는 다른 반도체 메모리 셀과의 사이에 형성된 소자 분리용의 MOS 트랜지스터(Q0)를 가지고 있고 이 소자 분리용의 MOS 트랜지스터(Q0)의 게이트 전극(WL0)은 상기 캐스캐이드 접속된 복수의 MOS 트랜지스터의 게이트 전극과 동일

배선층으로 형성되어 있다. 그러므로 상기 소자 분리용의 MOS 트랜지스터(Q0)를 항상 오프상태로 하도록 그 게이트 전위를 설정(예를들면 접지 전위 V_{ss} 또는 부의 기판 바이어스 전위 V_{BB} 로 설정한다)함으로서 메모리 셀 간의 소자 분리를 실행할 수 있다.

따라서 상기 메모리 셀의 어레이를 구성하는 경우 메모리 셀의 MOS 트랜지스터의 게이트 배선이 규칙적으로 정렬되는 영역에 필드 산화막이 점재(點在)하지 않게 되고 기판상의 패턴의 규칙성(연속성)이 실현된다. 이것에 의하여 IC의 제조에 있어서 프로세스가 용이해지고 패턴의 고밀도화를 달성할 수 있다. 또한 패턴의 규칙성이 좋으면 위상 시프트 방식의 패턴 노광 기술을 채용하여 보다 미세한 패턴의 형성이 가능해진다.

또 소자 분리용의 MOS 트랜지스터의 게이트 전극(WL0)을 캐스케이드 접속된 복수의 MOS 트랜지스터의 게이트 전극(WL1~WL4)과 동일 패턴을 갖도록 동일 프로세스에 의하여 동일 배선층으로 형성함으로써 패턴의 평탄성이 상실되지 않고, 그 상층부에 형성되는 폴리실리콘 배선, 알루미늄 배선 등에 악영향을 주는 일도 없다.

또, 상기 소자 분리용의 MOS 트랜지스터(Q0)를 캐스케이드 접속된 복수의 MOS 트랜지스터와 반드시 동일한 크기로 형성할 필요는 없고 별도의 크기로 형성해도 좋다. 이 경우에는 동일한 크기의 MOS 트랜지스터를 사용하는 경우와 비교해서 기판상의 패턴의 규칙성이 약간 악화되지만 소자 분리를 위해서 필드 산화막을 사용할 경우에 비교해서 패턴의 규칙성 및 패턴의 평탄성이 양호함으로 프로세스가 용이해지고 패턴의 고밀도화를 달성할 수 있다.

여기에서 상기 캐스케이드·게이트형의 DRAM 셀의 패턴 면적을 제14도에 도시한 종래의 1트랜지스터·1캐퍼시터형의 DRAM 셀의 패턴 면적과 비교한다.

종래의 DRAM 셀을 스택 셀 구조로 할 경우에 셀 면적의 축소의 한계는 $8F^2$ (F는 셀의 가공상의 최소 치수)로 되어 있다.

이것에 대하여 상기 캐스케이드·게이트형의 셀은 제8도에 있어서, 마스크 패턴의 컴퍼지트(Composit) 여유를 0.5로 하면 트랜지스터(Q1) 및 캐퍼시터(C1)의 패턴 부분의 장변은 $4.5F$ 이나 트랜지스터(Q2~Q4) 및 각자에 대응해서 접속된 캐퍼시터(C2~C4)의 각 1조의 패턴 부분의 장변은 각각 $3F$ 가 되므로 셀 전체로서는 장변이 $13.5F$ 가 된다. 따라서 1캐퍼시터당 1비트의 기억 방식으로 하면 셀의 1비트당의 장변은 $3.375F$ 가 된다. 즉 상기 캐스케이드·게이트형의 셀을 스택 셀 구조로 할 경우에는 트랜지스터(Q2~Q4) 및 각자에 대응해서 접속되고 있는 캐퍼시터(C2~C4)의 각 1조의 패턴 면적을 원리적으로 각각($4F^2$)로 실현할 수 있다.

따라서 상기 캐스케이드·게이트형의 셀은 셀의 1비트당의 면적을 대폭적으로 축소할 수 있게 되고 고집적화가 가능하다.

또, 제9도의 셀은 캐퍼시터(C1~C4)의 면적이 종래의 DRAM 셀의 캐퍼시터(C)의 면적보다도 작고, 이른바 캐퍼시터 용량(C_s)이 감소하고 비트 용량 C_b /캐퍼시터 용량(C_s)이 커지는 것으로 생각된다. 그러나, 상기 비트선 콘택트(55)를 다른 메모리 셀에 대해서도 공통으로 설치한다. 환언하면 제1도의 도시와 같이 상기 노드(N1)에 DRAM 셀을 2조 접속함으로써 8비트당 1개의 비트선 콘택트(4비트당 1/2개의 비트선 콘택트)가 되므로 비트 용량(C_b)을 대폭으로 감소시킬 수 있다. 이것으로 C_b/C_s 의 값은 오히려 종래보다 하회되고 데이터 독출시의 전위 변화가 커진다. 또한 비트 용량(C_b)이 대폭 감소하는 것은 소비 전류의 삭감에 연결된다.

또, 상기 캐퍼시터 용량(C_s)에 관해서는 어느 정도의 프로세스 변경을 필요로 하는 것이 허용된다면 문헌 : 1988 IEDM Technical Digest pp.592-595 3 DIMENSIONAL STACKED CAPACITOR CELL FOR 16M AND 64M DRAMS by T. EMA et al.나, 상기 문헌의 pp.600-603 Stacked Capacitor Cells for High-density Dynamic RAMs by H. WATANABE et al.에 표시되는 기술을 사용함으로써 크게 할 수 있다. 이 경우 비트선과 워드선과의 각 교점에 1비트씩 배치되는 어레이 구성이 된다.

상기와 같이 소자 분리용의 MOS 트랜지스터를 사용하는 기술은 제1도, 제5도 내지 제7도의 셀에는 적용할 수 있으나 제3도의 셀에는 적용할 수 없다.

제10도는 예를들어 제1도의 셀을 스택 셀 구조로서 실현하여, 예를들어 오픈·비트선 방식의 DRAM 셀 어레이에 사용했을 경우의 단면 구조의 다른 예를 표시하고 있다.

이 캐스케이드·게이트형의 셀은 제9도에 도시한 캐스케이드·게이트형의 셀과 비교해서 소자 분리용의 MOS 트랜지스터(Q0)가 생략되고 있고, 캐스케이드·게이트용의 활성 영역의 일단측에 콘택트한 도전체(예를들어 폴리실리콘)(81)가 형성되고, 이 도전체에 비트선(BL)이 콘택트하고 있는 점이 다르다. 그 이외는 제18도종과 동일함으로 동일 부호를 기재한다.

상기 캐스케이드·게이트형의 셀에 있어서는 정보 기억용의 캐퍼시터(C1~C4)는 상기 MOS 트랜지스터용의 활성 영역의 일단에 콘택트한 전하 스트레치용 폴리실리콘(531~534)을 가지고 있고, 상기 캐스케이드·게이트용의 활성 영역의 일단측에 콘택트한 도전체(81)에 상기 비트선(BL)이 접속된다. 이 도전체(81)는 상기 전하 스트레치용의 폴리실리콘과 동일 패턴을 갖도록 동일 프로세스에 의하여 동일 배선층으로 형성되어 있다.

따라서 상기 메모리 셀의 어레이를 구성할 경우에 정보 기억용의 캐퍼시터(C1~C4)의 전하 스트레치용의 폴리실리콘(531~534)과 캐스케이드·게이트용의 활성 영역의 일단측에 콘택트한 도전체(81)가 규칙적으로 정렬되고 기판상의 패턴의 규칙성이 실현된다.

또 캐스케이드·게이트용의 활성 영역의 1단측에 콘택트한 도전체(81)가 존재하고 있으므로 이 도전체가 존재하고 있지 않는 경우에는 비교해서 이 도전체(81)상에 형성되는 콘택트 홀의 마스크 컴퍼지트(Composite) 여유가 커지는 동시에 콘택트 홀을 알게 형성할 수 있다. 이것으로 IC의 제조에 있어서 프로세스가 용이해져서 패턴의 고밀도화를 달성할 수가 있다.

상기와 같이 캐스케이드·게이트용의 활성 영역의 일단측에 콘택트한 도전체(81)를 형성하는 기술은 제1도, 제3도, 제5도 내지 제7도의 셀의 전부에 적용할 수 있다.

제11도는 예를들어 제1도의 셀을 스택 셀 구조로서 실현하고, 예를들면 오픈·비트선 방식의 DRAM 셀 어레이에 사용한 경우의 단면 구조의 또 다른 예를 도시하고 있다.

이 캐스케이드·게이트형의 셀은 제9도에 도시한 메모리 셀의 특징과 제10도에 도시한 메모리 셀의 특징이 포함되어 있다. 즉 제9도에 도시한 캐스케이드·게이트형의 셀에 대하여, 다시 제10도에 도시한 캐스케이드·게이트용의 활성 영역의 일단측에 콘택트한 도전체(81)가 형성되어 있다. 그 이외는 제9도중과 동일함으로 동일 부호를 부여하고 있다.

상기 캐스케이드·게이트형의 셀에 있어서는 반도체 기판상에서 서로 인접되는 다른 반도체 메모리 간에 형성된 소자 분리용의 MOS 트랜지스터(Q0)를 구비하고 있고 이 소자 분리용의 MOS 트랜지스터(Q0)의 게이트 전극(WL0)과 상기 캐스케이드 접속된 복수의 MOS 트랜지스터의 게이트 전극과는 동일 배선층에 형성되고 있고 또한 캐스케이드·게이트용의 활성 영역의 일단측에 콘택트한 도전체(81)가 형성되고 이 도전체(81)는 상기 전하 스트레치용 폴리실리콘과 동일 배선층에 형성되어 있다.

따라서, 상기 캐스케이드·게이트형의 셀은 제9도에 도시한 메모리 셀의 특징과 제10도에 도시한 메모리 셀의 특징과를 구비하고 있으므로 상이한 바와 같이 각각의 효과가 동시에 얻어진다.

상기와 같이 캐스케이드·게이트용의 활성 영역의 1단측에 콘택트한 도전체를 형성하는 동시에 소자 분리용의 MOS 트랜지스터를 사용하는 기술은 제1도, 제5도 내지 제7도에는 적용할 수 있으나 제3도의 셀에는 적용할 수 없다.

제12도는 예를들어 제1도의 스택 셀 구조로서 실현하고, 예를들어 오픈·비트선 방식의 DRAM 셀 어레이에 사용했을 경우의 평면 패턴의 다른 예를 표시하고 있고 그 B-B선에 따르는 단면 구조의 한 예를 제13도에 도시하고 있다.

이 캐스케이드·게이트형의 셀을 비트선을 전하 스트레치용의 폴리실리콘 보다도 먼저 만들어 넣는 이른바 비트선 먼저 만들기 프로세스를 채용한 DRAM에 적용되고 있다. 그리고 캐스케이드·게이트용의 활성 영역의 1단측에 비트선(BL)이 직접 콘택트하고 있으나, 이 비트선(BL)은 셀 트랜지스터(캐스케이드 접속된 복수의 트랜지스터)의 배열 방향으로 직교하는 방향의 상호 인접하는 반도체 메모리 셀과의 사이의 소자 분리 영역상에 형성되어 있다. 그 이외는 제8도 및 제9도중과 동일함으로 동일 부호를 부여하고 있다.

상기한 바와 같이 셀 트랜지스터의 배열 방향으로 직교하는 방향으로 상호 인접한 반도체 메모리 셀과의 사이의 소자 분리 영역상에 비트선을 형성하는 동시에 캐스케이드·게이트용의 활성 영역의 일단측에 비트선을 직접 콘택트시키는 기술은 제1도, 제3도, 제5도 내지 제7도의 셀의 전부에 적용할 수 있다.

또, 상기 제8도 내지 제13도에 도시한 각 실시예에 있어서는 셀 트랜지스터의 배열 방향으로 직교하는 방향으로 상호 인접된 반도체 메모리 셀 상호간에 있어서는 소자 분리는 필드 산화막을 사용해도 좋으나 상기 소자 분리를 실시하는 영역의 반도체 기판 표면에 불순물을 도입해 놓고 그 위에 게이트 절연막을 개재하여 예를들어 폴리실리콘 배선을 형성해 놓고, 이 폴리실리콘 배선에 접지 전위(Vss) 또는 부의 기판 바이어스 전위(VBB)를 부여하도록 해도 좋다.

또, 본원 청구의 범위의 각 구성 요건에 병기한 도면 참조 번호는 본 발명의 이해를 용이하게 하기 위한 것으로 본 발명의 기술적 범위를 도면에 도시한 실시예에 한정하는 의도로 병기한 것은 아니다.

상기와 같이 본 발명의 반도체 메모리 셀에 의하면 보다 높은 집적도를 실현하고, 비트 단가를 대폭으로 저감할 수 있고, 또한 제조 프로세스의 용이화, 패턴의 고밀도화를 달성할 수 있다. 따라서 저가격으로 대용량의 DRAM을 실현하고 자기 디스크 등의 기억 매체의 대체로서 사용할 수가 있고 대단히 유효하다.

(57) 청구의 범위

청구항 1

복수의 제1의 MOS 트랜지스터(Q1~Q4)가 캐스케이드 접속되어서 이루어지고, 일단측이 제1의 노드(N1)에 접속되는 제1의 캐스케이드·게이트와, 상기 각 MOS 트랜지스터의 상기 제1의 노드에서 먼측의 각 일단에 대응하여 각 일단이 접속된 복수의 정보 기억용의 캐퍼시터가 동일 반도체 기판상에 형성된 반도체 메모리 셀에 있어서, 상기 반도체 기판상에서 이웃하는 다른 반도체 메모리 셀과의 사이에 형성된 소자 분리용의 MOS 트랜지스터(Q0)를 지니는 것을 특징으로 하는 반도체 메모리 셀.

청구항 2

복수의 제1의 MOS 트랜지스터(Q1~Q4)가 캐스케이드 접속되어서 이루어지고 일단측이 제1의 노드(N1)에 접속되는 제1의 캐스케이드·게이트와 상기 각 MOS 트랜지스터의 상기 제1의 노드에서 먼측의 각 일단에 대응하여 각 일단이 접속된 복수의 정보 기억용의 캐퍼시터(C1~C4)가 동일 반도체 기판상에 형성된 반도체 메모리 셀에 있어서, 상기 기억용의 캐퍼시터는 상기 MOS 트랜지스터용의 활성 영역의 일단에 콘택트한 전하 스트레치용 도전체(531~534)를 지니고 있고, 상기 캐스케이드·게이트용의 활성 영역의 일단측에 콘택트한 도전체(81)가 형성되고 이 도전체가 상기 제1의 노드에 접속되는 것을 특징으로 하는 반도체 메모리 셀.

청구항 3

제1항에 있어서, 추가로 상기 정보 기억용의 캐퍼시터는 상기 MOS 트랜지스터용의 활성 영역의 일단에 콘택트한 전하 스트레치용 도전체(531~534)를 지니고 있고, 상기 캐스케이드·게이트용의 활성 영역의 일단측에 콘택트한 도전체(81)가 형성되고 이 도전체가 상기 제1의 노드에 접속되는 것을 특징으로 하는 반도체 메모리 셀.

청구항 4

제2항에 있어서, 추가로 상기 제1의 캐스케이드·게이트의 타단측과 제2의 노드(N2)와의 사이에서 상기 제1의 MOS 트랜지스터 캐스케이드 접속된 제2의 MOS 트랜지스터(Q5)를 구비하는 것을 특징으로 하는 반도체 메모리 셀.

청구항 5

제1항에 있어서, 상기 캐스케이드 접속된 복수의 트랜지스터의 각각의 소스·드레인·채널 영역이 반도체 기판 표면에서 직선 모양으로 배치되고 이 복수의 트랜지스터의 소스 영역 혹은 드레인 영역에서 상기 캐퍼시터의 전하 스트레치용 도전체(531~534)가 콘택트하는 스택 셀 구조로 실현되는 것을 특징으로 하는 반도체 메모리 셀.

청구항 6

제1항에 있어서, 상기 소자 분리용의 MOS 트랜지스터의 게이트 전극은 상기 캐스케이드 접속된 복수의 MOS 트랜지스터의 게이트 전극과 같은 배선층에 형성되어 있는 것을 특징으로 하는 반도체 메모리 셀.

청구항 7

제2항에 있어서, 상기 캐스케이드·게이트용의 활성 영역의 일단측에 콘택트한 도전체(81)는 상기 전하 스트레치용 도전체(531~534)와 같은 배선층에 형성되어 있는 것을 특징으로 하는 반도체 메모리 셀.

청구항 8

제1항에 있어서, 상기 캐스케이드 접속된 복수의 트랜지스터의 각 게이트는 메모리 셀 어레이의 각각의 워드선(WL1~WL4)에 접속되고 상기 각 MOS 트랜지스터는 소정의 순서로 온/오프 제어되는 것을 특징으로 하는 반도체 메모리 셀.

청구항 9

제1항에 있어서, 상기 복수의 캐퍼시터의 각 타단은 공통의 배선(11)에 접속되는 것을 특징으로 하는 반도체 메모리 셀.

청구항 10

제9항에 있어서, 상기 복수의 캐퍼시터의 각 플레이트 전극(59)은 공통으로 형성되어 소정의 캐퍼시터 플레이트 전위가 주어지는 것을 특징으로 하는 반도체 메모리 셀.

청구항 11

제1항에 있어서, 상기 복수의 캐퍼시터의 각 타단은 각각의 배선(PL1~PL4)에 접속되는 것을 특징으로 하는 반도체 메모리 셀.

청구항 12

제1항에 있어서, 상기 복수의 캐퍼시터의 각 용량치의 관계는 정보의 독출 차례와 관계하는 규칙이 주어지는 것을 특징으로 하는 반도체 메모리 셀.

청구항 13

제12항에 있어서, 상기 복수의 캐퍼시터의 각 용량치의 관계는 정보의 독출 차례로 용량치가 동등 이상으로 되어 있는 것을 특징으로 하는 반도체 메모리 셀.

청구항 14

제1항에 있어서, 상기 제1의 노드는 메모리 셀 어레이의 비트선(BL) 혹은 센스 앰프의 입력단에 접속되는 것을 특징으로 하는 반도체 메모리 셀.

청구항 15

제4항에 있어서, 상기 복수의 트랜지스터의 각 게이트는 메모리 셀 어레이의 각각의 워드선(WL1~WL5)에 접속되고, 상기 캐스케이드·게이트의 양단의 트랜지스터중의 한쪽의 트랜지스터는 선택적으로 오프 상태로 제어되고 나머지의 트랜지스터가 소정의 순서로 온/오프 제어되는 것을 특징으로 하는 반도체 메모리 셀.

청구항 16

제4항에 있어서, 상기 제1의 노드와 제2의 노드와는 공통으로 접속되는 것을 특징으로 하는 반도체 메모리 셀.

청구항 17

제1항에 있어서, 상기 제1의 캐스케이드·게이트의 트랜지스터와 동수의 MOS 트랜지스터가 캐스케이드 접속된 제2의 캐스케이드·게이트(Q1a~Q4a)를 추가로 지니고 이 제2의 캐스케이드·게이트의 복수의 트랜지스터의 각 타단은 상기 복수의 캐퍼시터의 각 타단에 대응하여 접속되고 상기 제2의 캐스케이드·게이트의 복수의 트랜지스터의 각 게이트는 상기 제1의 캐스케이드·게이트의 복수의 트랜지스터의 각 게이트에 대응하여 접속되어 있는 것을 특징으로 하는 반도체 메모리 셀.

청구항 18

제2항에 있어서, 상기 캐스케이드 접속된 복수의 트랜지스터의 각각의 소스·드레인·채널 영역이 반도체 기판 표면에서 직선 모양으로 배치되고, 이 복수의 트랜지스터의 소스 영역 혹은 드레인 영역에 상기 캐퍼시터의 전하 스트레치용 도전체(531~534)가 콘택트하는 스택 셀 구조로 실현되는 것을 특징으로 하는 반도체 메모리 셀.

청구항 19

제2항에 있어서, 상기 캐스케이드 접속된 복수의 트랜지스터의 각 게이트는 메모리 셀 어레이의 각각의 워드선(WL1~WL4)에 접속되고 상기 각 MOS 트랜지스터는 소정의 순서로 온/오프 제어되는 것을 특징으로 하는 반도체 메모리 셀.

청구항 20

제2항에 있어서, 상기 복수의 캐퍼시터의 각 타단은 공통의 배선(11)에 접속되는 것을 특징으로 하는 반도체 메모리 셀.

청구항 21

제20항에 있어서, 상기 복수의 캐퍼시터의 각 플레이트 전극(59)은 공통으로 형성되고 소정의 캐퍼시터 플레이트 전위가 주어지는 것을 특징으로 하는 반도체 메모리 셀.

청구항 22

제2항에 있어서, 상기 복수의 캐퍼시터의 각 타단은 각각의 배선(PL1~PL4)에 접속되는 것을 특징으로 하는 반도체 메모리 셀.

청구항 23

제2항에 있어서, 상기 복수의 캐퍼시터의 각 용량치의 관계는 정보의 독출 차례와 관계하는 규칙이 주어지고 있는 것을 특징으로 하는 반도체 메모리 셀.

청구항 24

제23항에 있어서, 상기 복수의 캐퍼시터의 각 용량치의 관계는 정보의 독출 차례로 용량치가 동등 이상으로 되어 있는 것을 특징으로 하는 반도체 메모리 셀.

청구항 25

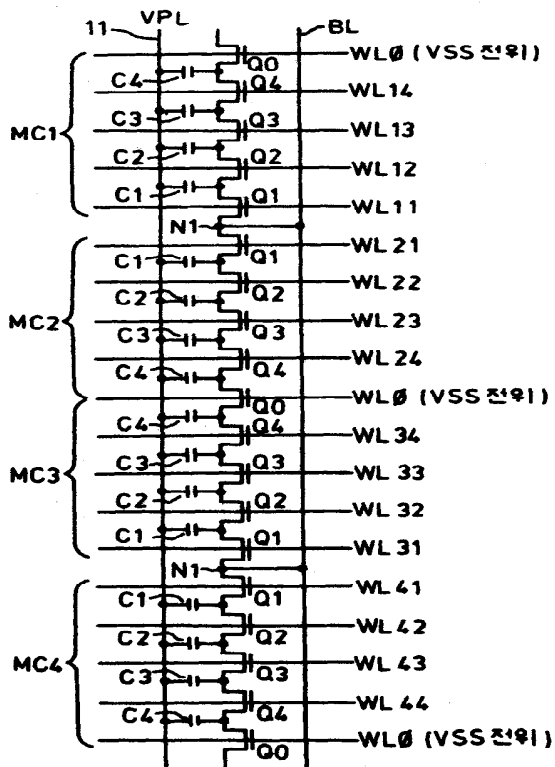
제2항에 있어서, 상기 제1의 노드는 메모리 셀 어레이의 비트선(BL) 혹은 센스 앰프의 입력단에 접속되는 것을 특징으로 하는 반도체 메모리 셀.

청구항 26

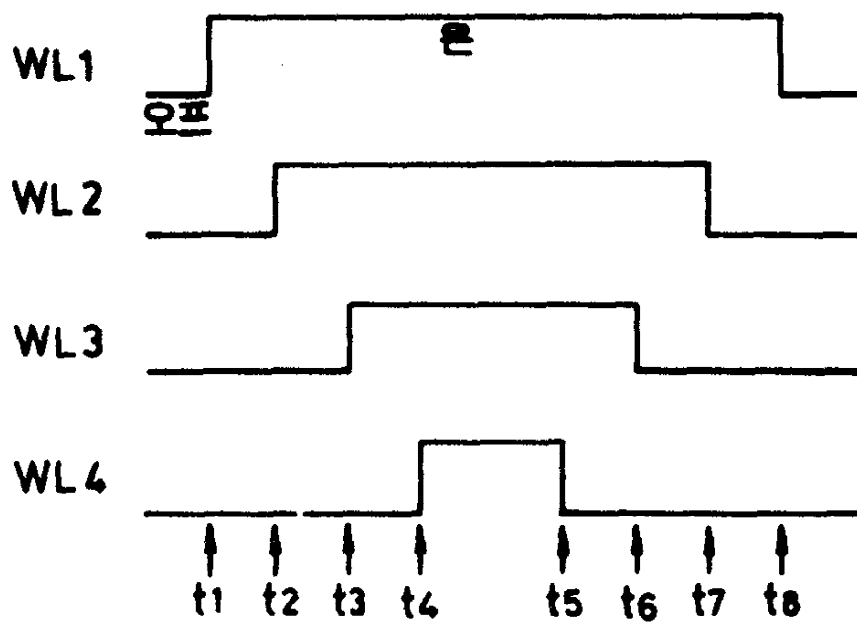
제2항에 있어서, 상기 제1의 캐스케이드·게이트의 트랜지스터와 동수의 MOS 트랜지스터가 캐스케이드 접속된 제2의 캐스케이드·게이트(Q1a~Q4a)를 추가로 지니고, 이 제2의 캐스케이드·게이트의 복수의 트랜지스터의 각 타단은 상기 복수의 캐퍼시터의 각 타단에 대응하여 접속되고, 상기 제2의 캐스케이드·게이트의 복수의 트랜지스터의 각 게이트는 상기 제1의 캐스케이드·게이트의 복수의 트랜지스터의 각 게이트에 대응하여 접속되어 있는 것을 특징으로 하는 반도체 메모리 셀.

도면

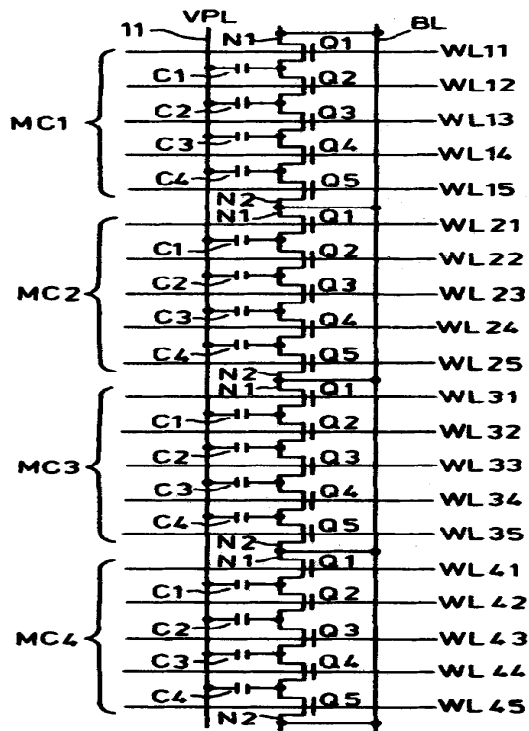
도면1



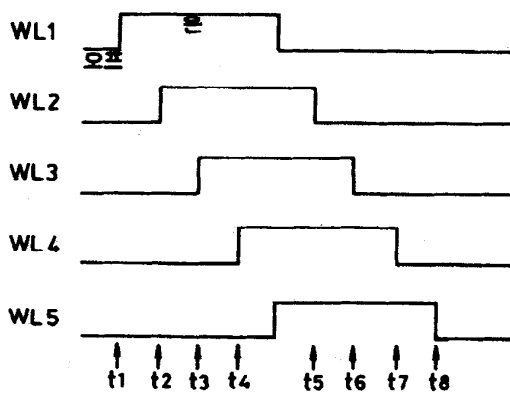
도면2



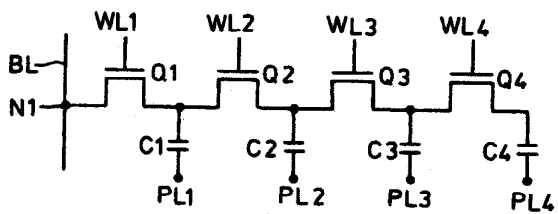
도면3



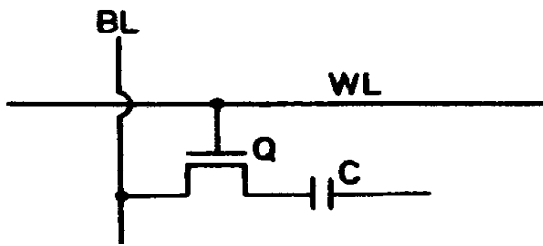
도면4



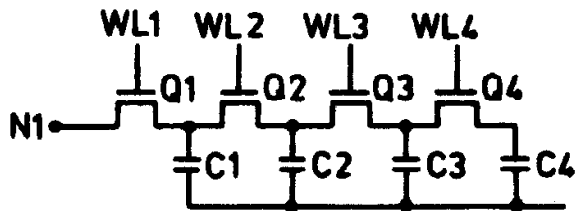
도면5



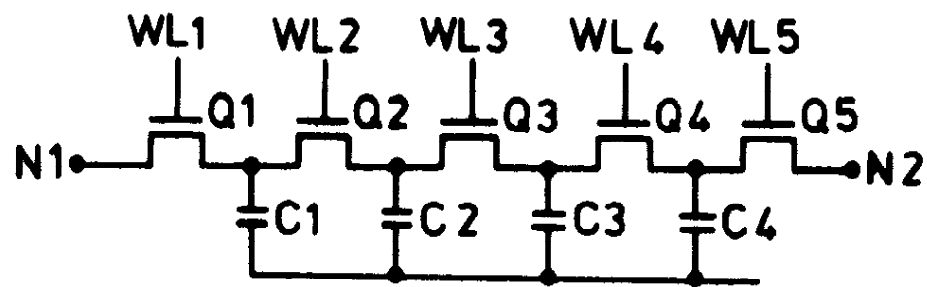
도면 14



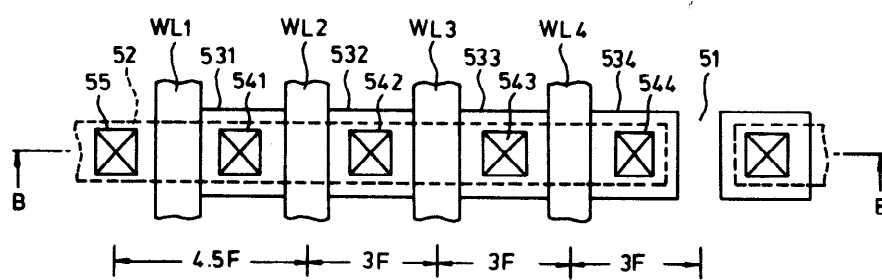
도면 15



도면 16



도면 17



도면 18

