

(12) 특허협력조약에 의하여 공개된 국제출원

(19) 세계지식재산권기구
국제사무국

(43) 국제공개일
2017년 11월 2일 (02.11.2017) **WIPO | PCT**



(10) 국제공개번호

WO 2017/188658 A1

(51) 국제특허분류:

H01L 29/786 (2006.01)

H01L 21/02 (2006.01)

H01L 29/41 (2006.01)

H01L 29/06 (2006.01)

(21) 국제출원번호:

PCT/KR2017/004218

(22) 국제출원일:

2017년 4월 20일 (20.04.2017)

(25) 출원언어:

한국어

(26) 공개언어:

한국어

(30) 우선권정보:

10-2016-0053347 2016년 4월 29일 (29.04.2016) KR

(71) 출원인: 고려대학교 산학협력단 (KOREA UNIVERSITY RESEARCH AND BUSINESS FOUNDATION) [KR/KR]; 02841 서울시 성북구 안암로 145, Seoul (KR).

(72) 발명자: 성태연 (SEONG, Tae-Yeon); 06519 서울시 서초구 신반포로33길 64, 1-506, Seoul (KR). 김대현 (KIM, Dae-Hyun); 02489 서울시 동대문구 약령사로 147, 3-105, Seoul (KR). 김환교 (KIM, Hwan-Kyo); 21664 인천시 남동구 소래역로 94, 1108-1103, Incheon (KR). 임형섭 (IM, Hyeong-Seop); 05536 서울시 송파구 토성로 38-6, 104-607, Seoul (KR).

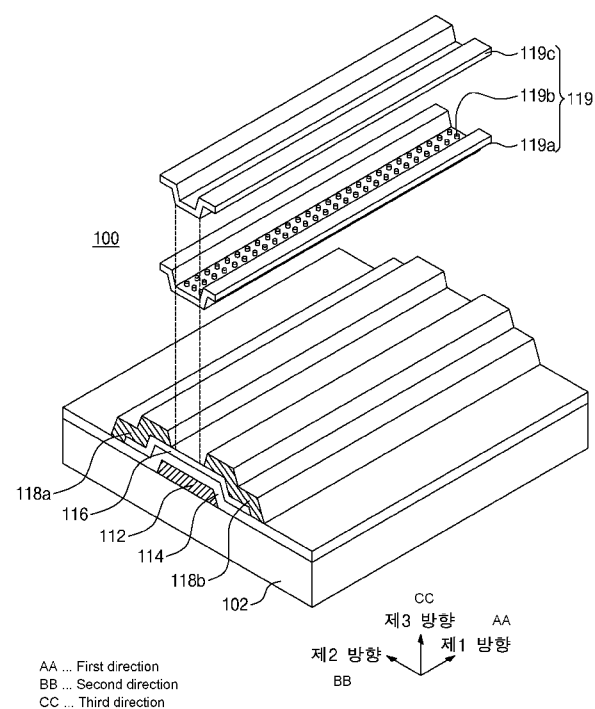
(74) 대리인: 특허법인 누리 (NURY PATENT LAW FIRM); 06131 서울시 강남구 테헤란로 25길 15-5, 4층, Seoul (KR).

(81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KH, KN, KP, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

(54) Title: AMORPHOUS OXIDE THIN FILM TRANSISTOR FOR SECURING LIGHT STABILITY

(54) 발명의 명칭: 광안정성 확보를 위한 비정질 산화물 박막 트랜지스터



(57) Abstract: The present invention provides an oxide thin film transistor. The oxide thin film transistor comprises: a substrate; a gate electrode extending in a first direction on the substrate; a gate insulation film arranged on and traversing the gate electrode; an oxide semiconductor layer arranged on the gate insulation film and extending in a second direction perpendicular to the first direction from both sides of the gate electrode; a source electrode and a drain electrode arranged on the oxide semiconductor layer and spaced from each other with respect to the gate electrode; and a protective layer arranged on the oxide semiconductor layer exposed between the source electrode and the drain electrode. The protective layer comprises: a lower protective layer composed of an insulator; a metal nanostructure arranged on the lower protective layer; and an upper protective layer composed of an insulator and arranged on the metal nanostructure.

공개:

- 국제조사보고서와 함께 (조약 제21조(3))
- 청구범위 보정 기한 만료 전의 공개이며, 보정서를 접수하는 경우 그에 관하여 별도 공개함 (규칙 48.2(h))

(57) 요약서: 본 발명은 산화물 박막 트랜지스터를 제공한다. 이 산화물 박막 트랜지스터는 기판; 상기 기판에서 제1 방향으로 연장되는 게이트 전극; 상기 게이트 전극 상에 배치되고 상기 게이트 전극을 가로지르도록 배치되는 게이트 절연막; 상기 게이트 절연막 상에 배치되고 상기 게이트 전극의 양측에서 상기 제1 방향에 수직인 제2 방향으로 연장되는 산화물 반도체층; 상기 산화물 반도체층 상에 배치되고 상기 게이트 전극을 중심으로 서로 이격되어 배치되는 소오스 전극 및 드레인 전극; 및 상기 소오스 전극과 상기 드레인 전극 사이의 노출된 산화물 반도체층 상에 배치되는 보호층을 포함한다. 상기 보호층은 절연체로 구성된 하부 보호층; 상기 하부 보호층 상에 배치된 금속 나노 구조체; 및 절연체로 구성되고 상기 금속 나노 구조체 상에 배치된 상부 보호층을 포함한다.

명세서

발명의 명칭: 광안정성 확보를 위한 비정질 산화물 박막 트랜지스터

기술분야

- [1] 본 발명은 산화물 박막 트랜지스터에 관한 것이며, 보다 상세하게는 광안정성 및 신뢰도 향상을 위해 산화물 반도체의 밴드갭 이상의 특정 파장(450nm 이하)의 광을 선택적으로 흡수하는 광흡수층을 도입한 비정질 산화물 박막 트랜지스터에 관한 것이다.

배경기술

- [2] 일반적으로 트랜지스터 구조는 크게 탑 게이트(Top Gate)와 버텀 게이트(Bottom Gate) 구조로 나뉜다. 탑 게이트(Top Gate) 구조는 소오스(source) 전극 및 드레인(drain) 전극을 증착한 후에 산화물 박막 트랜지스터(Oxide Thin Film Transistor; Oxide TFT)의 활성층(또는 채널층), 및 게이트 절연막(gate insulator)를 차례로 증착한 후에 게이트 전극을 증착하는 구조이다. 이러한 구조를 갖는 경우, 소오스(source)/드레인(drain) 전극과 게이트 전극 사이의 겹침(overlap)을 줄일 수 있기 때문에 기생 정전용량(parasitic capacitance)에 의해 발생하는 문제를 제거할 수 있어 우수한 전기적 특성을 확보할 수 있다. 또한, 게이트 절연막과 게이트 전극이 보호층으로 기능하기 때문에, 채널층이 외부로 노출되지 않는다. 따라서, 소자가 제작된 후에, 소자는 외부 환경에 의한 손상을 적게 입는다. 또한, 채널층이 기판 바로 위에 증착되어, 소자는 안정적인 구조를 구비한다. 전하 이동도(mobility)가 높은 장점이 있다. 그러나 반도체 소재와 소오스/드레인 전극을 증착한 후 그 위에 게이트 절연막(gate-insulator)를 증착하는 공정이 진행됨에 따라, 플라즈마에 의해 게이트 절연막이 손상을 입을 가능성이 크다.
- [3] 버텀 게이트(Bottom Gate) 구조는 현재 LCD 패널에서 양산되고 있는 a-Si TFT 공정에 쓰이는 구조이다. Oxide TFT를 양산하게 될 때에, 버텀 게이트 구조의 공정라인을 유사하게 사용할 수 있어 생산 비용을 줄일 수 있다. 그러나 후면 채널 표면(Back-channel surface)가 대기 중에 노출이 되면 대기 가스와의 흡착(adsorption), 탈착(desorption), 또는 확산(diffusion)에 의해 TFT의 소자 특성이 저하되고 불안정성(instability)을 유발 시킨다. 또한 게이트 전극과 소오스/드레인 사이의 겹침(overlap)이 커서 기생 정전용량(parasitic capacitance)이 증가한다. 상기 기생 정전용량은 회로의 속도를 느리게 만든다. 그러나 채널층이 하부에 위치하기 때문에 후속 공정에 의하여 채널층이 의도치 않게 변화하는 것을 최소화할 수 있는 장점이 있다.
- [4] 비정질 산화물 트랜지스터는 기존의 비정질 실리콘 기반 트랜지스터에 비해 전하 이동도가 높아 대면적 고해상도 디스플레이에 적합하다. 또한 결정질

실리콘 트랜지스터에 비해서 균일도가 우수하여 모바일 기기용 소형 패널에서 TV용 대형 패널에 이르기까지 향후 적용 범위가 확대될 것으로 예상된다. 또한, 비정질 산화물 트랜지스터는 상온 증착이 가능해 플라스틱 기판의 사용으로 인한 낮은 공정 온도가 요구되는 유연성(Flexible) 디스플레이를 위한 트랜지스터에도 적합하다.

발명의 상세한 설명

기술적 과제

- [5] 본 발명의 해결하고자 하는 일 기술적 과제는 산화물 반도체의 밴드갭 이상의 광을 흡수하는 보호층을 제공하여 산화물 박막 트랜지스터의 소자 안정성을 향상시키는 것이다.

과제 해결 수단

- [6] 본 발명의 일 실시예에 따른 산화물 박막 트랜지스터는 기판; 상기 기판에서 제1 방향으로 연장되는 게이트 전극; 상기 게이트 전극 상에 배치되고 상기 게이트 전극을 가로지르도록 배치되는 게이트 절연막; 상기 게이트 절연막 상에 배치되고 상기 게이트 전극의 양측에서 상기 제1 방향에 수직인 제2 방향으로 연장되는 산화물 반도체층; 상기 산화물 반도체층 상에 배치되고 상기 게이트 전극을 중심으로 서로 이격되어 배치되는 소오스 전극 및 드레인 전극; 및 상기 소오스 전극과 상기 드레인 전극 사이의 노출된 산화물 반도체층 상에 배치되는 보호층을 포함한다. 상기 보호층은 절연체로 구성된 하부 보호층; 상기 하부 보호층 상에 배치된 금속 나노 구조체; 및 절연체로 구성되고 상기 금속 나노 구조체 상에 배치된 상부 보호층을 포함한다.
- [7] 본 발명의 일 실시예에 있어서, 상기 하부 보호층 및 상기 상부 보호층은 서로 정렬되고, 상기 금속 나노 구조체는 나노 사이즈의 금속 디스크 어레이일 수 있다.
- [8] 본 발명의 일 실시예에 있어서, 상기 하부 보호층 및 상기 상부 보호층은 서로 정렬되고, 상기 금속 나노 구조체는 나노 사이즈의 홀 어레이일 수 있다.
- [9] 본 발명의 일 실시예에 있어서, 상기 하부 보호층은 실리콘 산화막이고, 상기 상부 보호층은 실리콘 산화막 또는 실리콘 질화막이고, 상기 금속 디스크 어레이의 주기는 250nm 내지 340nm일 수 있다.

발명의 효과

- [10] 본 발명의 일 실시예에 따른 산화물 박막 트랜지스터는 발광층에 의한 자외선 청색 또는 자외선을 차단하여 문턱 전압의 이동을 억제할 수 있다.

도면의 간단한 설명

- [11] 도 1a는 본 발명의 일 실시예에 따른 산화물 박막 트랜지스터를 설명하는 분해사시도이다.
- [12] 도 1b는 도 1a의 산화물 박막 트랜지스터를 설명하는 단면도이다.
- [13] 도 2는 본 발명의 다른 실시예에 따른 산화물 박막 트랜지스터를 설명하는

단면도이다.

[14] 도 3은 본 발명의 일 실시예에 따른 보호층의 광투과 특성을 나타내는 도면이다.

[15] 도 4는 본 발명의 다른 실시예에 따른 디스플레이 구조의 주기에 따른 보호층의 투과도를 나타내는 도면이다.

[16] 도 5는 본 발명의 일 실시예에 따른 OLED 패널을 설명하는 단면도이다.

발명의 실시를 위한 형태

[17] 투명디스플레이는 화면이 투과도를 가지고 있어서 화면 뒷면이 보인다는 특징을 가진다. 투명 AMOLED(Active-Matrix Organic Light-Emitting Diode; AMOLED)의 경우 투명전극과 투명 TFT를 사용한 경우, 투명 TFT는 발광 영역에서 방출된 청색 및 자외선이 상기 투명 TFT에 조사된다.

[18] 산화물 TFT(Oxide TFT)는 AMOLED나 LCD 등의 디스플레이에 주로 사용되는 스위치 소자이다. 디스플레이의 각 픽셀에서 스위치 소자가 광원을 제어한다. 그러나 이 스위치 소자는 각 픽셀에서 나오는 광원에 아주 취약하다. 이 빛에 의해 소자가 켜져 있거나 꺼져있을 때 문턱 전압(Threshold Voltage, V_{th})이 변한다. 상기 문턱 전압이 일정하지 않고 변하게 되면 소자의 안정성 및 신뢰도에 큰 영향을 주게 된다.

[19] 산화물 반도체의 밴드갭 보다 높은 에너지의 빛이 들어오게 되면 전자-전공 쌍(Electron-Hole Pair)이 생긴다. 여기서, 게이트 전극에 음의 전압을 흘려주면, 전공이 인력에 의해 게이트 절연체와 반도체 사이의 계면에서 트랩된다. 정공 트랩(Hole Trap)으로 인해 문턱 전압이 음의 방향으로 이동하게 된다. 대략 2.7 eV의 밴드갭 에너지 이상의 빛을 조사하였을 때, 빛에 의해 유도된 중성 V_0 가 V_0 로 이온화되면서 전도대에 전자를 제공하면서, 페르미 준위(Fermi level) 위쪽으로 에너지 레벨이 높아진다. 자유전자가 많이 생기면 n-형 도핑을 한 것과 같은 효과가 발생한다. 그래서 낮은 게이트 전압에도 쉽게 전류가 흘러, 게이트 전압에 따른 드레인 전류를 나타내는 트랜스퍼 커브(transfer curve)에서, 문턱 전압이 음의 방향으로 변화하는 것을 설명할 수 있다. 파장 대별 신뢰성을 측정한 경우, 460nm(2.7eV) 이하의 파장 영역에서는 더욱 급격한 문턱 전압의 변화가 일어나므로 단파장에서 특히나 취약하다.

[20] 디스플레이에서 나오는 백색광은 모든 파장 영역을 포함하고 있기 때문에 게이트 절연체/채널 계면의 홀 트랩(hole trap)과 산소 원자 결함(oxygen vacancy)의 이온화에 의한 도너(donor) 증가의 영향을 동시에 받게 된다.

[21] SiO_2 , Al_2O_3 , SiN_x 등의 보호층(passivation layer)은 채널층의 신뢰성 확보에 매우 중요한 역할을 한다. 하지만 일반적인 보호층은 광원에서 발생하는 단파장 영역의 빛을 모두 투과하므로, 광에 의한 채널층 특성 저하가 발생한다. 이러한 문제를 해결하기 위해 본 발명에서는 보호층에 금속 나노 구조체가 도입된 광학 필터층을 삽입하여 채널층으로 투과되는 460nm 이하 단파장 영역의 빛을

차단하고자 한다.

- [22] 본 발명의 일 실시예에 따르면, 비정질 산화물 박막 트랜지스터의 보호층에 금속 나노 구조체를 도입한다. 이는 금속 나노 구조체는 표면 플라즈몬 공명(surface plasmon resonance) 효과를 발생시키며, 금속 나노 구조체는 특정파장의 빛을 흡수하거나 투과함으로써 채널층에 도달하는 단파장 빛을 차단할 수 있다. 금속 나노 구조체의 물질은 Au, Ag, Al 등 다양한 금속 물질이 가능하며, 이러한 나노 구조체의 크기, 주기 및 형상을 다양하게 변화시킴으로써 차단하고자 하는 빛의 파장과 파장폭, 그리고 흡수 및 투과도를 조절할 수 있다.
- [23] 보호층에 도입될 나노 구조체의 종류는 금속 디스크 어레이 구조 또는 홀 어레이 구조일 수 있다. 나노 사이즈의 일정한 주기를 가진 금속 나노 구조체를 만들기 위해서는 전자빔 리소그래피(e-beam lithography), 포토리소그래피(photolithography), 레이저 리소그래피(laser lithography), 또는 나노임프린트 그리소그래피(nanoimprint lithography) 등과 같은 다양한 패턴 형성 공정이 적용될 수 있다.
- [24] 이하, 첨부한 도면들을 참조하여 본 발명의 바람직한 실시예들을 상세히 설명하기로 한다. 그러나, 본 발명은 여기서 설명되어지는 실시예들에 한정되지 않고 다른 형태로 구체화될 수도 있다. 오히려, 여기서 소개되는 실시예는 개시된 내용이 철저하고 완전해질 수 있도록 그리고 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 제공되어지는 것이다. 도면들에 있어서, 구성요소는 명확성을 기하기 위하여 과장되어진 것이다. 명세서 전체에 걸쳐서 동일한 참조번호로 표시된 부분들은 동일한 구성요소들을 나타낸다.
- [25] 도 1a는 본 발명의 일 실시예에 따른 산화물 박막 트랜지스터를 설명하는 분해사시도이다.
- [26] 도 1b는 도 1a의 산화물 박막 트랜지스터를 설명하는 단면도이다.
- [27] 도 1a 및 도 1b를 참조하면, 산화물 박막 트랜지스터(100)는 기판(102); 상기 기판(102)에서 제1 방향으로 연장되는 게이트 전극(112); 상기 게이트 전극 상에 배치되고 상기 게이트 전극(112)을 가로지르도록 배치되는 게이트 절연막(114); 상기 게이트 절연막(114) 상에 배치되고 상기 게이트 전극(112)의 양측에서 상기 제1 방향에 수직인 제2 방향으로 연장되는 산화물 반도체층(116); 상기 산화물 반도체층(116) 상에 배치되고 상기 게이트 전극(112)을 중심으로 서로 이격되어 배치되는 소오스 전극(118a) 및 드레인 전극(118b); 및 상기 소오스 전극(118a)과 상기 드레인 전극(118b) 사이의 노출된 산화물 반도체층(116) 상에 배치되는 보호층(119)을 포함한다. 상기 보호층(119)은 절연체로 구성된 하부 보호층(119a); 상기 하부 보호층(119a) 상에 배치된 금속 나노 구조체(119b); 및 절연체로 구성되고 상기 금속 나노 구조체(119b) 상에 배치된 상부 보호층(119c)을 포함한다.
- [28] 상기 기판(102)은 유리 기판 또는 플라스틱 기판일 수 있다.
- [29] 상기 게이트 전극(112)은 상기 기판의 배치평면에서 제1 방향으로 연장될 수

- 있다. 상기 게이트 전극(112)은 포토리소그래피 공정을 통하여 패터닝될 수 있다. 상기 게이트 전극(112)의 재질은 알루미늄, 구리, 타이타늄, 및 몰리브덴 중에서 적어도 하나를 포함할 수 있다. 상기 게이트 전극(112)은 복층 구조일 수 있다. 상기 게이트 전극(112)은 투명한 전도성 물질인 인듐주석산화물(ITO), ZnO, SnO₂, TiO₂, Ga-doped ZnO, 또는 Al-doped ZnO일 수 있다.
- [30] 상기 게이트 절연막(114)은 실리콘 산화막 또는 실리콘 산화질화막일 수 있다. 상기 게이트 절연막(114)은 상기 게이트 전극(112) 상에 기판 전면에서 배치될 수 있다.
- [31] 상기 산화물 반도체층(116)은 상기 게이트 절연막(114) 상에 배치되고 상기 게이트 전극(112)과 정렬될 수 있다. 상기 산화물 반도체층(116)은 상기 게이트 전극(112)의 양 측면에서 상기 제1 방향으로 수직인 제2 방향으로 연장될 수 있다. 상기 산화물 반도체층(116)은 포토리소그래피 공정에 의하여 패터닝될 수 있다. 상기 산화물 반도체층(116)은 트랜지스터의 활성층으로 동작하고, 상기 산화물 반도체층(116)은 상기 게이트 전극(112)에 인가되는 게이트 전압에 의하여 채널을 형성할 수 있다. 상기 산화물 반도체층(116)의 재료는 IGZO(InGaZnO), InGaO, InSnZnO, InZnO, 그리고 ZnO 중에서 적어도 하나를 포함할 수 있다.
- [32] 소오스 전극(118a) 및 드레인 전극(118b)은 알루미늄, 구리, 타이타늄, 및 몰리브덴 중에서 적어도 하나를 포함할 수 있다. 상기 소오스 전극 및 상기 드레인 전극은 투명한 전도성 물질인 인듐주석산화물(ITO), ZnO, SnO₂, TiO₂, Ga-doped ZnO, 또는 Al-doped ZnO일 수 있다. 상기 소오스 전극(118a)과 상기 드레인 전극(118b)은 상기 산화물 반도체층(116)을 중심으로 서로 상기 제2 방향으로 이격되어 상기 제1 방향으로 연장될 수 있다. 상기 소오스 전극(118a)과 상기 드레인 전극(118b)은 상기 산화물 반도체층(116)의 중심 부위를 노출시킬 수 있다. 상기 소오스 전극과 상기 드레인 전극은 그 하부의 게이트 전극(112)과 서로 중첩되는 영역을 구비하도록 정렬될 수 있다.
- [33] 상기 보호층(119)은 상기 소오스 전극과 상기 드레인 전극 사이의 노출된 산화물 반도체층(116)을 덮고 상기 제1 방향으로 연장될 수 있다. 상기 보호층(119)은 상기 소오스 전극 및 상기 드레인 전극의 일부를 덮도록 패터닝될 수 있다.
- [34] 상기 보호층(119)은 차례로 적층된 하부 보호층(119a), 금속 나노 구조체(119b), 및 상부 보호층(119c)을 포함할 수 있다. 상기 보호층(119)은 상부의 발광 소자에서 방출된 광 중에서 자외선 또는 청색 성분을 차단할 수 있는 광필터로 동작한다. 상기 보호층(119)은 상기 산화물 반도체층(116)의 밴드갭 이상의 에너지에 대응하는 파장 성분을 차단할 수 있다. 상기 보호층(119)은 450 nm 이하의 파장을 차단하고 450 nm 이상의 파장을 투과시키는 광필터가 바람직할 수 있다. 바람직하게는, 상기 보호층(119)의 광필터 특성은 350 nm 내지 450 nm에서 최소의 투과도를 가질 수 있다. 이에 따라, 상기 보호층(119)은 350 nm

- 내지 400 nm의 청색 또는 자외선을 차단하여, 상기 산화물 반도체층(116)의 채널에 350 nm 내지 400 nm의 청색 또는 자외선은 입사하지 않을 수 있다.
- [35] 상기 하부 보호층(119a)은 실리콘 산화막일 수 있다. 상기 금속 나노 구조체(119b)는 나노 사이즈의 금속 디스크 어레이일 수 있다. 상기 금속 디스크 어레이는 리프트-오프 공정에 의하여 형성될 수 있다. 상기 금속 디스크 어레이는 상기 노출된 산화물 반도체층 상에만 배치될 수 있다. 상기 금속 디스크 어레이를 형성하기 위한 마스크는 전자빔 리소그래피(e-beam lithography), 포토 리소그래피(photolithography), 레이저 리소그래피(laser lithography), 또는 나노임프린트 그리소그래피(nanoimprint lithography) 등과 같은 다양한 패턴 형성 공정이 사용될 수 있다. 상기 금속 디스크 어레이의 재질은 금속 또는 금속 합금으로, 바람직하게는 알루미늄 또는 알루미늄 합금일 수 있다. 상기 금속 디스크 어레이의 주기는 250 nm 내지 340 nm 일 수 있다. 상기 금속 디스크의 지름은 주기의 1/2 내지 1/10일 수 있다.
- [36] 상기 상부 보호층(119c)은 실리콘 산화막 또는 실리콘 질화막일 수 있다. 상기 하부 보호층(119a) 및 상기 상부 보호층(119c)은 하나의 마스크를 사용하여 연속적 식각되어 서로 수직으로 정렬될 수 있다.
- [37] 도 2는 본 발명의 다른 실시예에 따른 산화물 박막 트랜지스터를 설명하는 단면도이다. 도 1에서 설명한 것과 중복되는 설명은 생략한다.
- [38] 도 2를 참조하면, 산화물 박막 트랜지스터(200)는 기판(102); 상기 기판에서 제1 방향으로 연장되는 게이트 전극(112); 상기 게이트 전극 상에 배치되고 상기 게이트 전극을 가로지르도록 배치되는 게이트 절연막(114); 상기 게이트 절연막 상에 배치되고 상기 게이트 전극의 양측에서 상기 제1 방향에 수직한 제2 방향으로 연장되는 산화물 반도체층(116); 상기 산화물 반도체층 상에 배치되고 상기 게이트 전극을 중심으로 서로 이격되어 배치되는 소오스 전극(118a) 및 드레인 전극(118b); 및 상기 소오스 전극과 상기 드레인 전극 사이의 노출된 산화물 반도체층 상에 배치되는 보호층(219)을 포함한다. 상기 보호층(219)은 절연체로 구성된 하부 보호층(219a); 상기 하부 보호층 상에 배치된 금속 나노 구조체(219b); 및 절연체로 구성되고 상기 금속 나노 구조체 상에 배치된 상부 보호층(219c)을 포함한다.
- [39] 상기 보호층(219)은 상기 소오스 전극과 상기 드레인 전극 사이의 노출된 산화물 반도체층을 덮고 상기 제1 방향으로 연장될 수 있다. 상기 보호층(219)은 상기 소오스 전극 및 상기 드레인 전극의 일부를 덮도록 패턴닝될 수 있다.
- [40] 상기 보호층(219)은 차례로 적층된 하부 보호층(219a), 금속 나노 구조체(219b), 및 상부 보호층(219c)을 포함할 수 있다. 상기 보호층은 상부의 발광 소자에서 방출된 광 중에서 자외선 성분을 차단할 수 있는 광필터로 동작한다. 상기 보호층은 450 nm 이하의 파장을 차단하고 450 nm 이상의 파장을 투과시키는 광필터가 바람직할 수 있다. 바람직하게는, 상기 보호층의 광필터 특성은 350 nm 내지 450 nm에서 최소의 투과도를 가질 수 있다. 이에 따라, 상기 보호층(219)은

350 nm 내지 400 nm의 자외선을 차단하여, 상기 산화물 반도체층에 350 nm 내지 400 nm의 자외선은 입사하지 않을 수 있다.

[41] 상기 하부 보호층(219a)은 실리콘 산화막일 수 있다. 상기 금속 나노 구조체(219b)는 나노 사이즈의 금속 홀 어레이일 수 있다. 상기 금속 홀 어레이는 패터닝 공정에 의하여 형성될 수 있다. 상기 금속 홀 어레이는 금속층에 주기적으로 형성된 매트릭스 형태의 홀을 포함할 수 있다. 상기 홀은 상부 보호층에 의하여 채워질 수 있다. 상기 금속 홀 어레이는 상기 노출된 산화물 반도체층 상에만 배치될 수 있다. 상기 금속 홀 어레이를 형성하기 위한 마스크는 전자빔 리소그래피(e-beam lithography), 포토리소그래피(photolithography), 레이저 리소그래피(laser lithography), 또는 나노임프린트 그리소그래피(nanoimprint lithography) 등과 같은 다양한 패턴 형성 공정이 사용될 수 있다. 상기 금속 홀 어레이의 재질은 금속 또는 금속 합금으로, 바람직하게는 알루미늄 또는 알루미늄 합금일 수 있다. 상기 금속 홀 어레이의 주기는 250 nm 내지 340 nm 일 수 있다. 상기 홀의 지름은 주기의 1/2 내지 1/10일 수 있다.

[42] 상기 상부 보호층(219c)은 실리콘 산화막 또는 실리콘 질화막일 수 있다. 상기 상부 보호층(219a), 상기 금속 나노 구조체(219b) 및 상기 하부 보호층(219c)은 하나의 마스크를 사용하여 연속적 식각되어 서로 수직으로 정렬될 수 있다.

[43] 도 3은 본 발명의 일 실시예에 따른 보호층의 광투과 특성을 나타내는 도면이다.

[44] 도 3을 참조하면, 디스크 어레이 구조의 보호층(119)은 450 nm 이하의 파장을 차단하고, 450nm 초과 파장을 투과시킬 수 있다. 이에 따라, 상기 보호층의 하부에 배치된 산화물 반도체층은 산화물 반도체의 밴드갭 보다 높은 에너지의 빛에 의한 전자-전공 쌍(Electron-Hole Pair)을 억제할 수 있다. 상기 보호층의 광특성은 상기 산화물 반도체층의 밴드갭에 의존할 수 있다. 구체적으로, 상기 산화물 반도체층이 IGZO인 경우, IGZO의 밴드갭은 2.7 eV일 수 있다. 따라서, 상기 보호층의 광특성은 2.7 eV에 대응하는 약 460nm 이하의 파장을 차단할 수 있다.

[45] 도 4는 본 발명의 다른 실시예에 따른 디스크 어레이 구조의 주기에 따른 보호층의 투과도를 나타내는 도면이다.

[46] 도 4를 참조하면, 보호층(119)은 금속 나노 구조체를 포함하고, 상기 금속 나노 구조체의 재질은 알루미늄이며, 하부 보호층은 실리콘 산화막이며, 상부 보호층은 실리콘 산화막이다. 이 경우, 상기 디스크 어레이의 주기가 250 nm인 경우, 최소 투과도의 위치는 약 360nm이다.

[47] 도 5는 본 발명의 일 실시예에 따른 OLED 패널을 설명하는 단면도이다.

[48] 도 5를 참조하면, 투명 OLED 패널(10)은 산화물 TFT(100)과 유기 발광층(300)을 포함한다. 상기 산화물 TFT(100)은 산화물 박막 트랜지스터가 형성되는 기판(102) 및 상기 기판(102)에 형성된 트랜지스터(100)를 포함한다.

유기 발광층(300)은 빛을 발광하는 부분으로서 양극(332), 유기층(334) 및 음극(336)을 포함한다. 유기층(334)은 양극(322) 및 음극(336) 사이에 위치한다. 양극(332)으로서 ITO 같은 투명 도전막이 사용될 수 있고, 음극(334)으로서 ITO 같은 투명 도전막 또는 Al 같은 금속이 사용될 수 있다.

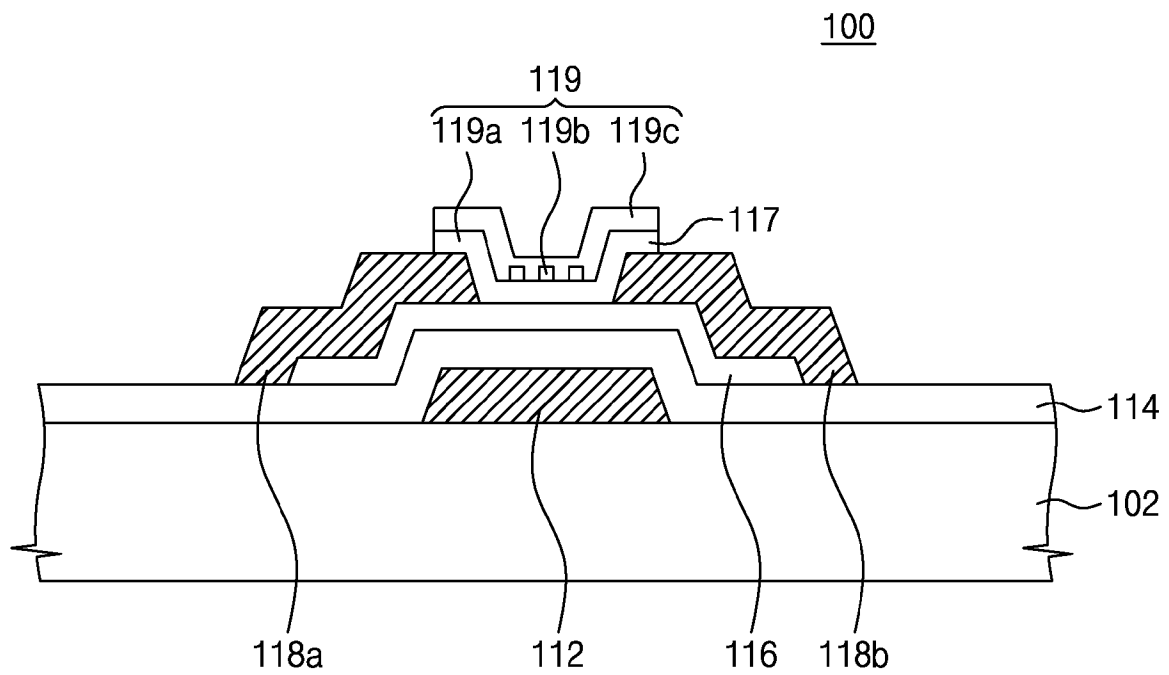
[49] 투명 디스플레이로 사용되는 경우, 상기 양극 및 상기 음극은 모두 투명 도전막일 수 있다. 통상적인 디스플레이로 사용되는 경우, 상기 양극은 투명 도전막, 상기 음극은 알루미늄과 같은 금속일 수 있다.

[50] 이상에서는 본 발명을 특정의 바람직한 실시예에 대하여 도시하고 설명하였으나, 본 발명은 이러한 실시예에 한정되지 않으며, 당해 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 특허청구범위에서 청구하는 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 실시할 수 있는 다양한 형태의 실시예들을 모두 포함한다.

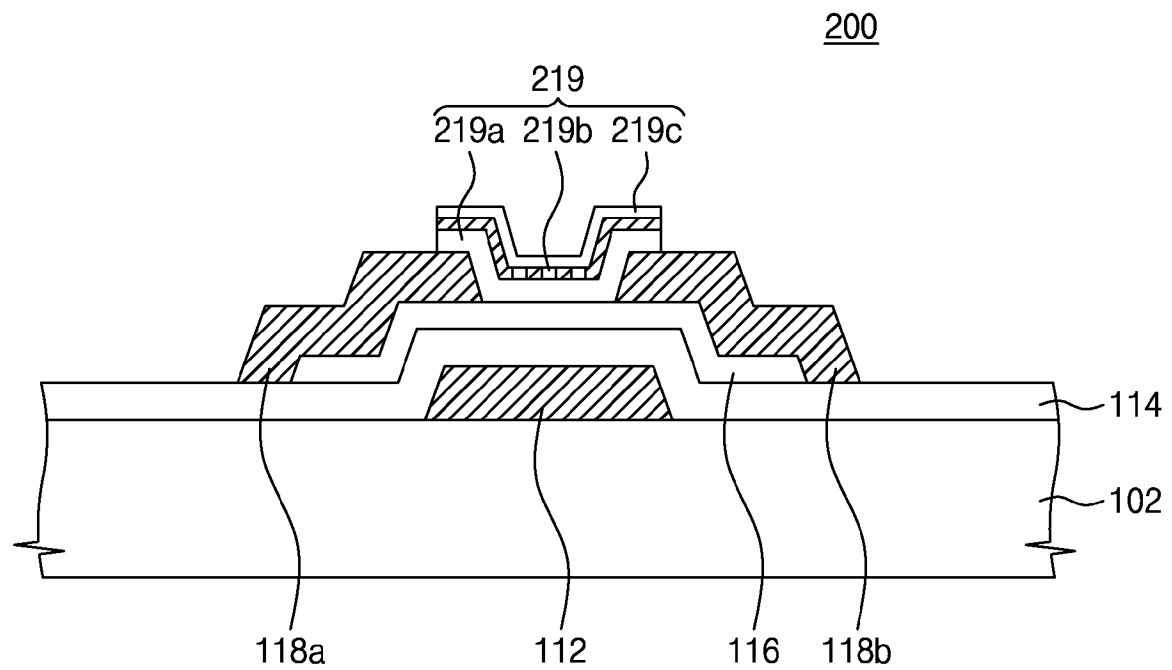
청구범위

- [청구항 1] 기판;
 상기 기판에서 제1 방향으로 연장되는 게이트 전극;
 상기 게이트 전극 상에 배치되고 상기 게이트 전극을 가로지르도록 배치되는 게이트 절연막;
 상기 게이트 절연막 상에 배치되고 상기 게이트 전극의 양측에서 상기 제1 방향에 수직한 제2 방향으로 연장되는 산화물 반도체층;
 상기 산화물 반도체층 상에 배치되고 상기 게이트 전극을 중심으로 서로 이격되어 배치되는 소오스 전극 및 드레인 전극; 및
 상기 소오스 전극과 상기 드레인 전극 사이의 노출된 산화물 반도체층 상에 배치되는 보호층을 포함하고,
 상기 보호층은:
 절연체로 구성된 하부 보호층;
 상기 하부 보호층 상에 배치된 금속 나노 구조체; 및
 절연체로 구성되고 상기 금속 나노 구조체 상에 배치된 상부 보호층을 포함하는 것을 특징으로 하는 산화물 박막 트랜지스터.
- [청구항 2] 제1 항에 있어서,
 상기 하부 보호층 및 상기 상부 보호층은 서로 정렬되고,
 상기 금속 나노 구조체는 나노 사이즈의 금속 디스크 어레이인 것을 특징으로 하는 산화물 박막 트랜지스터.
- [청구항 3] 제1 항에 있어서,
 상기 하부 보호층 및 상기 상부 보호층은 서로 정렬되고,
 상기 금속 나노 구조체는 나노 사이즈의 홀 어레이인 것을 특징으로 하는 산화물 박막 트랜지스터.
- [청구항 4] 제2 항에 있어서,
 상기 하부 보호층은 실리콘 산화막이고,
 상기 상부 보호층은 실리콘 산화막 또는 실리콘 질화막이고,
 상기 금속 디스크 어레이의 주기는 250nm 내지 340nm인 것을 특징으로 하는 산화물 박막 트랜지스터.

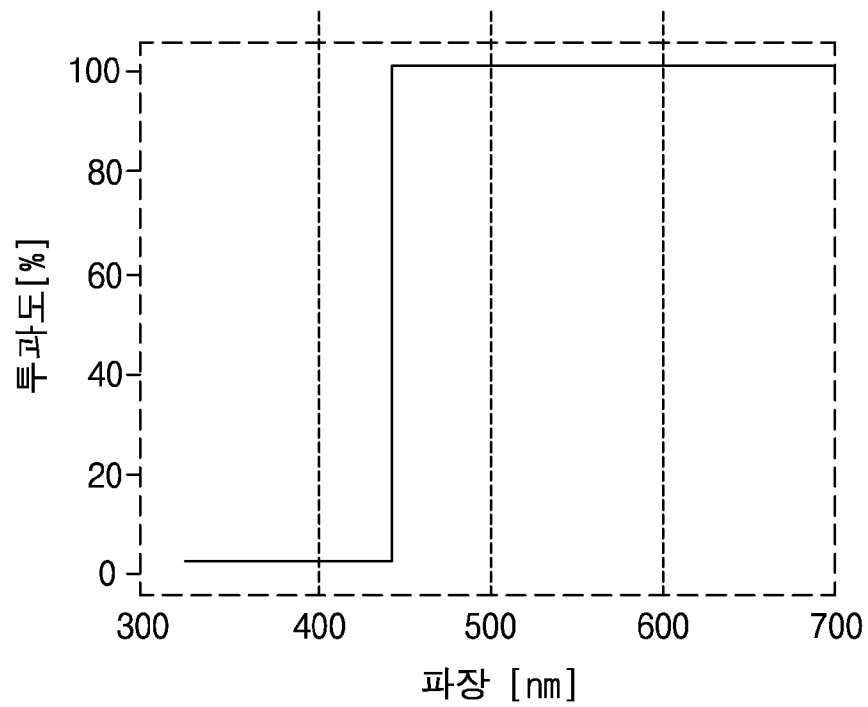
[도1b]



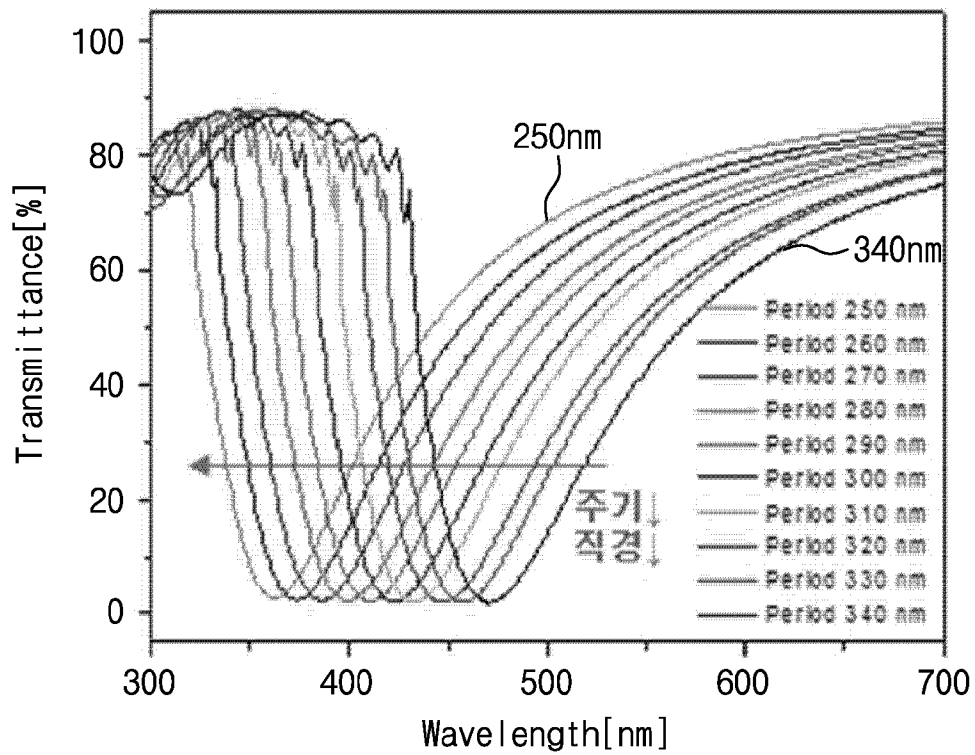
[도2]



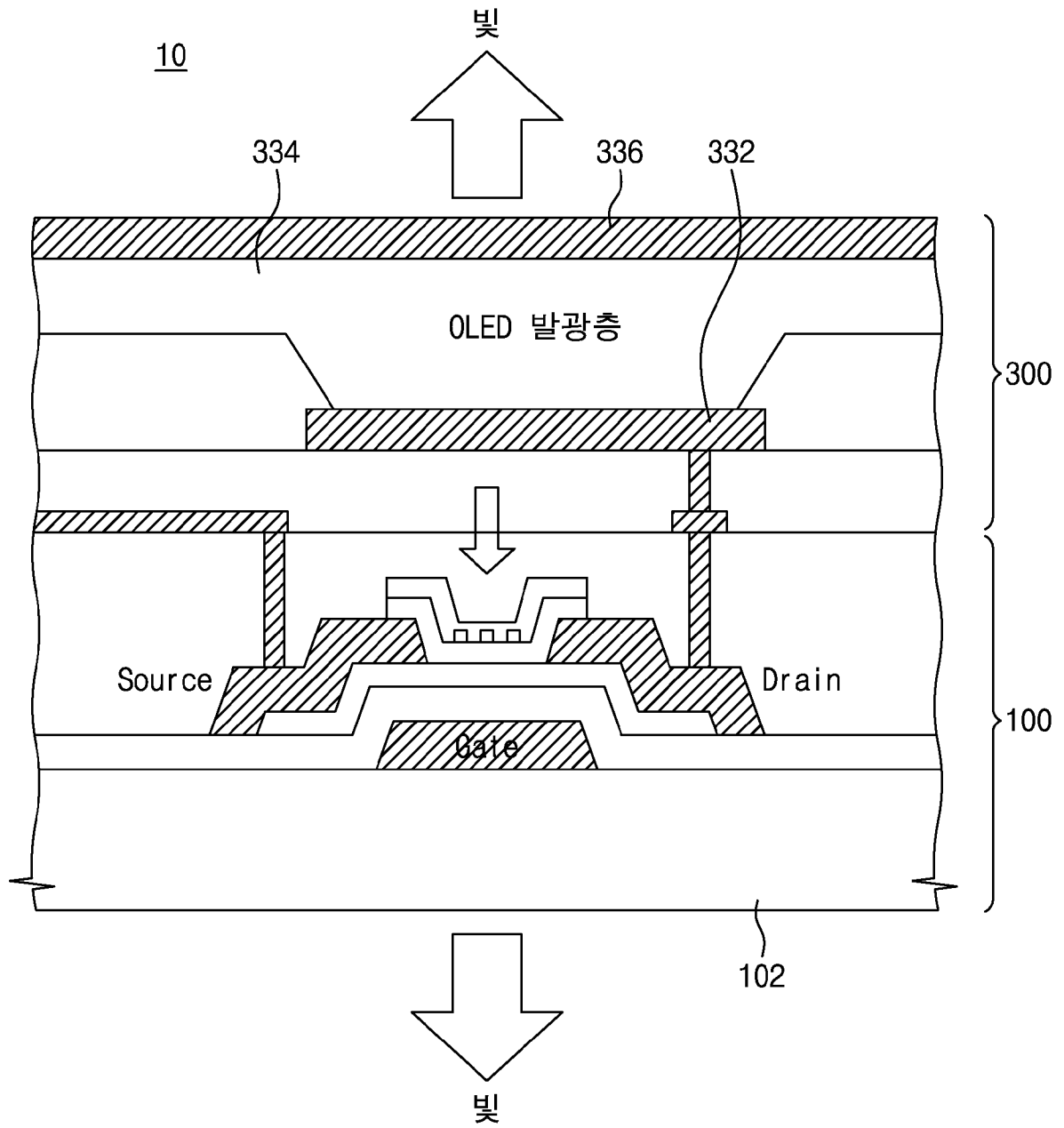
[도3]



[도4]



[도5]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/KR2017/004218

A. CLASSIFICATION OF SUBJECT MATTER

H01L 29/786(2006.01)i, H01L 29/41(2006.01)i, H01L 21/02(2006.01)i, H01L 29/06(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L 29/786; H01L 21/336; H01L 31/04; G02F 1/1368; H01L 31/054; H01L 29/41; H01L 21/02; H01L 29/06

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Korean Utility models and applications for Utility models: IPC as above

Japanese Utility models and applications for Utility models: IPC as above

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

eKOMPASS (KIPO internal) & Keywords: amorphous, oxide, thin film transistor, protection layer, metal nano

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	KR 10-1502676 B1 (BOE TECHNOLOGY GROUP CO., LTD.) 13 March 2015 See paragraphs [186]-[203], figure 9.	1
A		2-4
Y	JEONG, Jin-A et al., Al ₂ O ₃ /Ag/Al ₂ O ₃ Multi Layer Thin Film Passivation Prepared by Plasma Damage-free Linear Facing Target Sputtering for Organic Light Emitting Diodes, Thin Solid Films 547 (2013), Available online 15 May 2013, pages 63-67 See abstract, page 63.	1
A	US 2016-0079440 A1 (ELLINGER, Carolyn Rae et al.) 17 March 2016 See paragraphs [69]-[101], figures 1a-8b.	1-4
A	KR 10-1602922 B1 (HANBAT NATIONAL UNIVERSITY INDUSTRY-ACADEMIC COOPERATION FOUNDATION) 14 March 2016 See paragraphs [17]-[27], figures 1-5.	1-4
A	KR 10-2013-0060196 A (BOE TECHNOLOGY GROUP CO., LTD.) 07 June 2013 See paragraphs [29]-[52], figures 1a-1f.	1-4



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

22 AUGUST 2017 (22.08.2017)

Date of mailing of the international search report

22 AUGUST 2017 (22.08.2017)

Name and mailing address of the ISA/KR

Korean Intellectual Property Office
Government Complex-Daejeon, 189 Seonsa-ro, Daejeon 302-701,
Republic of Korea

Facsimile No. +82-42-481-8578

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/KR2017/004218

Patent document cited in search report	Publication date	Patent family member	Publication date
KR 10-1502676 B1	13/03/2015	CN 103077943 A	01/05/2013
		CN 103077943 B	06/04/2016
		CN 203085533 U	24/07/2013
		EP 2725621 A1	30/04/2014
		JP 2014-086717 A	12/05/2014
		US 2014-0117359 A1	01/05/2014
		WO 2014-063414 A1	01/05/2014
US 2016-0079440 A1	17/03/2016	US 9299853 B1	29/03/2016
KR 10-1602922 B1	14/03/2016	NONE	
KR 10-2013-0060196 A	07/06/2013	CN 102646676 A	22/08/2012
		CN 102646676 B	10/06/2015
		EP 2779249 A1	17/09/2014
		EP 2779249 A4	15/07/2015
		JP 2015-501549 A	15/01/2015
		KR 10-1456354 B1	03/11/2014
		US 2013-0181222 A1	18/07/2013
		US 9263594 B2	16/02/2016
		WO 2013-063971 A1	10/05/2013

A. 발명이 속하는 기술분류(국제특허분류(IPC))

H01L 29/786(2006.01)i, H01L 29/41(2006.01)i, H01L 21/02(2006.01)i, H01L 29/06(2006.01)i

B. 조사된 분야

조사된 최소문헌(국제특허분류를 기재)

H01L 29/786; H01L 21/336; H01L 31/04; G02F 1/1368; H01L 31/054; H01L 29/41; H01L 21/02; H01L 29/06

조사된 기술분야에 속하는 최소문헌 이외의 문헌

한국등록실용신안공보 및 한국공개실용신안공보: 조사된 최소문헌란에 기재된 IPC

일본등록실용신안공보 및 일본공개실용신안공보: 조사된 최소문헌란에 기재된 IPC

국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우))

eKOMPASS(특허청 내부 검색시스템) & 키워드:비정질, 산화물, 박막 트랜지스터, 보호층, 금속 나노

C. 관련 문헌

카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
Y	KR 10-1502676 B1 (보에 테크놀로지 그룹 컴퍼니 리미티드) 2015.03.13 단락 186-203, 도면 9 참조.	1
A		2-4
Y	JIN-A JEONG, et al. Al2O3/Ag/Al2O3 multilayer thin film passivation prepared by plasma damage-free linear facing target sputtering for organic light emitting diodes, Thin Solid Films 547 (2013), Available online 15 May 2013, 페이지 63-67 요약, 페이지 63 참조.	1
A	US 2016-0079440 A1 (CAROLYN RAE ELLINGER 등) 2016.03.17 단락 69-101, 도면 1a-8b 참조.	1-4
A	KR 10-1602922 B1 (한밭대학교 산학협력단) 2016.03.14 단락 17-27, 도면 1-5 참조.	1-4
A	KR 10-2013-0060196 A (보에 테크놀로지 그룹 컴퍼니 리미티드) 2013.06.07 단락 29-52, 도면 1a-1f 참조.	1-4

☐ 추가 문헌이 C(계속)에 기재되어 있습니다.

☒ 대응특허에 관한 별지를 참조하십시오.

* 인용된 문헌의 특별 카테고리:

“A” 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌

“T” 국제출원일 또는 우선일 후에 공개된 문헌으로, 출원과 상충하지 않으며 발명의 기초가 되는 원리나 이론을 이해하기 위해 인용된 문헌

“E” 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후에 공개된 선출원 또는 특허 문헌

“X” 특별한 관련이 있는 문헌. 해당 문헌 하나만으로 청구된 발명의 신규성 또는 진보성이 없는 것으로 본다.

“L” 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌

“Y” 특별한 관련이 있는 문헌. 해당 문헌이 하나 이상의 다른 문헌과 조합하는 경우로 그 조합이 당업자에게 자명한 경우 청구된 발명은 진보성이 없는 것으로 본다.

“O” 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌

“&” 동일한 대응특허문헌에 속하는 문헌

“P” 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌

국제조사의 실제 완료일

2017년 08월 22일 (22.08.2017)

국제조사보고서 발송일

2017년 08월 22일 (22.08.2017)

ISA/KR의 명칭 및 우편주소



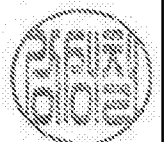
대한민국 특허청
(35208) 대전광역시 서구 청사로 189,
4동 (둔산동, 정부대전청사)

팩스 번호 +82-42-481-8578

심사관

강성철

전화번호 +82-42-481-8405



국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
KR 10-1502676 B1	2015/03/13	CN 103077943 A CN 103077943 B CN 203085533 U EP 2725621 A1 JP 2014-086717 A US 2014-0117359 A1 WO 2014-063414 A1	2013/05/01 2016/04/06 2013/07/24 2014/04/30 2014/05/12 2014/05/01 2014/05/01
US 2016-0079440 A1	2016/03/17	US 9299853 B1	2016/03/29
KR 10-1602922 B1	2016/03/14	없음	
KR 10-2013-0060196 A	2013/06/07	CN 102646676 A CN 102646676 B EP 2779249 A1 EP 2779249 A4 JP 2015-501549 A KR 10-1456354 B1 US 2013-0181222 A1 US 9263594 B2 WO 2013-063971 A1	2012/08/22 2015/06/10 2014/09/17 2015/07/15 2015/01/15 2014/11/03 2013/07/18 2016/02/16 2013/05/10