

2A paměťového pole pro přívod vybraných adres do paměťového pole.

Na první vstup **D1** multiplexeru **D** je připojen přívod zapisovaných rychlých obrazových dat **DI** pro zápis a na jeho druhý vstup **2D** je připojen přívod zapisovaných obrazových dat **DMI** z řídicího procesoru a jeho výstup **D1** je spojen se vstupem **1E** registru vstupních dat za účelem shromáždění zapisovaných obrazových dat ve vstupním registru **E**. Výstup **E1** registru vstupních dat je spojen s datovým vstupem **3A** paměťového pole za účelem současného zápisu shromážděných obrazových dat do paměťového pole. Datový výstup **A1** paměťového pole je spojen se vstupem **1F** registru dat pro rychlé čtení za účelem jejich přepisu do vyrovnávacího registru, kde se udržují po skončení čtecí fáze cyklu obrazové paměti.

Výstup **F1** registru dat pro rychlé čtení s rychlými obrazovými daty **DO** je připojen na výstupní sběrnici dat. Datový výstup **A1** paměťového pole je spojen také se vstupem **1G** registru dat pro součinnost s řídicím procesorem za účelem jejich přepisu do vyrovnávacího registru, kde se udržují po skončení čtecí fáze cyklu obrazové paměti. Výstup **G1** registru dat pro součinnost s procesorem s čtenými obrazovými daty **MDO** pro procesor je připojen na výstupní sběrnici dat.

Funkce zapojení obvodů rychlé obrazové paměti bude blíže vysvětlena podle blokového schématu na obr. 1 realizovaného zapojení s příslušnými řídicími signály a podle jeho časového diagramu znázorněného na obr. 2. Z diagramu je patrné, že pracovní cyklus rychlé obrazové paměti se skládá ze dvou fází a v každé fázi je obsažen jeden cyklus použitých dynamických pamětí. Na vstup **1B** bloku řízení se přivádí řídicí signály **SC** včetně hodinového signálu **CKL**, s jejichž pomocí se v bloku **B** řízení vytváří řídicí signály pro řídicí vstup **1A** paměťového pole **A**, pro první vstup **1C** bloku **C** pro výběr adres a pro třetí vstup **3D** multiplexeru **D**. V první fázi pracovního cyklu rychlé obrazové paměti se uskutečňuje zápis rychlých obrazových dat **DI** nebo zápis dat **DMI** z řídicího procesoru nebo čtení dat **DMO** řídicím procesorem.

Řídicí signály **RAS** pro přepis řádkových adres, **CAS** pro přepis sloupcových adres a zápisový signál **WE** na řídicím vstupu **1A** paměťového pole zajišťují požadovanou činnost dynamických pamětí. Řídicí signály na prvním vstupu **1C** bloku pro výběr adres zajišťují přivedení příslušné adresy na adresový vstup **2A** paměťového pole a řídicí signály na třetím vstupu **3D** multiplexeru zajišťují vstup příslušných dat na datový vstup **3A** paměťového pole. Při zápisu rychlých obrazových dat **DI** do paměťového pole **A** zajišťují signály **RAS**, **CAS**, **WE** na řídicím vstupu **1A** paměťového pole zápisový cyklus dynamických pamětí. Řídicí signály na prvním vstupu **1C** bloku pro výběr adres pře-

pnou blok **C** pro výběr adres na adresy **ČZ** pro rychlé čtení a zápis na jeho druhém vstupu **2C**, kde je připravena adresa **ZA** pro rychlý zápis. Řídicí signály na třetím vstupu **3D** multiplexeru zajišťují přepnutí multiplexeru **D** na rychlá obrazová data **DI** pro zápis, která se zapisují do registru **E** vstupních dat a pak do paměťového pole **A**.

Při zápisu obrazových dat **DMI** z řídicího procesoru zajišťují signály **RAS**, **CAS**, **WE** na vstupu **1A** paměťového pole opět zápisový cyklus dynamických pamětí, ale řídicí signály na prvním vstupu **1C** bloku pro výběr adres přepnou blok **C** pro výběr adres na adresy **MA** pro spolupráci s procesorem na jeho třetím vstupu **3C** a řídicí signály na třetím vstupu **3D** multiplexeru přepnou multiplexer **D** na obrazová data **DMI** z řídicího procesoru na jeho druhém vstupu **2D**, která se zapíší do vstupního registru **E** a do paměťového pole **A**.

Při čtení obrazových dat **DMO** procesorem zajišťují signály **RAS**, **CAS**, **WE** na vstupu **1A** paměťového pole čtecí cyklus dynamických pamětí. Řídicí signály na prvním vstupu **1C** bloku pro výběr adres přepnou blok **C** pro výběr adres na adresy **MA** pro spolupráci s procesorem na jeho třetím vstupu **3C**. Data z řídicího vstupu **A1** paměťového pole přicházejí přes registr **G** pro součinnost s procesorem do řídicího procesoru.

Ve druhé fázi pracovního cyklu rychlé obrazové paměti se uskutečňuje čtení rychlých obrazových dat **DO** nebo obnovování obsahu dynamických pamětí. Při čtení rychlých obrazových dat **DO** zajišťují řídicí signály **RAS**, **CAS**, **WE** na vstupu **1A** paměťového pole čtecí cyklus dynamických pamětí a řídicí signály na prvním vstupu **1C** bloku pro výběr adres přepnou blok **C** pro výběr adres na adresy **ČZ** pro rychlé čtení a zápis na jeho druhém vstupu **2C**. Na uvedeném vstupu je v tomto okamžiku připravena adresa **ČA** pro rychlé čtení. Datový výstup **A1** paměťového pole je spojen se vstupem **1F** registru dat pro rychlé čtení, do něž se čtená data zapíší a z jeho výstupu **F1** postupně vychází tok rychlých obrazových dat **DO** pro čtení na výstupní datovou sběrnici.

Obnovování cyklu dynamických pamětí se provádí v neaktivní části TV řádku, tedy v době, kdy se neprovádí rychlé čtení. Řídicí signály **RAS**, **CAS**, **WE** na vstupu **1A** paměťového pole zajišťují obnovovací cyklus dynamických pamětí a řídicí signály na prvním vstupu **1C** bloku pro výběr adres přepnou blok **C** pro výběr adres na adresy **RA** pro zajištění obnovování obsahu dynamických pamětí na jeho čtvrtém vstupu **4C**.

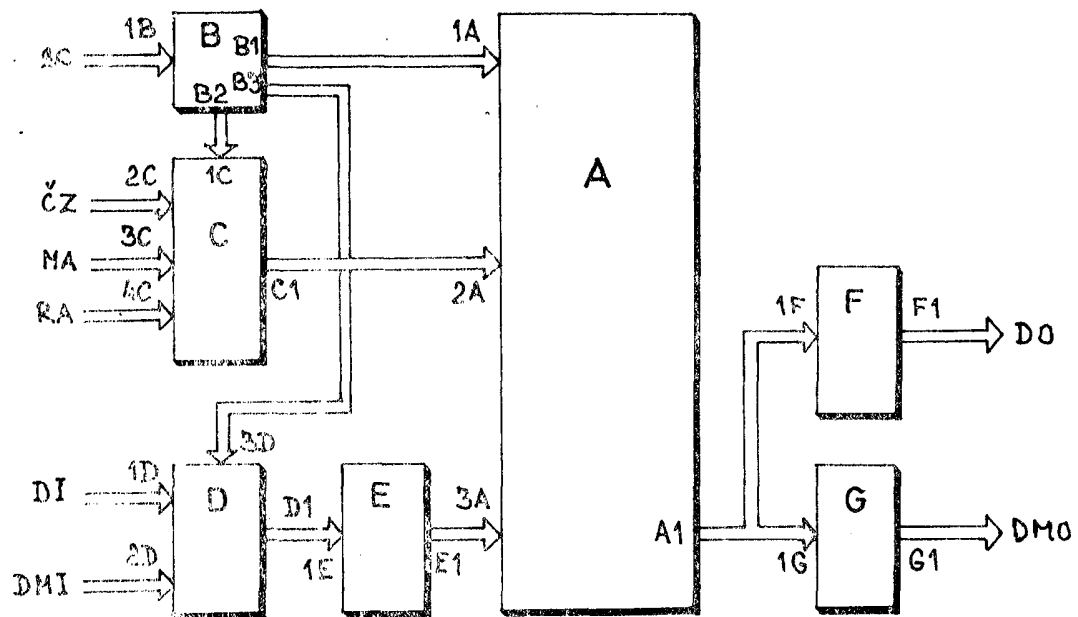
Řešení zapojení obvodů rychlé obrazové paměti podle vynálezu lze využít v systémech pro digitální zpracování obrazu a v jiných zařízeních, kde se vyžaduje rychlý zápis a čtení dat, především obrazových v pamětech typu **RAM**.

PŘEDMĚT VYNÁLEZU

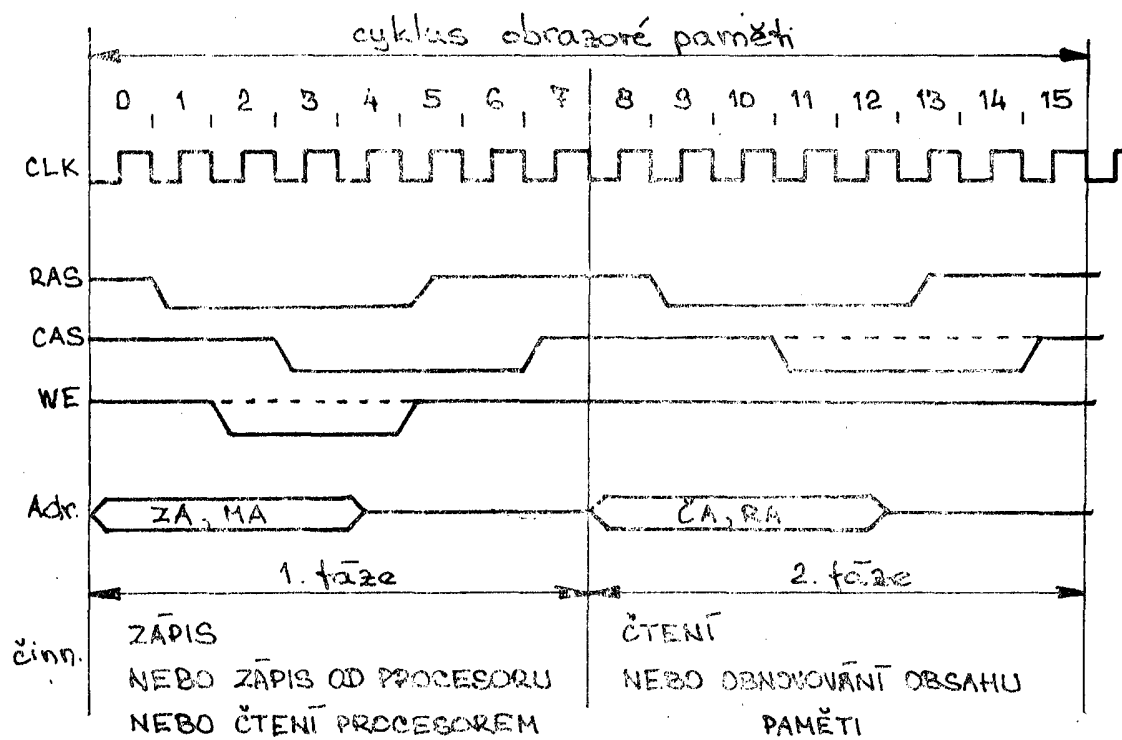
Zapojení rychlé obrazové paměti sestává z bloku řízení, na jehož vstup je připojen přívod řídicích signálů a jehož výstup je spojen se vstupem paměťového pole, s jehož dalším vstupem je spojen výstup bloku pro výběr adres, s jehož vstupem je spojen další výstup bloku řízení, s jehož dalším výstupem je spojen vstup multiplexeru, jehož výstup je spojen se vstupem registru vstupních dat, jehož výstup je spojen se vstupem paměťového pole, jehož výstup je spojen se vstupem registru dat pro rychlé čtení a vstupem registru dat pro součinnost s procesorem, vyznačující se tím, že přívod řídicích signálů (SC) je připojen na vstup (1B) bloku řízení (B), jehož první výstup (B1) je spojen s řídicím vstupem (1A) paměťového pole (A) a jeho druhý výstup (B2) je spojen s prvním vstupem (1C) bloku (C) pro výběr adres, přičemž na jeho druhý vstup (2C) je připojen přívod adres (ČZ) pro rychlé čtení a zápis a na jeho třetí vstup (3C) je připojen přívod adres (MA) pro spolupráci

s procesorem a na jeho čtvrtý vstup (4C) je připojen přívod adres (RA) pro obnovování obsahu dynamických pamětí a jeho výstup (C1) je spojen s adresovým vstupem (2A) paměťového pole, zatímco na první vstup (1D) multiplexeru (M) je připojen přívod rychlých obrazových dat (DI) pro zápis, na jeho druhý vstup (2D) je připojen přívod obrazových dat (DMI) z řídicího procesoru pro zápis a jeho třetí vstup (3D) je spojen s třetím výstupem (B3) bloku řízení a jeho výstup (D1) je spojen se vstupem (1E) registru vstupních dat (E), jehož výstup (E1) je spojen s datovým vstupem (3A) paměťového pole, jehož datový výstup (A1) je spojen jednak se vstupem (1F) registru dat (F) pro rychlé čtení, jenž je opatřen výstupem (F1) rychlých obrazových dat pro čtení a jednak se vstupem (1G) registru dat (G) pro součinnost s procesorem s výstupem (G1) čtených obrazových dat (DMO) pro procesor.

1 list výkresů



OBR. 1



OBR. 2