

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-200699

(P2004-200699A)

(43) 公開日 平成16年7月15日(2004.7.15)

(51) Int.Cl.⁷

H 0 1 L 21/3205

C 2 5 D 5/02

C 2 5 D 7/12

H 0 1 L 21/288

F I

H 0 1 L 21/88

C 2 5 D 5/02

C 2 5 D 7/12

H 0 1 L 21/288

H 0 1 L 21/88

M

Z

E

K

テーマコード (参考)

4 K O 2 4

4 M 1 O 4

5 F O 3 3

審査請求 未請求 請求項の数 1 O L (全 8 頁)

(21) 出願番号 特願2003-420353 (P2003-420353)

(22) 出願日 平成15年12月18日 (2003.12.18)

(31) 優先権主張番号 325773

(32) 優先日 平成14年12月19日 (2002.12.19)

(33) 優先権主張国 米国 (US)

(71) 出願人 501229528

テキサス インスツルメンツ インコーポ
レイテッドアメリカ合衆国、テキサス、ダラス、チャ
ーチル ウエイ 7 8 3 9

(74) 代理人 100066692

弁理士 浅村 皓

(74) 代理人 100072040

弁理士 浅村 肇

(74) 代理人 100107504

弁理士 安藤 克則

(74) 代理人 100102897

弁理士 池田 幸弘

最終頁に続く

(54) 【発明の名称】 銅配線を製造するためのめっき-洗浄-めっきプロセス

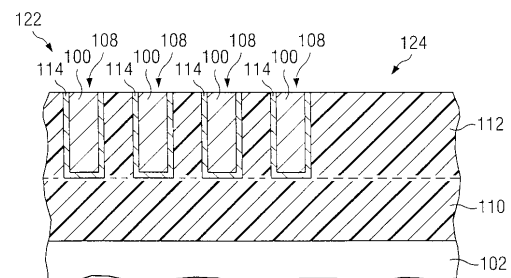
(57) 【要約】

【課題】 改善された銅のECDプロセスを提供すること

。

【解決手段】 銅シード層(116)を形成した後、銅膜(118)の第1部分をシード層(116)の上にめっきする。次いで銅膜(118)の第1部分の表面を洗浄し、すべての部位の有機物吸着を均一化して、高密度領域に銅が優先的に成長することを防止する。洗浄の後、銅膜(118)の残る銅を電気化学的に堆積する。

【選択図】 図2



【特許請求の範囲】

【請求項 1】

半導体本体の上に銅のシード層を形成するステップと、
前記銅シード層の上に銅層の第 1 部分を電気化学的に堆積するステップと、
銅層の第 1 部分の表面を洗浄するステップと、
銅層の第 2 部分を電気化学的に堆積するステップとを含む、集積回路を製造する方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、全般的に半導体装置の銅配線を形成する分野に関し、さらに詳細には銅配線の電気化学的堆積に関する。 10

【背景技術】

【0002】

銅 (Cu) メタライゼーションは、特に 0.18 μm 技術ノード及びそれを超える技術に向けて、アルミニウム (Al) に置き換わる勢いを持ちつつある。Cu をドライエッチングするのは困難なので、Cu メタライゼーションにはダマシン手法が広く用いられる。これには、Cu メタライゼーションが高い間隙埋め込み能力を有することが必要である。Al メタライゼーションに広く用いられるスパッタプロセスは、その本質的なステップカバレッジの限界から、Cu メタライゼーションに用いることはできない。タングステン (W) のメタライゼーションに用いられる化学的気相成長 (CVD) は、CVD Cu 膜のモルフォロジー、接着性及び共形性 (conformal) (シーム形成の問題) の問題により、今のところ Cu には好ましくない。現在、配線用途に Cu を堆積する製造可能な唯一のプロセスは、その底部からの積み上げ埋め込み能力から、電気化学的堆積 (ECD) である。 20

【0003】

電気化学的堆積 (ECD) は、電気化学的な反応によって固体相製品 (薄膜など) を製造するプロセスである。Cu ECD は、次の電気化学式: $Cu^{2+} + 2e^- \rightarrow Cu$ で表される、Cu イオンの電気化学的還元によって Cu の薄膜を作製するプロセスであり、 e^- は電子を表す。ECD プロセスを進めるには、銅のシード層が電流を通し、核形成層として働く必要がある。 30

【0004】

ECD 銅埋め込み (過剰埋め込み) の後、化学機械研磨を用いて過剰の銅を除去する。不運にも通常、図 1 に示すように、ECD の間に銅の突起 14 が密度の高いフィーチャーの領域に生じる。これは微小フィーチャーの頂部に、加速する核種が蓄積することによる。銅突起はより長い過剰研磨時間を必要とし、さもなければ CMP プロセスの困難性が増す。より長い過剰の研磨時間は、シートの抵抗を増加させる主要因の 1 つである。装置のフィーチャーが縮小し続け、密度が増加し続ければ、突起の問題はますます重大になる。

【発明の開示】

【課題を解決するための手段】 40

【0005】

本発明は、改善された銅 ECD プロセスである。銅のシード層が形成された後、微小フィーチャーを少なくとも部分的に埋め込むために、銅が電気化学的に堆積 (ECD)、又はめっきされる。洗浄ステップが次いで行われる。洗浄ステップの後、ウェーハをめっき溶液の中に戻し、銅の堆積を続ける。

【発明の効果】

【0006】

本発明の利点は、CMP がより容易な平滑膜を提供し、より良好なシート抵抗の制御を提供する ECD プロセスを提供することである。

【0007】 50

当分野の通常の技術者が図面とともに明細書を参照すれば、この利点及び他の利点は明らかであろう。

【発明を実施するための最良の形態】

【0008】

本発明をデュアルダマシン銅配線プロセスと共に説明する。当分野の通常の技術者が明細書を参照すれば、高密度フィーチャーの埋め込みを必要とするECD銅全般に、本発明の利便性を適用することができるのは明らかであろう。

【0009】

本発明によって形成されたデュアルダマシン銅配線100を図2に示す。銅配線100は、半導体本体102の上に形成される。半導体本体102は一般にその中に形成されたトランジスタ及び他の装置（図示されていない）を有する。また、半導体本体102は、1つ以上の追加の金属配線層（図示されていない）を含むこともできる。銅配線100は、溝108の中に形成されたリード部を含む。また、溝108の下に、ビア部（図示されていない）を形成することもできる。ビアは、溝108の底から中間レベルの層間（interlevel）誘電体（ILD）110を通して下部金属配線層に延伸する。溝108は、金属内誘電体（IMD）112の内部に形成される。ILD110及びIMD112を形成する適切な種々の材料が知られている。例えば、フッ素ドーパケイ酸ガラス（FSG）、有機ケイ酸ガラス（OSG）、又は他の低k又は超低k誘電体を使用することもできる。

【0010】

バリア層114は、銅配線100と溝108（及びビア）の側壁の間に配置される。バリア層114は、銅がILD110及びIMD112に拡散するのを防止する。また、バリア層114は、銅と誘電体間の接着も提供する。当分野の技術には種々のバリア層が知られている。例えば、耐火金属、耐火金属窒化物、耐火金属—シリコン—窒化物、又はその混合物も使用することができる。

【0011】

領域122などの高密度領域は、密接した間隙の溝を含む。多くの場合、高密度領域122と非高密度領域124間のプロセス上の要求を均衡させるのは困難である。先に論じたように、従来技術のECDプロセスは、一般に高密度領域に突起を形成する。このことによって、CMPステップの間に突起を除去するための長い過剰研磨が必要となる。長い過剰研磨は非高密度領域のシート抵抗を増加させる。本発明は、ECDを2つのステップに分け、2つのECDステップの間に洗浄を行うことによって、突起を短くし又は除去し、そして、長い過剰研磨時間を短くし、又は省く。

【0012】

本発明による銅配線100の製造方法を、図3A～図3Cを参照して論じる。図3Aを参照すれば、半導体本体102は、1つ以上の金属配線層の形成によって加工される。ILD110及びIMD112は、半導体本体102の上に堆積される。FSG又はOSGなど、ILD110及びIMD112のための適切な材料が、当分野の技術に知られている。溝108は、従来のプロセスを用いて、IMD112の中に形成され、ビア（図示されていない）はILD110の中に形成される。

【0013】

バリア層114は溝108の内部を含むIMD112の上に形成される。バリア層114は銅の拡散を防止する拡散バリアとして、また接着層として機能する。遷移金属及びその窒化物が一般にバリアに使用される。また、遷移金属、遷移金属—窒化物及び遷移金属—シリコン—窒化物と同様に、遷移金属—窒化シリコンも使用することができる。

【0014】

さらに図3Aを参照すれば、銅シード層116がバリア層114の上に堆積される。物理的蒸着が銅シード層116を形成するために伝統的に用いられている。銅シード層116は、電流を通し核形成層として働くために、銅ECDプロセスに必要である。

【0015】

10

20

30

40

50

銅シード層 116 を堆積した後、ウェーハは ECD 装置に移される。従来技術の ECD プロセスでは、バンプ又は突起が高密度領域に発生する。突起の高さはフィーチャーの密度及びサイズの関数である。密度がより高く、より微小のフィーチャーで、より高い突起が得られる。例えば、1 μm 目標のめっき銅で 1 ~ 2 μm の突起高さが観察された。CMP の後に残留する銅の残渣はショートを招き、収率と装置の信頼性に影響を与える。高い突起のある領域をきれいにするために過剰研磨を行うと、他の領域のシート抵抗が高くなる。

【0016】

高密度フィーチャー上の突起を除去又は減少するために、本発明はめっき-洗浄-めっきプロセスを用いる。本発明の好ましい実施形態では、ウェーハを ECD 装置のめっきセルに送り、第 1 のめっきプロセスを実施する。めっきは、図 3B に示すように、高密度フィーチャーが銅の膜 118 で埋め込まれるまで続ける。この第 1 のめっきステップの条件は、高密度フィーチャーにボイドのない埋め込みが得られるように最適化する。第 1 のめっきステップはいくつかのめっき電流を含むことができる。例えば、第 1 のめっきステップで、シード層を通して 15 秒程度の時間、約 0.75 アンペアの電流を流し、電流を約 30 秒間約 3 アンペアに増やし、次いで高密度フィーチャーが埋め込まれるまで、又は所望の高さに達するまで、約 7.5 アンペアに増やすことを含むことができる。

10

【0017】

高密度フィーチャーが埋め込まれた後、ウェーハをめっき溶液から取り外し、洗浄チャンバー中に置いて洗浄し、銅の成長が高密度フィーチャーの頂部で優先的に起きないように、すべての部位の有機吸着を除去、又は均一化する。好ましい実施形態は複数ステップの洗浄を用いる。最初に、ウェーハをエタノールアミン、TMAH（テトラメチルアンモニウムヒドロキサイド）、及び没食子酸の溶液で洗浄する。洗浄の時間は 3 分程度であり、35 ~ 38 $^{\circ}\text{C}$ で行う。溶液の pH は約 12 である。このステップの目的は、銅表面から吸着された有機化学種を除去するためである。第 2 に、ウェーハを室温でクエン酸溶液で洗浄し、酸化銅のすべてを除去する。超音波（megasonic）攪拌を組み込むことが好ましい。例えば、浸漬又はスピン洗浄を用いることができる。所望によってこの第 2 ステップを省くことができる。第 3 に、ウェーハを脱イオン水（DIW）で洗浄する。DIW 洗浄は最初の 2 つのステップで残った汚染物質を除去する。最後に、ウェーハを N_2 を用いて乾燥する。

20

30

【0018】

洗浄手順の後、ウェーハをめっき溶液に戻してめっきを続ける。最適の断面が得られるまで、複数のサイクル（めっき-洗浄-めっき-洗浄-めっき・・・）を行うことができる。得られた銅膜 118 を図 3C に示す。図 3C を図 1 と比較すると、本発明によって形成された銅膜 118 はより均一であり、高密度フィーチャーの上に従来技術のような大きな突起を含まない。

【0019】

最終的な銅の厚さが得られた後、めっき溶液上のめっきセル中で、急速スピン洗浄乾燥（SRD）を行う。次いでウェーハを SRD セルに送り、後 ECD の SRD を用いてめっきの残渣をきれいにする。得られた銅層 118 を図 3C に示す。

40

【0020】

ECD プロセスの後、銅層 118（シード層 116 を組み込んでいる）及びバリア層 114 を化学機械研磨して、図 2 に示すような銅配線 100 を形成する。高密度フィーチャー上の突起が減少又は除去されるので、ウェーハのダイの内の全ての銅を清浄化するために必要な CMP プロセスの過剰研磨が少なくなる。その結果、ウェーハの全域、特に高密度領域の外部のフィーチャーに対するシート抵抗が低く維持される。次いでプロセスを継続して、追加の金属配線層を形成し、装置を実装することができる。

【0021】

本発明を例証的な実施形態を参照して説明したが、説明が制限の意味に解釈されることを意図しない。説明を参照すれば、当技術分野の技術者には、他の本発明の実施形態と同

50

様、例証的な実施形態の種々の修正及び組み合わせは明白に理解できよう。例えば、本発明の利点を第1の金属配線層の形成に応用することができる。したがって付随する請求項がすべてのそれらの修正又は実施形態を包含するものである。

【0022】

以上の説明に関して更に以下の項を開示する。

- (1) 半導体本体の上に銅のシード層を形成するステップと、
前記銅シード層の上に銅層の第1部分を電気化学的に堆積するステップと、
銅層の第1部分の表面を洗浄するステップと、
銅層の第2部分を電気化学的に堆積するステップとを含む、集積回路を製造する方法。
- (2) 前記銅層の第1部分を電気化学的に堆積するステップが、集積回路の高密度フィーチャーを埋め込む第1項記載の方法。 10
- (3) 前記洗浄ステップが、前記表面を脱イオン水で洗浄するステップと、前記表面を乾燥するステップを含む第1項記載の方法。
- (4) 前記洗浄ステップが、
前記表面を第1の溶液で洗浄するステップと、
前記表面を、前記第1の溶液で洗浄した後、及び前記脱イオン水で洗浄する前に、クエン酸溶液で洗浄するステップとをさらに含む第3項記載の方法。
- (5) 前記第1の溶液がエタノールアミン、TMAH、及び没食子酸を含み、前記第1の溶液が約12のpHを有する第4項記載の方法。
- (6) 前記第1の溶液で洗浄するステップが、35～38℃の範囲の温度で行われる第5項記載の方法。 20
- (7) 前記クエン酸溶液で洗浄するステップが、室温で行われる第3項記載の方法。
- (8) 半導体本体の中に形成された溝の高密度領域及び非高密度領域を有する半導体本体を提供するステップと、
溝内を含め、半導体本体の上に銅シード層を形成するステップと、
前記銅シード層の上に銅層の第1部分を電気化学的に堆積して、前記溝の高密度領域を埋め込むステップと、
銅層の第1部分の表面を洗浄して、前記高密度領域と前記非高密度領域間の銅層の表面上の有機物吸着を均一化するステップと、
銅層の第2部分を電気化学的に堆積するステップとを含む、集積回路を製造する方法。 30
- (9) 前記洗浄ステップが、
前記表面を第1の溶液で洗浄するステップと、
前記表面をクエン酸溶液で洗浄するステップと、
前記表面を脱イオン水で洗浄するステップと、
前記表面を乾燥するステップとを含む第8項記載の方法。
- (10) 前記第1の溶液が、エタノールアミン、TMAH、及び没食子酸を含み、前記第1の溶液が約12のpHを有する第9項記載の方法。

【図面の簡単な説明】

【0023】

- 【図1】従来技術のECDプロセスによって堆積した銅膜の断面図である。 40
- 【図2】本発明の実施形態によって形成した銅配線の断面図である。
- 【図3A】図2の銅配線の製造段階の断面図である。
- 【図3B】図2の銅配線の製造段階の断面図である。
- 【図3C】図2の銅配線の製造段階の断面図である。

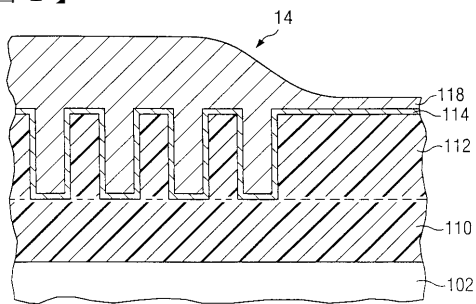
【符号の説明】

【0024】

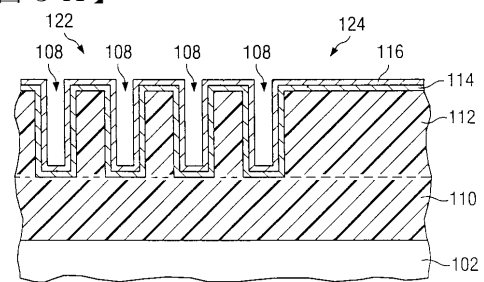
- 100 銅配線
- 102 半導体本体
- 108 溝
- 110 誘電体 (ILD)

- 1 1 2 金属内誘電体 (I M D)
- 1 1 4 バリア層
- 1 1 6 銅シード層
- 1 1 8 銅膜
- 1 2 2 高密度領域
- 1 2 4 非高密度領域

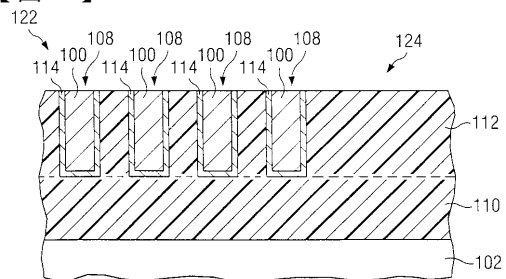
【図 1】



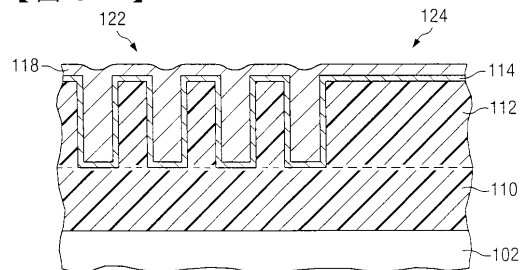
【図 3 A】



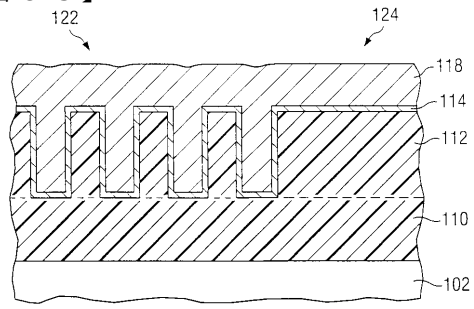
【図 2】



【図 3 B】



【図 3 C】



フロントページの続き

(72)発明者 リンリン チェン

アメリカ合衆国 テキサス、プレイノー、 プラシッド スプリングス レイン 3 2 1 3

(72)発明者 ジオン - ピン ル

アメリカ合衆国 テキサス、リチャードソン、 シルヴァースローン ストリート 4 1 2 8

(72)発明者 チャンフェン シア

アメリカ合衆国 テキサス、プレイノー、 シーマ ヒル ドライブ 2 5 0 5

F ターム(参考) 4K024 AA09 AB08 AB15 BA15 BB12 BC10 DA04 DB07 FA01 GA02

4M104 BB04 BB13 BB29 DD22 DD23 DD52 DD75 FF16 FF22

5F033 HH11 HH17 HH32 JJ11 JJ17 JJ32 MM01 MM02 MM12 MM13

NN06 NN07 PP27 PP33 QQ00 QQ09 QQ19 QQ48 QQ94 QQ96

XX10