

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2014 年 7 月 24 日(24.07.2014)



(10) 国際公開番号

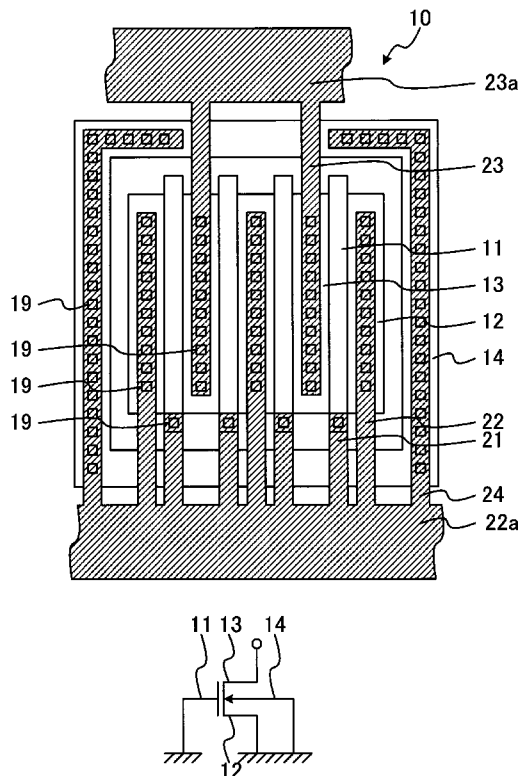
WO 2014/112293 A1

- (51) 国際特許分類:
H01L 21/336 (2006.01) H01L 27/06 (2006.01)
H01L 21/822 (2006.01) H01L 27/088 (2006.01)
H01L 21/8234 (2006.01) H01L 29/78 (2006.01)
H01L 27/04 (2006.01)
- (21) 国際出願番号: PCT/JP2013/084288
- (22) 国際出願日: 2013 年 12 月 20 日(20.12.2013)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2013-007153 2013 年 1 月 18 日(18.01.2013) JP
- (71) 出願人: セイコーインスツル株式会社(SEIKO INSTRUMENTS INC.) [JP/JP]; 〒2618507 千葉県千葉市美浜区中瀬 1 丁目 8 番地 Chiba (JP).
- (72) 発明者: 島崎 洸一 (SHIMAZAKI, Koichi); 〒2618507 千葉県千葉市美浜区中瀬 1 丁目 8 番地 セイコーインスツル株式会社内 Chiba (JP). 廣瀬 嘉胤(HIROSE, Yoshitsugu); 〒2618507 千葉県千葉市美浜区中瀬 1 丁目 8 番地 セイコーインスツル株式会社内 Chiba (JP).
- (74) 代理人: 久原 健太郎, 外(KUHARA, Kentaro et al.); 〒2618507 千葉県千葉市美浜区中瀬 1 丁目 8 番地 セイコーインスツル株式会社内 Chiba (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置



(57) Abstract: In order to provide a semiconductor device with high electrostatic discharge (ESD) resistance, each of a plurality of source wires (22) is constituted by a metal film of the same shape; each of a plurality of sources (12) is electrically connected to a ground voltage wire (22a); each of a plurality of drain wires (23) is constituted by a metal film of the same shape; each of a plurality of drains (13) is electrically connected to an input voltage wire (23a); each of a plurality of gate wires (21) is constituted by a metal film of the same shape; and each of a plurality of gates (11) is electrically connected to the ground voltage wire (22a). In addition, a back gate wire (24) is constituted by a metal film; a back gate (14) is electrically connected to the ground voltage wire (22a); and the back gate wire (24) is separate from the source wires (22) on the sources (12).

(57) 要約: ESD耐量の高い半導体装置を提供するために、複数のソース配線 22 は、同一形状の金属膜でそれぞれ構成され、複数のソース 12 を接地電圧配線 22a にそれぞれ電氣的に接続し、複数のドレイン配線 23 は、同一形状の金属膜でそれぞれ構成され、複数のドレイン 12 を入力電圧配線 23a にそれぞれ電氣的に接続し、複数のゲート配線 21 は、同一形状の金属膜でそれぞれ構成され、複数のゲート 11 を接地電圧配線 22a にそれぞれ電氣的に接続する。さらに、バックゲート配線 24 は、金属膜で構成され、バックゲート 14 を接地電圧配線 22a に電氣的に接続しており、バックゲート配線 24 は、ソース 12 の上のソース配線 22 から分離されている。

WO 2014/112293 A1



(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR),

OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称：半導体装置

技術分野

[0001] 本発明は、E S D（静電気放電）保護回路用のN M O Sトランジスタを備える半導体装置に関する。

背景技術

[0002] まず、従来の半導体装置について説明する。図2は、従来の半導体装置を示す平面図である。

[0003] E S Dから内部回路を保護するE S D保護回路には、通常N M O Sトランジスタが使用される。このN M O Sトランジスタのパターンは、例えば、図2に示すようにレイアウトされる。

[0004] N M O Sトランジスタは、交互に配置される複数のソース5及び複数のドレイン4、ソース5とドレイン4との間の複数の偶数のチャネル、複数のチャネルの上に設けられる複数のゲート3、複数のソース5の中で最も端のソース5に隣接して配置されるバックゲート1 a及び他のソース5に埋め込まれるバックゲート1 b、及び、N M O Sトランジスタを囲うよう配置されるバックゲート1 cを備える（例えば、特許文献1参照）。

先行技術文献

特許文献

[0005] 特許文献1：特開2008-193019号公報（図3）

発明の概要

発明が解決しようとする課題

[0006] ここで、特許文献1で開示された技術において、複数のソース5の中で最も端のソース5からバックゲート1 aおよびバックゲート1 cへの各配線が1つのパターンでレイアウトされることが考えられる。すると、このソースにおいては、配線の面積が広くなるので、配線の寄生抵抗の値が小さくなる。E S Dによるサージ電流がE S D保護回路用のN M O Sトランジスタに流

れる場合、配線の寄生抵抗の値が小さい前述のソース 1 に集中しやすくなるので、広い面積の配線を有するソースに集中しやすくなり、極所発熱による破壊が発生しやすくなる。つまり、半導体装置の ESD 耐量が低くなりやすい。

[0007] 本発明は、上記課題に鑑みてなされ、ESD 耐量の高い半導体装置を提供するものである。

課題を解決するための手段

[0008] 本発明は、上記課題を解決するため、ESD 保護回路用の NMOS トランジスタを備える半導体装置において、交互に配置される複数のソース及び複数のドレイン、前記ソースと前記ドレインとの間の複数の偶数のチャンネル、複数の前記チャンネルの上に設けられる複数のゲート、及び、複数の前記ソースの中で最も端の前記ソースの近傍に配置されるバックゲートを備える前記 NMOS トランジスタと、外部接続用の接地電圧パッドに電気的に接続される接地電圧配線と、外部接続用の入力電圧パッドに電気的に接続される入力電圧配線と、を備え、複数のソース配線は、同一形状の金属膜でそれぞれ構成され、複数の前記ソースを前記接地電圧配線にそれぞれ電気的に接続し、複数のドレイン配線は、同一形状の金属膜でそれぞれ構成され、複数の前記ドレインを前記入力電圧配線にそれぞれ電気的に接続し、複数のゲート配線は、金属膜でそれぞれ構成され、複数の前記ゲートを前記接地電圧配線にそれぞれ電気的に接続し、バックゲート配線は、金属膜で構成され、前記ソースの上の前記ソース配線から分離され、前記バックゲートを前記接地電圧配線に電気的に接続する、ことを特徴とする半導体装置を提供する。

発明の効果

[0009] 本発明では、全てのソース配線のパターンが同一にレイアウトされる。すると、NMOS トランジスタでのサージ電流が、各ソース配線で均一に流れやすくなる。つまり、サージ電流が集中しにくくなる。よって、極所発熱による破壊が発生しにくくなり、ESD 耐量が高くなる。

図面の簡単な説明

[0010] [図1]半導体装置を示す平面図である。

[図2]従来の半導体装置を示す平面図である。

発明を実施するための形態

[0011] 以下、本発明の実施形態について、図面を参照して説明する。

[0012] まず、半導体装置の構成について説明する。図1は、半導体装置を示す平面図である。

[0013] 半導体装置は、ESD保護回路用のNMOSトランジスタ10、接地電圧配線22a、及び、入力電圧配線23aを備える。

[0014] NMOSトランジスタ10は、交互に配置される複数のソース12及び複数のドレイン13、ソース12とドレイン13との間の複数の偶数のチャンネル、複数のチャンネルの上に設けられる複数のゲート11、及び、複数のソース12の中で最も端のソース12の近傍に配置されるバックゲート14を備える。ここで、NMOSトランジスタ10のチャンネル長方向の最も端の拡散領域は、ソース12である。

[0015] 接地電圧配線22aは、外部接続用の接地電圧パッドに電氣的に接続されている。入力電圧配線23aは、外部接続用の入力電圧パッドに電氣的に接続されている。複数のソース配線22は、同一形状の金属膜でそれぞれ構成され、コンタクト19を介し、複数のソース12を接地電圧配線22aにそれぞれ電氣的に接続する。複数のドレイン配線23は、同一形状の金属膜でそれぞれ構成され、コンタクト19を介し、複数のドレイン12を入力電圧配線23aにそれぞれ電氣的に接続する。複数のゲート配線21は、同一形状の金属膜でそれぞれ構成され、コンタクト19を介し、複数のゲート11を接地電圧配線22aにそれぞれ電氣的に接続する。バックゲート配線24は、金属膜で構成され、コンタクト19を介し、バックゲート14を接地電圧配線22aに電氣的に接続する。また、バックゲート配線24は、ソース12の上のソース配線22から分離される。

[0016] ここで、NMOSトランジスタ10において、ゲート11は、半導体基板上で、ポリシリコンで構成される。ソース12及びドレイン13は、P型の

半導体基板の表面に設けられるN型の拡散領域である。バックゲート14は、P型の半導体基板の表面に設けられるP型の拡散領域である。ゲート配線21などの全ての配線は、半導体基板上で、アルミニウムや銅で構成される。

[0017] 次に、外部接続用の入力電圧パッドへの入力電圧が通常である場合の、ESD（静電気放電）から内部回路を保護するESD保護回路用のNMOSトランジスタ10の動作について説明する。

[0018] ソース12とゲート11とバックゲート14との電圧は、接地電圧であり、ドレイン13の電圧は、入力電圧である。よって、通常時では、NMOSトランジスタ10は、オフし、ドレイン13の入力電圧に影響を与えない。

[0019] 次に、外部接続用の入力電圧パッドにESDによるサージ電流が流れる場合の、NMOSトランジスタ10のESD保護動作について説明する。

[0020] ESDによるサージ電流が、入力電圧パッドから接地電圧パッドに流れる。この時、NMOSトランジスタ10の寄生ダイオードは、ブレイクダウン動作により、このサージ電流を逆方向に流している。すると、入力電圧パッドは半導体装置の内部回路に電氣的に接続されているが、入力電圧パッドからのサージ電流は内部回路に流れない。よって、内部回路がサージ電流から保護される。

[0021] この時、複数のソース12の中で最も端のソース12及びバックゲート14への各配線が1つのパターンでレイアウトされず、これらの各配線が別々の2つのパターンでレイアウトされるようにする。つまり、全てのソース配線22のパターンは、同一にレイアウトされるようにする。すると、NMOSトランジスタ10でのサージ電流が、各ソース配線22で均一に流れやすくなり、サージ電流集中が集中しにくくなる。よって、極所発熱による破壊が発生しにくくなり、半導体装置のESD耐量が高くなる。

[0022] なお、各ゲート11同士は、ポリシリコンで接続しても良い。

[0023] また、各ゲート11は、接地電圧配線22aでなくて各ソース配線22に、それぞれ接続しても良い。

[0024] また、各ゲート 1 1 において、ゲート 1 1 と接地電圧配線 2 2 a との間に、抵抗成分が存在しても良い。

[0025] また、ソース 1 2 とドレイン 1 3 とバックゲート 1 4 とは、P 型の半導体基板ではなくて P 型のウェルの表面に設けても良い。

符号の説明

[0026] 1 0 NMOS トランジスタ

1 1 ゲート

1 2 ソース

1 3 ドレイン

1 4 バックゲート

1 9 コンタクト

2 1 ゲート配線

2 2 ソース配線

2 2 a 接地電圧配線

2 3 ドレイン配線

2 3 a 入力電圧配線

2 4 バックゲート配線

請求の範囲

[請求項1] ESD保護回路用のNMOSトランジスタを備える半導体装置であって、

交互に配置された複数のソース及び複数のドレイン、前記ソースと前記ドレインとの間に形成された複数の偶数のチャンネル、前記複数の偶数のチャンネルの上に設けられた複数のゲート、及び、前記複数のソースの中で最も端の前記複数のソースの近傍に配置されたバックゲートを備える前記NMOSトランジスタと、

外部接続用の接地電圧パッドに電氣的に接続された接地電圧配線と、

外部接続用の入力電圧パッドに電氣的に接続された入力電圧配線と、

同一形状の金属膜でそれぞれ構成され、前記複数のソースを前記接地電圧配線にそれぞれ電氣的に接続する複数のソース配線と、

同一形状の金属膜でそれぞれ構成され、前記複数のドレインを前記入力電圧配線にそれぞれ電氣的に接続する複数のドレイン配線と、

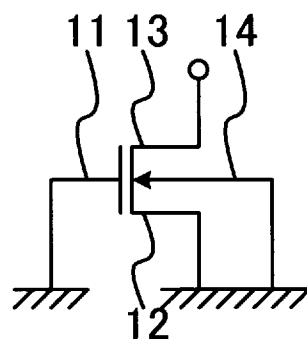
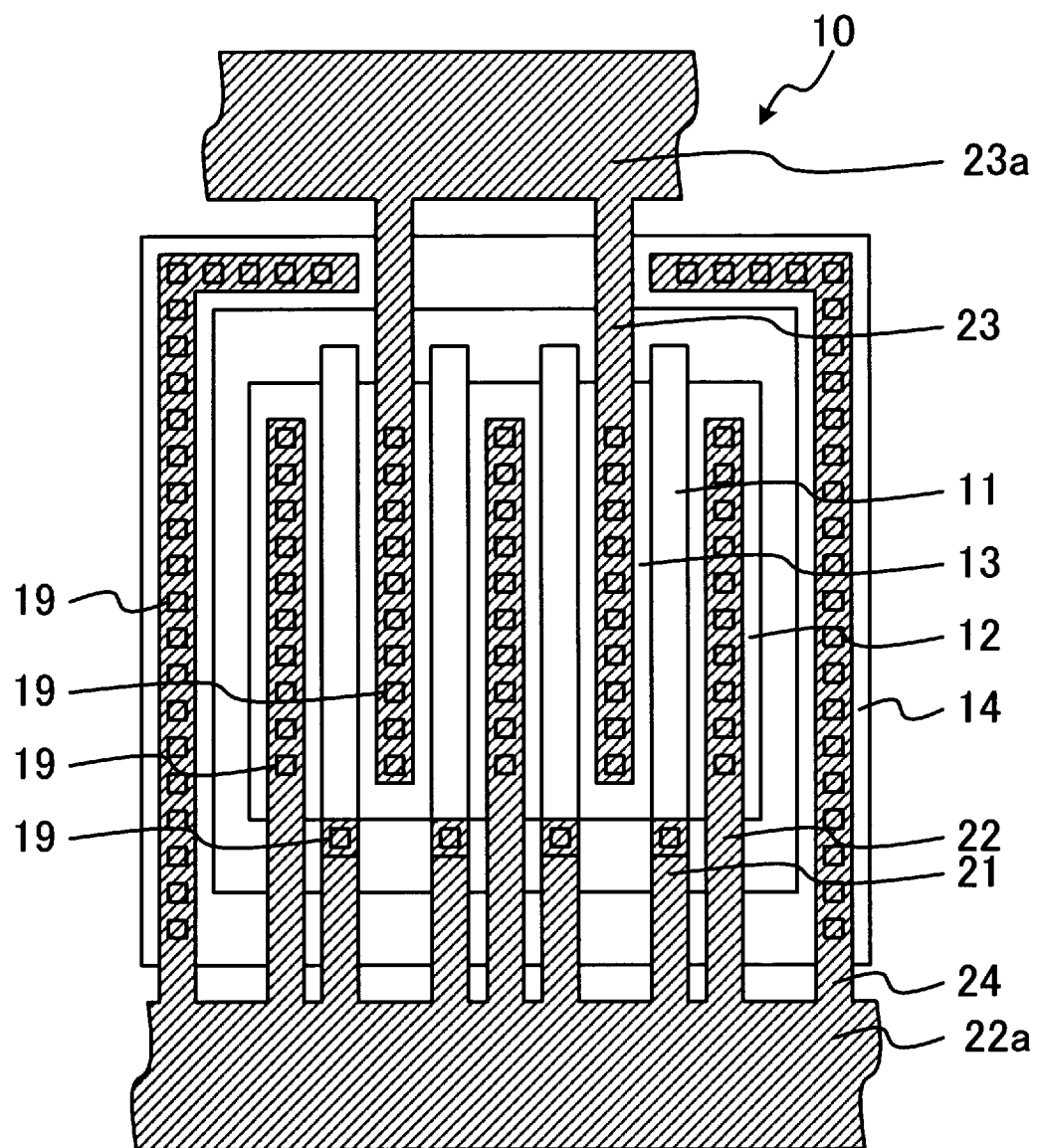
金属膜でそれぞれ構成され、前記複数のゲートを前記接地電圧配線にそれぞれ電氣的に接続する複数のゲート配線と、

金属膜で構成され、前記複数のソース配線から分離され、前記バックゲートを前記接地電圧配線に電氣的に接続するバックゲート配線と、

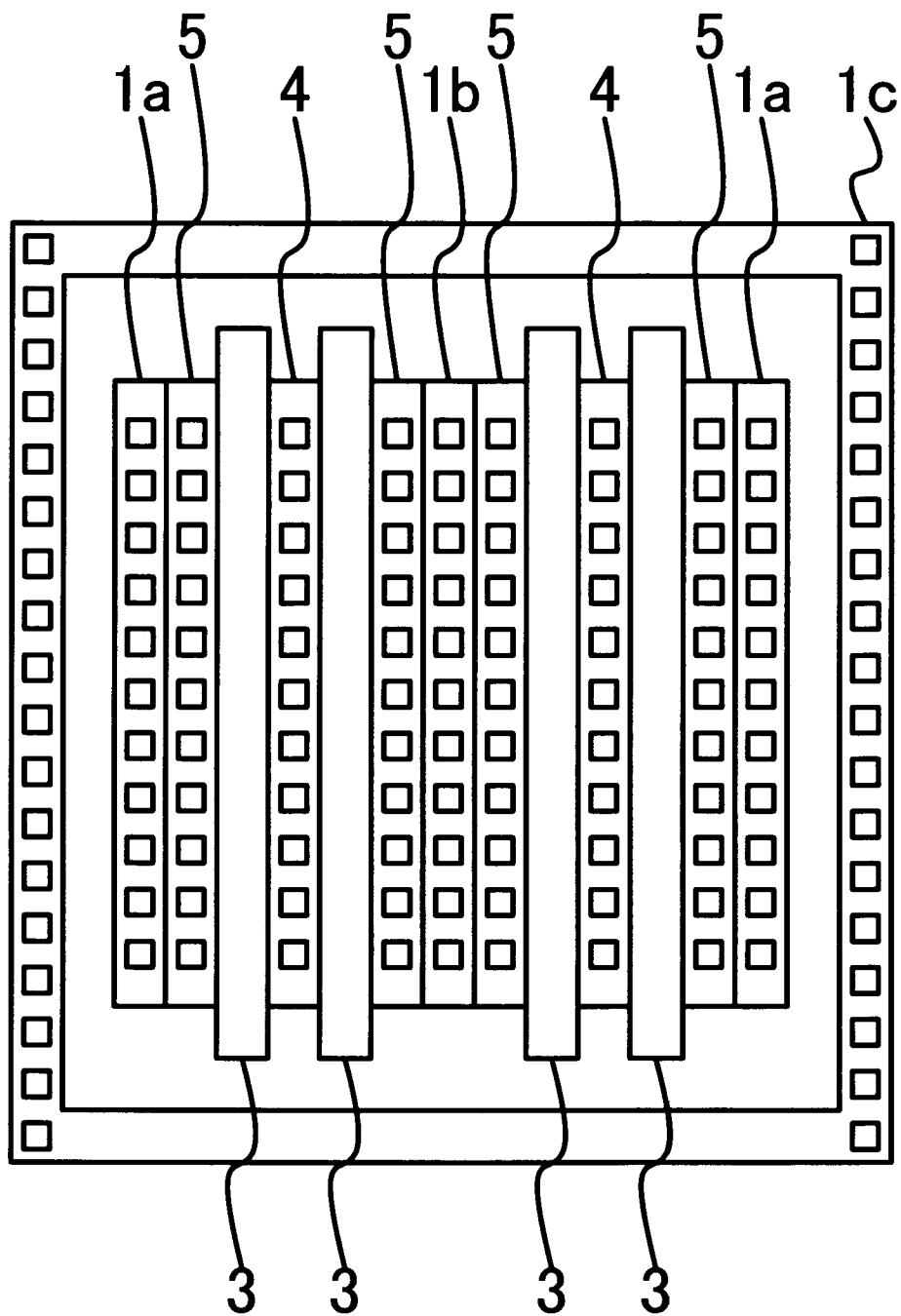
を有する半導体装置。

[請求項2] 前記複数のゲート配線は、同一形状の金属膜でそれぞれ構成されていることを特徴とする請求項1記載の半導体装置。

[図1]



[図2]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/084288

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/336(2006.01)i, H01L21/822(2006.01)i, H01L21/8234(2006.01)i, H01L27/04(2006.01)i, H01L27/06(2006.01)i, H01L27/088(2006.01)i, H01L29/78(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/336, H01L21/822, H01L21/8234, H01L27/04, H01L27/06, H01L27/088, H01L29/78

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2014
Kokai Jitsuyo Shinan Koho	1971-2014	Toroku Jitsuyo Shinan Koho	1994-2014

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2013-008715 A (Semiconductor Components Industries, L.L.C.), 10 January 2013 (10.01.2013), paragraphs [0026] to [0039]; fig. 1, 2 & US 2012/0326235 A1 & CN 102842576 A & TW 201308565 A	1, 2

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance
 "E" earlier application or patent but published on or after the international filing date
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 "O" document referring to an oral disclosure, use, exhibition or other means
 "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 "&" document member of the same patent family

Date of the actual completion of the international search
04 March, 2014 (04.03.14)

Date of mailing of the international search report
18 March, 2014 (18.03.14)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H01L21/336(2006.01)i, H01L21/822(2006.01)i, H01L21/8234(2006.01)i, H01L27/04(2006.01)i, H01L27/06(2006.01)i, H01L27/088(2006.01)i, H01L29/78(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L21/336, H01L21/822, H01L21/8234, H01L27/04, H01L27/06, H01L27/088, H01L29/78

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 4 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 4 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 4 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2013-008715 A（セミコンダクター・コンポーネンツ・インダストリーズ・リミテッド・ライアビリティ・カンパニー）2013.01.10, 段落 0026-0039、図 1, 2 & US 2012/0326235 A1 & CN 102842576 A & TW 201308565 A	1, 2

☐ C 欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

0 4 . 0 3 . 2 0 1 4

国際調査報告の発送日

1 8 . 0 3 . 2 0 1 4

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）
郵便番号 1 0 0 - 8 9 1 5
東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官（権限のある職員）

岩本 勉

5 F

9 3 5 5

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 1 6