

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 7 部門第 2 区分
 【発行日】平成 23 年 5 月 26 日 (2011.5.26)

【公開番号】特開 2009-105227 (P2009-105227A)
 【公開日】平成 21 年 5 月 14 日 (2009.5.14)
 【年通号数】公開・登録公報 2009-019
 【出願番号】特願 2007-275691 (P2007-275691)
 【国際特許分類】

H 0 1 L 29/78 (2006.01)

H 0 1 L 27/108 (2006.01)

H 0 1 L 21/8242 (2006.01)

【F I】

H 0 1 L 29/78 3 0 1 V

H 0 1 L 27/10 6 7 1 B

H 0 1 L 27/10 6 2 1 Z

【手続補正書】

【提出日】平成 23 年 4 月 8 日 (2011.4.8)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

ソース領域及びドレイン領域を有し、前記ソース領域と前記ドレイン領域との間にゲートトレンチが形成された活性領域と、前記活性領域を取り囲む素子分離領域と、少なくとも一部が前記ゲートトレンチ内に埋め込まれたゲート電極とを備え、

前記ゲートトレンチの底部は、前記素子分離領域から相対的に遠い第 1 の底部と、前記素子分離領域から相対的に近い第 2 の底部を有し、

前記第 2 の底部の曲率半径は前記第 1 の底部の曲率半径よりも大きく、

前記活性領域のうち、前記ゲートトレンチの前記第 2 の底部を構成する部分は主チャネル領域として機能し、前記主チャネル領域は前記ゲート電極と前記素子分離領域との間に挟まれた薄膜構造を有していることを特徴とする半導体装置。

【請求項 2】

前記活性領域のうち、前記ゲートトレンチの前記第 1 の底部を構成する部分は副チャネル領域として機能することを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】

前記主チャネル領域のしきい値は、前記副チャネル領域のしきい値よりも低いことを特徴とする請求項 2 に記載の半導体装置。

【請求項 4】

前記ゲートトレンチの前記第 2 の底部は、逆アーチ型を有していることを特徴とする請求項 1 乃至 3 のいずれか一項に記載の半導体装置。

【請求項 5】

前記素子分離領域の側壁面が、半導体基板に対して略垂直な上部側壁面及びテーパー形状を有する下部側壁面を有すること特徴とする請求項 1 乃至 4 のいずれか一項に記載の半導体装置。

【請求項 6】

前記主チャネル領域は、前記ゲート電極と前記素子分離領域の前記下部側壁面との間に

設けられていることを特徴とする請求項 4 に記載の半導体装置。

【請求項 7】

前記活性領域内における前記ゲートトレンチの長さが 40 ~ 70 nm であり、

前記ゲートトレンチの幅が前記ゲートトレンチの長さの 80 ~ 90 % であることを特徴とする請求項 1 乃至 6 のいずれか一項に記載の半導体装置。

【請求項 8】

半導体基板上に素子分離領域を形成し、当該素子分離領域によって互いに分離された複数の活性領域を形成する工程と、

前記活性領域と交差するゲートトレンチを形成する工程と、

前記ゲートトレンチの内壁面にゲート酸化膜を形成する工程と、

前記ゲート酸化膜が形成されたゲートトレンチ内にゲート電極を埋設する工程とを備え

、

前記ゲートトレンチを形成する工程は、前記ゲートトレンチの底部が、前記素子分離領域から相対的に遠い第 1 の底部と、前記素子分離領域から相対的に近い第 2 の底部を有し、前記第 2 の底部の曲率半径が前記第 1 の底部の曲率半径よりも大きくなるように、前記活性領域内の所定の領域をエッチングすることを特徴とする半導体装置の製造方法。

【請求項 9】

前記ゲートトレンチを形成する工程は、前記活性領域のうち、前記ゲートトレンチの前記第 2 の底部を構成する主チャネル領域が、前記ゲート電極と前記素子分離領域との間に挟まれた薄膜構造を有するように、前記活性領域内の前記所定の領域をエッチングすることを特徴とする請求項 8 に記載の半導体装置の製造方法。

【請求項 10】

請求項 1 乃至 7 のいずれか一項に記載の半導体装置を含むメモリデバイスと、データプロセッサと、ストレージデバイスと、I/O デバイスとを備え、これらがシステムバスにより相互に接続されていることを特徴とするデータ処理システム。