(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年2月13日(13.02.2020)

WIPO | PCT

(10) 国際公開番号
WO 2020/031015 A1

(51) 国際特許分類:
H01L 21/8242 (2006.01) *H01L 27/108* (2006.01)
H01L 21/8239 (2006.01) *H01L 29/786* (2006.01)
H01L 27/105 (2006.01)

(21) 国際出願番号： PCT/IB2019/056433

(22) 国際出願日： 2019年7月29日(29.07.2019)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

(30) 優先権データ：
特願 2018-150387 2018年8月9日(09.08.2018) JP
特願 2018-150595 2018年8月9日(09.08.2018) JP

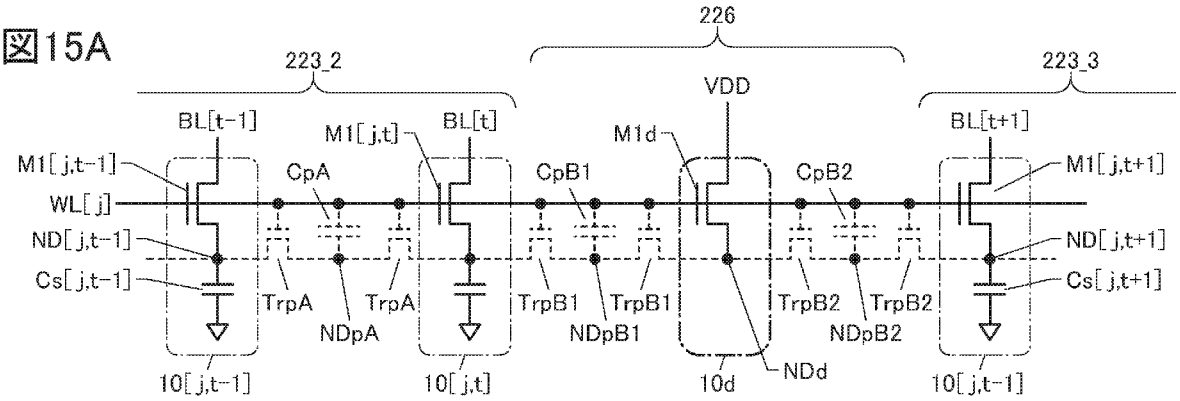
(71) 出願人: 株式会社半導体エネルギー研究所 (**SEMICONDUCTOR ENERGY LABORATORY CO., LTD.**) [JP/JP]; 〒2430036 神奈川県厚木市長谷３９８ Kanagawa (JP).

(72) 発明者: 大貫達也(**ONUKI, Tatsuya**); 〒2430036 神奈川県厚木市長谷３９８株式会社半導体エネルギー研究所内 Kanagawa (JP). 加藤清(**KATO, Kiyoshi**); 〒2430036 神奈川県厚木市長谷３９８株式会社半導体エネルギー研究所内 Kanagawa (JP). 熱海知昭(**ATSUMI, Tomoaki**); 〒2430036 神奈川県厚木市長谷３９８株式会社半導体エネルギー研究所内 Kanagawa (JP). 山崎舜平(**YAMAZAKI, Shunpei**); 〒2430036 神奈川県厚木市長谷３９８株式会社半導体エネルギー研究所内 Kanagawa (JP).

(54) **Title:** STORAGE DEVICE

(54) 発明の名称： 記憶装置

図15A



(57) **Abstract:** Provided is a novel storage device. The storage device has: a plurality of first wirings extending in a first direction; a plurality of storage element groups; and oxide layers extending along the side surfaces of the first wirings, wherein each of the storage element groups has a plurality of storage elements, and each of the storage elements has a first transistor and a capacitive element. A gate electrode of the first transistor is electrically connected to the first wiring. The oxide layer has a region that is in contact with a semiconductor layer of the first transistor. A second transistor is provided between the adjacent storage element groups. A high power supply potential is supplied to either or both of a source electrode and a drain electrode of the second transistor.

(57) 要約：新規な記憶装置を提供する。 第１方向に延在する複数の第１配線と、複数の記憶素子群と、第１配線の側面に沿って延在する酸化物 層と、を有する記憶装置であって、記憶素子群はそれぞれ複数の記憶素子を有し、それぞれの記憶素子 は第１トランジスタと容量素子を有する。第１トランジスタのゲート電極は第１配線と電気的に接続す る。酸化物層は、第１トランジスタの半導体層と接する領域を有する。隣接する記憶素子群の間に第２ トランジスタを設ける。第２トランジスタのソース電極およびドレイン電極の一方または双方に、高電 源電位を供給する。

WO 2020/031015 A1

［続葉有］

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一　国際調査報告（条約第21条(3)）

明細書

発明の名称

記憶装置

技術分野

［０００１］

本発明の一形態は、記憶装置、半導体装置またはこれらを用いた電子機器に関する。

［０００２］

ただし、本発明の一態様は、上記の技術分野に限定されるものではない。本明細書等で開示する発明の一態様は、物、方法、または、製造方法に関する。または、本明細書等で開示する発明の一態様は、プロセス、マシン、マニュファクチャ、または、組成物（コンポジション・オブ・マター）に関する。

［０００３］

なお、本明細書等において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指す。トランジスタ、半導体回路は半導体装置の一態様である。表示装置（液晶表示装置、発光表示装置など）、投影装置、照明装置、電気光学装置、蓄電装置、記憶装置、半導体回路、撮像装置および電子機器などは、半導体装置を有する場合がある。また、表示装置、投影装置、照明装置、電気光学装置、蓄電装置、記憶装置、半導体回路、撮像装置および電子機器などを、半導体装置ということもできる。

背景技術

［０００４］

トランジスタに適用可能な半導体薄膜として、シリコン系半導体材料が広く知られているが、その他の材料として酸化物半導体が注目されている。酸化物半導体としては、例えば、酸化インジウム、酸化亜鉛などの一元系金属の酸化物のみでなく、多元系金属の酸化物も知られている。多元系金属の酸化物の中でも、特に、Ｉｎ－Ｇａ－Ｚｎ酸化物（以下、ＩＧＺＯとも呼ぶ。）に関する研究が盛んに行われている。

［０００５］

ＩＧＺＯに関する研究により、酸化物半導体において、単結晶でも非晶質でもない、ＣＡＡＣ（ｃ－ａｘｉｓ ａｌｉｇｎｅｄ ｃｒｙｓｔａｌｌｉｎｅ）構造およびｎｃ（ｎａｎｏｃｒｙｓｔａｌｌｉｎｅ）構造が見出された（非特許文献１乃至非特許文献３参照。）。非特許文献１および非特許文献２では、ＣＡＡＣ構造を有する酸化物半導体を用いてトランジスタを作製する技術も開示されている。さらに、ＣＡＡＣ構造およびｎｃ構造よりも結晶性の低い酸化物半導体でさえも、微小な結晶を有することが、非特許文献４および非特許文献５に示されている。

［０００６］

さらに、ＩＧＺＯを活性層として用いたトランジスタは極めて低いオフ電流を持ち（非特許文献６参照。）、その特性を利用したＬＳＩおよびディスプレイが報告されている（非特許文献７および非特許文献８参照。）。

［０００７］

また、チャネル形成領域に酸化物半導体を有するトランジスタ（以下、「ＯＳトランジスタ」とも呼ぶ。）を利用した様々な半導体装置が提案されている。

［０００８］

特許文献１には、ＯＳトランジスタを記憶装置のメモリセル（記憶素子）に用いる例が開示されている。ＯＳトランジスタは、オフ状態でソースとドレインの間に流れる電流（「オフ電流」ともいう。）が非常に少ないので、記憶素子に用いられる保持容量を小さくする、または無くすことができる。保持容量を小さくする、または無くすことで、集積度の高い記憶装置を実現できる。

［先行技術文献］
［特許文献］
［０００９］
［特許文献１］特開２０１２－２５６４００号公報
［非特許文献］
［００１０］
［非特許文献１］Ｓ．Ｙａｍａｚａｋｉ ｅｔ ａｌ．，“ＳＩＤ Ｓｙｍｐｏｓｉｕｍ Ｄｉｇｅｓｔ ｏｆ Ｔｅｃｈｎｉｃａｌ Ｐａｐｅｒｓ”，２０１２，ｖｏｌｕｍｅ ４３，ｉｓｓｕｅ １，ｐ．１８３－１８６
［非特許文献２］Ｓ．Ｙａｍａｚａｋｉ ｅｔ ａｌ．，“Ｊａｐａｎｅｓｅ Ｊｏｕｒｎａｌ ｏｆ Ａｐｐｌｉｅｄ Ｐｈｙｓｉｃｓ”，２０１４，ｖｏｌｕｍｅ ５３，Ｎｕｍｂｅｒ ４Ｓ，ｐ．０４ＥＤ１８－１－０４ＥＤ１８－１０
［非特許文献３］Ｓ．Ｉｔｏ ｅｔ ａｌ．，“Ｔｈｅ Ｐｒｏｃｅｅｄｉｎｇｓ ｏｆ ＡＭ－ＦＰＤ’１３ Ｄｉｇｅｓｔ ｏｆ Ｔｅｃｈｎｉｃａｌ Ｐａｐｅｒｓ”，２０１３，ｐ．１５１－１５４
［非特許文献４］Ｓ．Ｙａｍａｚａｋｉ ｅｔ ａｌ．，“ＥＣＳ Ｊｏｕｒｎａｌ ｏｆ Ｓｏｌｉｄ Ｓｔａｔｅ Ｓｃｉｅｎｃｅ ａｎｄ Ｔｅｃｈｎｏｌｏｇｙ”，２０１４，ｖｏｌｕｍｅ ３，ｉｓｓｕｅ ９，ｐ．Ｑ３０１２－Ｑ３０２２
［非特許文献５］Ｓ．Ｙａｍａｚａｋｉ，“ＥＣＳ Ｔｒａｎｓａｃｔｉｏｎｓ”，２０１４，ｖｏｌｕｍｅ ６４，ｉｓｓｕｅ １０，ｐ．１５５－１６４
［非特許文献６］Ｋ．Ｋａｔｏ ｅｔ ａｌ．，“Ｊａｐａｎｅｓｅ Ｊｏｕｒｎａｌ ｏｆ Ａｐｐｌｉｅｄ Ｐｈｙｓｉｃｓ”，２０１２，ｖｏｌｕｍｅ ５１，ｐ．０２１２０１－１－０２１２０１－７
［非特許文献７］Ｓ．Ｍａｔｓｕｄａ ｅｔ ａｌ．，“２０１５ Ｓｙｍｐｏｓｉｕｍ ｏｎ ＶＬＳＩ Ｔｅｃｈｎｏｌｏｇｙ Ｄｉｇｅｓｔ ｏｆ Ｔｅｃｈｎｉｃａｌ Ｐａｐｅｒｓ”，２０１５，ｐ．Ｔ２１６－Ｔ２１７
［非特許文献８］Ｓ．Ａｍａｎｏ ｅｔ ａｌ．，“ＳＩＤ Ｓｙｍｐｏｓｉｕｍ Ｄｉｇｅｓｔ ｏｆ Ｔｅｃｈｎｉｃａｌ Ｐａｐｅｒｓ”，２０１０，ｖｏｌｕｍｅ ４１，ｉｓｓｕｅ １，ｐ．６２６－６２９

発明の概要

発明が解決しようとする課題

［００１１］
本発明の一形態は、新規な記憶装置または半導体装置を提供することを課題の一とする。または、本発明の一形態は、信頼性の高い記憶装置または半導体装置を提供することを課題の一とする。または、本発明の一形態は、集積密度が高い記憶装置または半導体装置を提供することを課題の一とする。または、本発明の一形態は、動作速度が速い記憶装置または半導体装置を提供することを課題の一とする。または、本発明の一形態は、消費電力が低減された記憶装置または半導体装置を提供することを課題の一とする。
［００１２］
なお、上記複数の課題の記載は、互いの課題の存在を妨げるものではない。なお、本発明の一態様は、これらの課題の全てを解決する必要はない。また、列記した以外の課題は、明細書、図面、請求項などの記載から自ずと明らかとなるものであり、これらの課題も、本発明の一形態の課題となり得る。

課題を解決するための手段

［００１３］

本発明の一態様は、第１方向に延在する複数の第１配線と、複数の記憶素子群と、第１配線の側面に沿って延在する酸化物層と、を有する記憶装置であって、記憶素子群はそれぞれ複数の記憶素子を有し、それぞれの記憶素子はトランジスタと容量素子を有する。トランジスタのゲート電極は第１配線と電気的に接続する。酸化物層は、トランジスタの半導体層と接する領域を有する。記憶素子群の端部に配置された記憶素子が有するトランジスタのゲート電極から、隣接する記憶素子群の端部に配置された記憶素子が有するトランジスタのゲート電極までの最短距離が３．５μｍ以下の記憶装置である。

［００１４］

または、本発明の一態様は、第１方向に延在する複数の第１配線と、複数の酸化物層と、第１記憶素子群と、第２記憶素子群と、を有し、複数の第１配線は、第１記憶素子群と重なる領域と、第２記憶素子群と重なる領域と、を有し、複数の酸化物層の一は、第１配線の一の側面に沿って延在する領域を有し、第１記憶素子群と第２記憶素子群は、複数の記憶素子を有し、複数の記憶素子のそれぞれは、トランジスタと、容量素子と、を有し、複数の記憶素子のそれぞれにおいて、トランジスタのゲート電極は、複数の第１配線の一と電気的に接続され、トランジスタの半導体層は、複数の酸化物層の一と接する領域を有し、第１記憶素子群の端部に配置された記憶素子が有するトランジスタのゲート電極から、第２記憶素子群の端部に配置された記憶素子が有するトランジスタのゲート電極までの最短距離が３．５μｍ以下である記憶装置である。

［００１５］

上記最短距離は２．３μｍ以下であってもよい。また、上記本発明の一態様において、第２方向に延在する複数の第２配線を有し、トランジスタのソース電極またはドレイン電極の一方が複数の第２配線の一つと電気的に接続されてもよい。この場合、トランジスタのソース電極またはドレイン電極の他方は容量素子と電気的に接続される。

［００１６］

なお、酸化物層は絶縁層を介して第１配線と重なる領域を有してもよい。酸化物層は、インジウムおよび亜鉛の一方または双方を含む場合がある。トランジスタの半導体層は、インジウムおよび亜鉛の少なくとも一方を含むことが好ましい。

［００１７］

また、上記一態様において、第１方向に延在する複数の第３配線を設けてもよい。複数の第３配線の一つは、複数の第１配線の一つと互いに重なる領域を有することが好ましい。

［００１８］

また、本発明の別の一態様は、第１方向に延在する複数の第１配線と、複数の酸化物層と、第１記憶素子群と、第２記憶素子群と、第１領域と、を有し、複数の第１配線は、第１記憶素子群と重なる領域と、第２記憶素子群と重なる領域と、第１領域と重なる領域と、を有し、複数の酸化物層の一は、第１配線の一の側面に沿って延在する領域を有し、第１記憶素子群と第２記憶素子群は、複数の記憶素子を有し、複数の記憶素子のそれぞれは、第１トランジスタと、容量素子と、を有し、複数の記憶素子のそれぞれにおいて、第１トランジスタのゲートは、複数の第１配線の一と電気的に接続され、第１トランジスタの半導体層は、複数の酸化物層の一と接する領域を有し、第１領域は、複数の第２トランジスタを有し、複数の第２トランジスタのそれぞれにおいて、ゲート電極が複数の第１配線の一と電気的に接続され、ソース電極およびドレイン電極の一方または双方が第４配線と電気的に接続され、第４配線に高電源電位を供給する機能を有する記憶装置である。

発明の効果

［００１９］

本発明の一形態により、新規な記憶装置または半導体装置を提供することができる。または、本発明の一形態により、信頼性の高い記憶装置または半導体装置を提供することができる。または、本発明の一形態により、集積密度が高い記憶装置または半導体装置を提供することができる。または、本発明の一形態により、動作速度が速い記憶装置または半導体装置を提供することができる。または、本発明の一形態により、消費電力が低減された記憶装置または半導体装置を提供することができる。

［００２０］

なお、これらの効果の記載は、他の効果の存在を妨げるものではない。なお、本発明の一態様は、これらの効果の全てを有する必要はない。なお、これら以外の効果は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の効果を抽出することが可能である。

図面の簡単な説明

［００２１］

図１は記憶装置の構成例を説明する図である。
図２Ａおよび図２Ｂは記憶ブロックの構成例を説明する図である。
図３はセルアレイの一部を拡大した図である。
図４Ａおよび図４Ｂはメモリセルの回路構成例を説明する図である。
図５Ａ乃至図５Ｃは隣接する２つのトランジスタの構造例を説明する図である。
図６Ａおよび図６Ｂはメモリセルへの情報の書き込み動作を説明する図である。
図７Ａおよび図７Ｂはメモリセルへの情報の書き込み動作を説明する図である。
図８はメモリセルへの情報の書き込み動作を説明するタイミングチャートである。
図９Ａおよび図９Ｂはメモリセルへの情報の書き込み動作を説明する図である。
図１０はメモリセルへの情報の書き込み動作を説明するタイミングチャートである。
図１１Ａ乃至図１１Ｃはメモリセルへの情報の書き込み動作を説明する図である。
図１２はメモリセルへの情報の書き込み動作を説明するタイミングチャートである。
図１３Ａおよび図１３Ｂは隣接サブセルアレイ間の距離とノードＮＤの保持電位の関係を説明する図である。
図１４Ａおよび図１４Ｂはダミーメモリセルの回路構成例を説明する図である。
図１５Ａおよび図１５Ｂはダミーメモリセルの回路構成例を説明する図である。
図１６Ａおよび図１６ＢはメモリセルのピッチとノードＮＤの保持電位の関係を説明する図である。
図１７Ａおよび図１７Ｂはワード線の高さとノードＮＤの保持電位の関係を説明する図である。
図１８Ａおよび図１８Ｂはメモリセルへの情報の書き込み動作を説明する図である。
図１９はメモリセルへの情報の書き込み動作を説明する図である。
図２０はメモリセルへの情報の書き込み動作を説明するタイミングチャートである。
図２１Ａおよび図２１Ｂは情報の保持時間と容量素子の漏れ電流の関係を説明する図である。
図２２は記憶装置の断面図である。
図２３は記憶装置の断面図である。
図２４は記憶装置の断面図である。
図２５Ａ乃至図２５Ｃはトランジスタの一例を説明する図である。
図２６Ａ乃至図２６Ｃはトランジスタの一例を説明する図である。
図２７Ａおよび図２７Ｂは電子部品を説明する図である。
図２８は電子機器を説明する図である。
図２９Ａ乃至図２９Ｅは電子機器を説明する図である。
図３０Ａ乃至図３０Ｃは電子機器を説明する図である。

図３１Ａ乃至図３１Ｃは電子機器を説明する図である。

発明を実施するための形態

［００２２］

本発明の実施の形態について、図面を用いて詳細に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨およびその範囲から逸脱することなくその形態および詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。

［００２３］

なお、以下に説明する発明の構成において、同一部分または同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略する。また、同様の機能を指す場合には、ハッチパターンを同じくし、特に符号を付さない場合がある。

［００２４］

なお、本明細書で説明する各図において、各構成の大きさ、層の厚さ、または領域は、明瞭化のために誇張されている場合がある。よって、必ずしもそのスケールに限定されない。

［００２５］

なお、本明細書中において、高電源電位をＨレベル（「ＶＤＤ」または「Ｈ電位」ともいう。）、低電源電位をＬレベル（「ＶＳＳ」または「Ｌ電位」ともいう。）と呼ぶ場合がある。

［００２６］

なお、電圧とは２点間における電位差のことをいい、電位とはある一点における静電場の中にある単位電荷が持つ静電エネルギー（電気的な位置エネルギー）のことをいう。ただし、一般的に、ある一点における電位と基準となる電位（例えば接地電位）との電位差のことを、単に電位もしくは電圧と呼び、電位と電圧が同義語として用いられることが多い。このため、本明細書などでは、明示する場合を除き、電位を電圧と読み替えてもよいし、電圧を電位と読み替えてもよいこととする。

［００２７］

また、本明細書は、以下の実施の形態を適宜組み合わせることが可能である。また、１つの実施の形態の中に、複数の構成例が示される場合は、構成例を適宜組み合わせることが可能である。

［００２８］

本明細書等において、金属酸化物（ｍｅｔａｌ　ｏｘｉｄｅ）とは、広い意味での金属の酸化物である。金属酸化物は、酸化物絶縁体、酸化物導電体（透明酸化物導電体を含む）、酸化物半導体などに分類される。例えば、トランジスタの半導体層に金属酸化物を用いた場合、当該金属酸化物を酸化物半導体と呼称する場合がある。また、ＯＳトランジスタと記載する場合においては、金属酸化物または酸化物半導体を有するトランジスタと換言することができる。また、本明細書等において、窒素を有する金属酸化物も金属酸化物と総称する場合がある。

［００２９］

また、本明細書等に示すトランジスタは、明示されている場合を除き、エンハンスメント型（ノーマリーオフ型）のｎチャネル型電界効果トランジスタとする。よって、そのしきい値電圧（「Ｖｔｈ」ともいう。）は、０Ｖより大きいものとする。

［００３０］

（実施の形態１）

実施の形態では、本発明の一態様の記憶装置について説明する。

［００３１］

《記憶装置１００》

図１は、本発明の一態様である記憶装置１００の構成例を示すブロック図である。

［００３２］
記憶装置１００は、入出力回路１１１（ＩＯ　Ｃｉｒｃｕｉｔ）、制御回路１１２（Ｃｏｎｔｒｏｌｌｅｒ）、Ｉ２Ｃレシーバ１１３（Ｉ２Ｃ　Ｒｅｃｅｉｖｅｒ）、設定レジスタ１１４（Ｓｅｔｔｉｎｇ　Ｒｅｇｉｓｔｅｒ）、ＬＶＤＳ回路１１５（転送回路ＬＶＤＳ＿ｒｘ）、ＬＶＤＳ回路１１６（転送回路ＬＶＤＳ＿ｔｘ）、デコーダ１１７（Ｄｅｃｏｄｅｒ）、記憶ブロックアレイ２１０（Ｍｅｍｏｒｙ　Ｂｌｏｃｋ　Ａｒｒａｙ）、および負電圧生成回路２１８を有する。
［００３３］
また、制御回路１１２は、レジスタ１１８（Ｒｅｇ＿ｒ）、およびレジスタ１１９（Ｒｅｇ＿ｗ）を有する。また、記憶ブロックアレイ２１０は、ｎ個（ｎは１以上の整数。）の記憶ブロック２１１（Ｍｅｍｏｒｙ　Ｂｌｏｃｋ）を有する。本明細書等では、１個目の記憶ブロック２１１を記憶ブロック２１１＿１と示し、ｉ個目（ｉは１以上ｎ以下の整数。）の記憶ブロック２１１を記憶ブロック２１１＿ｉと示している。
［００３４］
入出力回路１１１は、外部機器と信号の受け渡しを行なう機能を有する。記憶装置１００の動作条件などは、設定レジスタ１１４に記憶されている設定パラメータにより決定される。設定パラメータは、入出力回路１１１およびＩ２Ｃレシーバ１１３を介して設定レジスタ１１４に書き込まれる。なお、目的または用途などに応じてＩ２Ｃレシーバ１１３は省略してもよい。
［００３５］
設定パラメータの一例として、リフレッシュ動作の実行間隔や回路動作の動作タイミングなどの指定情報などがある。制御回路１１２は設定パラメータおよび外部からのコマンド信号を処理して記憶装置１００の動作モードを決定する機能を有する。制御回路１１２は、色々な制御信号を生成して、記憶装置１００全体の動作を制御する機能を有する。
［００３６］
また、外部から入出力回路１１１を介して制御回路１１２に、リセット信号ｒｅｓ、アドレス信号ＡＤＤＲ［１６：０］、行アドレス識別信号ＲＡＳ（Ｒｏｗ　Ａｄｄｒｅｓｓ　Ｓｔｒｏｂｅ）、列アドレス識別信号ＣＡＳ（Ｃｏｌｕｍｎ　Ａｄｄｒｅｓｓ　Ｓｔｒｏｂｅ）、書き込み制御信号ＷＥ（Ｗｒｉｔｅ　Ｅｎａｂｌｅ）、データ読み出し用クロック信号ｃｌｋ＿ｒ、書き込みデータＷＤＡＴＡ［７：０］などが供給される。データ読み出し用クロック信号ｃｌｋ＿ｒは、ＬＶＤＳ回路１１５を介して制御回路１１２に供給される。
［００３７］
また、制御回路１１２から入出力回路１１１に、データ書き込み用クロック信号ｃｌｋ＿ｗ、読み出しデータＲＤＡＴＡ［７：０］が供給される。データ書き込み用クロック信号ｃｌｋ＿ｗは、ＬＶＤＳ回路１１６を介して入出力回路１１１に供給される。ＬＶＤＳ回路１１５およびＬＶＤＳ回路１１６は、ＬＶＤＳ（Ｌｏｗ　ｖｏｌｔａｇｅ　ｄｉｆｆｅｒｅｎｔｉａｌ　ｓｉｇｎａｌｉｎｇ）規格で動作する転送回路である。なお、目的または用途などに応じて、ＬＶＤＳ回路１１５およびＬＶＤＳ回路１１６の一方または双方を省略してもよい。
［００３８］
書き込みデータＷＤＡＴＡ［７：０］は、データ書き込み用クロック信号ｃｌｋ＿ｗに同期して転送され、制御回路１１２内のレジスタ１１９に保持される。制御回路１１２はレジスタ１１９に保持されているデータを記憶ブロックアレイ２１０に供給する機能を有する。
［００３９］
また、記憶ブロックアレイ２１０から読み出されたデータは、読み出しデータＲＤＡＴＡ［７：０］として制御回路１１２内のレジスタ１１８に保持される。制御回路１１２は、読み出しデータＲＤＡＴＡ

［７：０］をデータ読み出し用クロック信号ｃｌｋ＿ｒに同期して入出力回路１１１に転送する機能を有する。

［００４０］

また、制御回路１１２は、列アドレス信号Ｃ＿ＡＤＤＲ［６：０］、列選択イネーブル信号ＣＳＥＬ＿ＥＮ、データラッチ信号ＤＬＡＴ、グローバル書き込み許可信号ＧＷ＿ＥＮ、グローバル読み出し許可信号ＧＲ＿ＥＮ、グローバルセンスアンプ許可信号ＧＳＡ＿ＥＮ、グローバルイコライズ許可信号ＧＥＱ＿ＥＮＢ、ローカルセンスアンプ許可信号ＬＳＡ＿ＥＮ、ローカルイコライズ許可信号ＬＥＱ＿ＥＮＢ、およびワード線アドレス選択信号ＷＬ＿ＡＤＤＲ［７：０］などを出力する機能を有する。

［００４１］

列アドレス信号Ｃ＿ＡＤＤＲおよび列選択イネーブル信号ＣＳＥＬ＿ＥＮはデコーダ１１７に供給される。

［００４２］

《記憶ブロック》

図２Ａは記憶ブロック２１１＿ｉの構成例を示すブロック図である。図２Ｂは、記憶ブロック２１１＿ｉに含まれる、ローカルセンスアンプアレイ２１４（Ｌｏｃａｌ　Ｓｅｎｓｅ　Ａｍｐｌｉｆｉｅｒ　Ａｒｒａｙ）およびセルアレイ２２１（Ｃｅｌｌ　Ａｒｒａｙ）の構成例を示す斜視ブロック図である。また、図２Ｂなどに、Ｘ方向、Ｙ方向、およびＺ方向を示す矢印を付している。Ｘ方向、Ｙ方向、およびＺ方向は、それぞれが互いに直交する方向である。

［００４３］

記憶ブロック２１１＿ｉは、ワード線ドライバ２１２（ＷＬ　Ｄｒｉｖｅｒ）、ローカルセンスアンプドライバ２１３（ＬＳＡ　Ｄｒｉｖｅｒ）、ローカルセンスアンプアレイ２１４、グローバルセンスアンプ２１５（Ｇｌｏｂａｌ　ＳＡ）、読み出し書き込みセレクタ２１６（Ｒ／Ｗ　Ｓｅｌｅｃｔｏｒ）、およびセルアレイ２２１を有する。

［００４４］

データラッチ信号ＤＬＡＴ、グローバル書き込み許可信号ＧＷ＿ＥＮ、およびグローバル読み出し許可信号ＧＲ＿ＥＮは、読み出し書き込みセレクタ２１６に供給される。グローバルセンスアンプ許可信号ＧＳＡ＿ＥＮおよびグローバルイコライズ許可信号ＧＥＱ＿ＥＮＢは、グローバルセンスアンプ２１５に供給される。ローカルセンスアンプ許可信号ＬＳＡ＿ＥＮおよびローカルイコライズ許可信号ＬＥＱ＿ＥＮＢはローカルセンスアンプアレイ２１４に供給される。ワード線アドレス選択信号ＷＬ＿ＡＤＤＲ［７：０］は、ワード線ドライバ２１２に供給される。

［００４５］

ローカルセンスアンプアレイ２１４は、ｆ行ｇ列（ｆおよびｇは、共に１以上の整数）のマトリクス状に配置された複数のセンスアンプ１２７（Ｓｅｎｓｅ　Ａｍｐｌｉｆｉｅｒ）を有する。本明細書などでは、１行１列目のセンスアンプ１２７をセンスアンプ１２７［１，１］と示す。また、ｋ行ｈ列目（ｋは１以上ｆ以下の整数。ｈは１以上ｇ以下の整数。）のセンスアンプ１２７をセンスアンプ１２７［ｋ，ｈ］と示す。

［００４６］

セルアレイ２２１はローカルセンスアンプアレイ２１４の上方に重ねて設けられている。セルアレイ２２１をローカルセンスアンプアレイ２１４の上方に重ねて設けることで、ビット線の配線長を短くすることが出来る。

［００４７］

セルアレイ２２１は、ｐ行ｑ列（ｐおよびｑは、共に１以上の整数）のマトリクス状に配置された複数のメモリセル１０を有する。本明細書などでは、１行１列目のメモリセル１０をメモリセル１０［１，

１］と示す。また、ｊ行ｔ列目（ｊは１以上ｐ以下の整数。ｔは１以上ｑ以下の整数。）のメモリセル１０をメモリセル１０［ｊ，ｔ］と示す。メモリセル１０は記憶素子として機能する。

［００４８］

また、セルアレイ２２１は、Ｘ方向（行方向）に延在する複数本のワード線ＷＬおよび配線ＢＧＬと、Ｙ方向（列方向）に延在する複数本のビット線ＢＬと、Ｙ方向（列方向）に延在する複数本のビット線ＢＬＢと、を有する（図２Ｂに図示せず。）。なお、本明細書などでは、例えば、ｊ本目（ｊは１以上ｐ以下の整数。）のワード線ＷＬをワード線ＷＬ［ｊ］と示す。

［００４９］

１つのメモリセル１０は、Ｘ方向（行方向）に延在するワード線ＷＬのうち、いずれか１つと電気的に接続される。また、１つのメモリセル１０は、Ｘ方向（行方向）に延在する配線ＢＧＬのうち、いずれか１つと電気的に接続される。また、１つのメモリセル１０は、ビット線ＢＬまたはビット線ＢＬＢのうち、いずれか１つと電気的に接続される。

［００５０］

セルアレイ２２１は、複数のサブセルアレイ２２３で構成されている。図２Ｂでは、セルアレイ２２１が４つのサブセルアレイ２２３で構成されている例を示している。図２Ｂでは、４つのサブセルアレイ２２３を、サブセルアレイ２２３＿１乃至サブセルアレイ２２３＿４と示している。

［００５１］

複数のサブセルアレイ２２３は、それぞれが複数のメモリセル１０で構成されている。よって、サブセルアレイを記憶素子群と言う事もできる。

［００５２］

サブセルアレイ２２３＿１とサブセルアレイ２２３＿２の間、サブセルアレイ２２３＿２とサブセルアレイ２２３＿３の間、および、サブセルアレイ２２３＿３とサブセルアレイ２２３＿４の間に、それぞれ隣接領域２２６を有する。図３は、図２Ｂに示す領域２２５の拡大図を示す。領域２２５は、サブセルアレイ２２３＿２の一部と、サブセルアレイ２２３＿３の一部と、両者と隣接する隣接領域２２６の一部と、を含む領域である。

［００５３］

隣接領域２２６は、ワード線ＷＬを上層または下層の配線と電気的に接続するための領域である。例えば、ワード線ＷＬよりも上層にワード線ＷＬと並走する配線を設けて、ワード線ＷＬと当該配線を隣接領域２２６で電気的に接続することで、実質的にワード線ＷＬの配線抵抗を小さくすることができる。

［００５４］

図４Ａに、ワード線ＷＬ［ｊ］と電気的に接続する、メモリセル１０［ｊ，ｔ－１］、メモリセル１０［ｊ，ｔ］、メモリセル１０［ｊ，ｔ＋１］の回路構成例を示す。メモリセル１０は、トランジスタＭ１と、保持容量Ｃｓと、を有する。保持容量Ｃｓは保持容量として機能する。図４Ａでは、トランジスタＭ１としてバックゲートを有するトランジスタ（４端子型のトランジスタ。「４端子素子」ともいう。）を例示している。

［００５５］

トランジスタＭ１のソースまたはドレインの一方は、保持容量Ｃｓの一方の電極と電気的に接続され、トランジスタＭ１のソースまたはドレインの他方は、ビット線ＢＬ（またはビット線ＢＬＢ）と電気的に接続され、トランジスタＭ１のゲートは、ワード線ＷＬと電気的に接続され、トランジスタＭ１のバックゲートは、配線ＢＧＬと電気的に接続されている。保持容量Ｃｓの他方の電極は、配線ＣＡＬと電気的に接続されている。トランジスタＭ１のソースまたはドレインの一方と、保持容量Ｃｓの一方の電極が電気的に接続される節点をノードＮＤという。

［００５６］

実際のトランジスタにおいて、ゲートとバックゲートは、半導体層のチャネル形成領域を介して互いに重なるように設けられる。ゲートとバックゲートは、どちらもゲートとして機能できる。よって、一方を「バックゲート」という場合、他方を「ゲート」または「フロントゲート」という場合がある。また、一方を「第１ゲート」、他方を「第２ゲート」という場合がある。

［００５７］

バックゲートは、ゲートと同電位としてもよいし、接地電位や、任意の電位としてもよい。また、バックゲートの電位をゲートと連動させず独立して変化させることで、トランジスタのしきい値電圧を変化させることができる。

［００５８］

バックゲートを設けることで、更には、ゲートとバックゲートを同電位とすることで、半導体層においてキャリアの流れる領域が膜厚方向においてより大きくなるため、キャリアの移動量が増加する。この結果、トランジスタのオン電流が大きくなると共に、電界効果移動度が高くなる。

［００５９］

したがって、トランジスタを占有面積に対して大きいオン電流を有するトランジスタにすることができる。すなわち、求められるオン電流に対して、トランジスタの占有面積を小さくすることができる。よって、集積度の高い半導体装置を実現することができる。

［００６０］

配線ＢＧＬは、トランジスタＭ１のバックゲートに電位を印加するための配線として機能する。配線ＢＧＬに任意の電位を印加することによって、トランジスタＭ１のしきい値電圧を増減することができる。

［００６１］

データの書き込みおよび読み出しは、ワード線ＷＬに高レベル電位（例えば、３．３Ｖ）を印加し、トランジスタＭ１を導通状態にし、ビット線ＢＬとノードＮＤを電気的に接続することによって行われる。データの書き込み終了後は、ワード線ＷＬに低レベル電位を印加し、トランジスタＭ１を非導通状態にする。低レベル電位は、例えば、基準電位または負電位とすればよい。本明細書などにおいて、負電位とは基準電位よりも低い電位のことをいう。よって、基準電位を０Ｖとした場合、負電位は０Ｖよりも低い電位である。また、「負電位が大きい」または「大きい負電位」とは、基準電位と負電位の電位差が大きいという意味である。また、「負電位が小さい」または「小さい負電位」とは、基準電位と負電位の電位差が小さいという意味である。

［００６２］

配線ＣＡＬは、保持容量Ｃｓの他方の電極に所定の電位を印加するための配線として機能する。配線ＣＡＬには、固定電位を印加するのが好ましい。

［００６３］

本実施の形態に示すメモリセル１０は、ＤＲＡＭ（Ｄｙｎａｍｉｃ　Ｒａｎｄｏｍ　Ａｃｃｅｓｓ　Ｍｅｍｏｒｙ）型の記憶素子である。

［００６４］

本明細書などでは、メモリセル１０［ｊ，ｔ］に含まれるトランジスタＭ１を、トランジスタＭ１［ｊ，ｔ］と示す場合がある。また、本明細書などでは、メモリセル１０［ｊ，ｔ］に含まれる保持容量Ｃｓを、保持容量Ｃｓ［ｊ，ｔ］と示す場合がある。また、図４Ａに示した回路図は、図４Ｂのように示すことができる。

［００６５］

トランジスタＭ１のチャネルが形成される半導体層には、金属酸化物の一種である酸化物半導体を用いることが好ましい。本明細書などでは、チャネルが形成される半導体層に酸化物半導体を含むトランジスタを「ＯＳトランジスタ」ともいう。

［００６６］
例えば、酸化物半導体として、インジウム、元素Ｍ（元素Ｍは、アルミニウム、ガリウム、イットリウム、銅、バナジウム、ベリリウム、ホウ素、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、またはマグネシウムなどから選ばれた一種、または複数種）、亜鉛のいずれか一つを有する金属酸化物を用いることができる。特に、酸化物半導体は、インジウム、ガリウム、亜鉛を含む金属酸化物であることが好ましい。
［００６７］
ＯＳトランジスタは、オフ電流が極めて少ないという特性を有している。トランジスタＭ１としてＯＳトランジスタを用いることによって、トランジスタＭ１のリーク電流（漏れ電流）を非常に低くすることができる。つまり、書き込んだデータをトランジスタＭ１によって長時間保持することができる。よって、記憶素子のリフレッシュの頻度を少なくすることができる。また、記憶素子のリフレッシュ動作を不要にすることができる。また、リーク電流が非常に低いため、多値データ、またはアナログデータを保持する記憶素子の実現を容易とすることができる。
［００６８］
本明細書などでは、ＯＳトランジスタを用いたＤＲＡＭを、ＤＯＳＲＡＭ（Ｄｙｎａｍｉｃ　Ｏｘｉｄｅ　Ｓｅｍｉｃｏｎｄｕｃｔｏｒ　Ｒａｎｄｏｍ　Ａｃｃｅｓｓ　Ｍｅｍｏｒｙ）という。
［００６９］
トランジスタＭ１［ｊ，ｔ］とトランジスタＭ１［ｊ，ｔ＋１］の構造例を図５Ａおよび図５Ｂに示す。図５Ａはトランジスタ Ｍ１［ｊ，ｔ］およびトランジスタＭ１［ｊ，ｔ＋１］の斜視図であり、図５Ｂは上面図である。なお、図面を分かりやすくするため、構成要素の一部を省略している。
［００７０］
トランジスタＭ１［ｊ，ｔ］は、酸化物層２６１（酸化物層２６１ａ、酸化物層２６１ｂ、および酸化物層２６１ｃ）を有する。酸化物層２６１は、半導体層として機能する。また、酸化物層２６１ｂの上に導電層３４２（導電層３４２ａおよび導電層３４２ｂ）が設けられている。導電層３４２ａおよび導電層３４２ｂの一方はソース電極として機能し、他方はドレイン電極として機能する。
［００７１］
また、導電層３４２ａおよび導電層３４２ｂの間に導電層３６０、絶縁層３４９、および酸化物層２６１ｃが設けられている。絶縁層３４９は、導電層３６０の側面と重なる領域と、導電層３６０の底面と重なる領域と、を有する。また、酸化物層２６１ｃは、絶縁層３４９を介して導電層３６０の側面と重なる領域と、絶縁層３４９を介して導電層３６０の底面と重なる領域と、を有する。また、酸化物層２６１ｃは、酸化物層２６１ｂと接する領域を有する。
［００７２］
また、導電層３６０のうち、酸化物層２６１ｃと重なる領域がゲート電極として機能する。
［００７３］
また、酸化物層２６１ａの下に絶縁層３６６が設けられ、絶縁層３６６の下に絶縁層３６５が設けられている。また、絶縁層３６５の下に導電層３０５が設けられている。導電層３０５は導電層３６０と重なる位置に設けられている。導電層３０５は、配線ＢＧＬ［ｊ］として機能する。また、導電層３０５は、トランジスタＭ１［ｊ，ｔ］のバックゲート電極として機能する。導電層３０５に負電圧を供給することで、トランジスタＭ１のＶｔｈを大きくし、トランジスタＭ１のノーマリーオン化を抑制することができる。
［００７４］
導電層３６０は、ワード線ＷＬ［ｊ］として機能する。また、導電層３６０は、トランジスタＭ１［ｊ，ｔ］のゲート電極として機能する。絶縁層３４９は、トランジスタＭ１［ｊ，ｔ］のゲート絶縁層とし

て機能する。トランジスタＭ１［ｊ，ｔ＋１］はトランジスタＭ１［ｊ，ｔ］と同様の構造を有する。よって、導電層３６０は、トランジスタＭ１［ｊ，ｔ＋１］のゲート電極として機能する。また、絶縁層３４９は、トランジスタＭ１［ｊ，ｔ＋１］のゲート絶縁層として機能する。なお、トランジスタ構造については追って詳細に説明する。

［００７５］

＜寄生トランジスタＴｒｐ、寄生容量Ｃｐ＞

上記構造では、酸化物層２６１ｃが絶縁層３４９を介してワード線ＷＬ［ｊ］と重なり、かつ、酸化物層２６１ｃは、トランジスタＭ１［ｊ，ｔ］の酸化物層２６１ｂとトランジスタＭ１［ｊ，ｔ＋１］の酸化物層２６１ｂに接している。このため、トランジスタＭ１［ｊ，ｔ］とトランジスタＭ１［ｊ，ｔ＋１］の間に、寄生トランジスタＴｒｐが生じる場合がある。寄生トランジスタＴｒｐが生じると、トランジスタＭ１［ｊ，ｔ］の酸化物層２６１ｂとトランジスタＭ１［ｊ，ｔ＋１］の酸化物層２６１ｂが電気的に接続されるため、ワード線ＷＬ［ｊ］に沿ってリークパス（ｃｕｒｒｅｎｔ　ｐａｔｈ）が生じ易い（図５Ｂ参照。）。

［００７６］

また、寄生トランジスタＴｒｐが生じると、ワード線ＷＬ［ｊ］を一方の電極、酸化物層２６１ｃを他方の電極（寄生ノードＮＤｐ）とする寄生容量Ｃｐが生じる。寄生容量Ｃｐは、寄生トランジスタＴｒｐのゲート容量に相当する（図５Ａ参照。）。

［００７７］

図５Ｃは、メモリセル１０［ｊ，ｔ］、メモリセル１０［ｊ，ｔ＋１］、寄生トランジスタＴｒｐ、および寄生容量Ｃｐを示す回路図である。なお、本実施の形態では、配線ＢＧＬ［ｊ］に常に負電圧が供給されているものとする。よって、以降の回路図などでは、図面をわかりやすくするために配線ＢＧＬ［ｊ］の記載を省略する場合がある。例えば、図５Ｃでは、配線ＢＧＬの記載を省略している。

［００７８］

また、図５Ｃでは、寄生トランジスタＴｒｐを２つに分けて示している。また、図５Ｃでは、寄生トランジスタＴｒｐ、および寄生容量Ｃｐを破線で示している。

［００７９］

寄生トランジスタＴｒｐの電界効果移動度は、トランジスタＭ１の電界効果移動度よりも著しく小さい。このため、メモリセル１０へのデータ書き込み速度が速い場合（動作周波数が高い場合）は前述したリークパスの影響は軽微である。一方で、メモリセル１０へのデータ書き込み速度が遅い場合（動作周波数が低い場合、例えば、動作周波数が１０ＭＨｚ以下の場合）はリークパスの影響が顕著になり、メモリセル１０へのデータ書き込みが不十分となる場合がある。

［００８０］

＜メモリセル１０への情報書き込み動作＞

続いて、動作周波数が低い場合の、メモリセル１０［ｊ，ｔ］への情報の書き込み動作について説明する。図６Ａは、メモリセル１０［ｊ，ｔ－１］、メモリセル１０［ｊ，ｔ］、メモリセル１０［ｊ，ｔ＋１］、寄生トランジスタＴｒｐ、および寄生容量Ｃｐを示す回路図である。メモリセル１０［ｊ，ｔ－１］およびメモリセル１０［ｊ，ｔ］はサブセルアレイ２２３＿２に含まれるメモリセルであり、メモリセル１０［ｊ，ｔ＋１］はサブセルアレイ２２３＿３に含まれるメモリセルである。

［００８１］

図６Ａでは、メモリセル１０［ｊ，ｔ－１］とメモリセル１０［ｊ，ｔ］の間に生じる寄生トランジスタ、寄生容量、寄生ノードを、それぞれ、寄生トランジスタＴｒｐＡ、寄生容量ＣｐＡ、寄生ノードＮＤｐＡと示している。また、メモリセル１０［ｊ，ｔ］とメモリセル１０［ｊ，ｔ＋１］の間に生じる

寄生トランジスタ、寄生容量、寄生ノードを、それぞれ、寄生トランジスタＴｒｐＢ、寄生容量ＣｐＢ、寄生ノードＮＤｐＢと示している。

［００８２］

本実施の形態において、メモリセル１０に書き込む情報のうち、”０”に相当する電位を０Ｖ以上０．６Ｖ未満とし、”１”に相当する電位を０．６Ｖ以上１．２Ｖ以下とする。また、保持容量Ｃｓを３．５ｆＦ、寄生容量ＣｐＡを１．０ｆＦ、寄生容量ＣｐＢを３．０ｆＦとする。また、トランジスタＭ１をオン状態（導通状態）とするためにワード線ＷＬに供給する電位ＷＬＨを３．３Ｖとし、オフ状態（非通状態）とするためにワード線ＷＬに供給する電位ＷＬＬを０Ｖとする。また、寄生トランジスタＴｒｐＡ、および寄生トランジスタＴｒｐＢのＶｔｈを１．５Ｖとする。

［００８３］

図６Ｂ、図７Ａ、図７Ｂ、および図８を用いて、メモリセル１０［ｊ，ｔ－１］に”０”、メモリセル１０［ｊ，ｔ］に”１”、メモリセル１０［ｊ，ｔ＋１］に”０”が書き込まれる場合について説明する。図８は情報の書き込み動作を説明するためのタイミングチャートである。なお、図面等において、図面を見やすくするため、符号の記載を省略する場合がある。図６Ｂ、図７Ａ、および図７Ｂにおいて省略された符号は、図６Ａなどを参酌すれば理解できる。また、変動のあった電位を黒線で囲んで示している。

［００８４］

まず、期間Ｔ１１において、ビット線ＢＬ［ｔ－１］およびビット線ＢＬ［ｔ＋１］に０Ｖが供給され、ビット線ＢＬ［ｔ］に１．２Ｖが供給される。また、ワード線ＷＬ［ｊ］に電位ＷＬＨ（３．３Ｖ）が供給される。すると、トランジスタＭ１［ｊ，ｔ－１］、トランジスタＭ１［ｊ，ｔ］、およびトランジスタＭ１［ｊ，ｔ＋１］がオン状態となり、ノードＮＤ［ｊ，ｔ－１］およびノードＮＤ［ｊ，ｔ＋１］に０Ｖが書き込まれ、ノードＮＤ［ｊ，ｔ］に１．２Ｖが書き込まれる（図６Ｂ、図８参照。）。

［００８５］

前述したように、寄生トランジスタＴｒｐの電界効果移動度はトランジスタＭ１の電界効果移動度よりも著しく小さい。期間Ｔ１１直前の寄生ノードＮＤｐＡおよび寄生ノードＮＤｐＢの電位が－１．５Ｖであった場合、ワード線ＷＬ［ｊ］の電位が０Ｖから３．３Ｖに変化した直後では電荷の移動が追いつかず、寄生ノードＮＤｐＡおよび寄生ノードＮＤｐＢの電位は、－１．５Ｖ＋３．３Ｖ＝１．８Ｖになる。その後、寄生ノードＮＤｐＡおよび寄生ノードＮＤｐＢの電位はどちらも０．６Ｖになる。

［００８６］

次に、期間Ｔ１２において、ワード線ＷＬ［ｊ］に電位ＷＬＬ（０Ｖ）を供給し、トランジスタＭ１［ｊ，ｔ－１］、トランジスタＭ１［ｊ，ｔ］、およびトランジスタＭ１［ｊ，ｔ＋１］をオフ状態とする。図７Ａは、トランジスタＭ１［ｊ，ｔ－１］、トランジスタＭ１［ｊ，ｔ］、およびトランジスタＭ１［ｊ，ｔ＋１］がオフ状態となった直後の状態（期間Ｔ１２開始直後の状態）を示している。前述したように、寄生トランジスタＴｒｐの電界効果移動度は、トランジスタＭ１の電界効果移動度よりも著しく小さい。このため、ワード線ＷＬ［ｊ］の電位が３．３Ｖから０Ｖに変化した直後では電荷の移動が追いつかず、寄生ノードＮＤｐＡおよび寄生ノードＮＤｐＢの電位は、０．６Ｖ－３．３Ｖ＝－２．７Ｖになる。

［００８７］

ワード線ＷＬ［ｊ］の電位が０Ｖで、寄生ノードＮＤｐＡおよび寄生ノードＮＤｐＢの電位が－２．７Ｖであるということは、寄生トランジスタＴｒｐＡおよび寄生トランジスタＴｒｐＢのゲートに２．７Ｖが印加されている状態である。よって、寄生トランジスタＴｒｐＡおよび寄生トランジスタＴｒｐＢはオン状態となる。

［００８８］

寄生トランジスタＴｒｐＡおよび寄生トランジスタＴｒｐＢがオン状態であると、ノードＮＤ［ｊ，ｔ－１］、ノードＮＤ［ｊ，ｔ］、ノードＮＤ［ｊ，ｔ＋１］、寄生ノードＮＤｐＡ、および寄生ノードＮＤｐＢ間で電荷の移動（電荷の再分配）が生じる。電荷の移動は、寄生ノードＮＤｐＡおよび寄生ノードＮＤｐＢの電位が－１．５Ｖになるまで続く。

［００８９］

電荷移動終了後のノードＮＤ［ｊ，ｔ－１］、ノードＮＤ［ｊ，ｔ］、ノードＮＤ［ｊ，ｔ＋１］の電位は、保持容量Ｃｓと、寄生容量ＣｐＡおよび寄生容量ＣｐＢの静電容量で決定される。本回路構成では、電荷移動終了後のノードＮＤ［ｊ，ｔ－１］およびノードＮＤ［ｊ，ｔ＋１］の電位が０Ｖよりも低くなり、ノードＮＤ［ｊ，ｔ］の電位が０．５１Ｖになる（図７Ｂ、図８参照。）。

［００９０］

データ読み出し時にノードＮＤの電位が０Ｖよりも低い場合、メモリセル１０に記憶されているデータは”０”として認識される。また、データ読み出し時にノードＮＤの電位が０．５１Ｖである場合も、メモリセル１０に記憶されているデータは”０”として認識される。すなわち、メモリセル１０［ｊ，ｔ－１］およびメモリセル１０［ｊ，ｔ＋１］にはデータが正常に書き込まれているが、メモリセル１０［ｊ，ｔ］にはデータが正常に書き込まれていないことになる。

［００９１］

言い換えると、データ読み出し時において、メモリセル１０［ｊ，ｔ－１］およびメモリセル１０［ｊ，ｔ＋１］に書き込まれたデータ”０”は”０”として読み出しできるが、メモリセル１０［ｊ，ｔ］に書き込まれたデータ”１”が”０”として読み出されてしまう。

［００９２］

続いて、図９Ａ、図９Ｂ、および図１０を用いて、メモリセル１０［ｊ，ｔ－１］、メモリセル１０［ｊ，ｔ］、およびメモリセル１０［ｊ，ｔ＋１］に”１”が書き込まれる場合について説明する。なお、図６Ｂ、図７Ａ、および図７Ｂと同様に、図９Ａおよび図９Ｂにおいて省略された符号は、図６Ａなどを参酌すれば理解できる。図１０は情報の書き込み動作を説明するためのタイミングチャートである。

［００９３］

まず、期間Ｔ２１において、ビット線ＢＬ［ｔ－１］、ビット線ＢＬ［ｔ］、およびビット線ＢＬ［ｔ＋１］に１．２Ｖが供給され、ワード線ＷＬ［ｊ］に３．３Ｖが供給される。すると、トランジスタＭ１［ｊ，ｔ－１］、トランジスタＭ１［ｊ，ｔ］、およびトランジスタＭ１［ｊ，ｔ＋１］がオン状態となり、ノードＮＤ［ｊ，ｔ－１］、ノードＮＤ［ｊ，ｔ］、およびノードＮＤ［ｊ，ｔ＋１］に１．２Ｖが書き込まれる（図９Ａ、図１０参照。）。

［００９４］

前述したように、期間Ｔ２１直前の寄生ノードＮＤｐＡおよび寄生ノードＮＤｐＢの電位が－１．５Ｖであった場合、ワード線ＷＬ［ｊ］の電位が０Ｖから３．３Ｖに変化した直後では寄生ノードＮＤｐＡおよび寄生ノードＮＤｐＢの電位は、１．８Ｖになる。その後、寄生ノードＮＤｐＡおよび寄生ノードＮＤｐＢの電位はどちらも１．２Ｖになる。

［００９５］

次に、期間Ｔ２２において、ワード線ＷＬ［ｊ］に０Ｖを供給し、トランジスタＭ１［ｊ，ｔ－１］、トランジスタＭ１［ｊ，ｔ］、およびトランジスタＭ１［ｊ，ｔ＋１］をオフ状態とする。前述したように、ワード線ＷＬ［ｊ］の電位が３．３Ｖから０Ｖに変化した直後では、寄生ノードＮＤｐＡおよび寄生ノードＮＤｐＢの電位は、１．２Ｖ－３．３Ｖ＝－２．１Ｖになる。

［００９６］

次に、寄生ノードＮＤｐＡおよび寄生ノードＮＤｐＢの電位が－１．５Ｖになるまで、ノードＮＤ［ｊ，ｔ－１］、ノードＮＤ［ｊ，ｔ］、ノードＮＤ［ｊ，ｔ＋１］、寄生ノードＮＤｐＡ、および寄生ノードＮＤｐＢ間で電荷の移動（電荷の再分配）が生じる。

［００９７］

電荷移動終了後のノードＮＤ［ｊ，ｔ－１］、ノードＮＤ［ｊ，ｔ］、ノードＮＤ［ｊ，ｔ＋１］の電位は、保持容量Ｃｓと、寄生容量ＣｐＡおよび寄生容量ＣｐＢの静電容量で決定される。本回路構成では、ノードＮＤ［ｊ，ｔ］の電位が０．８５Ｖになる（図９Ｂ、図１０参照。）。また、電荷移動終了後のノードＮＤ［ｊ，ｔ－１］の電位は、ノードＮＤ［ｊ，ｔ－２］の影響を受けて０．８６Ｖ以上（図１２参照。）１．２Ｖ未満になる。また、電荷移動終了後のノードＮＤ［ｊ，ｔ＋１］の電位は、ノードＮＤ［ｊ，ｔ＋２］の影響を受けて０．８６Ｖ以上１．２Ｖ未満になる。

［００９８］

このように、ノードＮＤ［ｊ，ｔ－１］、ノードＮＤ［ｊ，ｔ］、ノードＮＤ［ｊ，ｔ＋１］の電位は全て０．６Ｖ以上である。よって、データ”１”として書き込まれたデータは、データ”１”として正常に読み出すことができる。

［００９９］

続いて、サブセルアレイ２２３内での同様の書き込み動作について説明する。図１１Ａは、メモリセル１０［ｊ，ｔ－３］、メモリセル１０［ｊ，ｔ－２］、メモリセル１０［ｊ，ｔ－１］、寄生トランジスタＴｒｐＡ、および寄生容量ＣｐＡを示す回路図である。メモリセル１０［ｊ，ｔ－３］、メモリセル１０［ｊ，ｔ－２］、およびメモリセル１０［ｊ，ｔ－１］はサブセルアレイ２２３＿２に含まれるメモリセルである。

［０１００］

また、メモリセル１０［ｊ，ｔ－３］とメモリセル１０［ｊ，ｔ－２］の間に生じる寄生容量ＣｐＡの静電容量と、メモリセル１０［ｊ，ｔ－２］とメモリセル１０［ｊ，ｔ－１］の間に生じる寄生容量ＣｐＡの静電容量を、どちらも１．０ｆＦとする。

［０１０１］

図１１Ｂ、図１１Ｃ、および図１２を用いて、メモリセル１０［ｊ，ｔ－３］に”０”、メモリセル１０［ｊ，ｔ－２］に”１”、メモリセル１０［ｊ，ｔ－１］に”０”を書き込む場合について説明する。なお、図面等において、図面を見やすくするため、符号の記載を省略する場合がある。図１１Ｂおよび図１１Ｃにおいて省略された符号は、図１１Ａなどを参酌すれば理解できる。図１２は情報の書き込み動作を説明するためのタイミングチャートである。

［０１０２］

まず、期間Ｔ３１において、ビット線ＢＬ［ｔ－３］およびビット線ＢＬ［ｔ－１］に０Ｖが供給され、ビット線ＢＬ［ｔ－２］に１．２Ｖが供給される。また、ワード線ＷＬ［ｊ］に３．３Ｖが供給される。すると、トランジスタＭ１［ｊ，ｔ－３］、トランジスタＭ１［ｊ，ｔ－２］、およびトランジスタＭ１［ｊ，ｔ－１］がオン状態となり、ノードＮＤ［ｊ，ｔ－３］およびノードＮＤ［ｊ，ｔ－１］に０Ｖが書き込まれ、ノードＮＤ［ｊ，ｔ－２］に１．２Ｖが書き込まれる（図１１Ｂ、図１２参照。）。

［０１０３］

期間Ｔ１１の記載で説明したように、期間Ｔ３１直前の寄生ノードＮＤｐＡの電位が－１．５Ｖであった場合、ワード線ＷＬ［ｊ］の電位が０Ｖから３．３Ｖに変化した直後では、寄生ノードＮＤｐＡの電位は、－１．５Ｖ＋３．３Ｖ＝１．８Ｖになる。その後、図１１Ｂに示すように、２つの寄生ノードＮＤｐＡの電位は、どちらも０．６Ｖになる。

［０１０４］

次に、期間Ｔ３２において、ワード線ＷＬ［ｊ］に０Ｖを供給し、トランジスタＭ１［ｊ，ｔ－３］、トランジスタＭ１［ｊ，ｔ－２］、およびトランジスタＭ１［ｊ，ｔ－１］をオフ状態とする。前述したように、ワード線ＷＬ［ｊ］に０Ｖを供給した直後（期間Ｔ３２開始直後）の寄生ノードＮＤｐＡの電位は－２．７Ｖとなる。その後、電荷の再分配により寄生ノードＮＤｐＡの電位は－１．５Ｖになる。

［０１０５］

本回路構成では、メモリセル１０［ｊ，ｔ－３］とメモリセル１０［ｊ，ｔ－２］の間に生じる寄生容量ＣｐＡの静電容量と、メモリセル１０［ｊ，ｔ－２］とメモリセル１０［ｊ，ｔ－１］の間に生じる寄生容量ＣｐＡの静電容量は、どちらも１．０ｆＦである。よって、本回路構成では、電荷移動終了後のノードＮＤ［ｊ，ｔ－３］およびノードＮＤ［ｊ，ｔ－１］の電位が０Ｖよりも低くなり、ノードＮＤ［ｊ，ｔ－２］の電位が０．８６Ｖになる（図１１Ｃ、図１２参照。）。

［０１０６］

前述した通り、データ読み出し時にノードＮＤの電位が０Ｖよりも低い場合、メモリセル１０に記憶されているデータは”０”として認識される。また、データ読み出し時にノードＮＤの電位が０．８６Ｖである場合は、メモリセル１０に記憶されているデータは”１”として認識される。

［０１０７］

よって、メモリセル１０［ｊ，ｔ－３］、メモリセル１０［ｊ，ｔ－２］およびメモリセル１０［ｊ，ｔ－１］に書き込まれるデータは、正常に書き込まれることがわかる。

［０１０８］

このように、サブセルアレイ２２３の端部に配置されたメモリセル１０は、隣接する隣接領域２２６に生じる寄生容量の影響により、書き込みエラーが生じやすい。すなわち、隣接領域２２６の寄生容量を低減することで、書き込みエラーの発生を抑えることができる。

［０１０９］

隣接するメモリセル１０間でワード線ＷＬに付随して生じる寄生容量は、隣接するメモリセル１０間のワード線ＷＬの長さに比例して変化する。よって、当該寄生容量は、隣接するメモリセル１０間のワード線ＷＬの長さを短くすることで低減できる。

［０１１０］

図１３Ａに示すように、サブセルアレイ内にあるメモリセル１０［ｊ，ｔ－１］が有するトランジスタＭ１［ｊ，ｔ－１］のゲート電極から、同じサブセルアレイ内にあるメモリセル１０［ｊ，ｔ］が有するトランジスタＭ１［ｊ，ｔ］のゲート電極までのワード線ＷＬ［ｊ］の長さを距離ＤＡとする。

［０１１１］

また、サブセルアレイの端部に配置されたメモリセル１０［ｊ，ｔ］が有するトランジスタＭ１［ｊ，ｔ］のゲート電極から、隣接するサブセルアレイの端部に配置されたメモリセル１０［ｊ，ｔ＋１］が有するトランジスタＭ１［ｊ，ｔ＋１］のゲート電極までのワード線ＷＬ［ｊ］の長さを距離ＤＢとする。距離ＤＢは、隣接するサブセルアレイ間の最短距離と言う事もできる。

［０１１２］

また、一般に、セルアレイ内において、メモリセル１０を構成するトランジスタおよび容量素子、ならびに、メモリセル１０に接続する配線などは、一定周期で配置される。よって、距離ＤＡは、サブセルアレイ内で隣接するビット線ＢＬ［ｔ－１］からビット線ＢＬ［ｔ］までの最短距離と言うこともできる。同様に、距離ＤＢは、サブセルアレイの端部に配置されたビット線ＢＬ［ｔ］から、隣接するサブセルアレイの端部に配置されたビット線ＢＬ［ｔ＋１］までの最短距離と言うこともできる。

［０１１３］

寄生容量ＣｐＡは距離ＤＡに比例し、寄生容量ＣｐＢは距離ＤＢに比例する。図１３Ｂは、上記情報の書き込み動作を行なう場合の、距離ＤＢとノードＮＤ［ｊ，ｔ］の保持電位の関係を算出したグラフで

ある。図１３Ｂに示すグラフは、保持容量Ｃｓの静電容量を３．５ｆＦ、寄生容量ＣｐＡの静電容量を１．０ｆＦ、距離ＤＡを１．４μｍとして算出した。

［０１１４］

前述したとおり、ノードＮＤ［ｊ，ｔ］に”１”を書き込み、ノードＮＤ［ｊ，ｔ］から”１”を読み出す場合、ノードＮＤ［ｊ，ｔ］の保持電位を０．６Ｖ以上にする必要がある。図１３Ｂより、”１”が書き込まれたノードＮＤ［ｊ，ｔ］の保持電位を０．６Ｖ以上にするためには、距離ＤＢを３．５μｍ以下にする必要があることがわかる。

［０１１５］

また、記憶装置１００の動作をより安定させるために、”１”が書き込まれたノードＮＤ［ｊ，ｔ］の保持電位を０．７５Ｖ以上とすることが好ましい。図１３Ｂより、ノードＮＤ［ｊ，ｔ］の保持電位を０．７５Ｖ以上にするためには、距離ＤＢを２．３μｍ以下にする必要があることがわかる。

［０１１６］

また、距離ＤＢは距離ＤＡの１倍以上３．５倍以下が好ましく、１倍以上２．３倍以下がより好ましい。

［０１１７］

距離ＤＢを距離ＤＡに近づけることで、記憶装置１００の書き込みエラーを低減することができる。距離ＤＢを距離ＤＡに近づけることで、記憶装置１００の信頼性を高めることができる。

［０１１８］

また、図１４Ａに示すように、隣接領域２２６にダミーメモリセル１０ｄを設けてもよい。ダミーメモリセル１０ｄは、トランジスタＭ１ｄおよび保持容量Ｃｓｄを有する。トランジスタＭ１ｄのソースまたはドレインの一方は、ノードＮＤｄを介して保持容量Ｃｓｄの一方の電極と電気的に接続される。保持容量Ｃｓｄの他方の電極は、配線ＣＡＬと電気的に接続される。トランジスタＭ１ｄのゲートは、ワード線ＷＬ［ｊ］と電気的に接続される。トランジスタＭ１ｄのソースまたはドレインの他方にＶＤＤ（本実施の形態では１．２Ｖ）が供給される。

［０１１９］

隣接領域２２６にダミーメモリセル１０ｄを１つ設けることで、寄生容量ＣｐＢを寄生容量ＣｐＢ１と寄生容量ＣｐＢ２に分けることができる。隣接領域２２６と重なる領域のワード線ＷＬ［ｊ］において、ワード線ＷＬ［ｊ］の中央にダミーメモリセル１０ｄを１つ設けることで、寄生容量ＣｐＢを半分にすることができる。同様に、寄生トランジスタＴｒｐＢを寄生トランジスタＴｒｐＢ１と寄生トランジスタＴｒｐＢ２に分けることができる。また、寄生ノードＮＤｐＢを寄生ノードＮＤｐＢ１と寄生ノードＮＤｐＢ２に分けることができる。

［０１２０］

また、図１４Ｂに示すように、隣接領域２２６にダミーメモリセル１０ｄを複数設けてもよい。また、図１５Ａに示すように、ダミーメモリセル１０ｄに保持容量Ｃｓｄを設けず、ノードＮＤｄをフローティング状態としてもよい。また、図１５Ｂに示すように、ダミーメモリセル１０ｄに保持容量Ｃｓｄを設けず、トランジスタＭ１ｄのソースおよびドレインにＶＤＤを供給してもよい。

［０１２１］

隣接領域２２６にダミーメモリセル１０ｄを設けることにより、記憶装置１００の書き込みエラーを低減することができる。隣接領域２２６にダミーメモリセル１０ｄを設けることにより、記憶装置１００の信頼性を高めることができる。

［０１２２］

図１６Ａに示すように、距離ＤＡは、マトリクス状に配置されたメモリセル１０のピッチ（配列周期）と見ることができる。

［０１２３］

図１６Ｂは、保持容量Ｃｓの静電容量を３．５ｆＦとした時の、距離ＤＡとノードＮＤ［ｊ，ｔ－２］の保持電位の関係を算出したグラフである。図１６Ｂより、”１”が書き込まれたノードＮＤ［ｊ，ｔ－２］の保持電位を０．６Ｖ以上にするためには、距離ＤＡを２．５μｍ以下にする必要があることがわかる。また、”１”が書き込まれたノードＮＤ［ｊ，ｔ－２］の保持電位を０．７５Ｖ以上にするためには、距離ＤＡを１．８μｍ以下にする必要があることがわかる。

［０１２４］

言い換えると、”１”が書き込まれたノードＮＤ［ｊ，ｔ－２］の保持電位を０．６Ｖ以上にするためには、マトリクス状に配置されたメモリセル１０のピッチを２．５μｍ以下にする必要がある。また、”１”が書き込まれたノードＮＤ［ｊ，ｔ－２］の保持電位を０．７５Ｖ以上にするためには、マトリクス状に配置されたメモリセル１０のピッチを１．８μｍ以下にする必要がある。

［０１２５］

マトリクス状に配置されたメモリセル１０のピッチを２．５μｍ以下、好ましくは１．８μｍ以下にすることで、記憶装置１００の書き込みエラーを低減することができる。マトリクス状に配置されたメモリセル１０のピッチを２．５μｍ以下、好ましくは１．８μｍ以下にすることで、記憶装置１００の信頼性を高めることができる。

［０１２６］

図１７Ａは、図５Ｂに一点鎖線で示したＹ１－Ｙ２部位の断面図である。寄生容量ＣｐＡと寄生容量ＣｐＢの静電容量は、ワード線ＷＬ［ｊ］と酸化物層２６１ｃが重なる面積に比例する。配線ＢＧＬ［ｊ］に負電圧が供給されている場合は、ワード線ＷＬ［ｊ］の底面と重なる酸化物層２６１ｃにはキャリアが生じにくくなる。よって、距離ＤＡおよび距離ＤＢが一定の場合、図５Ｂに示すワード線ＷＬ［ｊ］の高さＨを小さくすることで、寄生容量ＣｐＡおよび寄生容量ＣｐＢの静電容量を小さくすることができる。

［０１２７］

図１７Ｂは、上記情報の書き込み動作を行う場合の、ワード線ＷＬ［ｊ］の高さＨとノードＮＤ［ｊ，ｔ］の保持電位の関係を示すグラフである。図１７Ｂに示すグラフは、保持容量Ｃｓの静電容量を３．５ｆＦ、高さＨが１２０ｎｍのときの寄生容量ＣｐＡの静電容量を１．０ｆＦ、高さＨが１２０ｎｍのときの寄生容量ＣｐＢの静電容量を３．０ｆＦ、距離ＤＡを１．４μｍ、距離ＤＢを４．２μｍとして算出した。

［０１２８］

図１７Ｂより、”１”が書き込まれたノードＮＤ［ｊ，ｔ］の保持電位を０．６Ｖ以上にするためには、高さＨを１０５ｎｍ以下にする必要があることがわかる。また、”１”が書き込まれたノードＮＤ［ｊ，ｔ］の保持電位を０．７５Ｖ以上にするためには、高さＨを７９ｎｍ以下にする必要があることがわかる。

［０１２９］

ワード線ＷＬ［ｊ］の高さＨを小さく（低く）することで、記憶装置１００の書き込みエラーを低減することができる。ワード線ＷＬ［ｊ］の高さＨを小さくすることで、記憶装置１００の信頼性を高めることができる。

［０１３０］

また、寄生トランジスタＴｒｐのＶｔｈを大きくすることで、ノードＮＤおよび寄生ノードＮＤｐ間の電荷移動量を低減することができる。よって、ノードＮＤの保持電位低下を軽減することができる。

［０１３１］

例えば、酸化物層２６１ｃに電子親和力の小さい材料を用いることで、寄生トランジスタＴｒｐのＶｔｈを大きくすることができる。この場合、酸化物層２６１ｃの電子親和力が酸化物層２６１ｂの電子親

和力より小さいことが好ましい。酸化物層２６１ｃの電子親和力を酸化物層２６１ｂの電子親和力より小さくすることで、寄生トランジスタＴｒｐのＶｔｈをトランジスタＭ１のＶｔｈよりも大きくすることができる。

［０１３２］

例えば、酸化物層２６１ｂとしてＩｎ－Ｍ－Ｚｎ酸化物（元素Ｍは、ガリウム、イットリウム、錫、銅、バナジウム、ベリリウム、ホウ素、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、マグネシウムなどから選ばれた一種、または複数種）を用いる場合、酸化物層２６１ｃに用いる金属酸化物において、Ｉｎに対する元素Ｍの原子数比が、酸化物層２６１ｂに用いる金属酸化物における、Ｉｎに対する元素Ｍの原子数比より大きいことが好ましい。または、酸化物層２６１ｃに用いる金属酸化物として、Ｍ－Ｚｎ酸化物またはＭ酸化物を用いることが好ましい。

［０１３３］

寄生トランジスタＴｒｐのＶｔｈを大きくすることで、記憶装置１００の書き込みエラーを低減することができる。よって、記憶装置１００の信頼性を高めることができる。

［０１３４］

また、ワード線ＷＬに供給する電位ＷＬＨおよび電位ＷＬＬの電位差は変えずに、電位ＷＬＨおよび電位ＷＬＬを下げてもよい。記憶装置１００の書き込みエラーを低減することができる。

［０１３５］

保持容量Ｃｓを３．５ｆＦ、寄生容量ＣｐＡを１．０ｆＦ、寄生容量ＣｐＢを３．０ｆＦ、電位ＷＬＨを３．０Ｖ、電位ＷＬＬを－０．３Ｖにした場合の、メモリセル１０［ｊ，ｔ］への情報の書き込み動作について説明する。図１８Ａ、図１８Ｂ、図１９、および図２０を用いて、メモリセル１０［ｊ，ｔ－１］に”０”、メモリセル１０［ｊ，ｔ］に”１”、メモリセル１０［ｊ，ｔ＋１］に”０”が書き込まれる場合について説明する。図２０は情報の書き込み動作を説明するためのタイミングチャートである。図１８Ａ、図１８Ｂ、および図１９は、図６Ａに相当する回路図である。図面を見やすくするため、図１８Ａ、図１８Ｂ、および図１９において符号の記載を省略する場合がある。図１８Ａ、図１８Ｂ、および図１９において省略された符号は、図６Ａなどを参酌すれば理解できる。

［０１３６］

まず、期間Ｔ４１において、ビット線ＢＬ［ｔ－１］およびビット線ＢＬ［ｔ＋１］に０Ｖが供給され、ビット線ＢＬ［ｔ］に１．２Ｖが供給される。また、ワード線ＷＬ［ｊ］に電位ＷＬＨ（３．０Ｖ）が供給される。すると、トランジスタＭ１［ｊ，ｔ－１］、トランジスタＭ１［ｊ，ｔ］、およびトランジスタＭ１［ｊ，ｔ＋１］がオン状態となり、ノードＮＤ［ｊ，ｔ－１］およびノードＮＤ［ｊ，ｔ＋１］に０Ｖが書き込まれ、ノードＮＤ［ｊ，ｔ］に１．２Ｖが書き込まれる。

［０１３７］

期間Ｔ４１直前の寄生ノードＮＤｐＡおよび寄生ノードＮＤｐＢの電位が－１．８Ｖであった場合、ワード線ＷＬ［ｊ］の電位が－０．３Ｖから３．０Ｖに変化した直後では寄生ノードＮＤｐＡおよび寄生ノードＮＤｐＢの電位は、１．５Ｖになる。その後、寄生ノードＮＤｐＡおよび寄生ノードＮＤｐＢの電位はどちらも０．６Ｖになる。（図１８Ａ、図２０参照。）。

［０１３８］

次に、期間Ｔ４２において、ワード線ＷＬ［ｊ］に電位ＷＬＬ（－０．３Ｖ）を供給し、トランジスタＭ１［ｊ，ｔ－１］、トランジスタＭ１［ｊ，ｔ］、およびトランジスタＭ１［ｊ，ｔ＋１］をオフ状態とする。図１８Ｂは、トランジスタＭ１［ｊ，ｔ－１］、トランジスタＭ１［ｊ，ｔ］、およびトランジスタＭ１［ｊ，ｔ＋１］がオフ状態となった直後の状態（期間Ｔ４２開始直後の状態）を示している。前述したように、ワード線ＷＬ［ｊ］の電位が３．０Ｖから－０．３Ｖに変化した直後では電荷の

移動が追いつかず、寄生ノードＮＤｐＡおよび寄生ノードＮＤｐＢの電位は、０．６Ｖ－３．３Ｖ＝－２．７Ｖになる。

［０１３９］

ワード線ＷＬ［ｊ］の電位が－０．３Ｖで、寄生ノードＮＤｐＡおよび寄生ノードＮＤｐＢの電位が－２．７Ｖであるということは、寄生トランジスタＴｒｐＡおよび寄生トランジスタＴｒｐＢのゲートに２．４Ｖが印加されている状態である。よって、寄生トランジスタＴｒｐＡおよび寄生トランジスタＴｒｐＢはオン状態となる。

［０１４０］

寄生トランジスタＴｒｐＡおよび寄生トランジスタＴｒｐＢがオン状態であると、ノードＮＤ［ｊ，ｔ－１］、ノードＮＤ［ｊ，ｔ］、ノードＮＤ［ｊ，ｔ＋１］、寄生ノードＮＤｐＡ、および寄生ノードＮＤｐＢ間で電荷の移動（電荷の再分配）が生じる。ワード線ＷＬ［ｊ］の電位が－０．３Ｖであるため、電荷の移動は、寄生ノードＮＤｐＡおよび寄生ノードＮＤｐＢの電位が－１．８Ｖになるまで続く。

［０１４１］

電荷移動終了後のノードＮＤ［ｊ，ｔ－１］、ノードＮＤ［ｊ，ｔ］、ノードＮＤ［ｊ，ｔ＋１］の電位は、保持容量Ｃｓと、寄生容量ＣｐＡおよび寄生容量ＣｐＢの静電容量で決定される。本回路構成では、電荷移動終了後のノードＮＤ［ｊ，ｔ－１］およびノードＮＤ［ｊ，ｔ＋１］の電位が０Ｖよりも低くなり、ノードＮＤ［ｊ，ｔ］の電位が０．６９Ｖになる（図１９、図２０参照。）。

［０１４２］

ノードＮＤ［ｊ，ｔ］の電位は０．６Ｖ以上であるため、ノードＮＤ［ｊ，ｔ］に書き込まれた情報は”１”として読み出すことができる。よって、電位ＷＬＨおよび電位ＷＬＬを下げることで、メモリセル１０にデータを正常に書き込むことができる。

［０１４３］

電位ＷＬＨおよび電位ＷＬＬを下げることで、寄生ノードＮＤｐＡおよび寄生ノードＮＤｐＢ間を移動する電荷量が減り、ノードＮＤ［ｊ，ｔ－１］、ノードＮＤ［ｊ，ｔ］、ノードＮＤ［ｊ，ｔ＋１］の電位低下を少なくすることができる。

［０１４４］

電位ＷＬＨおよび電位ＷＬＬを下げることで、記憶装置１００の書き込みエラーを低減することができる。電位ＷＬＨおよび電位ＷＬＬを下げることで、記憶装置１００の信頼性を高めることができる。

［０１４５］

電位ＷＬＨおよび電位ＷＬＬをさらに下げることで、記憶装置１００の書き込みエラーをさらに低減することができる。例えば、電位ＷＬＨを２．８Ｖ、電位ＷＬＬを－０．５Ｖとすると、データ”１”が書き込まれたノードＮＤ［ｊ，ｔ］の電位を０．８Ｖとすることができる。

［０１４６］

一方で、トランジスタＭ１を確実にオン状態とするためには、電位ＷＬＨを、ビット線ＢＬに供給される電位にトランジスタＭ１のＶｔｈを加えた電位以上にする必要がある。例えば、トランジスタＭ１のＶｔｈが０．５Ｖである場合、本実施の形態では、データ”１”を１．２Ｖとしているので、電位ＷＬＨを１．７Ｖ以上にする必要がある。

［０１４７］

また、電位ＷＬＨおよび電位ＷＬＬの電位差を小さくすることで、電位ＷＬＨおよび電位ＷＬＬを下げた場合と同等の効果を得ることができる。

［０１４８］

本実施の形態は、他の実施の形態などに記載した構成と適宜組み合わせて実施することが可能である。

［０１４９］

（実施の形態２）

本実施の形態では、メモリセル１０に書き込まれた情報の保持時間と、保持容量Ｃｓの漏れ電流（リーク電流）の関係について説明する。

［０１５０］

図２１Ａにメモリセル１０の回路構成例を示す。メモリセル１０は、トランジスタＭ１と、保持容量Ｃｓと、を有する。

［０１５１］

トランジスタＭ１のソースまたはドレインの一方は、保持容量Ｃｓの一方の電極と電気的に接続され、トランジスタＭ１のソースまたはドレインの他方は、ビット線ＢＬの一方と電気的に接続され、トランジスタＭ１のゲートは、ワード線ＷＬと電気的に接続されている。トランジスタＭ１のソースまたはドレインの一方と、保持容量Ｃｓの一方の電極が電気的に接続される節点をノードＮＤという。

［０１５２］

配線ＣＡＬは、保持容量Ｃｓの他方の電極に所定の電位を印加するための配線として機能する。配線ＣＡＬには、固定電位（例えば、０Ｖ）を印加するのが好ましい。

［０１５３］

データの書き込みは、ワード線ＷＬに高レベル電位を印加してトランジスタＭ１を導通状態にし、ビット線ＢＬとノードＮＤを電気的に接続することによって行われる。データの書き込み終了後は、ワード線ＷＬに低レベル電位（例えば、０Ｖまたは負電位）を印加し、トランジスタＭ１を非導通状態にする。メモリセル１０に書き込まれたデータは、ノードＮＤに電荷として保持される。

［０１５４］

上記実施の形態で説明したように、トランジスタＭ１としてＯＳトランジスタを用いることが好ましい。ＯＳトランジスタは、オフ電流が極めて少ないという特性を有している。トランジスタＭ１としてＯＳトランジスタを用いることによって、トランジスタＭ１のリーク電流を非常に低くすることができる。よって、ノードＮＤに書き込まれたデータを長期間保持することができる。

［０１５５］

また、ノードＮＤに書き込まれたデータを長期間保持するためには、保持容量Ｃｓの一方の電極から他方の電極に流れるリーク電流（「ＣｓＩ＿ｌｅａｋ」ともいう。）の低減も重要である。

［０１５６］

図２１Ｂは、保持容量Ｃｓの容量値が３５ｆＦ、３．５ｆＦ、または０．３５ｆＦそれぞれの場合について、ノードＮＤに書き込まれたデータの保持時間とＣｓＩ＿ｌｅａｋの関係を示すグラフである。なお、本実施の形態では、ノードＮＤの電位が０．２Ｖ低下するまでの時間を保持時間とする。

［０１５７］

図２１Ｂより、例えば、保持容量Ｃｓの容量値が３．５ｆＦである場合、保持時間を１分とするためには、ＣｓＩ＿ｌｅａｋを１．２×１０$^{-17}$Ａ以下にする必要があることがわかる。同様に、保持時間を１時間とするためには、ＣｓＩ＿ｌｅａｋを１．９×１０$^{-19}$Ａ以下にする必要があることがわかる。同様に、保持時間を１日とするためには、ＣｓＩ＿ｌｅａｋを８．１×１０$^{-21}$Ａ以下にする必要があることがわかる。同様に、保持時間を１年とするためには、ＣｓＩ＿ｌｅａｋを２．２×１０$^{-23}$Ａ以下にする必要があることがわかる。

［０１５８］

また、保持容量Ｃｓの容量値を１０倍にすることで、ＣｓＩ＿ｌｅａｋの許容電流を１０倍にすることができる。例えば、保持容量Ｃｓの容量値が３５ｆＦである場合、保持時間を１時間とするためには、ＣｓＩ＿ｌｅａｋが１．９×１０$^{-18}$Ａ以下であればよい。

［０１５９］

また、保持容量Ｃｓの容量値を０．１倍にすると、ＣｓＩ＿ｌｅａｋの許容電流も０．１倍にする必要がある。例えば、保持容量Ｃｓの容量値が０．３５ｆＦである場合、保持時間を１時間とするためには、ＣｓＩ＿ｌｅａｋを１．９×１０$^{-20}$Ａ以下にする必要がある。

［０１６０］

本実施の形態は、他の実施の形態などに記載した構成と適宜組み合わせて実施することが可能である。

［０１６１］

（実施の形態３）

上記実施の形態で説明した、入出力回路１１１、制御回路１１２、Ｉ２Ｃレシーバ１１３、設定レジスタ１１４、ＬＶＤＳ回路１１５、ＬＶＤＳ回路１１６、デコーダ１１７、記憶ブロックアレイ２１０、負電圧生成回路２１８、ワード線ドライバ２１２、ローカルセンスアンプドライバ２１３、センスアンプ１２７、グローバルセンスアンプ２１５、読み出し書き込みセレクタ２１６などには、高い電流駆動能力および／または高速動作が求められる場合がある。この場合、これらの回路を構成するトランジスタにＳｉトランジスタを用いることが好ましい。また、メモリセル１０を構成するトランジスタには、ＯＳトランジスタを用いることが好ましい。

［０１６２］

ＯＳトランジスタとＳｉトランジスタは積層して設けることができる。よって、Ｓｉトランジスタを含む集積回路上にＯＳトランジスタを含む集積回路を設けることが出来る。各種回路を積層して設けることで、記憶装置１００の小型化を実現できる。言い換えると、記憶装置１００の占有面積を小さくすることができる。

［０１６３］

例えば、記憶装置１００として、センスアンプ１２７を含む集積回路上に、メモリセル１０を含む集積回路を設けてもよい。各種回路を積層して設けることで、記憶装置１００の小型化を実現できる。よって、記憶装置１００を含む半導体装置の小型化を実現できる。言い換えると、記憶装置１００の占有面積を小さくすることができる。よって、記憶装置１００を含む半導体装置の占有面積を小さくすることができる。

［０１６４］

《記憶装置の構造例》

図２２に、記憶装置１００の一部の断面を示す。図２２に示す記憶装置１００は、基板２３１上に、ローカルセンスアンプアレイ２１４、セルアレイ２２１を積層している。なお、セルアレイ２２１以外の回路は、ローカルセンスアンプアレイ２１４と同様に基板２３１上に設けられる。図２２では、基板２３１として単結晶半導体基板（例えば、単結晶シリコン基板）を用いる場合を示している。ローカルセンスアンプアレイ２１４に含まれるトランジスタは、ソース、ドレイン、およびチャネルが、基板２３１の一部に形成される。また、セルアレイ２２１には薄膜トランジスタ（例えば、ＯＳトランジスタ）が含まれる。

［０１６５］

＜ローカルセンスアンプアレイ２１４＞

図２２において、ローカルセンスアンプアレイ２１４は、基板２３１上にトランジスタ２３３ａ、トランジスタ２３３ｂ、およびトランジスタ２３３ｃを有する。図２２では、トランジスタ２３３ａ、トランジスタ２３３ｂ、およびトランジスタ２３３ｃのチャネル長方向の断面を示している。

［０１６６］

前述した通り、トランジスタ２３３ａ、トランジスタ２３３ｂ、およびトランジスタ２３３ｃのチャネルは、基板２３１の一部に形成される。集積回路に高速動作が求められる場合は、基板２３１として単結晶半導体基板を用いることが好ましい。

［０１６７］
トランジスタ２３３ａ、トランジスタ２３３ｂ、およびトランジスタ２３３ｃは、素子分離層２３２によって他のトランジスタと電気的に分離される。素子分離層の形成は、ＬＯＣＯＳ（Ｌｏｃａｌ Ｏｘｉｄａｔｉｏｎ ｏｆ Ｓｉｌｉｃｏｎ）法や、ＳＴＩ（Ｓｈａｌｌｏｗ Ｔｒｅｎｃｈ Ｉｓｏｌａｔｉｏｎ）法などを用いることができる。
［０１６８］
また、トランジスタ２３３ａ、トランジスタ２３３ｂ、およびトランジスタ２３３ｃ上に絶縁層２３４、絶縁層２３５、絶縁層２３７が設けられ、絶縁層２３７中に電極２３８が埋設されている。電極２３８はコンタクトプラグ２３６を介してトランジスタ２３３ａのソースまたはドレインの一方と電気的に接続されている。
［０１６９］
また、電極２３８および絶縁層２３７の上に、絶縁層２３９、絶縁層２４０、および絶縁層２４１が設けられ、絶縁層２３９、絶縁層２４０、および絶縁層２４１の中に電極２４２が埋設されている。電極２４２は、電極２３８と電気的に接続される。
［０１７０］
また、電極２４２および絶縁層２４１の上に、絶縁層２４３、および絶縁層２４４が設けられ、絶縁層２４３、および絶縁層２４４の中に電極２４５が埋設されている。電極２４５は、電極２４２と電気的に接続される。
［０１７１］
また、電極２４５および絶縁層２４４の上に、絶縁層２４６および絶縁層２４７が設けられ、絶縁層２４６および絶縁層２４７の中に電極２４９が埋設されている。電極２４９は、電極２４５と電気的に接続される。
［０１７２］
また、電極２４９および絶縁層２４７の上に、絶縁層２４８および絶縁層２５０が設けられ、絶縁層２４８および絶縁層２５０の中に電極２５１が埋設されている。電極２５１は、電極２４９と電気的に接続される。
［０１７３］
＜セルアレイ２２１＞
セルアレイ２２１は、ローカルセンスアンプアレイ２１４上に設けられる。図２２において、セルアレイ２２１は、トランジスタ２００、および容量素子２２０を有する。図２２では、トランジスタ２００のチャネル長方向の断面を示している。また、トランジスタ２００は、バックゲートを有するトランジスタである。
［０１７４］
例えば、トランジスタ２００はトランジスタＭ１に相当し、容量素子２２０は保持容量Ｃｓに相当する。
［０１７５］
トランジスタ２００の半導体層に、金属酸化物の一種である酸化物半導体を用いることが好ましい。すなわち、トランジスタ２００にＯＳトランジスタを用いることが好ましい。
［０１７６］
トランジスタ２００は、絶縁層３６１上に設けられている。また、絶縁層３６１上に絶縁層３６２が設けられている。トランジスタ２００のバックゲートは、絶縁層３６２中に埋設されている。絶縁層３６２上に、絶縁層３７１および絶縁層３８０が設けられている。トランジスタ２００のゲートは、絶縁層３８０中に埋設されている。
［０１７７］

また、絶縁層３８０上に絶縁層３７４および絶縁層３８１が設けられている。また、絶縁層３６１、絶縁層３６２、絶縁層３６５、絶縁層３６６、絶縁層３７１、絶縁層３８０、絶縁層３７４、および絶縁層３８１中に電極３５５が埋設されている。電極３５５は、電極２５１と電気的に接続される。電極３５５は、コンタクトプラグとして機能できる。

［０１７８］

また、絶縁層３８１上に電極１５２が設けられている。電極１５２は電極３５５と電気的に接続される。また、絶縁層３８１および電極１５２上に、絶縁層２７２、絶縁層２７３、絶縁層１３０が設けられている。

［０１７９］

容量素子２２０は、絶縁層２７２および絶縁層２７３に形成された開口中に配置された電極１１０と、電極１１０および絶縁層２７３上の絶縁層１３０と、絶縁層１３０上の電極１２０と、を有する。絶縁層２７２および絶縁層２７３に形成された開口の中に、電極１１０の少なくとも一部、絶縁層１３０の少なくとも一部、および電極１２０の少なくとも一部が配置される。

［０１８０］

電極１１０は容量素子２２０の下部電極として機能し、電極１２０は容量素子２２０の上部電極として機能し、絶縁層１３０は、容量素子２２０の誘電体として機能する。容量素子２２０は、絶縁層２７２および絶縁層２７３の開口において、底面だけでなく、側面においても上部電極と下部電極とが誘電体を挟んで対向する構成となっており、単位面積当たりの静電容量を大きくすることができる。よって、当該開口を深くするほど、容量素子２２０の静電容量を大きくすることができる。このように容量素子２２０の単位面積当たりの静電容量を大きくすることにより、半導体装置の微細化または高集積化を推し進めることができる。

［０１８１］

絶縁層２７２および絶縁層２７３に形成された開口を上面から見た形状は、四角形としてもよいし、四角形以外の多角形状としてもよいし、多角形状において角部を湾曲させた形状としてもよいし、楕円を含む円形状としてもよい。

［０１８２］

また、絶縁層１３０および電極１２０上に、絶縁層２７４および絶縁層１５４を有する。また、絶縁層２７２、絶縁層２７３、絶縁層１３０、絶縁層２７４、および絶縁層１５４中に電極２７１が埋設されている。電極２７１は、電極１５２と電気的に接続される。電極２７１は、コンタクトプラグとして機能できる。また、絶縁層１５４上に電極１５３が設けられている。電極１５３は電極２７１と電気的に接続される。

［０１８３］

また、絶縁層１５４および電極１５３上に、絶縁層１５６が設けられている。

［０１８４］

［変形例１］

図２３に記憶装置１００の変形例である記憶装置１００Ａを示す。記憶装置１００Ａは、ローカルセンスアンプアレイ２１４Ａとセルアレイ２２１を重ねて設けている。ローカルセンスアンプアレイ２１４Ａは、ローカルセンスアンプアレイ２１４に含まれるトランジスタ２３３ａおよびトランジスタ２３３ｂなどのトランジスタにＯＳトランジスタを用いている。記憶装置１００に含まれるトランジスタを全てＯＳトランジスタとすることで、記憶装置１００を単極性の集積回路にすることができる。

［０１８５］

［変形例２］
図２４に記憶装置１００Ａの変形例である記憶装置１００Ｂを示す。記憶装置１００Ｂに含まれるトランジスタを全てＯＳトランジスタとする場合は、ローカルセンスアンプアレイ２１４Ａとセルアレイ２２１を基板２３１上に同一工程で作製することができる。よって、半導体装置の生産性を高めることができる。また、半導体装置の生産コストを低減することができる。
［０１８６］
また、基板２３１にシリコン基板などの熱伝導率の高い基板を用いると、絶縁性基板などを用いた場合よりも半導体装置の冷却効率を高めることができる。よって、半導体装置の信頼性を高めることができる。
［０１８７］
《構成材料について》
＜基板＞
基板として用いる材料に大きな制限はない。例えば、絶縁体基板、半導体基板、または導電体基板を用いればよい。
［０１８８］
絶縁体基板としては、例えば、ガラス基板、石英基板、サファイア基板、安定化ジルコニア基板（イットリア安定化ジルコニア基板など）、樹脂基板などがある。
［０１８９］
また、半導体基板としては、例えば、シリコン、ゲルマニウムなどを材料とした半導体基板、または炭化シリコン、シリコンゲルマニウム、ヒ化ガリウム、リン化インジウム、酸化亜鉛、酸化ガリウムからなる化合物半導体基板などがある。前述の半導体基板内部に絶縁体領域を有する半導体基板、例えば、ＳＯＩ（Ｓｉｌｉｃｏｎ　Ｏｎ　Ｉｎｓｕｌａｔｏｒ）基板などを用いてもよい。
［０１９０］
前述したように、集積回路に高速動作が求められる場合は、基板として単結晶半導体基板を用いることが好ましい。
［０１９１］
導電体基板としては、黒鉛基板、金属基板、合金基板、導電性樹脂基板などがある。または、金属の窒化物を有する基板、金属の酸化物を有する基板などがある。さらには、絶縁体基板に導電体または半導体が設けられた基板、半導体基板に導電体または絶縁体が設けられた基板、導電体基板に半導体または絶縁体が設けられた基板などがある。または、これらの基板に素子が設けられたものを用いてもよい。基板に設けられる素子としては、容量素子、抵抗素子、スイッチ素子、発光素子、記憶素子などがある。半導体基板上に歪トランジスタやＦＩＮ型トランジスタなどの半導体素子が設けられたものなどを用いることもできる。すなわち、基板は、単なる支持基板に限らず、他のトランジスタなどのデバイスが形成された基板であってもよい。
［０１９２］
＜絶縁層＞
絶縁層に用いる材料としては、絶縁性を有する酸化物、窒化物、酸化窒化物、窒化酸化物、金属酸化物、金属酸化窒化物、金属窒化酸化物などがある。
［０１９３］
例えば、トランジスタの微細化、および高集積化が進むと、ゲート絶縁層の薄膜化により、リーク電流などの問題が生じる場合がある。ゲート絶縁層として機能する絶縁層に、ｈｉｇｈ－ｋ材料を用いることで、物理膜厚を保ちながらトランジスタ動作時の低電圧化が可能となる。一方、層間絶縁層として機

能する絶縁体には、比誘電率が低い材料を用いることで、配線間に生じる寄生容量を低減することができる。したがって、絶縁層の機能に応じて、材料を選択するとよい。

［０１９４］

また、比誘電率の高い絶縁物としては、酸化ガリウム、酸化ハフニウム、酸化ジルコニウム、アルミニウムおよびハフニウムを有する酸化物、アルミニウムおよびハフニウムを有する酸化窒化物、シリコンおよびハフニウムを有する酸化物、シリコンおよびハフニウムを有する酸化窒化物、またはシリコンおよびハフニウムを有する窒化物などがある。

［０１９５］

また、比誘電率が低い絶縁物としては、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコン、空孔を有する酸化シリコン、または樹脂などがある。

［０１９６］

また、トランジスタとしてＯＳトランジスタを用いる場合は、当該トランジスタを水素などの不純物および酸素の透過を抑制する機能を有する絶縁層（絶縁層３６１および絶縁層３７４など）で囲うことによって、トランジスタの電気特性を安定にすることができる。水素などの不純物および酸素の透過を抑制する機能を有する絶縁体としては、例えば、ホウ素、炭素、窒素、酸素、フッ素、マグネシウム、アルミニウム、シリコン、リン、塩素、アルゴン、ガリウム、ゲルマニウム、イットリウム、ジルコニウム、ランタン、ネオジム、ハフニウム、またはタンタルを含む絶縁体を、単層で、または積層で用いればよい。具体的には、水素などの不純物および酸素の透過を抑制する機能を有する絶縁体として、酸化アルミニウム、酸化マグネシウム、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウム、酸化タンタルなどの金属酸化物、窒化アルミニウム、窒化アルミニウムチタン、窒化チタン、窒化酸化シリコン、窒化シリコンなどの金属窒化物を用いることができる。

［０１９７］

また、ゲート絶縁層として機能する絶縁層は、加熱により脱離する酸素を含む領域を有する絶縁体であることが好ましい。例えば、加熱により脱離する酸素を含む領域を有する酸化シリコンまたは酸化窒化シリコンを半導体層２６０と接する構造とすることで、半導体層２６０が有する酸素欠損を補償することができる。

［０１９８］

なお、本明細書等において、窒化酸化物とは、酸素よりも窒素の含有量が多い化合物をいう。また、酸化窒化物とは、窒素よりも酸素の含有量が多い化合物をいう。なお、各元素の含有量は、例えば、ラザフォード後方散乱法（ＲＢＳ：Ｒｕｔｈｅｒｆｏｒｄ　Ｂａｃｋｓｃａｔｔｅｒｉｎｇ　Ｓｐｅｃｔｒｏｍｅｔｒｙ）等を用いて測定することができる。

［０１９９］

また、半導体層として金属酸化物の一種である酸化物半導体を用いる場合は、半導体層中の水素濃度の増加を防ぐために、絶縁層中の水素濃度を低減することが好ましい。具体的には、絶縁層中の水素濃度を、二次イオン質量分析法（ＳＩＭＳ：Ｓｅｃｏｎｄａｒｙ　Ｉｏｎ　Ｍａｓｓ　Ｓｐｅｃｔｒｏｍｅｔｒｙ）において2×10^{20}ａｔｏｍｓ／ｃｍ^{3}以下、好ましくは5×10^{19}ａｔｏｍｓ／ｃｍ^{3}以下、より好ましくは1×10^{19}ａｔｏｍｓ／ｃｍ^{3}以下、さらに好ましくは5×10^{18}ａｔｏｍｓ／ｃｍ^{3}以下とする。特に、半導体層と接する絶縁層の水素濃度を低減することが好ましい。

［０２００］

また、半導体層として金属酸化物の一種である酸化物半導体を用いる場合は、半導体層中の窒素濃度の増加を防ぐために、絶縁層中の窒素濃度を低減することが好ましい。具体的には、絶縁層中の窒素濃度

を、ＳＩＭＳにおいて５×１０^{19}ａｔｏｍｓ／ｃｍ^{3}以下、好ましくは５×１０^{18}ａｔｏｍｓ／ｃｍ^{3}以下、より好ましくは１×１０^{18}ａｔｏｍｓ／ｃｍ^{3}以下、さらに好ましくは５×１０^{17}ａｔｏｍｓ／ｃｍ^{3}以下とする。

［０２０１］

また、絶縁層の少なくとも半導体層と接する領域は、欠陥が少ないことが好ましく、代表的には、電子スピン共鳴法（ＥＳＲ：Ｅｌｅｃｔｒｏｎ　Ｓｐｉｎ　Ｒｅｓｏｎａｎｃｅ）で観察されるシグナルが少ない方が好ましい。例えば、上述のシグナルとしては、ｇ値が２．００１に観察されるＥ’センターが挙げられる。なお、Ｅ’センターは、シリコンのダングリングボンドに起因する。例えば、絶縁層として、酸化シリコン層または酸化窒化シリコン層を用いる場合、Ｅ’センター起因のスピン密度が、３×１０^{17}ｓｐｉｎｓ／ｃｍ^{3}以下、好ましくは５×１０^{16}ｓｐｉｎｓ／ｃｍ^{3}以下である酸化シリコン層または酸化窒化シリコン層を用いればよい。

［０２０２］

また、上述のシグナル以外に二酸化窒素（NO_2）に起因するシグナルが観察される場合がある。当該シグナルは、Ｎの核スピンにより３つのシグナルに分裂しており、それぞれのｇ値が２．０３７以上２．０３９以下（第１のシグナルとする）、ｇ値が２．００１以上２．００３以下（第２のシグナルとする）、およびｇ値が１．９６４以上１．９６６以下（第３のシグナルとする）に観察される。

［０２０３］

例えば、絶縁層として、二酸化窒素（NO_2）に起因するシグナルのスピン密度が、１×１０^{17}ｓｐｉｎｓ／ｃｍ^{3}以上１×１０^{18}ｓｐｉｎｓ／ｃｍ^{3}未満である絶縁層を用いると好適である。

［０２０４］

なお、二酸化窒素（NO_2）を含む窒素酸化物（NO_x）は、絶縁層中に準位を形成する。当該準位は、酸化物半導体層のエネルギーギャップ内に位置する。そのため、窒素酸化物（NO_x）が、絶縁層と酸化物半導体層の界面に拡散すると、当該準位が絶縁層側において電子をトラップする場合がある。この結果、トラップされた電子が、絶縁層と酸化物半導体層の界面近傍に留まるため、トランジスタのしきい値電圧をプラス方向にシフトさせてしまう。したがって、絶縁層および絶縁層として窒素酸化物の含有量が少ない膜を用いると、トランジスタのしきい値電圧のシフトを低減することができる。

［０２０５］

窒素酸化物（NO_x）の放出量が少ない絶縁層としては、例えば、酸化窒化シリコン層を用いることができる。当該酸化窒化シリコン層は、昇温脱離ガス分析法（ＴＤＳ：Ｔｈｅｒｍａｌ　Ｄｅｓｏｒｐｔｉｏｎ　Ｓｐｅｃｔｒｏｓｃｏｐｙ）において、窒素酸化物（NO_x）の放出量よりアンモニアの放出量が多い膜であり、代表的にはアンモニアの放出量が１×１０^{18}個／ｃｍ^{3}以上５×１０^{19}個／ｃｍ^{3}以下である。なお、上記のアンモニアの放出量は、ＴＤＳにおける加熱処理の温度が５０℃以上６５０℃以下、または５０℃以上５５０℃以下の範囲での総量である。

［０２０６］

窒素酸化物（NO_x）は、加熱処理においてアンモニアおよび酸素と反応するため、アンモニアの放出量が多い絶縁層を用いることで窒素酸化物（NO_x）が低減される。

［０２０７］

また、酸化物半導体層に接する絶縁層のうち少なくとも１つは、加熱により酸素が放出される絶縁層を用いて形成することが好ましい。具体的には、絶縁層の表面温度が１００℃以上７００℃以下、好ましくは１００℃以上５００℃以下の加熱処理で行われるＴＤＳにて、酸素原子に換算した酸素の脱離量が１．０×１０^{18}ａｔｏｍｓ／ｃｍ^{3}以上、１．０×１０^{19}ａｔｏｍｓ／ｃｍ^{3}以上、または１．０×１０^{20}ａｔｏｍｓ／ｃｍ^{3}以上である絶縁層を用いることが好ましい。なお、本明細書などにおいて、加熱により放出される酸素を「過剰酸素」ともいう。

［０２０８］
また、過剰酸素を含む絶縁層は、絶縁層に酸素を添加する処理を行って形成することもできる。酸素を添加する処理は、酸化性雰囲気下における熱処理やプラズマ処理などで行なうことができる。または、イオン注入法、イオンドーピング法、プラズマイマージョンイオン注入法などを用いて酸素を添加してもよい。酸素を添加する処理に用いるガスとしては、$^{16}O_2$もしくは$^{18}O_2$などの酸素ガス、亜酸化窒素ガス、またはオゾンガスなどの、酸素を含むガスが挙げられる。なお、本明細書では酸素を添加する処理を「酸素ドープ処理」ともいう。酸素ドープ処理は、基板を加熱して行なってもよい。
［０２０９］
また、絶縁層として、ポリイミド、アクリル系樹脂、ベンゾシクロブテン系樹脂、ポリアミド、エポキシ系樹脂等の、耐熱性を有する有機材料を用いることができる。また上記有機材料の他に、低誘電率材料（ｌｏｗ－ｋ材料）、シロキサン系樹脂、ＰＳＧ（リンガラス）、ＢＰＳＧ（リンボロンガラス）等を用いることができる。なお、これらの材料で形成される絶縁層を複数積層させることで、絶縁層を形成してもよい。
［０２１０］
なおシロキサン系樹脂とは、シロキサン系材料を出発材料として形成されたＳｉ－Ｏ－Ｓｉ結合を含む樹脂に相当する。シロキサン系樹脂は置換基としては有機基（例えばアルキル基やアリール基）やフルオロ基を用いても良い。また、有機基はフルオロ基を有していても良い。
［０２１１］
絶縁層の形成方法は、特に限定されない。なお、絶縁層に用いる材料によっては焼成工程が必要な場合がある。この場合、絶縁層の焼成工程と他の熱処理工程を兼ねることで、効率よくトランジスタを作製することが可能となる。
［０２１２］
絶縁層の形成方法は、特に限定されない。なお、絶縁層に用いる材料によっては焼成工程が必要な場合がある。この場合、絶縁層の焼成工程と他の熱処理工程を兼ねることで、効率よくトランジスタを作製することが可能となる。
［０２１３］
＜導電層＞
導電層としては、アルミニウム、クロム、銅、銀、金、白金、タンタル、ニッケル、チタン、モリブデン、タングステン、ハフニウム、バナジウム、ニオブ、マンガン、マグネシウム、ジルコニウム、ベリリウム、インジウム、ルテニウム、イリジウム、ストロンチウム、ランタンなどから選ばれた金属元素、または上述した金属元素を成分とする合金か、上述した金属元素を組み合わせた合金等を用いることが好ましい。例えば、窒化タンタル、窒化チタン、タングステン、チタンとアルミニウムを含む窒化物、タンタルとアルミニウムを含む窒化物、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、ランタンとニッケルを含む酸化物などを用いることが好ましい。また、窒化タンタル、窒化チタン、チタンとアルミニウムを含む窒化物、タンタルとアルミニウムを含む窒化物、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、ランタンとニッケルを含む酸化物は、酸化しにくい導電性材料、または、酸素を吸収しても導電性を維持する材料であるため、好ましい。また、リン等の不純物元素を含有させた多結晶シリコンに代表される、電気伝導度が高い半導体、ニッケルシリサイドなどのシリサイドを用いてもよい。
［０２１４］
また、上記の材料で形成される導電層を複数積層して用いてもよい。例えば、前述した金属元素を含む材料と、酸素を含む導電性材料と、を組み合わせた積層構造としてもよい。また、前述した金属元素を含む材料と、窒素を含む導電性材料と、を組み合わせた積層構造としてもよい。また、前述した金属元

素を含む材料と、酸素を含む導電性材料と、窒素を含む導電性材料と、を組み合わせた積層構造としてもよい。

［０２１５］

なお、半導体層として金属酸化物の一種である酸化物半導体を用いる場合は、ゲート電極として機能する導電層には、前述した金属元素を含む材料と、酸素を含む導電性材料と、を組み合わせた積層構造を用いることが好ましい。この場合は、酸素を含む導電性材料をチャネル形成領域側に設けるとよい。酸素を含む導電性材料をチャネル形成領域側に設けることで、当該導電性材料から離脱した酸素がチャネル形成領域に供給されやすくなる。

［０２１６］

特に、ゲート電極として機能する導電層として、チャネルが形成される金属酸化物に含まれる金属元素および酸素を含む導電性材料を用いることが好ましい。また、前述した金属元素および窒素を含む導電性材料を用いてもよい。例えば、窒化チタン、窒化タンタルなどの窒素を含む導電性材料を用いてもよい。また、インジウム錫酸化物（ＩＴＯ：Ｉｎｄｉｕｍ　Ｔｉｎ　Ｏｘｉｄｅ）、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、シリコンを添加したインジウム錫酸化物を用いてもよい。また、窒素を含むインジウムガリウム亜鉛酸化物を用いてもよい。このような材料を用いることで、チャネルが形成される金属酸化物に含まれる水素を捕獲することができる場合がある。または、外方の絶縁体などから混入する水素を捕獲することができる場合がある。

［０２１７］

なお、コンタクトプラグなどに用いる導電性材料としては、例えば、タングステン、ポリシリコン等の埋め込み性の高い導電性材料を用いればよい。また、埋め込み性の高い導電性材料と、チタン層、窒化チタン層、窒化タンタル層などのバリア層（拡散防止層）を組み合わせて用いてもよい。

［０２１８］

＜半導体層＞

半導体層として、単結晶半導体、多結晶半導体、微結晶半導体、または非晶質半導体などを、単体でまたは組み合わせて用いることができる。半導体材料としては、例えば、シリコンや、ゲルマニウムなどを用いることができる。また、シリコンゲルマニウム、炭化シリコン、ガリウムヒ素、酸化物半導体、窒化物半導体などの化合物半導体や、有機半導体などを用いることができる。

［０２１９］

また、半導体層として有機物半導体を用いる場合は、芳香環をもつ低分子有機材料やπ電子共役系導電性高分子などを用いることができる。例えば、ルブレン、テトラセン、ペンタセン、ペリレンジイミド、テトラシアノキノジメタン、ポリチオフェン、ポリアセチレン、ポリパラフェニレンビニレンなどを用いることができる。

［０２２０］

なお、半導体層を積層してもよい。半導体層を積層する場合は、それぞれ異なる結晶状態を有する半導体を用いてもよいし、それぞれ異なる半導体材料を用いてもよい。

［０２２１］

また、金属酸化物の一種である酸化物半導体のバンドギャップは２ｅＶ以上あるため、半導体層に酸化物半導体を用いると、オフ電流が極めて少ないトランジスタを実現することができる。具体的には、ソースとドレイン間の電圧が３．５Ｖ、室温（代表的には２５℃）下において、チャネル幅１μｍ当たりのオフ電流を１×１０$^{-20}$Ａ未満、１×１０$^{-22}$Ａ未満、あるいは１×１０$^{-24}$Ａ未満とすることができる。すなわち、オンオフ比を２０桁以上とすることもできる。また、半導体層に酸化物半導体を用いたトランジスタ（ＯＳトランジスタ）は、ソースとドレイン間の絶縁耐圧が高い。よって、信頼性の良

好なトランジスタを提供できる。また、出力電圧が大きく高耐圧なトランジスタを提供できる。また、信頼性の良好な記憶装置などを提供できる。また、出力電圧が大きく高耐圧な記憶装置を提供することができる。

［０２２２］

結晶性Ｓｉトランジスタは、ＯＳトランジスタよりも比較的高い移動度を得やすい。一方で、結晶性Ｓｉトランジスタは、ＯＳトランジスタのように極めて少ないオフ電流の実現が困難である。よって、半導体層に用いる半導体材料は、目的や用途に応じて適宜使い分けることが肝要である。例えば、目的や用途に応じて、ＯＳトランジスタと結晶性Ｓｉトランジスタなどを組み合わせて用いてもよい。

［０２２３］

半導体層として酸化物半導体層を用いる場合は、酸化物半導体層をスパッタリング法で形成することが好ましい。酸化物半導体層は、スパッタリング法で形成すると酸化物半導体層の密度を高められるため、好適である。スパッタリング法で酸化物半導体層を形成する場合、スパッタリングガスには、希ガス（代表的にはアルゴン）、酸素、または、希ガスおよび酸素の混合ガスを用いればよい。また、スパッタリングガスの高純度化も必要である。例えば、スパッタリングガスとして用いる酸素ガスや希ガスは、露点が－６０℃以下、好ましくは－１００℃以下にまで高純度化したガスを用いる。高純度化されたスパッタリングガスを用いて成膜することで、酸化物半導体層に水分等が取り込まれることを可能な限り防ぐことができる。

［０２２４］

また、スパッタリング法で酸化物半導体層を形成する場合、スパッタリング装置が有する成膜室内の水分を可能な限り除去することが好ましい。例えば、クライオポンプのような吸着式の真空排気ポンプを用いて、成膜室内を高真空（５×１０$^{-7}$Ｐａから１×１０$^{-4}$Ｐａ程度まで）に排気することが好ましい。特に、スパッタリング装置の待機時における、成膜室内のH_2Oに相当するガス分子（ｍ／ｚ＝１８に相当するガス分子）の分圧を１×１０$^{-4}$Ｐａ以下とすることが好ましく、５×１０$^{-5}$Ｐａ以下とすることがより好ましい。

［０２２５］

＜金属酸化物＞

金属酸化物に含まれる元素の組成を変化させることにより、導電体、半導体、絶縁体を作り分けることができる。導電体物性を有する金属酸化物を「導電性酸化物」という場合がある。半導体物性を有する金属酸化物を「酸化物半導体」という場合がある。絶縁体物性を有する金属酸化物を「絶縁性酸化物」という場合がある。

［０２２６］

金属酸化物の一種である酸化物半導体は、インジウムまたは亜鉛を含むことが好ましい。特にインジウムおよび亜鉛を含むことが好ましい。また、それらに加えて、アルミニウム、ガリウム、イットリウムまたはスズなどが含まれていることが好ましい。また、ホウ素、シリコン、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、またはマグネシウムなどから選ばれた一種、または複数種が含まれていてもよい。

［０２２７］

ここで、酸化物半導体が、インジウム、元素Ｍおよび亜鉛を有する場合を考える。なお、元素Ｍは、アルミニウム、ガリウム、イットリウムまたはスズなどとする。そのほかの元素Ｍに適用可能な元素として、ホウ素、シリコン、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、マグネシウムなどがある。ただし、元素Ｍとして、前述の元素を複数組み合わせても構わない場合がある。

［０２２８］

なお、本明細書等において、窒素を有する金属酸化物も金属酸化物（ｍｅｔａｌ　ｏｘｉｄｅ）と総称する場合がある。また、窒素を有する金属酸化物を、金属酸窒化物（ｍｅｔａｌ　ｏｘｙｎｉｔｒｉｄｅ）と呼称してもよい。

［０２２９］

［金属酸化物の構造］

酸化物半導体（金属酸化物）は、単結晶酸化物半導体と、それ以外の非単結晶酸化物半導体と、に分けられる。非単結晶酸化物半導体としては、例えば、ＣＡＡＣ－ＯＳ、多結晶酸化物半導体、ｎｃ－ＯＳ（ｎａｎｏｃｒｙｓｔａｌｌｉｎｅ　ｏｘｉｄｅ　ｓｅｍｉｃｏｎｄｕｃｔｏｒ）、擬似非晶質酸化物半導体（ａ－ｌｉｋｅ　ＯＳ：ａｍｏｒｐｈｏｕｓ－ｌｉｋｅ　ｏｘｉｄｅ　ｓｅｍｉｃｏｎｄｕｃｔｏｒ）、および非晶質酸化物半導体などがある。

［０２３０］

ＣＡＡＣ－ＯＳは、ｃ軸配向性を有し、かつａ－ｂ面方向において複数のナノ結晶が連結し、歪みを有した結晶構造となっている。なお、歪みとは、複数のナノ結晶が連結する領域において、格子配列の揃った領域と、別の格子配列の揃った領域と、の間で格子配列の向きが変化している箇所を指す。

［０２３１］

ナノ結晶は、六角形を基本とするが、正六角形状とは限らず、非正六角形状である場合がある。また、歪みにおいて、五角形、および七角形などの格子配列を有する場合がある。なお、ＣＡＡＣ－ＯＳにおいて、歪み近傍においても、明確な結晶粒界（グレインバウンダリーともいう。）を確認することは難しい。すなわち、格子配列の歪みによって、結晶粒界の形成が抑制されていることがわかる。これは、ＣＡＡＣ－ＯＳが、ａ－ｂ面方向において酸素原子の配列が稠密でないことや、金属元素が置換することで原子間の結合距離が変化することなどによって、歪みを許容することができるためである。

［０２３２］

また、ＣＡＡＣ－ＯＳは、インジウム、および酸素を有する層（以下、Ｉｎ層）と、元素Ｍ、亜鉛、および酸素を有する層（以下、（Ｍ，Ｚｎ）層）とが積層した、層状の結晶構造（層状構造ともいう）を有する傾向がある。なお、インジウムと元素Ｍは、互いに置換可能であり、（Ｍ，Ｚｎ）層の元素Ｍがインジウムと置換した場合、（Ｉｎ，Ｍ，Ｚｎ）層と表すこともできる。また、Ｉｎ層のインジウムが元素Ｍと置換した場合、（Ｉｎ，Ｍ）層と表すこともできる。

［０２３３］

ＣＡＡＣ－ＯＳは結晶性の高い金属酸化物である。一方、ＣＡＡＣ－ＯＳは、明確な結晶粒界を確認することが難しいため、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。また、金属酸化物の結晶性は不純物の混入や欠陥の生成などによって低下する場合があるため、ＣＡＡＣ－ＯＳは不純物や欠陥（酸素欠損など）の少ない金属酸化物ともいえる。したがって、ＣＡＡＣ－ＯＳを有する金属酸化物は、物理的性質が安定する。そのため、ＣＡＡＣ－ＯＳを有する金属酸化物は熱に強く、信頼性が高い。

［０２３４］

ｎｃ－ＯＳは、微小な領域（例えば、１ｎｍ以上１０ｎｍ以下の領域、特に１ｎｍ以上３ｎｍ以下の領域）において原子配列に周期性を有する。また、ｎｃ－ＯＳは、異なるナノ結晶間で結晶方位に規則性が見られない。そのため、膜全体で配向性が見られない。したがって、ｎｃ－ＯＳは、分析方法によっては、ａ－ｌｉｋｅ　ＯＳや非晶質酸化物半導体と区別が付かない場合がある。

［０２３５］

なお、インジウムと、ガリウムと、亜鉛と、を有する金属酸化物の一種である、Ｉｎ－Ｇａ－Ｚｎ酸化物（以下、ＩＧＺＯ）は、上述のナノ結晶とすることで安定な構造をとる場合がある。特に、ＩＧＺＯ

は、大気中では結晶成長がし難い傾向があるため、大きな結晶（ここでは、数ｍｍの結晶、または数ｃｍの結晶）よりも小さな結晶（例えば、上述のナノ結晶）とする方が、構造的に安定となる場合がある。

［０２３６］

ａ－ｌｉｋｅ　ＯＳは、ｎｃ－ＯＳと非晶質酸化物半導体との間の構造を有する金属酸化物である。ａ－ｌｉｋｅ　ＯＳは、鬆または低密度領域を有する。すなわち、ａ－ｌｉｋｅ　ＯＳは、ｎｃ－ＯＳおよびＣＡＡＣ－ＯＳと比べて、結晶性が低い。

［０２３７］

酸化物半導体（金属酸化物）は、多様な構造をとり、それぞれが異なる特性を有する。本発明の一態様の酸化物半導体は、非晶質酸化物半導体、多結晶酸化物半導体、ａ－ｌｉｋｅ　ＯＳ、ｎｃ－ＯＳ、ＣＡＡＣ－ＯＳのうち、二種以上を有していてもよい。

［０２３８］

［金属酸化物を有するトランジスタ］

続いて、上記金属酸化物をトランジスタのチャネル形成領域に用いる場合について説明する。

［０２３９］

なお、上記金属酸化物をトランジスタのチャネル形成領域に用いることで、高い電界効果移動度のトランジスタを実現することができる。また、信頼性の高いトランジスタを実現することができる。

［０２４０］

また、トランジスタには、キャリア密度の低い金属酸化物を用いることが好ましい。金属酸化物のキャリア密度を低くする場合においては、金属酸化物中の不純物濃度を低くし、欠陥準位密度を低くすればよい。本明細書等において、不純物濃度が低く、欠陥準位密度の低いことを高純度真性または実質的に高純度真性という。例えば、金属酸化物は、キャリア密度が$８\times１０^{１１}ｃｍ^{-３}$未満、好ましくは$１\times１０^{１１}ｃｍ^{-３}$未満、さらに好ましくは$１\times１０^{１０}ｃｍ^{-３}$未満であり、$１\times１０^{-９}ｃｍ^{-３}$以上とすればよい。

［０２４１］

また、高純度真性または実質的に高純度真性である金属酸化物は、欠陥準位密度が低いため、トラップ準位密度も低くなる場合がある。

［０２４２］

また、金属酸化物のトラップ準位に捕獲された電荷は、消失するまでに要する時間が長く、あたかも固定電荷のように振る舞うことがある。そのため、トラップ準位密度の高い金属酸化物をチャネル形成領域に有するトランジスタは、電気特性が不安定となる場合がある。

［０２４３］

したがって、トランジスタの電気特性を安定にするためには、金属酸化物中の不純物濃度を低減することが有効である。また、金属酸化物中の不純物濃度を低減するためには、近接する膜中の不純物濃度も低減することが好ましい。不純物としては、水素、窒素、アルカリ金属、アルカリ土類金属、鉄、ニッケル、シリコン等がある。

［０２４４］

［不純物］

ここで、金属酸化物中における各不純物の影響について説明する。

［０２４５］

また、金属酸化物にアルカリ金属またはアルカリ土類金属が含まれると、欠陥準位を形成し、キャリアを生成する場合がある。したがって、アルカリ金属またはアルカリ土類金属が含まれている金属酸化物をチャネル形成領域に用いたトランジスタはノーマリーオン特性となりやすい。このため、金属酸化物中のアルカリ金属またはアルカリ土類金属の濃度を低減することが好ましい。具体的には、ＳＩＭＳに

より得られる金属酸化物中のアルカリ金属またはアルカリ土類金属の濃度を、１×１０^{18}ａｔｏｍｓ／ｃｍ^{3}以下、好ましくは２×１０^{16}ａｔｏｍｓ／ｃｍ^{3}以下にする。

［０２４６］

また、金属酸化物に含まれる水素は、金属原子と結合する酸素と反応して水になるため、酸素欠損を形成する場合がある。金属酸化物中のチャネル形成領域に酸素欠損が含まれていると、トランジスタはノーマリーオン特性となりやすい。さらに、当該酸素欠損に水素が入ることで、キャリアである電子が生成される場合がある。また、水素の一部が金属原子と結合する酸素と結合して、キャリアである電子を生成することがある。従って、水素が含まれている金属酸化物を用いたトランジスタは、ノーマリーオン特性となりやすい。

［０２４７］

このため、金属酸化物中の水素はできる限り低減されていることが好ましい。具体的には、金属酸化物において、ＳＩＭＳにより得られる水素濃度を、１×１０^{20}ａｔｏｍｓ／ｃｍ^{3}未満、好ましくは１×１０^{19}ａｔｏｍｓ／ｃｍ^{3}未満、より好ましくは５×１０^{18}ａｔｏｍｓ／ｃｍ^{3}未満、さらに好ましくは１×１０^{18}ａｔｏｍｓ／ｃｍ^{3}未満とする。不純物が十分に低減された金属酸化物をトランジスタのチャネル形成領域に用いることで、安定した電気特性を付与することができる。

［０２４８］

トランジスタの半導体に用いる金属酸化物として、結晶性の高い薄膜を用いることが好ましい。該薄膜を用いることで、トランジスタの安定性または信頼性を向上させることができる。該薄膜として、例えば、単結晶金属酸化物の薄膜または多結晶金属酸化物の薄膜が挙げられる。しかしながら、単結晶金属酸化物の薄膜または多結晶金属酸化物の薄膜を基板上に形成するには、高温またはレーザー加熱の工程が必要とされる。よって、製造工程のコストが増加し、さらに、スループットも低下してしまう。

［０２４９］

２００９年に、ＣＡＡＣ構造を有するＩｎ－Ｇａ－Ｚｎ酸化物（ＣＡＡＣ－ＩＧＺＯと呼ぶ。）が発見されたことが、非特許文献１および非特許文献２で報告されている。ここでは、ＣＡＡＣ－ＩＧＺＯは、ｃ軸配向性を有する、結晶粒界が明確に確認されない、低温で基板上に形成可能である、ことが報告されている。さらに、ＣＡＡＣ－ＩＧＺＯを用いたトランジスタは、優れた電気特性および信頼性を有することが報告されている。

［０２５０］

また、２０１３年には、ｎｃ構造を有するＩｎ－Ｇａ－Ｚｎ酸化物（ｎｃ－ＩＧＺＯと呼ぶ。）が発見された（非特許文献３参照。）。ここでは、ｎｃ－ＩＧＺＯは、微小な領域（例えば、１ｎｍ以上３ｎｍ以下の領域）において原子配列に周期性を有し、異なる該領域間で結晶方位に規則性が見られないことが報告されている。

［０２５１］

非特許文献４および非特許文献５では、上記のＣＡＡＣ－ＩＧＺＯ、ｎｃ－ＩＧＺＯ、および結晶性の低いＩＧＺＯのそれぞれの薄膜に対する電子線の照射による平均結晶サイズの推移が示されている。結晶性の低いＩＧＺＯの薄膜において、電子線が照射される前でさえ、１ｎｍ程度の結晶性ＩＧＺＯが観察されている。よって、ここでは、ＩＧＺＯにおいて、完全な非晶質構造（ｃｏｍｐｌｅｔｅｌｙ　ａｍｏｒｐｈｏｕｓ　ｓｔｒｕｃｔｕｒｅ）の存在を確認できなかった、と報告されている。さらに、結晶性の低いＩＧＺＯの薄膜と比べて、ＣＡＡＣ－ＩＧＺＯの薄膜およびｎｃ－ＩＧＺＯの薄膜は電子線照射に対する安定性が高いことが示されている。よって、トランジスタの半導体として、ＣＡＡＣ－ＩＧＺＯの薄膜またはｎｃ－ＩＧＺＯの薄膜を用いることが好ましい。

［０２５２］

金属酸化物を用いたトランジスタは、非導通状態において極めてリーク電流が小さい、具体的には、トランジスタのチャネル幅１μｍあたりのオフ電流がｙＡ／μｍ（１０$^{-24}$Ａ／μｍ）オーダである、ことが非特許文献６に示されている。例えば、金属酸化物を用いたトランジスタのリーク電流が低いという特性を応用した低消費電力のＣＰＵなどが開示されている（非特許文献７参照。）。

［０２５３］

また、金属酸化物を用いたトランジスタのリーク電流が低いという特性を利用した、該トランジスタの表示装置への応用が報告されている（非特許文献８参照。）。表示装置では、表示される画像が１秒間に数十回切り換っている。１秒間あたりの画像の切り換え回数はリフレッシュレートと呼ばれている。また、リフレッシュレートを駆動周波数と呼ぶこともある。このような人の目で知覚が困難である高速の画面の切り換えが、目の疲労の原因として考えられている。そこで、表示装置のリフレッシュレートを低下させて、画像の書き換え回数を減らすことが提案されている。また、リフレッシュレートを低下させた駆動により、表示装置の消費電力を低減することが可能である。このような駆動方法を、アイドリング・ストップ（ＩＤＳ）駆動と呼ぶ。

［０２５４］

ＣＡＡＣ構造およびｎｃ構造の発見は、ＣＡＡＣ構造またはｎｃ構造を有する金属酸化物を用いたトランジスタの電気特性および信頼性の向上、ならびに、製造工程のコスト低下およびスループットの向上に貢献している。また、該トランジスタのリーク電流が低いという特性を利用した、該トランジスタの表示装置およびＬＳＩへの応用研究が進められている。

［０２５５］

＜成膜方法について＞

絶縁層を形成するための絶縁性材料、導電層を形成するための導電性材料、または半導体層を形成するための半導体材料は、スパッタリング法、スピンコート法、ＣＶＤ（Ｃｈｅｍｉｃａｌ Ｖａｐｏｒ Ｄｅｐｏｓｉｔｉｏｎ）法（熱ＣＶＤ法、ＭＯＣＶＤ（Ｍｅｔａｌ Ｏｒｇａｎｉｃ Ｃｈｅｍｉｃａｌ Ｖａｐｏｒ Ｄｅｐｏｓｉｔｉｏｎ）法、ＰＥＣＶＤ（Ｐｌａｓｍａ Ｅｎｈａｎｃｅｄ ＣＶＤ）法、高密度プラズマＣＶＤ（Ｈｉｇｈ ｄｅｎｓｉｔｙ ｐｌａｓｍａ ＣＶＤ）法、ＬＰＣＶＤ（ｌｏｗ ｐｒｅｓｓｕｒｅ ＣＶＤ）法、ＡＰＣＶＤ（ａｔｍｏｓｐｈｅｒｉｃ ｐｒｅｓｓｕｒｅ ＣＶＤ）法等を含む）、ＡＬＤ（Ａｔｏｍｉｃ Ｌａｙｅｒ Ｄｅｐｏｓｉｔｉｏｎ）法、または、ＭＢＥ（Ｍｏｌｅｃｕｌａｒ Ｂｅａｍ Ｅｐｉｔａｘｙ）法、または、ＰＬＤ（Ｐｕｌｓｅｄ Ｌａｓｅｒ Ｄｅｐｏｓｉｔｉｏｎ）法、ディップ法、スプレー塗布法、液滴吐出法（インクジェット法など）、印刷法（スクリーン印刷、オフセット印刷など）を用いて形成することができる。

［０２５６］

プラズマＣＶＤ法は、比較的低温で高品質の膜が得られる。ＭＯＣＶＤ法、ＡＬＤ法、または熱ＣＶＤ法などの、成膜時にプラズマを用いない成膜方法を用いると、被形成面にダメージが生じにくい。例えば、記憶装置に含まれる配線、電極、素子（トランジスタ、容量素子など）などは、プラズマから電荷を受け取ることでチャージアップする場合がある。このとき、蓄積した電荷によって、記憶装置に含まれる配線、電極、素子などが破壊される場合がある。一方、プラズマを用いない成膜方法の場合、こういったプラズマダメージが生じないため、記憶装置の歩留まりを高くすることができる。また、成膜中のプラズマダメージが生じないため、欠陥の少ない膜が得られる。

［０２５７］

また、ＡＬＤ法は、原子の性質である自己制御性を利用し、一層ずつ原子を堆積することができるので、極薄の成膜が可能、アスペクト比の高い構造への成膜が可能、ピンホールなどの欠陥の少ない成膜が可能、被覆性に優れた成膜が可能、低温での成膜が可能、などの効果がある。また、ＡＬＤ法には、プラズマを利用するＰＥＡＬＤ（Ｐｌａｓｍａ Ｅｎｈａｎｃｅｄ ＡＬＤ）法も含まれる。プラズマを利

用することで、より低温での成膜が可能となり好ましい場合がある。なお、ＡＬＤ法で用いるプリカーサには炭素などの不純物を含むものがある。このため、ＡＬＤ法により設けられた膜は、他の成膜法により設けられた膜と比較して、炭素などの不純物を多く含む場合がある。なお、不純物の定量は、Ｘ線光電子分光法（ＸＰＳ：Ｘ－ｒａｙ　Ｐｈｏｔｏｅｌｅｃｔｒｏｎ　Ｓｐｅｃｔｒｏｓｃｏｐｙ）を用いて行うことができる。

［０２５８］

ＣＶＤ法およびＡＬＤ法は、ターゲットなどから放出される粒子が堆積する成膜方法とは異なり、被処理物の表面における反応により膜が形成される成膜方法である。したがって、被処理物の形状の影響を受けにくく、良好な段差被覆性を有する成膜方法である。特に、ＡＬＤ法は、優れた段差被覆性と、優れた厚さの均一性を有するため、アスペクト比の高い開口部の表面を被覆する場合などに好適である。ただし、ＡＬＤ法は、比較的成膜速度が遅いため、成膜速度の速いＣＶＤ法などの他の成膜方法と組み合わせて用いることが好ましい場合もある。

［０２５９］

ＣＶＤ法およびＡＬＤ法は、原料ガスの流量比によって、得られる膜の組成を制御することができる。例えば、ＣＶＤ法およびＡＬＤ法では、原料ガスの流量比によって、任意の組成の膜を成膜することができる。また、例えば、ＣＶＤ法およびＡＬＤ法では、成膜しながら原料ガスの流量比を変化させることによって、組成が連続的に変化した膜を成膜することができる。原料ガスの流量比を変化させながら成膜する場合、複数の成膜室を用いて成膜する場合と比べて、搬送や圧力調整に掛かる時間の分、成膜に掛かる時間を短くすることができる。したがって、記憶装置の生産性を高めることができる場合がある。

［０２６０］

本実施の形態は、他の実施の形態などに記載した構成と適宜組み合わせて実施することが可能である。

［０２６１］

（実施の形態４）

本実施の形態では、トランジスタ２００に用いることができる、トランジスタ２００Ａおよびトランジスタ２００Ｂの構成例について、図面を用いて説明する。

［０２６２］

《トランジスタの構造例１》

図２５Ａ、図２５Ｂおよび図２５Ｃを用いてトランジスタ２００Ａの構造例を説明する。図２５Ａはトランジスタ２００Ａの上面図である。図２５Ｂは、図２５Ａに一点鎖線で示すＬ１－Ｌ２部位の断面図である。図２５Ｃは、図２５Ａに一点鎖線で示すＷ１－Ｗ２部位の断面図である。なお、図２５Ａの上面図では、図の明瞭化のために一部の要素を省いて図示している。

［０２６３］

図２５Ａ、図２５Ｂおよび図２５Ｃでは、トランジスタ２００Ａと、層間絶縁層として機能する絶縁層３６１、絶縁層３６２、絶縁層３６５、絶縁層３６６、絶縁層３７１、絶縁層３８０、絶縁層３７４、および絶縁層３８１を示している。また、トランジスタ２００Ａと電気的に接続し、コンタクトプラグとして機能する導電層３４０（導電層３４０ａ、および導電層３４０ｂ）を示している。なお、コンタクトプラグとして機能する導電層３４０の側面に接して絶縁層３４１（絶縁層３４１ａ、および絶縁層３４１ｂ）が設けられる。

［０２６４］

層間絶縁層としては、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、酸化アルミニウム、酸化ハフニウム、酸化タンタル、酸化ジルコニウム、チタン酸ジルコン酸鉛（ＰＺＴ）、チタン酸ストロンチウム（$SrTiO_3$）または（Ｂａ，Ｓｒ）TiO_3（ＢＳＴ）などの絶縁体を単層または積層で用

いることができる。またはこれらの絶縁体に、例えば、酸化アルミニウム、酸化ビスマス、酸化ゲルマニウム、酸化ニオブ、酸化シリコン、酸化チタン、酸化タングステン、酸化イットリウム、酸化ジルコニウムを添加してもよい。またはこれらの絶縁体を窒化処理してもよい。上記の絶縁体に酸化シリコン、酸化窒化シリコンまたは窒化シリコンを積層して用いてもよい。

［０２６５］

トランジスタ２００Ａは、第１のゲート電極として機能する導電層３６０（導電層３６０ａ、および導電層３６０ｂ）と、第２のゲート電極として機能する導電層３０５と、第１のゲート絶縁膜として機能する絶縁層３４９と、第２のゲート絶縁層として機能する絶縁層３６５および絶縁層３６６と、チャネルが形成される領域を有する半導体層２６０（半導体層２６０ａ、半導体層２６０ｂ、および半導体層２６０ｃ）と、ソースまたはドレインの一方として機能する導電層３４２ａと、ソースまたはドレインの他方として機能する導電層３４２ｂと、絶縁層３７１とを有する。

［０２６６］

なお、半導体層２６０ａ、半導体層２６０ｂ、および半導体層２６０ｃは、それぞれ、図５Ａおよび図５Ｂに示した酸化物層２６１ａ、酸化物層２６１ｂ、および酸化物層２６１ｃに相当する。よって、例えば、酸化物層２６１ｃを半導体層２６０ｃと読み換えることができる。また、酸化物層２６１ｃの一部が半導体層２６０ｃとして機能すると考えることもできる。また、酸化物層２６１ｃの一部に半導体層２６０ｃが含まれていると考えることもできる。

［０２６７］

導電層３０５は、絶縁層３６２に埋め込まれるように配置され、絶縁層３６５は、絶縁層３６２および導電層３０５の上に配置されている。絶縁層３６６は絶縁層３６５の上に配置されている。また、半導体層２６０は絶縁層３６６の上に配置されている。絶縁層３４９は半導体層２６０の上に配置され、導電層３６０（導電層３６０ａ、および導電層３６０ｂ）は絶縁層３４９上に配置されている。

［０２６８］

導電層３４２ａおよび導電層３４２ｂは、半導体層２６０ｂの上面の一部と接して配置され、絶縁層３７１は、絶縁層３６６の上面の一部、半導体層２６０ａの側面、半導体層２６０ｂの側面、導電層３４２ａの側面、導電層３４２ａの上面、導電層３４２ｂの側面、および導電層３４２ｂの上面に接して配置されている。

［０２６９］

絶縁層３４１は、絶縁層３８０、絶縁層３７４、絶縁層３８１に形成された開口の側壁に接して設けられ、その側面に接して導電層３４０の第１の導電体が設けられ、さらに内側に導電層３４０の第２の導電体が設けられている。ここで、導電層３４０の上面の高さと、絶縁層３８１の上面の高さは同程度にできる。なお、トランジスタ２００Ａでは、導電層３４０の第１の導電体および導電層３４０の第２の導電体を積層する構成について示しているが、本発明はこれに限られるものではない。例えば、導電層３４０を単層、または３層以上の積層構造として設ける構成にしてもよい。構造体が積層構造を有する場合、形成順に序数を付与し、区別する場合がある。

［０２７０］

半導体層２６０は、絶縁層３６６の上に配置された半導体層２６０ａと、半導体層２６０ａの上に配置された半導体層２６０ｂと、半導体層２６０ｂの上に配置され、少なくとも一部が半導体層２６０ｂの上面に接する半導体層２６０ｃと、を有することが好ましい。半導体層２６０ｂの下に半導体層２６０ａを有することで、半導体層２６０ａよりも下方に形成された構造物から、半導体層２６０ｂへの不純物の拡散を抑制することができる。また、半導体層２６０ｂ上に半導体層２６０ｃを有することで、半導体層２６０ｃよりも上方に形成された構造物から、半導体層２６０ｂへの不純物の拡散を抑制することができる。

［０２７１］
トランジスタ２００Ａは、半導体層２６０に、金属酸化物の一種である酸化物半導体を用いることが好ましい。
［０２７２］
チャネルが形成される半導体層に酸化物半導体を用いたトランジスタは、非導通状態において極めてリーク電流（オフ電流）が少ない。よって、消費電力が低減された半導体装置を実現できる。また、酸化物半導体は、スパッタリング法などを用いて形成できるため、高集積型の半導体装置の実現が容易となる。
［０２７３］
例えば、半導体層２６０として、Ｉｎ－Ｍ－Ｚｎ酸化物（元素Ｍは、ガリウム、イットリウム、錫、銅、バナジウム、ベリリウム、ホウ素、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、マグネシウムなどから選ばれた一種、または複数種）等の金属酸化物を用いるとよい。特に、元素Ｍは、ガリウム、イットリウム、または錫を用いるとよい。また、半導体層２６０として、Ｉｎ－Ｍ酸化物、Ｉｎ－Ｚｎ酸化物、またはＭ－Ｚｎ酸化物を用いてもよい。
［０２７４］
なお、半導体層２６０として酸化物半導体を用いる場合は、各金属原子の原子数比が異なる酸化物による積層構造を有することが好ましい。具体的には、半導体層２６０ａに用いる金属酸化物において、構成元素中の元素Ｍの原子数比が、半導体層２６０ｂに用いる金属酸化物における、構成元素中の元素Ｍの原子数比より大きいことが好ましい。また、半導体層２６０ａに用いる金属酸化物において、Ｉｎに対する元素Ｍの原子数比が、半導体層２６０ｂに用いる金属酸化物における、Ｉｎに対する元素Ｍの原子数比より大きいことが好ましい。また、半導体層２６０ｂに用いる金属酸化物において、元素Ｍに対するＩｎの原子数比が、半導体層２６０ａに用いる金属酸化物における、元素Ｍに対するＩｎの原子数比より大きいことが好ましい。また、半導体層２６０ｃは、半導体層２６０ａまたは半導体層２６０ｂに用いることができる金属酸化物を用いることができる。
［０２７５］
半導体層２６０ａ、半導体層２６０ｂ、および半導体層２６０ｃは、結晶性を有することが好ましく、特に、ＣＡＡＣ－ＯＳを用いることが好ましい。ＣＡＡＣ－ＯＳ等の結晶性を有する酸化物は、不純物や欠陥（酸素欠損等）が少なく、結晶性の高い、緻密な構造を有している。よって、ソース電極またはドレイン電極による、半導体層２６０ｂからの酸素の引き抜きを抑制することができる。これにより、熱処理を行っても、半導体層２６０ｂから酸素が引き抜かれることを低減できるので、トランジスタ２００Ａは、製造工程における高い温度（所謂サーマルバジェット）に対して安定である。
［０２７６］
なお、半導体層２６０ａおよび半導体層２６０ｃの一方または双方を省略してもよい。半導体層２６０を半導体層２６０ｂの単層としてもよい。半導体層２６０を半導体層２６０ａ、半導体層２６０ｂ、および半導体層２６０ｃの積層とする場合は、半導体層２６０ａおよび半導体層２６０ｃの伝導帯下端のエネルギーが、半導体層２６０ｂの伝導帯下端のエネルギーより高くなることが好ましい。また、言い換えると、半導体層２６０ａおよび半導体層２６０ｃの電子親和力が、半導体層２６０ｂの電子親和力より小さいことが好ましい。この場合、半導体層２６０ｃは、半導体層２６０ａに用いることができる金属酸化物を用いることが好ましい。具体的には、半導体層２６０ｃに用いる金属酸化物において、構成元素中の元素Ｍの原子数比が、半導体層２６０ｂに用いる金属酸化物における、構成元素中の元素Ｍの原子数比より、大きいことが好ましい。また、半導体層２６０ｃに用いる金属酸化物において、Ｉｎに対する元素Ｍの原子数比が、半導体層２６０ｂに用いる金属酸化物における、Ｉｎに対する元素Ｍの

原子数比より大きいことが好ましい。また、半導体層２６０ｂに用いる金属酸化物において、元素Mに対するＩｎの原子数比が、半導体層２６０ｃに用いる金属酸化物における、元素Mに対するＩｎの原子数比より大きいことが好ましい。

［０２７７］

ここで、半導体層２６０ａ、半導体層２６０ｂ、および半導体層２６０ｃの接合部において、伝導帯下端のエネルギー準位はなだらかに変化する。換言すると、半導体層２６０ａ、半導体層２６０ｂ、および半導体層２６０ｃの接合部における伝導帯下端のエネルギー準位は、連続的に変化または連続接合するともいうことができる。このようにするためには、半導体層２６０ａと半導体層２６０ｂとの界面、および半導体層２６０ｂと半導体層２６０ｃとの界面において形成される混合層の欠陥準位密度を低くするとよい。

［０２７８］

具体的には、半導体層２６０ａと半導体層２６０ｂ、半導体層２６０ｂと半導体層２６０ｃが、酸素以外に共通の元素を有する（主成分とする。）ことで、欠陥準位密度が低い混合層を形成することができる。例えば、半導体層２６０ｂがＩｎ－Ｇａ－Ｚｎ酸化物の場合、半導体層２６０ａおよび半導体層２６０ｃとして、Ｉｎ－Ｇａ－Ｚｎ酸化物、Ｇａ－Ｚｎ酸化物、酸化ガリウム等を用いてもよい。また、半導体層２６０ｃを積層構造としてもよい。例えば、Ｉｎ－Ｇａ－Ｚｎ酸化物と、当該Ｉｎ－Ｇａ－Ｚｎ酸化物上のＧａ－Ｚｎ酸化物との積層構造、またはＩｎ－Ｇａ－Ｚｎ酸化物と、当該Ｉｎ－Ｇａ－Ｚｎ酸化物上の酸化ガリウムとの積層構造を用いることができる。別言すると、Ｉｎ－Ｇａ－Ｚｎ酸化物と、Ｉｎを含まない酸化物との積層構造を、半導体層２６０ｃとして用いてもよい。

［０２７９］

具体的には、半導体層２６０ａとして、Ｉｎ：Ｇａ：Ｚｎ＝１：３：４［原子数比］、または１：１：０．５［原子数比］の金属酸化物を用いればよい。また、半導体層２６０ｂとして、Ｉｎ：Ｇａ：Ｚｎ＝４：２：３［原子数比］、または３：１：２［原子数比］の金属酸化物を用いればよい。また、半導体層２６０ｃとして、Ｉｎ：Ｇａ：Ｚｎ＝１：３：４［原子数比］、Ｉｎ：Ｇａ：Ｚｎ＝４：２：３［原子数比］、Ｇａ：Ｚｎ＝２：１［原子数比］、またはＧａ：Ｚｎ＝２：５［原子数比］の金属酸化物を用いればよい。また、半導体層２６０ｃを積層構造とする場合の具体例としては、Ｉｎ：Ｇａ：Ｚｎ＝４：２：３［原子数比］と、Ｇａ：Ｚｎ＝２：１［原子数比］との積層構造、Ｉｎ：Ｇａ：Ｚｎ＝４：２：３［原子数比］と、Ｇａ：Ｚｎ＝２：５［原子数比］との積層構造、Ｉｎ：Ｇａ：Ｚｎ＝４：２：３［原子数比］と、酸化ガリウムとの積層構造等が挙げられる。

［０２８０］

このとき、キャリアの主たる経路は半導体層２６０ｂとなる。半導体層２６０ａ、半導体層２６０ｃを上述の構成とすることで、半導体層２６０ａと半導体層２６０ｂとの界面、および半導体層２６０ｂと半導体層２６０ｃとの界面における欠陥準位密度を低くすることができる。そのため、界面散乱によるキャリア伝導への影響が小さくなり、トランジスタ２００Ａは高いオン電流、および高い周波数特性を得ることができる。なお、半導体層２６０ｃを積層構造とした場合、上述の半導体層２６０ｂと、半導体層２６０ｃとの界面における欠陥準位密度を低くする効果に加え、半導体層２６０ｃが有する構成元素が、絶縁層３４９側に拡散するのを抑制することが期待される。より具体的には、半導体層２６０ｃを積層構造とし、積層構造の上方にＩｎを含まない酸化物を位置させるため、絶縁層３４９側に拡散しうるＩｎを抑制することができる。絶縁層３４９は、ゲート絶縁体として機能するため、Ｉｎが拡散した場合、トランジスタの特性不良となる。したがって、半導体層２６０ｃを積層構造とすることで、信頼性の高い記憶装置を提供することが可能となる。

［０２８１］

半導体層２６０は、酸化物半導体として機能する金属酸化物を用いることが好ましい。例えば、半導体層２６０のチャネル形成領域となる金属酸化物としては、バンドギャップが２ｅＶ以上、好ましくは２．５ｅＶ以上のものを用いることが好ましい。このように、バンドギャップの大きい金属酸化物を用いることで、トランジスタのオフ電流を低減することができる。このようなトランジスタを用いることで、低消費電力の記憶装置を提供できる。

［０２８２］

トランジスタ２００Ａでは、第１のゲート（トップゲートともいう。）電極として機能する導電層３６０が、絶縁層３８０などに形成されている開口を埋めるように自己整合的に形成される。導電層３６０をこのように形成することにより、導電層３４２ａと導電層３４２ｂとの間の領域に、導電層３６０を位置合わせすることなく確実に配置することができる。

［０２８３］

導電層３６０は、導電層３６０ａと、導電層３６０ａの上に配置された導電層３６０ｂと、を有することが好ましい。例えば、導電層３６０ａは、導電層３６０ｂの底面および側面を包むように配置されることが好ましい。また、図２５Ｂに示すように、導電層３６０の上面は、絶縁層３４９の上面および酸化物２６０ｃの上面と略一致している。

［０２８４］

導電層３０５は、第２のゲート（ボトムゲートともいう。）電極として機能する場合がある。その場合、導電層３０５に印加する電位を、導電層３６０に印加する電位と、連動させず、独立して変化させることで、トランジスタ２００Ａのしきい値電圧（Ｖｔｈ）を制御することができる。特に、導電層３０５に負の電位を印加することにより、トランジスタ２００ＡのＶｔｈを０Ｖより大きくし、オフ電流を低減することが可能となる。したがって、導電層３０５に負の電位を印加したほうが、印加しない場合よりも、導電層３６０に印加する電位が０Ｖのときのドレイン電流を小さくすることができる。

［０２８５］

また、例えば、導電層３０５と導電層３６０を半導体層２６０のチャネル形成領域を介して重畳して設けることで、導電層３０５、および導電層３６０に電圧を印加した場合、導電層３６０から生じる電界と、導電層３０５から生じる電界と、がつながり、半導体層２６０のチャネル形成領域を覆うことができる。

［０２８６］

つまり、第１のゲート電極としての機能を有する導電層３６０の電界と、第２のゲート電極としての機能を有する導電層３０５の電界によって、チャネル形成領域を電気的に取り囲むことができる。本明細書などにおいて、第１のゲート電極、および第２のゲート電極の電界によって、チャネル形成領域を電気的に取り囲むトランジスタの構造を、ｓｕｒｒｏｕｎｄｅｄ　ｃｈａｎｎｅｌ（Ｓ－ｃｈａｎｎｅｌ）構造とよぶ。

［０２８７］

絶縁層３６５、および絶縁層３７１は、水素（例えば、水素原子、水素分子などの少なくとも一）の拡散を抑制する機能を有することが好ましい。また、絶縁層３６５、および絶縁層３７１は、酸素（例えば、酸素原子、酸素分子などの少なくとも一）の拡散を抑制する機能を有することが好ましい。例えば、絶縁層３６５、および絶縁層３７１は、それぞれ絶縁層３６６よりも水素および酸素の一方または双方の拡散を抑制する機能を有することが好ましい。絶縁層３６５、および絶縁層３７１は、それぞれ絶縁層３４９よりも水素および酸素の一方または双方の拡散を抑制する機能を有することが好ましい。絶縁層３６５、および絶縁層３７１は、それぞれ絶縁層３８０よりも水素および酸素の一方または双方の拡散を抑制する機能を有することが好ましい。

［０２８８］

なお、本明細書などにおいて、水素または酸素の拡散を抑制する機能を有する膜を、水素または酸素が透過しにくい膜、水素または酸素の透過性が低い膜、水素または酸素に対してバリア性を有する膜、水素または酸素に対するバリア膜などと呼ぶ場合がある。また、バリア膜に導電性を有する場合、当該バリア膜を導電性バリア膜と呼ぶことがある。

［０２８９］

また、図２５Ｂに示すように、絶縁層３７１は、導電層３４２ａおよび導電層３４２ｂの上面と、導電層３４２ａと導電層３４２ｂとが互いに向かい合う側面以外の、導電層３４２ａおよび導電層３４２ｂの側面と、半導体層２６０ａおよび半導体層２６０ｂの側面と、絶縁層３６６の上面の一部と、に接することが好ましい。これにより、絶縁層３８０は、絶縁層３７１によって、絶縁層３６６、半導体層２６０ａ、および半導体層２６０ｂと離隔される。したがって、絶縁層３８０などに含まれる水素などの不純物が、絶縁層３６６、半導体層２６０ａ、および半導体層２６０ｂへ混入するのを抑制することができる。

［０２９０］

また、図２５Ｂに示すように、トランジスタ２００Ａは、絶縁層３７４が、導電層３６０、絶縁層３４９、および半導体層２６０ｃのそれぞれの上面と接する構造となっている。このような構造とすることで、絶縁層３８１などに含まれる水素などの不純物が、絶縁層３４９へ混入することを抑えることができる。したがって、トランジスタの電気特性およびトランジスタの信頼性への悪影響を抑制することができる。

［０２９１］

上記構造を有することで、オン電流が大きいトランジスタを提供することができる。または、オフ電流が小さいトランジスタを提供することができる。または、電気特性の変動を抑制し、安定した電気特性を有すると共に、信頼性を向上させた半導体装置を提供することができる。

［０２９２］

《トランジスタの構造例２》

図２６Ａ、図２６Ｂおよび図２６Ｃを用いてトランジスタ２００Ｂの構造例を説明する。図２６Ａはトランジスタ２００Ｂの上面図である。図２６Ｂは、図２６Ａに一点鎖線で示すＬ１－Ｌ２部位の断面図である。図２６Ｃは、図２６Ａに一点鎖線で示すＷ１－Ｗ２部位の断面図である。なお、図２６Ａの上面図では、図の明瞭化のために一部の要素を省いて図示している。

［０２９３］

トランジスタ２００Ｂはトランジスタ２００Ａの変形例である。よって、説明の繰り返しを防ぐため、主にトランジスタ２００Ａと異なる点について説明する。

［０２９４］

第１のゲート電極として機能する導電層３６０は、導電層３６０ａ、および導電層３６０ａ上の導電層３６０ｂを有する。導電層３６０ａは、水素原子、水素分子、水分子、銅原子などの不純物の拡散を抑制する機能を有する導電性材料を用いることが好ましい。または、酸素（例えば、酸素原子、酸素分子などの少なくとも一）の拡散を抑制する機能を有する導電性材料を用いることが好ましい。

［０２９５］

導電層３６０ａが酸素の拡散を抑制する機能を持つことにより、導電層３６０ｂの材料選択性を向上することができる。つまり、導電層３６０ａを有することで、導電層３６０ｂの酸化が抑制され、導電率が低下することを防止することができる。

［０２９６］

また、導電層３６０の上面および側面、絶縁層３４９の側面、および半導体層２６０ｃの側面を覆うように、絶縁層３７１を設けることが好ましい。なお、絶縁層３７１は、水または水素などの不純物、お

よび酸素の拡散を抑制する機能を有する絶縁性材料を用いるとよい。例えば、酸化アルミニウムまたは酸化ハフニウムなどを用いることが好ましい。また、他にも、例えば、酸化マグネシウム、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジムまたは酸化タンタルなどの金属酸化物、窒化酸化シリコンまたは窒化シリコンなどを用いることができる。

［０２９７］

絶縁層３７１を設けることで、導電層３６０の酸化を抑制することができる。また、絶縁層３７１を有することで、絶縁層３８０が有する水、および水素などの不純物がトランジスタ２００Ｂへ拡散することを抑制することができる。

［０２９８］

トランジスタ２００Ｂは、導電層３４２ａの一部と導電層３４２ｂの一部に導電層３６０が重なるため、トランジスタ２００Ａよりも寄生容量が大きくなりやすい。よって、トランジスタ２００Ａに比べて動作周波数が低くなる傾向がある。しかしながら、絶縁層３８０などに開口を設けて導電層３６０や絶縁層３４９などを埋めこむ工程が不要であるため、トランジスタ２００Ａと比較して生産性が高い。

［０２９９］

本実施の形態は、他の実施の形態などに記載した構成と適宜組み合わせて実施することが可能である。

［０３００］

（実施の形態５）

本実施の形態では、本発明の一態様に係る記憶装置または半導体装置を適用できる電子部品および電子機器について説明する。

［０３０１］

本発明の一態様に係る記憶装置または半導体装置は、様々な電子機器に搭載することができる。特に、本発明の一態様に係る記憶装置または半導体装置は、電子機器に内蔵されるメモリとして用いることができる。電子機器の例としては、例えば、テレビジョン装置、デスクトップ型もしくはノート型のパーソナルコンピュータ、コンピュータ用などのモニタ、デジタルサイネージ（Ｄｉｇｉｔａｌ　Ｓｉｇｎａｇｅ：電子看板）、パチンコ機などの大型ゲーム機などの比較的大きな画面を備える電子機器の他、デジタルカメラ、デジタルビデオカメラ、デジタルフォトフレーム、携帯電話機、携帯型ゲーム機、携帯情報端末、音響再生装置、などが挙げられる。

［０３０２］

本発明の一態様の電子機器は、アンテナを有していてもよい。アンテナで信号を受信することで、表示部で映像や情報等の表示を行うことができる。また、電子機器がアンテナおよび二次電池を有する場合、アンテナを、非接触電力伝送に用いてもよい。

［０３０３］

本発明の一態様の電子機器は、センサ（力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学物質、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、においまたは赤外線を測定する機能を含むもの）を有していてもよい。

［０３０４］

本発明の一態様の電子機器は、様々な機能を有することができる。例えば、様々な情報（静止画、動画、テキスト画像など）を表示部に表示する機能、タッチパネル機能、カレンダー、日付または時刻などを表示する機能、様々なソフトウェア（プログラム）を実行する機能、無線通信機能、記録媒体に記録されているプログラムまたはデータを読み出す機能等を有することができる。

［０３０５］

《電子部品》

記憶装置１００が組み込まれた電子部品の例を、図２７Ａ、図２７Ｂに示す。

［０３０６］
図２７Ａに電子部品７００および電子部品７００が実装された基板（実装基板７０４）の斜視図を示す。図２７Ａに示す電子部品７００はＩＣ半導体装置であり、リードおよび回路部を有する。電子部品７００は、例えばプリント基板７０２に実装される。このようなＩＣ半導体装置が複数組み合わされて、それぞれがプリント基板７０２上で電気的に接続されることで実装基板７０４が完成する。
［０３０７］
電子部品７００の回路部として、上記実施の形態に示した記憶装置１００が設けられている。図２７Ａでは、電子部品７００のパッケージにＱＦＰ（Ｑｕａｄ　Ｆｌａｔ　Ｐａｃｋａｇｅ）を適用しているが、パッケージの態様はこれに限定されない。
［０３０８］
図２７Ｂに電子部品７３０の斜視図を示す。電子部品７３０は、ＳｉＰ（Ｓｙｓｔｅｍ　ｉｎ　ｐａｃｋａｇｅ）またはMCM（Ｍｕｌｔｉ－Ｃｈｉｐ　Ｍｏｄｕｌｅ）の一例である。電子部品７３０は、パッケージ基板７３２（プリント基板）上にインターポーザ７３１が設けられ、インターポーザ７３１上に半導体装置７３５、および複数の記憶装置１００が設けられている。
［０３０９］
電子部品７３０では、記憶装置１００を広帯域メモリ（ＨＢＭ：Ｈｉｇｈ　Ｂａｎｄｗｉｄｔｈ　Ｍｅｍｏｒｙ）として用いる例を示している。また、半導体装置７３５は、ＣＰＵ、ＧＰＵ、ＦＰＧＡ（Ｆｉｅｌｄ　Ｐｒｏｇｒａｍｍａｂｌｅ　Ｇａｔｅ　Ａｒｒａｙ）などの集積回路を用いることができる。
［０３１０］
パッケージ基板７３２は、セラミック基板、プラスチック基板、またはガラスエポキシ基板などを用いることができる。インターポーザ７３１は、シリコンインターポーザ、樹脂インターポーザなどを用いることができる。
［０３１１］
インターポーザ７３１は、複数の配線を有し、端子ピッチの異なる複数の集積回路を電気的に接続する機能を有する。複数の配線は、単層または多層で設けられる。また、インターポーザ７３１は、インターポーザ７３１上に設けられた集積回路をパッケージ基板７３２に設けられた電極と電気的に接続する機能を有する。これらのことから、インターポーザを「再配線基板」または「中間基板」と呼ぶ場合がある。また、インターポーザ７３１に貫通電極を設けて、当該貫通電極を用いて集積回路とパッケージ基板７３２を電気的に接続する場合もある。また、シリコンインターポーザでは、貫通電極として、ＴＳＶ（Ｔｈｒｏｕｇｈ　Ｓｉｌｉｃｏｎ　Ｖｉａ）を用いることも出来る。
［０３１２］
インターポーザ７３１としてシリコンインターポーザを用いることが好ましい。シリコンインターポーザでは能動素子を設ける必要が無いため、集積回路よりも低コストで作製することができる。一方で、シリコンインターポーザの配線形成は半導体プロセスで行なうことができるため、樹脂インターポーザでは難しい微細配線の形成が容易である。
［０３１３］
ＨＢＭでは、広いメモリバンド幅を実現するために多くの配線を用いる必要がある。このため、ＨＢＭを実装するインターポーザには、微細かつ高密度の配線形成が求められる。よって、ＨＢＭを実装するインターポーザには、シリコンインターポーザを用いることが好ましい。
［０３１４］
また、シリコンインターポーザを用いたＳｉＰやMCMなどでは、集積回路とインターポーザ間の膨張係数の違いによる信頼性の低下が生じにくい。また、シリコンインターポーザは表面の平坦性が高いため、シリコンインターポーザ上に設ける集積回路とシリコンインターポーザ間の接続不良が生じにくい。

特に、インターポーザ上に複数の集積回路を並べて配置する２．５Ｄパッケージ（２．５次元実装）では、シリコンインターポーザを用いることが好ましい。

［０３１５］

また、電子部品７３０と重ねてヒートシンク（放熱板）を設けてもよい。ヒートシンクを設ける場合は、インターポーザ７３１上に設ける集積回路の高さを揃えることが好ましい。例えば、本実施の形態に示す電子部品７３０では、記憶装置１００と半導体装置７３５の高さを揃えることが好ましい。

［０３１６］

電子部品７３０を他の基板に実装するため、パッケージ基板７３２の底部に電極７３３を設けてもよい。図２７Ｂでは、電極７３３を半田ボールで形成する例を示している。パッケージ基板７３２の底部に半田ボールをマトリクス状に設けることで、ＢＧＡ（Ｂａｌｌ　Ｇｒｉｄ　Ａｒｒａｙ）実装を実現できる。また、電極７３３を導電性のピンで形成してもよい。パッケージ基板７３２の底部に導電性のピンをマトリクス状に設けることで、ＰＧＡ（Ｐｉｎ　Ｇｒｉｄ　Ａｒｒａｙ）実装を実現できる。

［０３１７］

電子部品７３０は、ＢＧＡおよびＰＧＡに限らず様々な実装方法を用いて他の基板に実装することができる。例えば、ＳＰＧＡ（Ｓｔａｇｇｅｒｅｄ　Ｐｉｎ　Ｇｒｉｄ　Ａｒｒａｙ）、ＬＧＡ（Ｌａｎｄ　Ｇｒｉｄ　Ａｒｒａｙ）、ＱＦＰ（Ｑｕａｄ　Ｆｌａｔ　Ｐａｃｋａｇｅ）、ＱＦＪ（Ｑｕａｄ　Ｆｌａｔ　Ｊ－ｌｅａｄｅｄ　ｐａｃｋａｇｅ）、またはＱＦＮ（Ｑｕａｄ　Ｆｌａｔ　Ｎｏｎ－ｌｅａｄｅｄ　ｐａｃｋａｇｅ）などの実装方法を用いることができる。

［０３１８］

《電子機器》

次に、上記電子部品を備えた電子機器の例について図２８乃至図３１を用いて説明を行う。

［０３１９］

図２８に示すロボット７１００は、照度センサ、マイクロフォン、カメラ、スピーカ、ディスプレイ、各種センサ（赤外線センサ、超音波センサ、加速度センサ、ピエゾセンサ、光センサ、ジャイロセンサなど）、および移動機構などを備える。電子部品７３０はプロセッサなどを有し、これら周辺機器を制御する機能を有する。例えば、電子部品７００はセンサで取得されたデータを記憶する機能を有する。

［０３２０］

マイクロフォンは、使用者の音声および環境音などの音響信号を検知する機能を有する。また、スピーカは、音声および警告音などのオーディオ信号を発する機能を有する。ロボット７１００は、マイクロフォンを介して入力された音響信号を解析し、必要なオーディオ信号をスピーカから発することができる。ロボット７１００は、マイクロフォン、およびスピーカを用いて、使用者とコミュニケーションをとることが可能である。

［０３２１］

カメラは、ロボット７１００の周囲の画像を撮像する機能を有する。また、ロボット７１００は、移動機構を用いて移動する機能を有する。ロボット７１００は、カメラを用いて周囲の画像を撮像し、画像を解析して移動する際の障害物の有無などを察知することができる。

［０３２２］

飛行体７１２０は、プロペラ、カメラ、およびバッテリなどを有し、自律して飛行する機能を有する。電子部品７３０はこれら周辺機器を制御する機能を有する。

［０３２３］

例えば、カメラで撮影した画像データは、電子部品７００に記憶される。電子部品７３０は、画像データを解析し、移動する際の障害物の有無などを察知することができる。また、電子部品７３０によってバッテリの蓄電容量の変化から、バッテリ残量を推定することができる。

［０３２４］
掃除ロボット７１４０は、上面に配置されたディスプレイ、側面に配置された複数のカメラ、ブラシ、操作ボタン、各種センサなどを有する。図示されていないが、掃除ロボット７１４０には、タイヤ、吸い込み口などが備えられている。掃除ロボット７１４０は自走し、ゴミを検知し、下面に設けられた吸い込み口からゴミを吸引することができる。
［０３２５］
例えば、電子部品７３０は、カメラが撮影した画像を解析し、壁、家具または段差などの障害物の有無を判断することができる。また、画像解析により、配線などブラシに絡まりそうな物体を検知した場合は、ブラシの回転を止めることができる。
［０３２６］
移動体の一例として自動車７１６０を示す。自動車７１６０は、エンジン、タイヤ、ブレーキ、操舵装置、カメラなどを有する。例えば、電子部品７３０は、ナビゲーション情報、速度、エンジンの状態、ギアの選択状態、ブレーキの使用頻度などのデータに基づいて、自動車７１６０の走行状態を最適化するための制御を行う。例えば、カメラで撮影した画像データは電子部品７００に記憶される。
［０３２７］
なお、上述では、移動体の一例として自動車について説明しているが、移動体は自動車に限定されない。例えば、移動体としては、電車、モノレール、船、飛行体（ヘリコプター、無人航空機（ドローン）、飛行機、ロケット）なども挙げることができ、これらの移動体に本発明の一態様のコンピュータを適用して、人工知能を利用したシステムを付与することができる。
［０３２８］
電子部品７００および／または電子部品７３０は、ＴＶ装置７２００（テレビジョン受像装置）、スマートフォン７２１０、ＰＣ７２２０（パーソナルコンピュータ）、ＰＣ７２３０、ゲーム機７２４０、ゲーム機７２６０等に組み込むことができる。
［０３２９］
例えば、ＴＶ装置７２００に内蔵された電子部品７３０は画像エンジンとして機能させることができる。例えば、電子部品７３０は、ノイズ除去、解像度アップコンバージョンなどの画像処理を行う。
［０３３０］
スマートフォン７２１０は、携帯情報端末の一例である。スマートフォン７２１０は、マイクロフォン、カメラ、スピーカ、各種センサ、および表示部を有する。電子部品７３０によってこれら周辺機器が制御される。
［０３３１］
ＰＣ７２２０、ＰＣ７２３０はそれぞれノート型ＰＣ、据え置き型ＰＣの例である。ＰＣ７２３０には、キーボード７２３２、およびモニタ装置７２３３が無線または有線により接続可能である。
［０３３２］
ゲーム機７２４０は携帯型ゲーム機の例である。ゲーム機７２６０は家庭用の据え置き型ゲーム機の例である。ゲーム機７２６０には、無線または有線でコントローラ７２６２が接続されている。コントローラ７２６２に、電子部品７００および／または電子部品７３０を組み込むこともできる。
［０３３３］
本発明の一態様の記憶装置または半導体装置を適用するゲーム機はこれらに限定されない。本発明の一態様の記憶装置または半導体装置を用いるゲーム機としては、例えば、娯楽施設（ゲームセンター、遊園地など）に設置されるアーケードゲーム機、スポーツ施設に設置されるバッティング練習用の投球マシンなどが挙げられる。
［０３３４］

本発明の一態様の記憶装置または半導体装置は、メモリカード（例えば、ＳＤカード）、ＵＳＢメモリ、ＳＳＤ（ソリッド・ステート・ドライブ）等の各種のリムーバブル記憶装置に用いることができる。図２９にリムーバブル記憶装置の幾つかの構成例を模式的に示す。本発明の一態様の記憶装置または半導体装置は、様々なストレージ装置、リムーバブルメモリに用いることができる。

［０３３５］

図２９ＡはＵＳＢメモリの模式図である。ＵＳＢメモリ１１００は、筐体１１０１、キャップ１１０２、ＵＳＢコネクタ１１０３および基板１１０４を有する。基板１１０４は、筐体１１０１に収納されている。例えば、基板１１０４には、メモリチップ１１０５、コントローラチップ１１０６が取り付けられている。基板１１０４のメモリチップ１１０５などに本発明の一態様の記憶装置または半導体装置を組み込むことができる。

［０３３６］

図２９ＢはＳＤカードの外観の模式図であり、図２９Ｃは、ＳＤカードの内部構造の模式図である。ＳＤカード１１１０は、筐体１１１１、コネクタ１１１２および基板１１１３を有する。基板１１１３は筐体１１１１に収納されている。例えば、基板１１１３には、メモリチップ１１１４、コントローラチップ１１１５が取り付けられている。基板１１１３の裏面側にもメモリチップ１１１４を設けることで、ＳＤカード１１１０の容量を増やすことができる。また、無線通信機能を備えた無線チップを基板１１１３に設けてもよい。これによって、ホスト装置とＳＤカード１１１０間の無線通信によって、メモリチップ１１１４のデータの読み出し、書き込みが可能となる。基板１１１３のメモリチップ１１１４などに先の実施の形態に示す記憶装置または半導体装置を組み込むことができる。

［０３３７］

図２９ＤはＳＳＤの外観の模式図であり、図２９Ｅは、ＳＳＤの内部構造の模式図である。ＳＳＤ１１５０は、筐体１１５１、コネクタ１１５２および基板１１５３を有する。基板１１５３は筐体１１５１に収納されている。例えば、基板１１５３には、メモリチップ１１５４、メモリチップ１１５５、コントローラチップ１１５６が取り付けられている。メモリチップ１１５５はコントローラチップ１１５６のワークメモリであり、例えばＤＯＳＲＡＭチップを用いればよい。基板１１５３の裏面側にもメモリチップ１１５４を設けることで、ＳＳＤ１１５０の容量を増やすことができる。基板１１５３のメモリチップ１１５４などに先の実施の形態に示す記憶装置または半導体装置を組み込むことができる。

［０３３８］

図３０Ａに示す警報装置８１００は、住宅用火災警報器であり、検出部と、半導体装置８１０１を有している。半導体装置８１０１に上述した電子部品７００および／または電子部品７３０を用いることで、警報装置８１００を省電力化できる。また、高温環境下においても安定した動作を実現できる。よって、警報装置８１００の信頼性を高めることができる。

［０３３９］

図３０Ａに示すエアコンディショナーは、室内機８２００および室外機８２０４を有する。室内機８２００は、筐体８２０１、送風口８２０２、半導体装置８２０３などを有する。図３０Ａでは、半導体装置８２０３が、室内機８２００に設けられている場合を例示しているが、半導体装置８２０３は室外機８２０４に設けられていてもよい。または、室内機８２００と室外機８２０４の両方に、半導体装置８２０３が設けられていてもよい。半導体装置８２０３に上述した電子部品７００および／または電子部品７３０を用いることで、エアコンディショナーを省電力化できる。また、高温環境下においても安定した動作を実現できる。よって、エアコンディショナーの信頼性を高めることができる。

［０３４０］

図３０Ａに示す電気冷凍冷蔵庫８３００は、筐体８３０１、冷蔵室用扉８３０２、冷凍室用扉８３０３、半導体装置８３０４などを有する。図３０Ａでは、半導体装置８３０４が、筐体８３０１の内部に設け

られている。半導体装置８３０４に電子部品７００および／または電子部品７３０を用いることで、電気冷凍冷蔵庫８３００を省電力化できる。また、高温環境下においても安定した動作を実現できる。よって、電気冷凍冷蔵庫８３００の信頼性を高めることができる。

［０３４１］

なお、本実施の形態では、電化製品の一例として電気冷凍冷蔵庫およびエアコンディショナーについて説明した。本発明の一態様の記憶装置または半導体装置は、その他の電化製品に用いることもできる。その他の電化製品としては、例えば、掃除機、電子レンジ、電子オーブン、炊飯器、湯沸かし器、ＩＨ調理器、ウォーターサーバ、冷暖房器具（エアーコンディショナーを含む）、洗濯機、乾燥機、オーディオビジュアル機器などが挙げられる。

［０３４２］

図３０Ｂ、図３０Ｃに電気自動車の一例を示す。電気自動車９７００には、二次電池９７０１が搭載されている。二次電池９７０１の電力は、制御回路９７０２により出力が調整されて、駆動装置９７０３に供給される。制御回路９７０２は、図示しない半導体装置などを有する処理装置９７０４によって制御される。制御回路９７０２や処理装置９７０４に、上述した電子部品７００および／または電子部品７３０を用いることで、電気自動車９７００を省電力化できる。また、高温環境下においても安定した動作を実現できる。よって、電気自動車９７００の信頼性を高めることができる。

［０３４３］

駆動装置９７０３は、直流電動機もしくは交流電動機単体、または電動機と内燃機関と、を組み合わせて構成される。処理装置９７０４は、電気自動車９７００の運転者の操作情報（加速、減速、停止など）や走行時の情報（上り坂や下り坂等の情報、駆動輪にかかる負荷情報など）などの入力情報に基づき、制御回路９７０２に制御信号を出力する。制御回路９７０２は、処理装置９７０４の制御信号により、二次電池９７０１から供給される電気エネルギーを調整して駆動装置９７０３の出力を制御する。交流電動機を搭載している場合は、図示していないが、直流を交流に変換するインバータも内蔵される。

［０３４４］

図３１Ａに示す計算機５４００は、大型の計算機の例である。計算機５４００には、ラック５４１０にラックマウント型の計算機５４２０が複数格納されている。

［０３４５］

計算機５４２０は、例えば、図３１Ｂに示す斜視図の構成とすることができる。図３１Ｂにおいて、計算機５４２０は、マザーボード５４３０を有し、マザーボードは、複数のスロット５４３１、複数の接続端子などを有する。スロット５４３１には、ＰＣカード５４２１が挿されている。加えて、ＰＣカード５４２１は、接続端子５４２３、接続端子５４２４、接続端子５４２５を有し、それぞれ、マザーボード５４３０に接続されている。

［０３４６］

図３１Ｃに示すＰＣカード５４２１は、ＣＰＵ、ＧＰＵ、記憶装置などを備えた処理ボードの一例である。ＰＣカード５４２１は、ボード５４２２を有する。また、ボード５４２２は、接続端子５４２３、接続端子５４２４、接続端子５４２５と、半導体装置５４２６と、半導体装置５４２７と、半導体装置５４２８と、接続端子５４２９と、を有する。なお、図３１Ｃには、半導体装置５４２６、半導体装置５４２７、および半導体装置５４２８以外の半導体装置を図示しているが、それらの半導体装置については、以下に記載する半導体装置５４２６、半導体装置５４２７、および半導体装置５４２８の説明を参酌すればよい。

［０３４７］

接続端子５４２９は、マザーボード５４３０のスロット５４３１に挿すことができる形状を有しており、接続端子５４２９は、ＰＣカード５４２１とマザーボード５４３０とを接続するためのインターフェースとして機能する。接続端子５４２９の規格としては、例えば、ＰＣＩｅなどが挙げられる。

［０３４８］

接続端子５４２３、接続端子５４２４、接続端子５４２５は、例えば、ＰＣカード５４２１に対して電力供給、信号入力などを行うためのインターフェースとすることができる。また、例えば、ＰＣカード５４２１によって計算された信号の出力などを行うためのインターフェースとすることができる。接続端子５４２３、接続端子５４２４、接続端子５４２５のそれぞれの規格としては、例えば、ＵＳＢ（Ｕｎｉｖｅｒｓａｌ　Ｓｅｒｉａｌ　Ｂｕｓ）、ＳＡＴＡ（Ｓｅｒｉａｌ　ＡＴＡ）、ＳＣＳＩ（Ｓｍａｌｌ　Ｃｏｍｐｕｔｅｒ　Ｓｙｓｔｅｍ　Ｉｎｔｅｒｆａｃｅ）などが挙げられる。また、接続端子５４２３、接続端子５４２４、接続端子５４２５から映像信号を出力する場合、それぞれの規格としては、ＨＤＭＩ（登録商標）などが挙げられる。

［０３４９］

半導体装置５４２６は、信号の入出力を行う端子（図示しない。）を有しており、当該端子をボード５４２２が備えるソケット（図示しない。）に対して差し込むことで、半導体装置５４２６とボード５４２２を電気的に接続することができる。

［０３５０］

半導体装置５４２７は、複数の端子を有しており、当該端子をボード５４２２が備える配線に対して、例えば、リフロー方式のはんだ付けを行うことで、半導体装置５４２７とボード５４２２を電気的に接続することができる。半導体装置５４２７としては、例えば、ＦＰＧＡ、ＧＰＵ、ＣＰＵなどが挙げられる。半導体装置５４２７として、電子部品７３０を用いることができる。

［０３５１］

半導体装置５４２８は、複数の端子を有しており、当該端子をボード５４２２が備える配線に対して、例えば、リフロー方式のはんだ付けを行うことで、半導体装置５４２８とボード５４２２を電気的に接続することができる。半導体装置５４２８としては、例えば、記憶装置などが挙げられる。半導体装置５４２８として、電子部品７００を用いることができる。

［０３５２］

計算機５４００は並列計算機としても機能できる。計算機５４００を並列計算機として用いることで、例えば、人工知能の学習、および推論に必要な大規模の計算を行うことができる。

［０３５３］

上記の各種電子機器に、本発明の一態様の記憶装置または半導体装置を用いることにより、電子機器の小型化、高速化、または低消費電力化を図ることができる。また、低消費電力により、回路からの発熱を低減することができるため、発熱によるその回路自体、周辺回路、およびモジュールへの影響を少なくすることができる。また、高温環境下においても安定した動作を実現できる。よって、電子機器の信頼性を高めることができる。

［０３５４］

本実施の形態は、他の実施の形態などに記載した構成と適宜組み合わせて実施することが可能である。

［符号の説明］

［０３５５］

１０：メモリセル、１００：記憶装置、１１０：電極、１１１：入出力回路、１１２：制御回路、１１３：Ｃレシーバ、１１４：設定レジスタ、１１５：ＬＶＤＳ回路、１１６：ＬＶＤＳ回路、１１７：デコーダ、１１８：レジスタ、１１９：レジスタ、１２０：電極、１２７：センスアンプ、１３０：絶縁層、１５２：電極、１５３：電極、１５４：絶縁層、１５６：絶縁層、２００：トランジスタ　　、

２１０：記憶ブロックアレイ、２１１：記憶ブロック、２１２：ワード線ドライバ、２１３：ローカルセンスアンプドライバ、２１４：ローカルセンスアンプアレイ、２１５：グローバルセンスアンプ、２１６：セレクタ、２１８：負電圧生成回路、２２０：容量素子、２２１：セルアレイ、２２３：サブセルアレイ

請求の範囲

［請求項１］

第１方向に延在する複数の第１配線と、

複数の酸化物層と、

第１記憶素子群と、第２記憶素子群と、を有し、

前記複数の第１配線は、

前記第１記憶素子群と重なる領域と、

前記第２記憶素子群と重なる領域と、を有し、

前記複数の酸化物層の一は、前記第１配線の一の側面に沿って延在する領域を有し、

前記第１記憶素子群と前記第２記憶素子群は、複数の記憶素子を有し、

前記複数の記憶素子のそれぞれは、トランジスタと、容量素子と、を有し、

前記複数の記憶素子のそれぞれにおいて、

前記トランジスタのゲート電極は、前記複数の第１配線の一と電気的に接続され、

前記トランジスタの半導体層は、前記複数の酸化物層の一と接する領域を有し、

前記第１記憶素子群の端部に配置された記憶素子が有するトランジスタのゲート電極から、

前記第２記憶素子群の端部に配置された記憶素子が有するトランジスタのゲート電極までの最短距離が３．５μｍ以下である記憶装置。

［請求項２］

請求項１において、

前記最短距離が２．３μｍ以下である記憶装置。

［請求項３］

請求項１または請求項２において、

第２方向に延在する複数の第２配線を有し、

前記複数の記憶素子のそれぞれにおいて、

前記トランジスタのソース電極またはドレイン電極の一方は、

前記複数の第２配線の一つと電気的に接続される記憶装置。

［請求項４］

請求項３において、

前記複数の記憶素子のそれぞれにおいて、

前記トランジスタのソース電極またはドレイン電極の他方は、

前記容量素子と電気的に接続される記憶装置。

［請求項５］

請求項１乃至請求項４のいずれか一項において、

前記複数の酸化物層の一は、絶縁層を介して前記第１配線の一と重なる領域を有する記憶装置。

［請求項６］

請求項１乃至請求項５のいずれか一項において、

前記酸化物層は、インジウムおよび亜鉛の一方または双方を含む記憶装置。

［請求項７］

請求項１乃至請求項６のいずれか一項において、

前記半導体層は、インジウムおよび亜鉛の一方または双方を含む記憶装置。

［請求項８］

請求項１乃至請求項７のいずれか一項において、

第１方向に延在する複数の第３配線を有し、

前記複数の第３配線の一つは、
前記複数の第１配線の一つと互いに重なる領域を有する記憶装置。
[請求項９]
第１方向に延在する複数の第１配線と、
複数の酸化物層と、
第１記憶素子群と、第２記憶素子群と、第１領域と、を有し、
前記複数の第１配線は、
前記第１記憶素子群と重なる領域と、
前記第２記憶素子群と重なる領域と、
前記第１領域と重なる領域と、を有し、
前記複数の酸化物層の一は、前記第１配線の一の側面に沿って延在する領域を有し、
前記第１記憶素子群と前記第２記憶素子群は、複数の記憶素子を有し、
前記複数の記憶素子のそれぞれは、第１トランジスタと、容量素子と、を有し、
前記複数の記憶素子のそれぞれにおいて、
前記第１トランジスタのゲートは、前記複数の第１配線の一と電気的に接続され、
前記第１トランジスタの半導体層は、前記複数の酸化物層の一と接する領域を有し、
前記第１領域は、複数の第２トランジスタを有し、
前記複数の第２トランジスタのそれぞれにおいて、
ゲート電極が前記複数の第１配線の一と電気的に接続され、
ソース電極およびドレイン電極の一方または双方が第４配線と電気的に接続され、
前記第４配線に高電源電位を供給する機能を有する記憶装置。
[請求項１０]
請求項９において、
第２方向に延在する複数の第２配線を有し、
前記複数の記憶素子のそれぞれにおいて、
前記第１トランジスタのソース電極またはドレイン電極の一方は、
前記複数の第２配線の一つと電気的に接続される記憶装置。
[請求項１１]
請求項１０において、
前記複数の記憶素子のそれぞれにおいて、
前記第１トランジスタのソース電極またはドレイン電極の他方は、
前記容量素子と電気的に接続される記憶装置。
[請求項１２]
請求項９乃至請求項１１のいずれか一項において、
前記複数の酸化物層の一は、絶縁層を介して前記第１配線の一と重なる領域を有する記憶装置。
[請求項１３]
請求項９乃至請求項１２のいずれか一項において、
前記酸化物層は、インジウムおよび亜鉛の一方または双方を含む記憶装置。
[請求項１４]
請求項９乃至請求項１３のいずれか一項において、
前記半導体層は、インジウムおよび亜鉛の一方または双方を含む記憶装置。
[請求項１５]
請求項９乃至請求項１４のいずれか一項において、

第１方向に延在する複数の第３配線を有し、
前記複数の第３配線の一つは、
前記複数の第１配線の一つと互いに重なる領域を有する記憶装置。

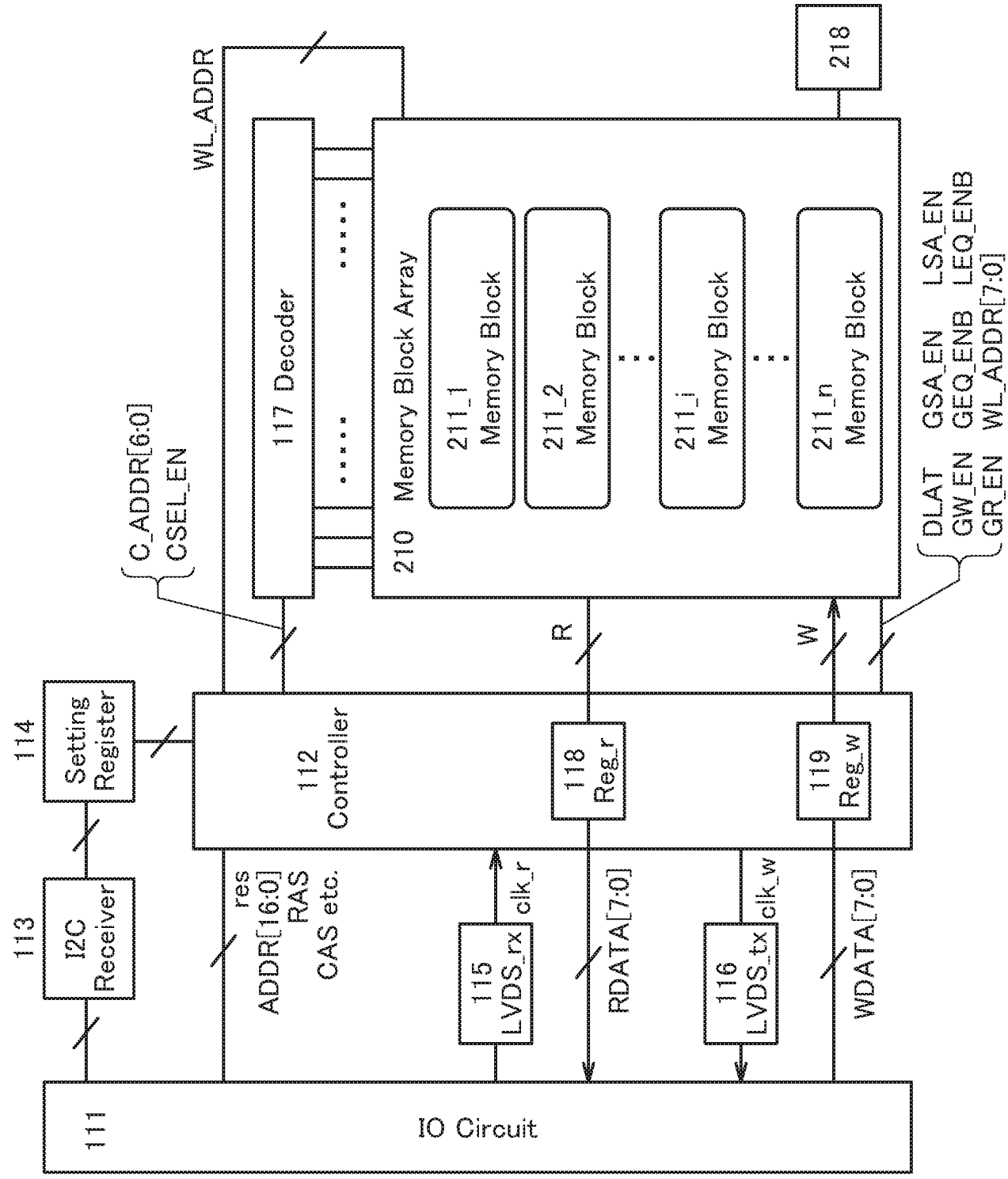

100
111
IO Circuit
113
I2C Receiver
114
Setting Register
112
Controller
res
ADDR[16:0]
RAS
CAS etc.
C_ADDR[6:0]
CSEL_EN
WL_ADDR
117 Decoder
210 Memory Block Array
211_1 Memory Block
211_2 Memory Block
211_i Memory Block
211_n Memory Block
218
DLAT GSA_EN LSA_EN
GW_EN GEQ_ENB LEQ_ENB
GR_EN WL_ADDR[7:0]
R
W
115 LVDS_rx
clk_r
RDATA[7:0]
116 LVDS_tx
clk_w
WDATA[7:0]
118 Reg_r
119 Reg_w

図1

図2A

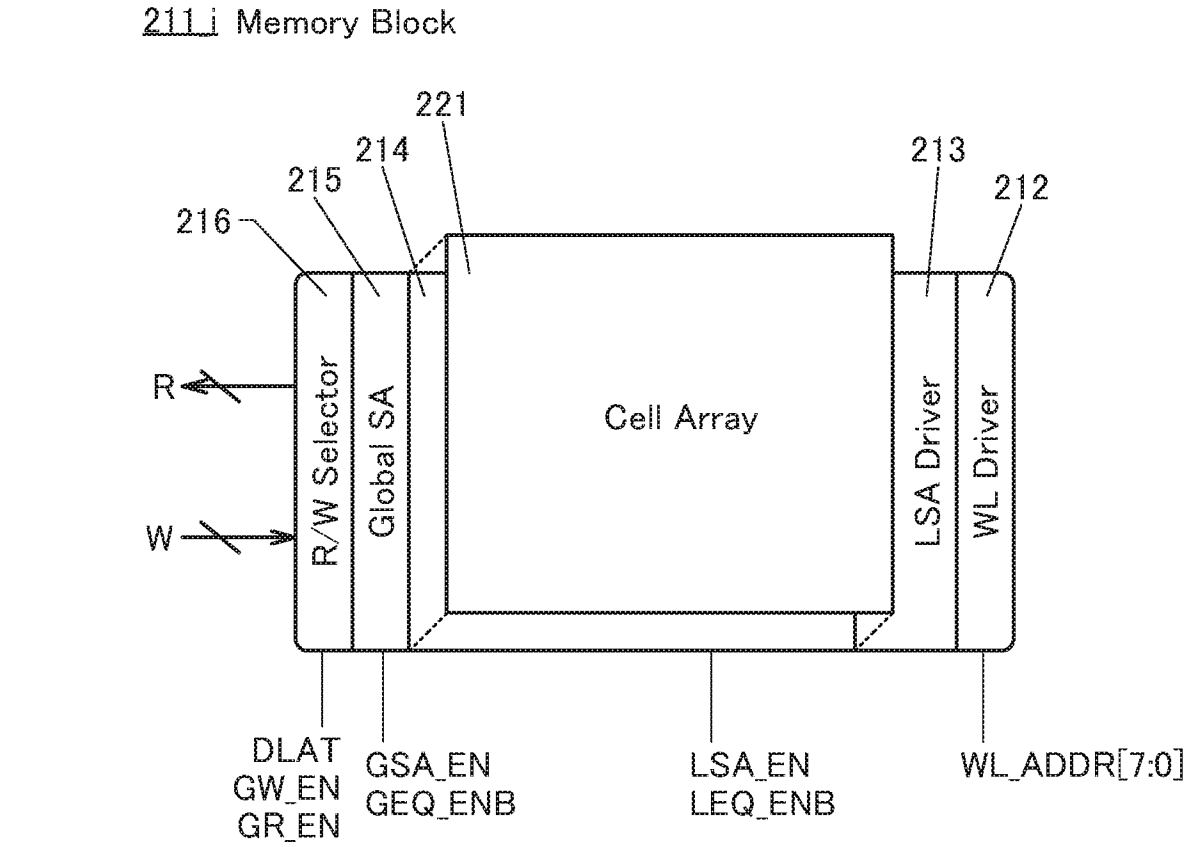

211_i Memory Block
221
214
215
216
213
212
R
W
R/W Selector
Global SA
Cell Array
LSA Driver
WL Driver
DLAT
GW_EN
GR_EN
GSA_EN
GEQ_ENB
LSA_EN
LEQ_ENB
WL_ADDR[7:0]

図2B

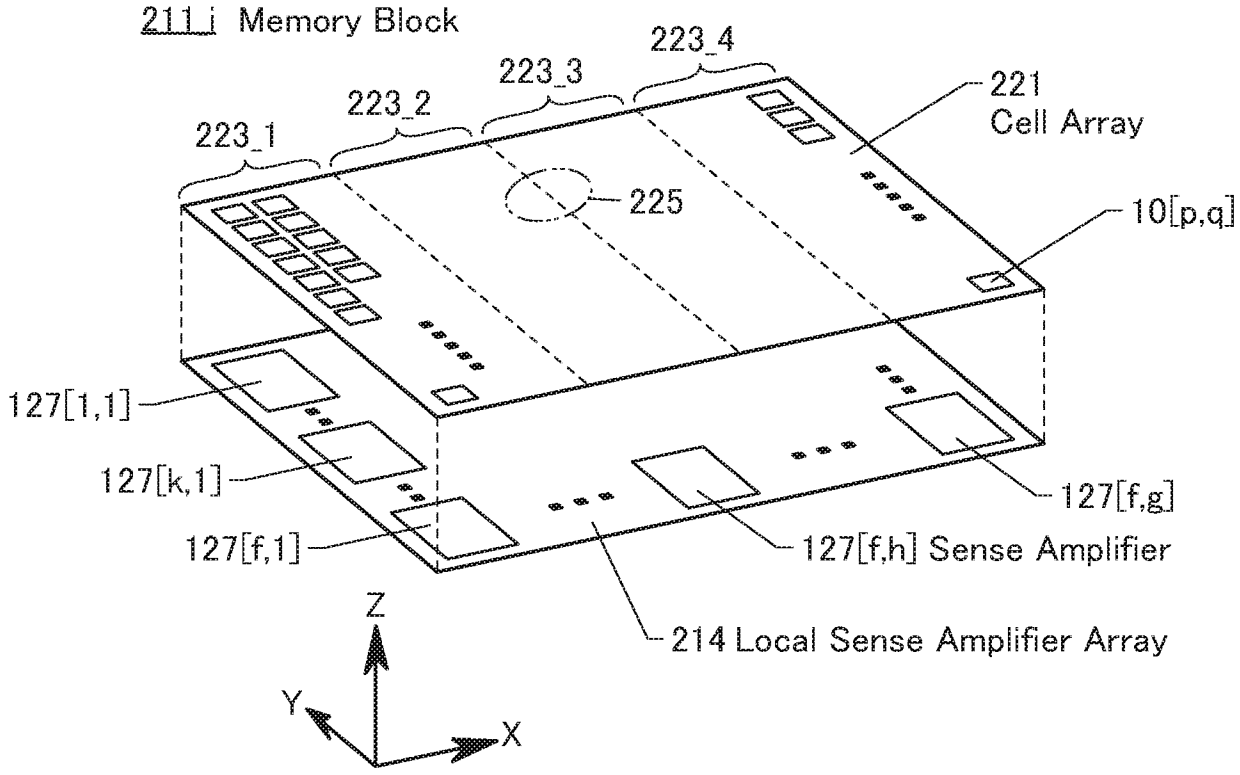
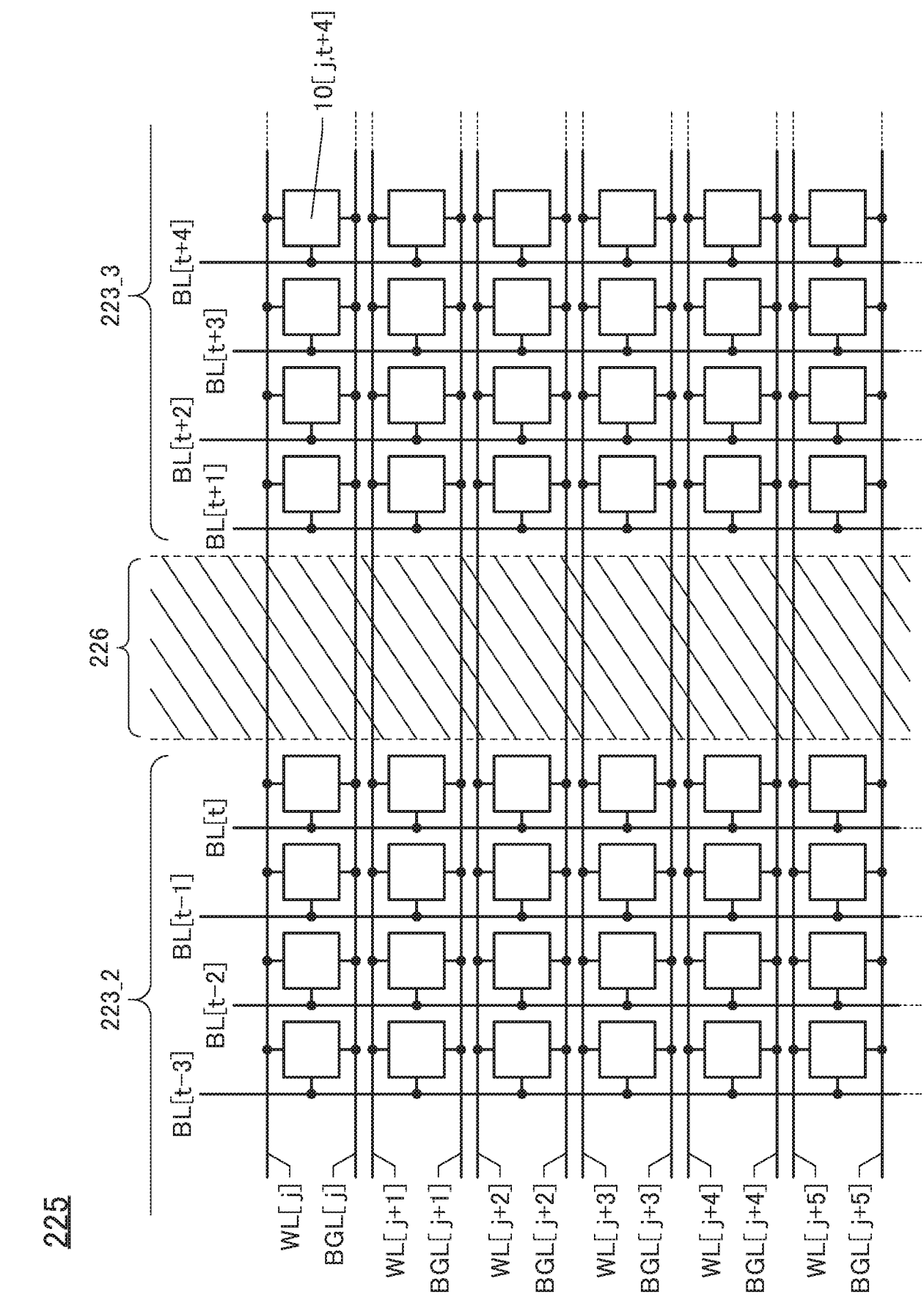

211_i Memory Block
223_4
223_3
223_2
223_1
221
Cell Array
225
10[p,q]
127[1,1]
127[k,1]
127[f,1]
127[f,g]
127[f,h] Sense Amplifier
214 Local Sense Amplifier Array
Z
Y
X

図3


225
223_2
223_3
226
BL[t-3]
BL[t-2]
BL[t-1]
BL[t]
BL[t+1]
BL[t+2]
BL[t+3]
BL[t+4]
10[j,t+4]
WL[j]
BGL[j]
WL[j+1]
BGL[j+1]
WL[j+2]
BGL[j+2]
WL[j+3]
BGL[j+3]
WL[j+4]
BGL[j+4]
WL[j+5]
BGL[j+5]

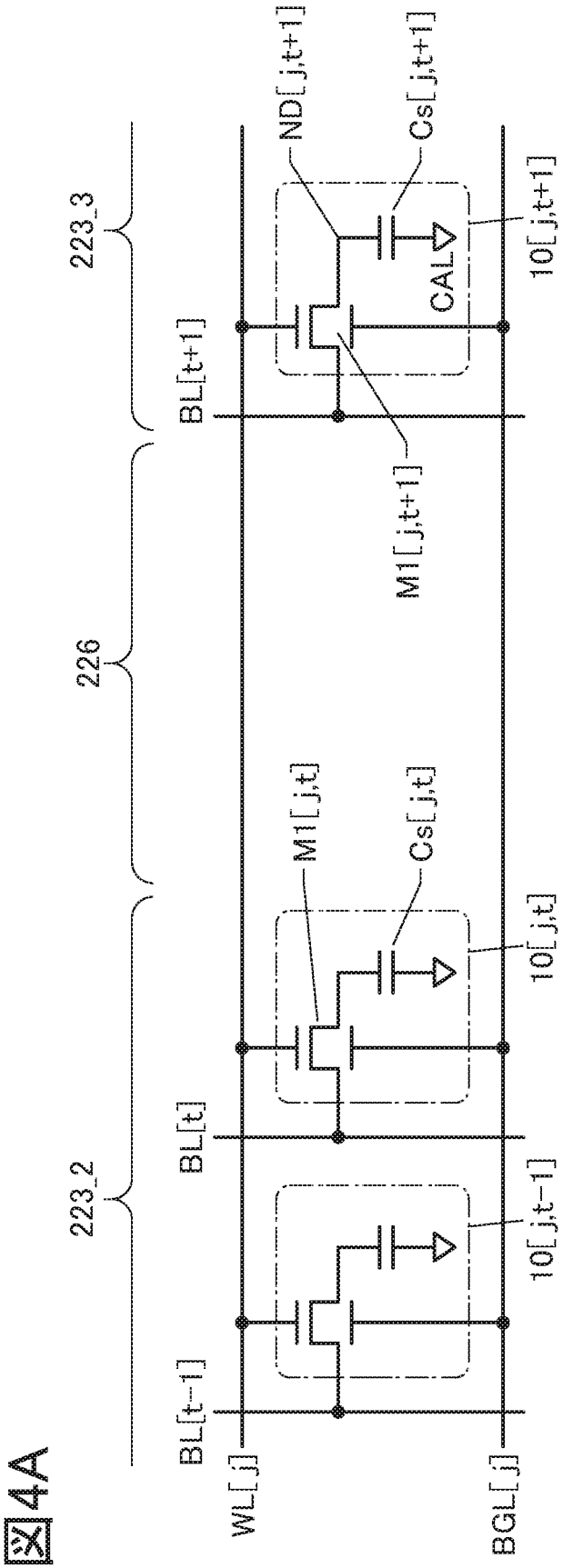

223_3
226
223_2
BL[t+1]
BL[t]
BL[t-1]
WL[j]
BGL[j]
ND[j,t+1]
Cs[j,t+1]
M1[j,t+1]
CAL
10[j,t+1]
M1[j,t]
Cs[j,t]
10[j,t]
10[j,t-1]

FIG. 4A

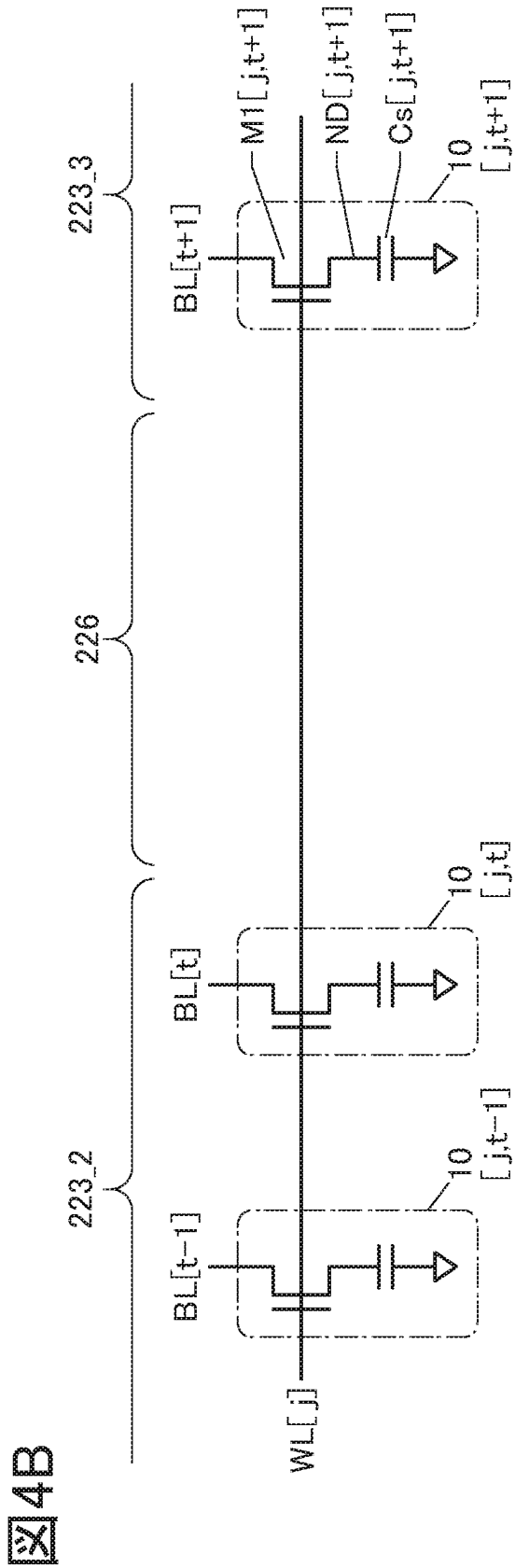

223_3
226
223_2
BL[t+1]
BL[t]
BL[t-1]
WL[j]
M1[j,t+1]
ND[j,t+1]
Cs[j,t+1]
10
[j,t+1]
10
[j,t]
10
[j,t-1]

FIG. 4B

図5A

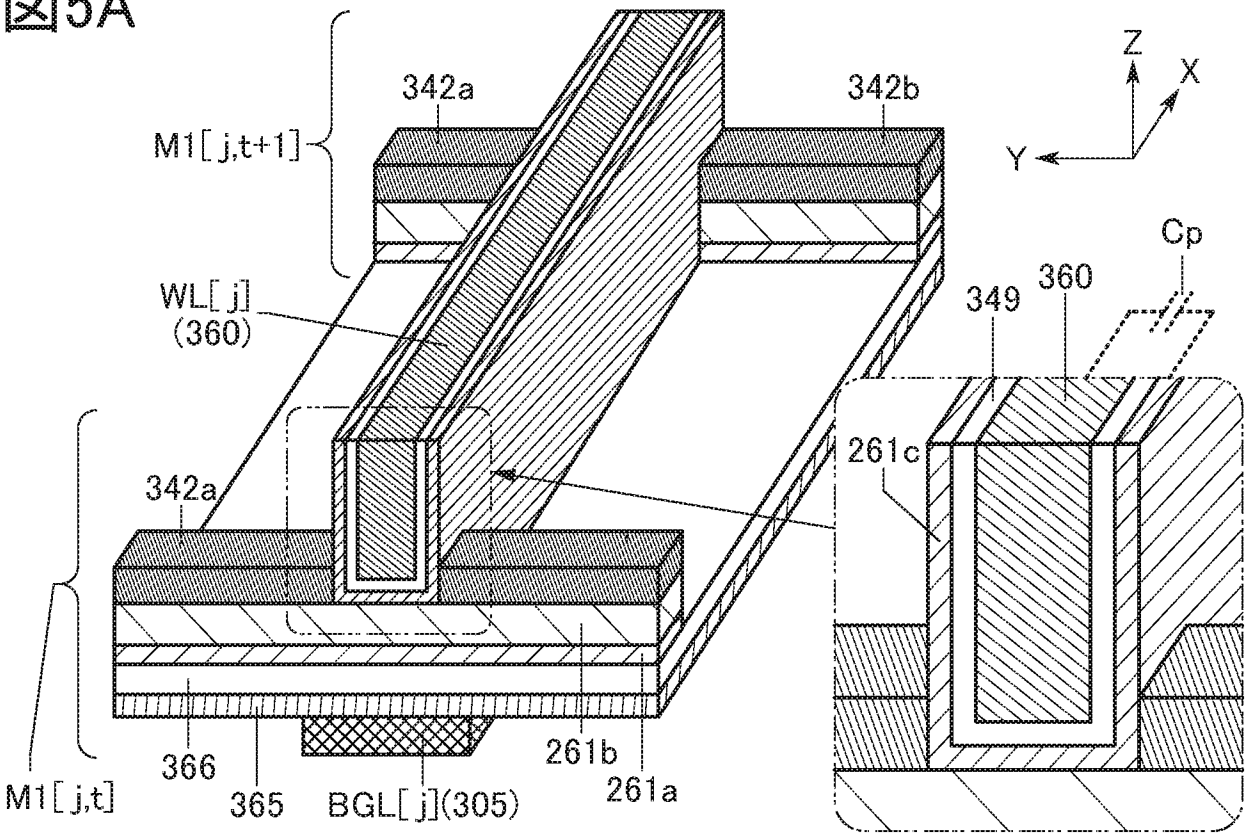

M1[j,t+1]
342a
342b
Z
X
Y
Cp
WL[j]
(360)
349
360
261c
342a
M1[j,t]
366
365
BGL[j](305)
261b
261a

図5B

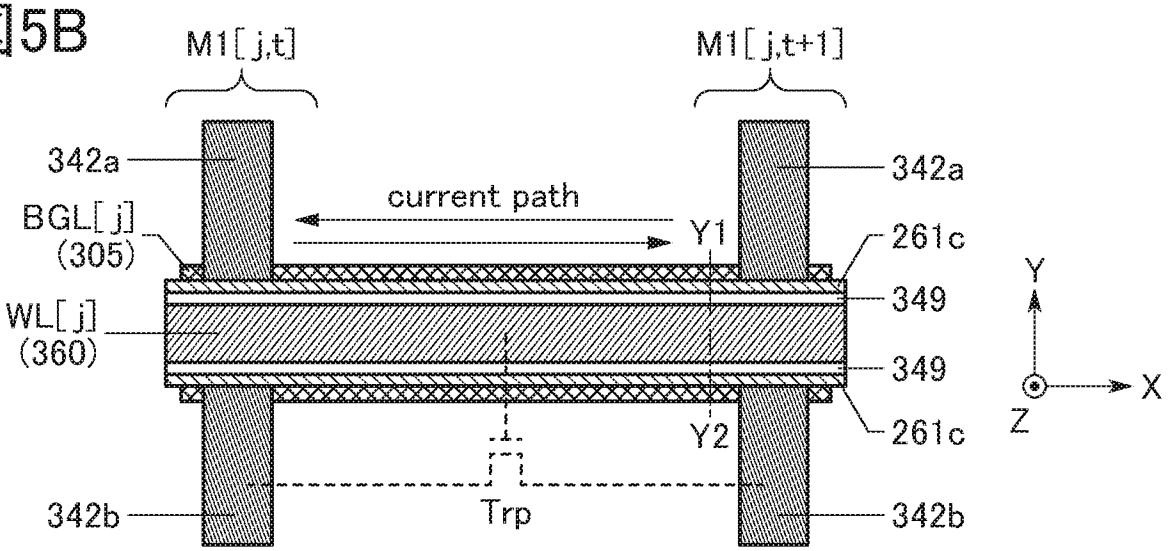

M1[j,t]
M1[j,t+1]
342a
342a
current path
BGL[j]
(305)
Y1
261c
WL[j]
(360)
349
Y
X
Z
349
261c
Y2
Trp
342b
342b

図5C

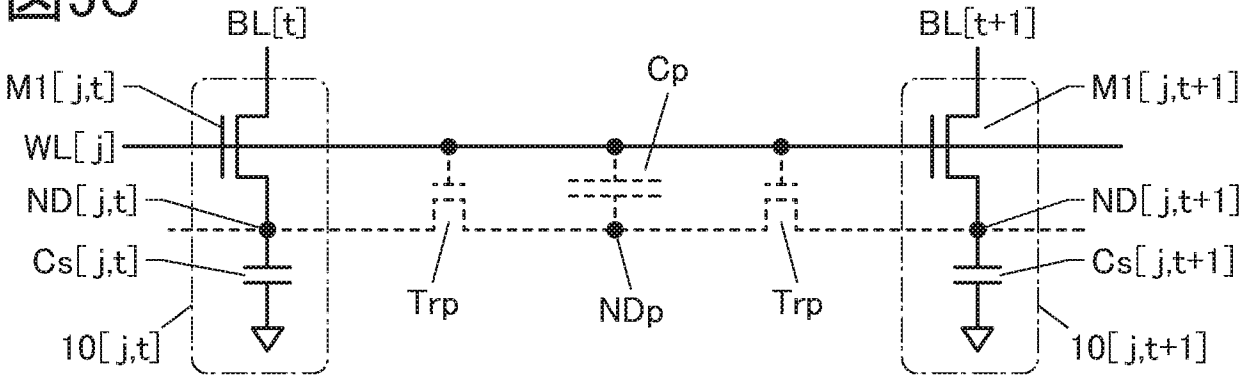

BL[t]
BL[t+1]
M1[j,t]
Cp
M1[j,t+1]
WL[j]
ND[j,t]
ND[j,t+1]
Cs[j,t]
Cs[j,t+1]
Trp
NDp
Trp
10[j,t]
10[j,t+1]

図6A

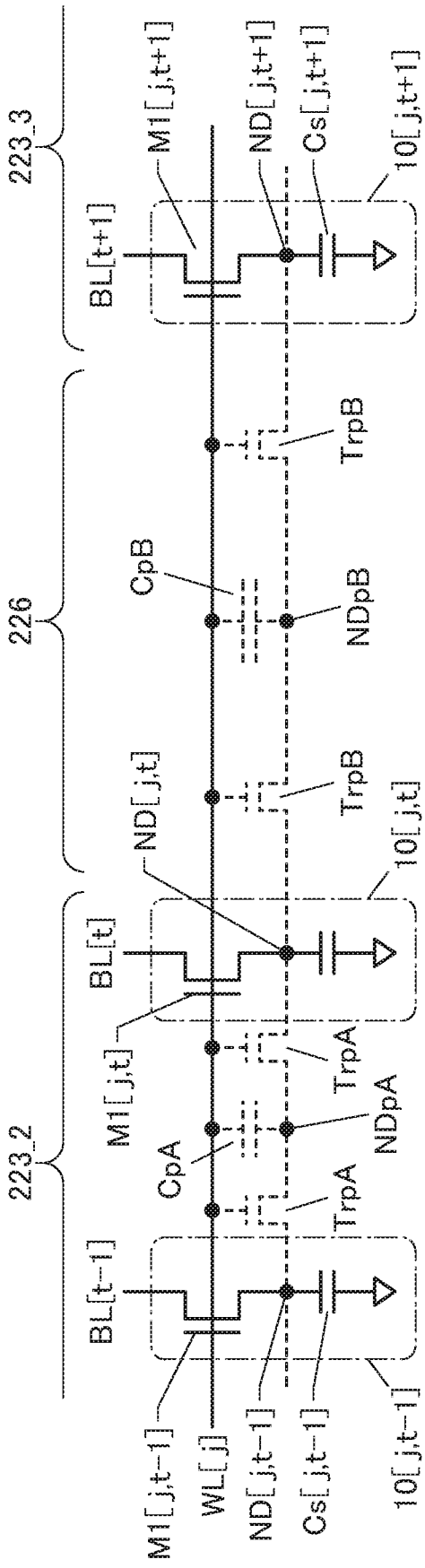

223_3
226
223_2
BL[t+1]
M1[i,j,t+1]
ND[i,j,t+1]
Cs[i,j,t+1]
10[i,j,t+1]
TrpB
CpB
NDpB
ND[i,j,t]
BL[t]
M1[i,j,t]
CpA
TrpA
NDpA
BL[t-1]
WL[j]
ND[i,j,t-1]
Cs[i,j,t-1]
10[i,j,t-1]
M1[i,j,t-1]

図6B

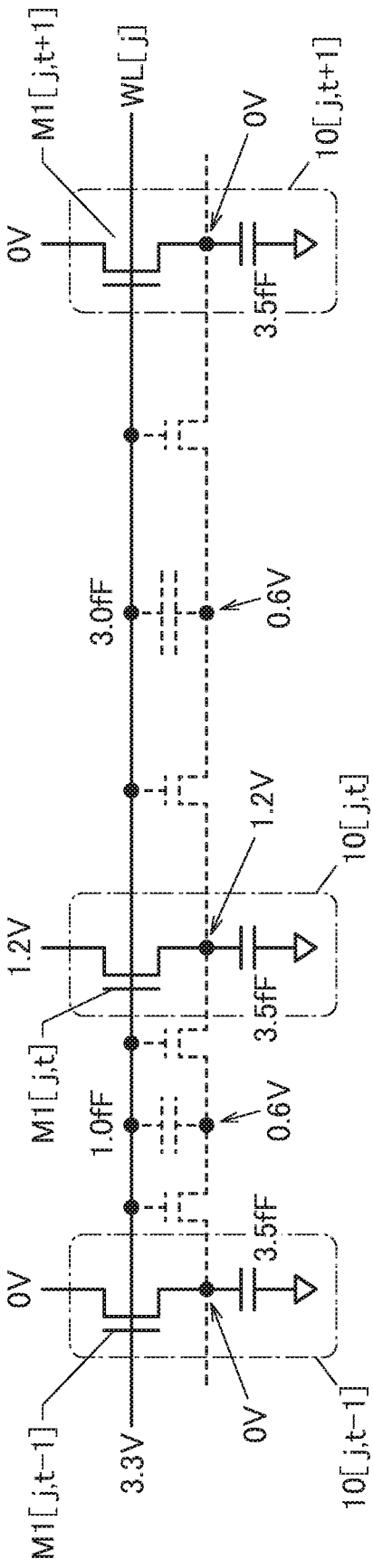

0V
1.2V
3.3V
3.0fF
1.0fF
3.5fF
0.6V
1.2V
0V
M1[i,j,t+1]
WL[j]
10[i,j,t+1]
M1[i,j,t]
10[i,j,t]
M1[i,j,t-1]
10[i,j,t-1]

図7A

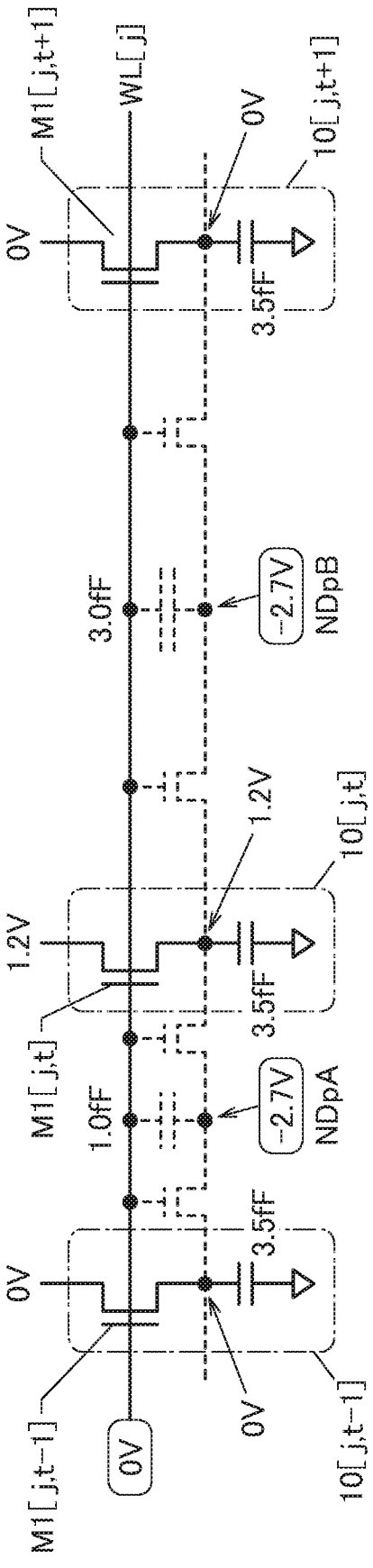

M1[j,t+1]
WL[j]
0V
10[j,t+1]
3.5fF
3.0fF
−2.7V
NDpB
1.2V
M1[j,t]
10[j,t]
1.0fF
−2.7V
NDpA
M1[j,t−1]
10[j,t−1]

図7B

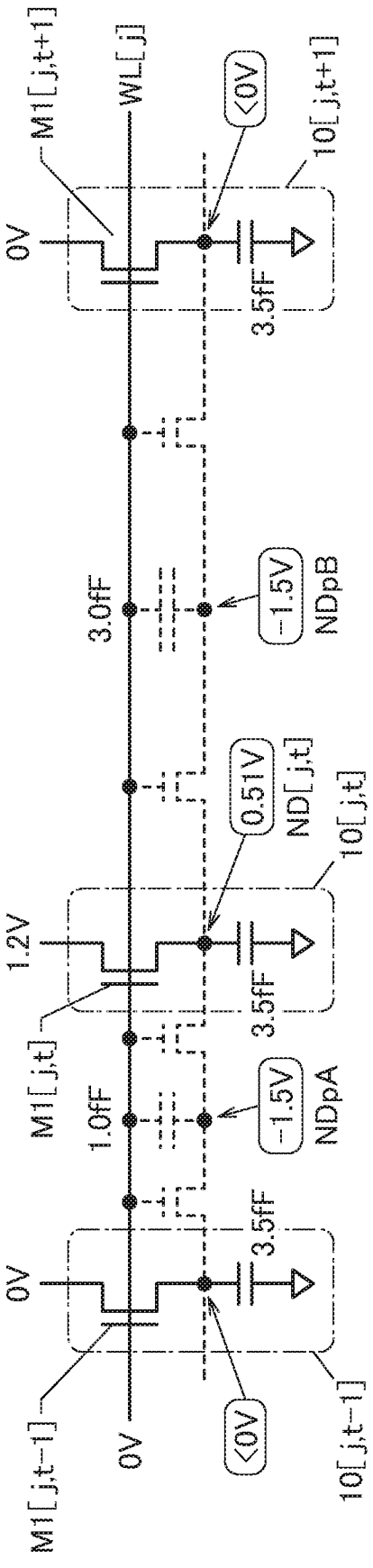

M1[j,t+1]
WL[j]
<0V
10[j,t+1]
3.5fF
3.0fF
−1.5V
NDpB
0.51V
ND[j,t]
1.2V
M1[j,t]
10[j,t]
1.0fF
−1.5V
NDpA
M1[j,t−1]
10[j,t−1]

図8

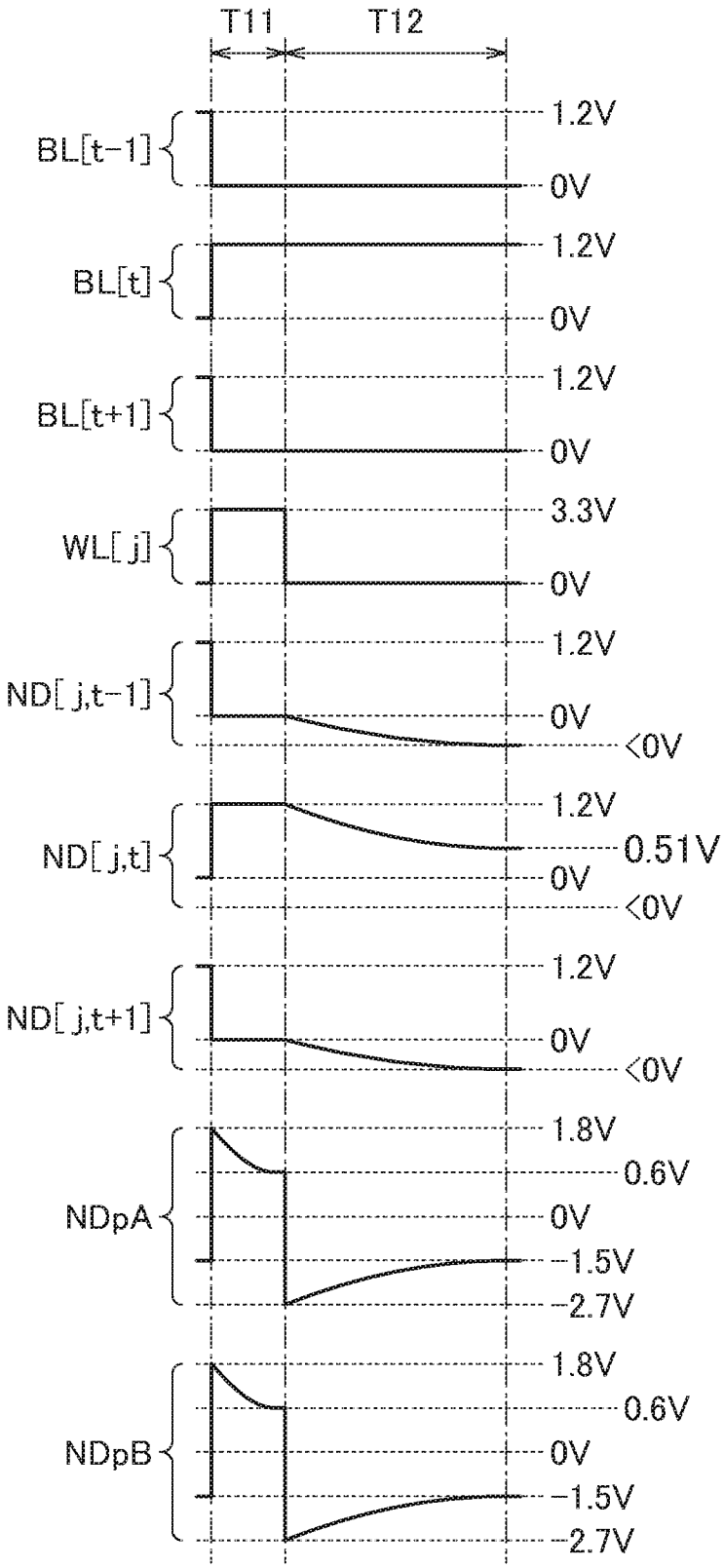

T11
T12
BL[t−1]
1.2V
0V
BL[t]
1.2V
0V
BL[t+1]
1.2V
0V
WL[j]
3.3V
0V
ND[j,t−1]
1.2V
0V
<0V
ND[j,t]
1.2V
0.51V
0V
<0V
ND[j,t+1]
1.2V
0V
<0V
NDpA
1.8V
0.6V
0V
−1.5V
−2.7V
NDpB
1.8V
0.6V
0V
−1.5V
−2.7V

図9A

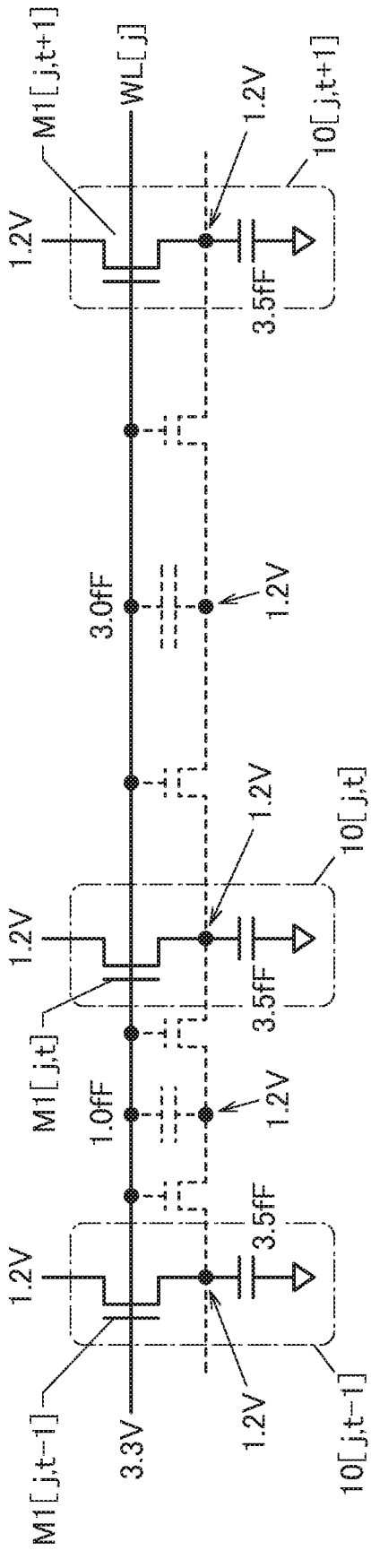

M1[j,t+1]
WL[j]
1.2V
10[j,t+1]
3.5fF
3.0fF
M1[j,t]
10[j,t]
1.0fF
M1[j,t−1]
3.3V
10[j,t−1]

図9B

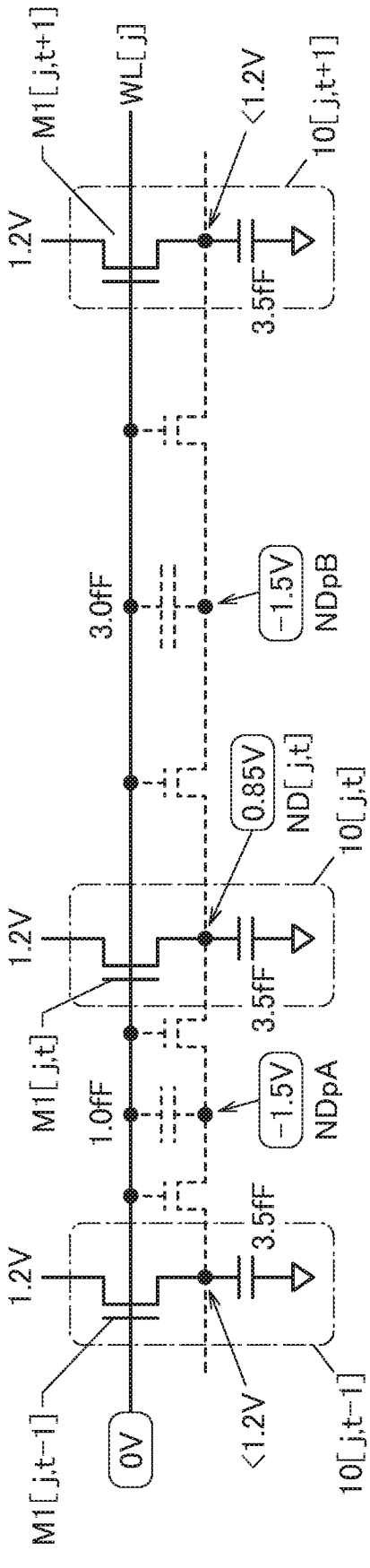

M1[j,t+1]
WL[j]
<1.2V
10[j,t+1]
3.5fF
3.0fF
−1.5V
NDpB
0.85V
ND[j,t]
M1[j,t]
10[j,t]
1.0fF
−1.5V
NDpA
M1[j,t−1]
0V
<1.2V
10[j,t−1]

図10

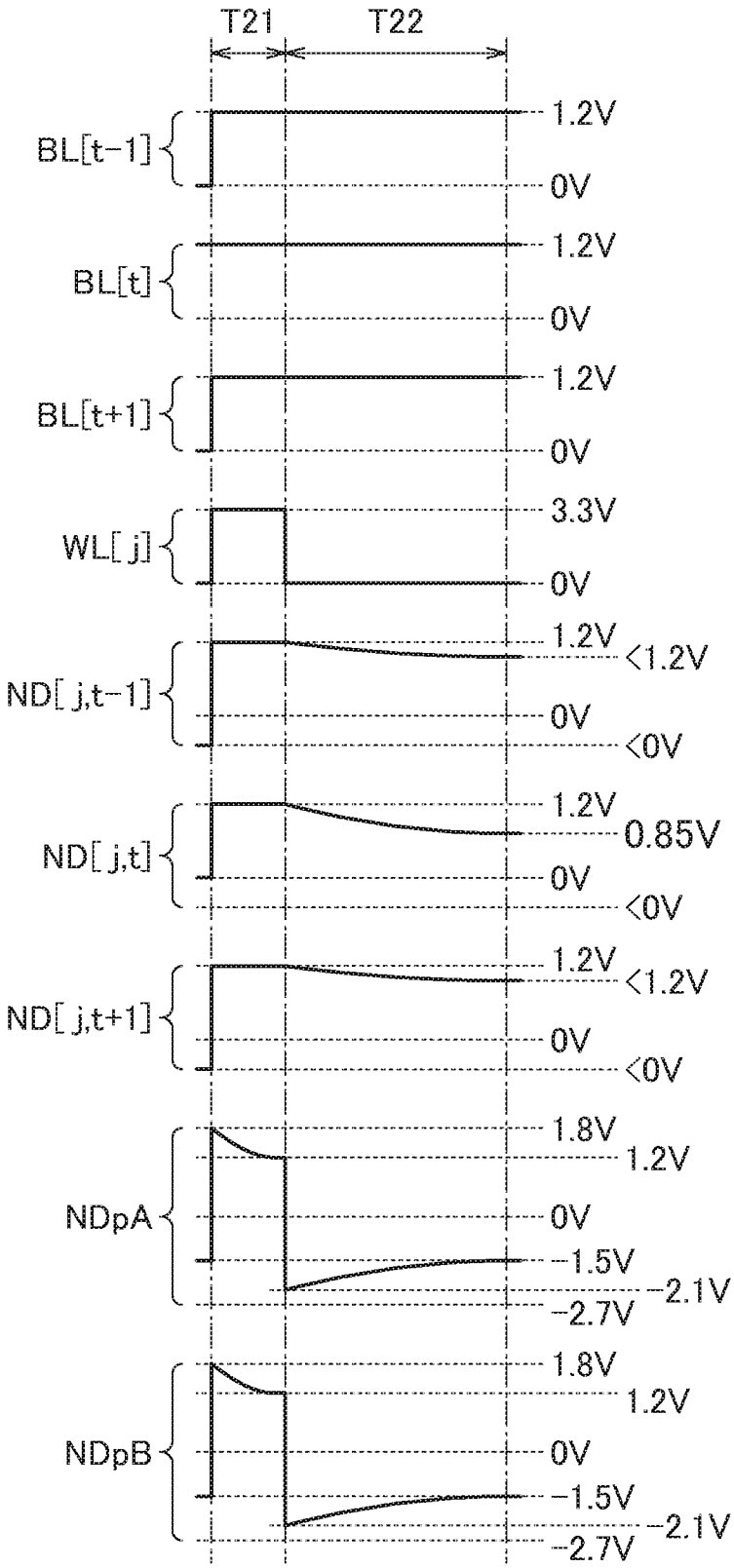

T21
T22
BL[t−1]
1.2V
0V
BL[t]
1.2V
0V
BL[t+1]
1.2V
0V
WL[j]
3.3V
0V
ND[j,t−1]
1.2V
<1.2V
0V
<0V
ND[j,t]
1.2V
0.85V
0V
<0V
ND[j,t+1]
1.2V
<1.2V
0V
<0V
NDpA
1.8V
1.2V
0V
−1.5V
−2.1V
−2.7V
NDpB
1.8V
1.2V
0V
−1.5V
−2.1V
−2.7V

図11A

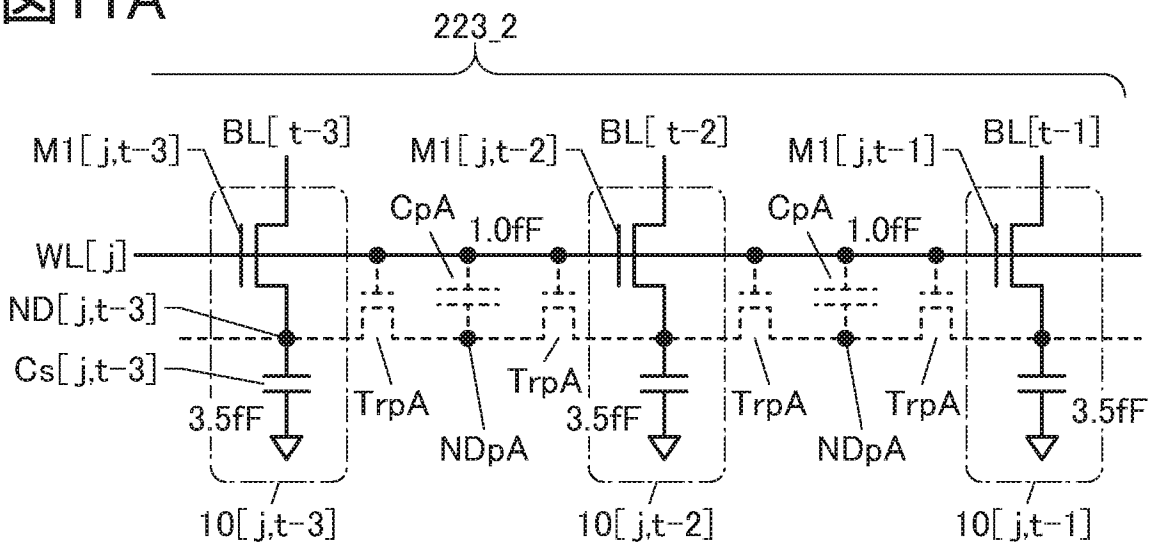


図11B

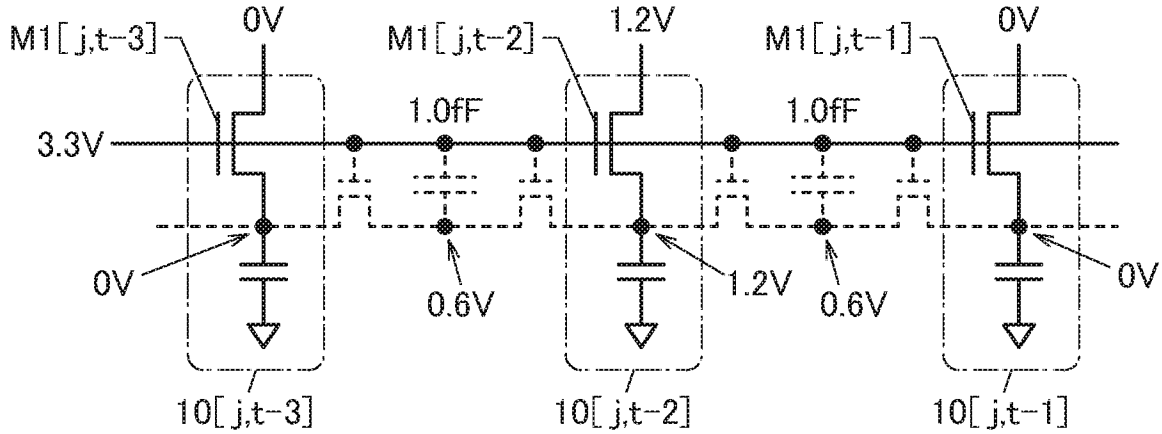


図11C

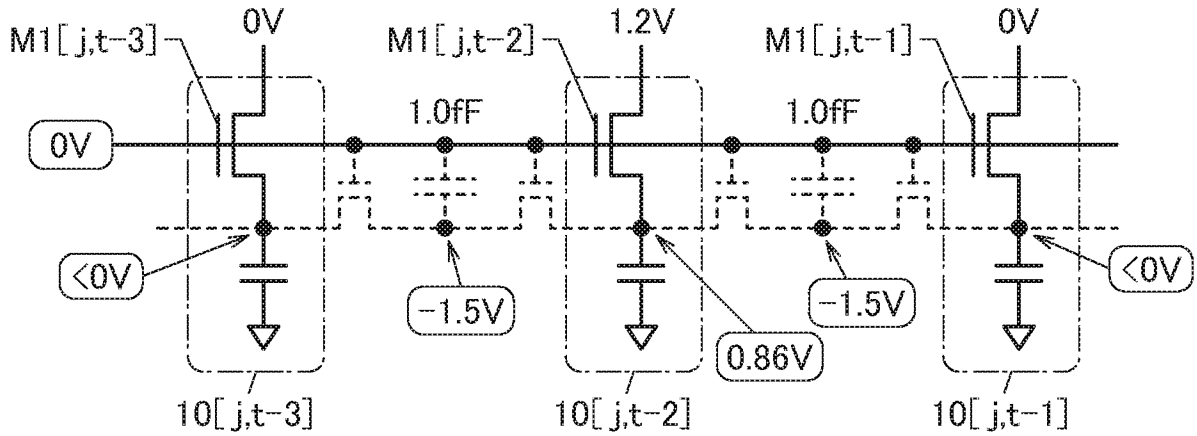


図12

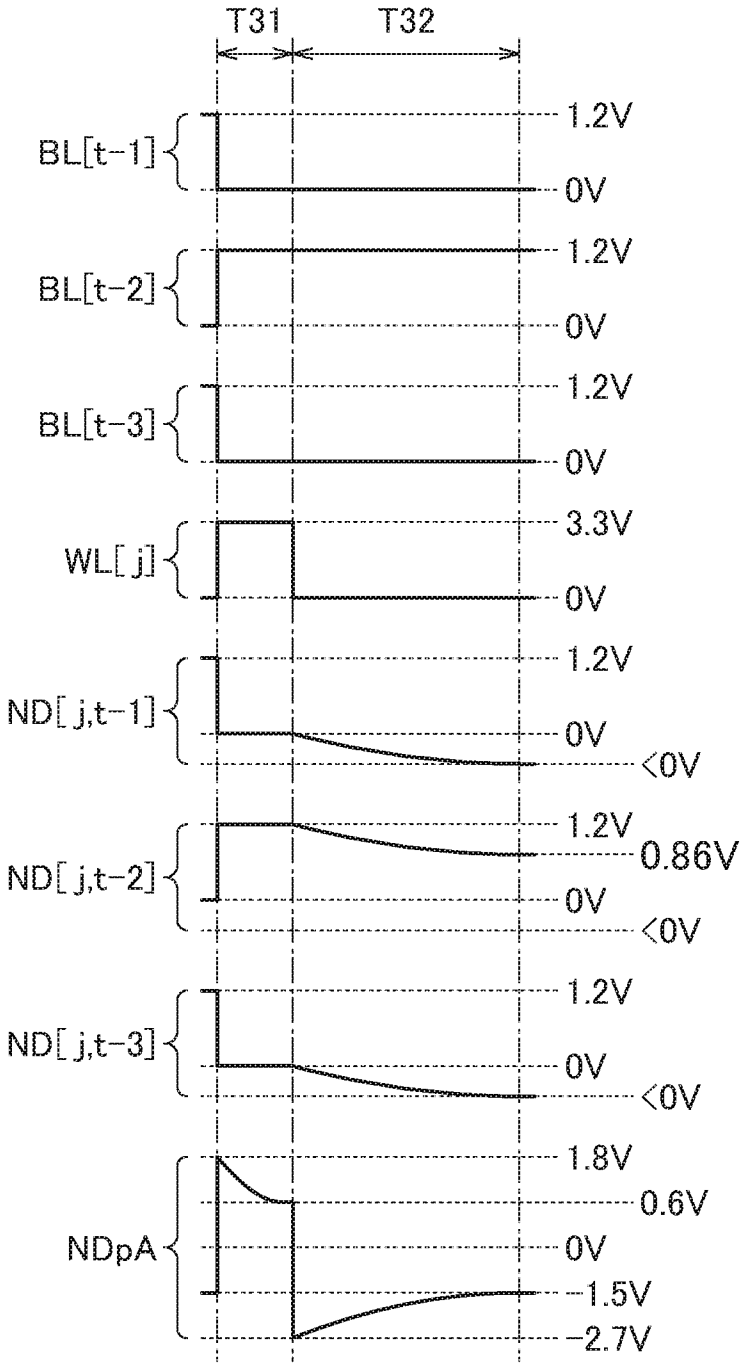

T31
T32
BL[t-1]
1.2V
0V
BL[t-2]
1.2V
0V
BL[t-3]
1.2V
0V
WL[j]
3.3V
0V
ND[j,t-1]
1.2V
0V
<0V
ND[j,t-2]
1.2V
0.86V
0V
<0V
ND[j,t-3]
1.2V
0V
<0V
NDpA
1.8V
0.6V
0V
-1.5V
-2.7V

図13A

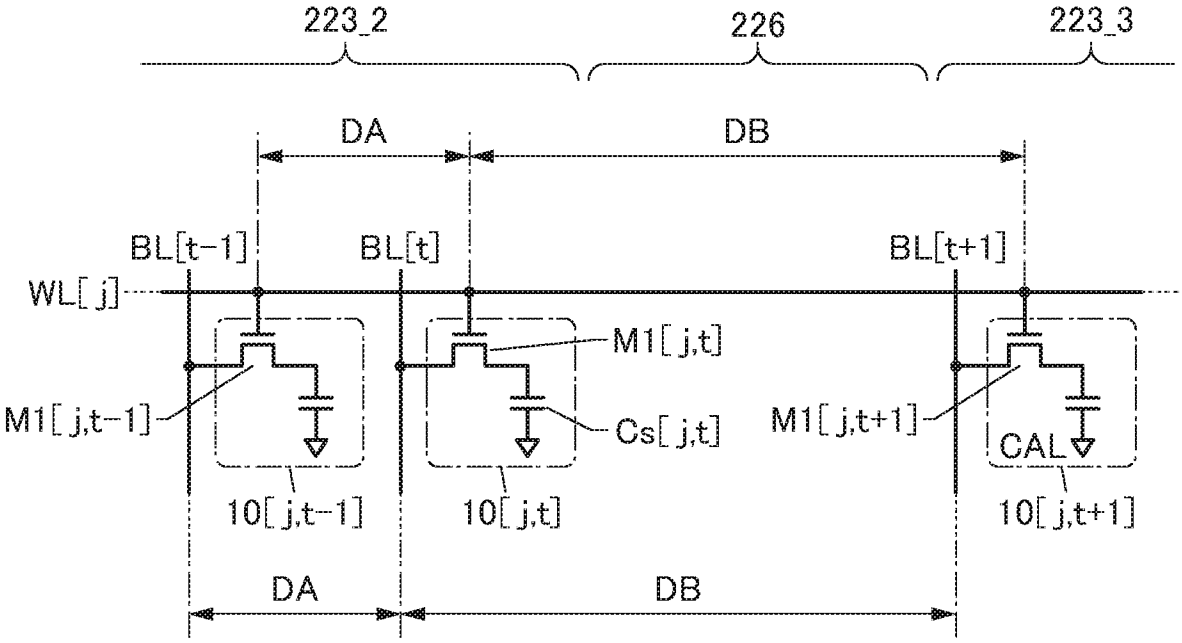
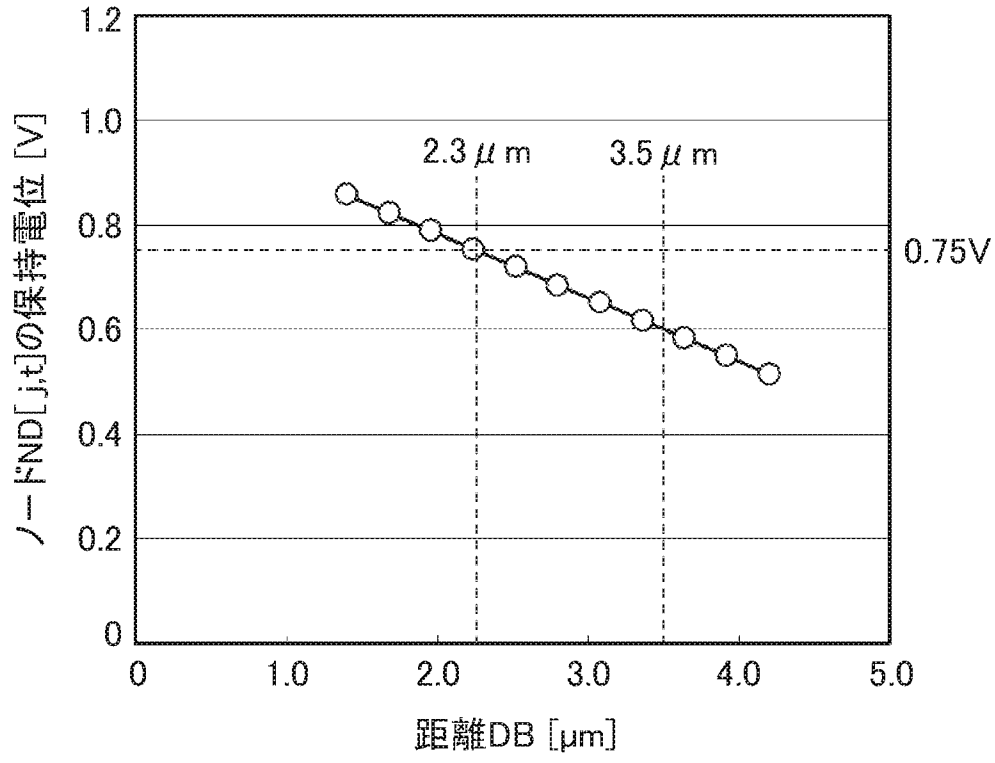
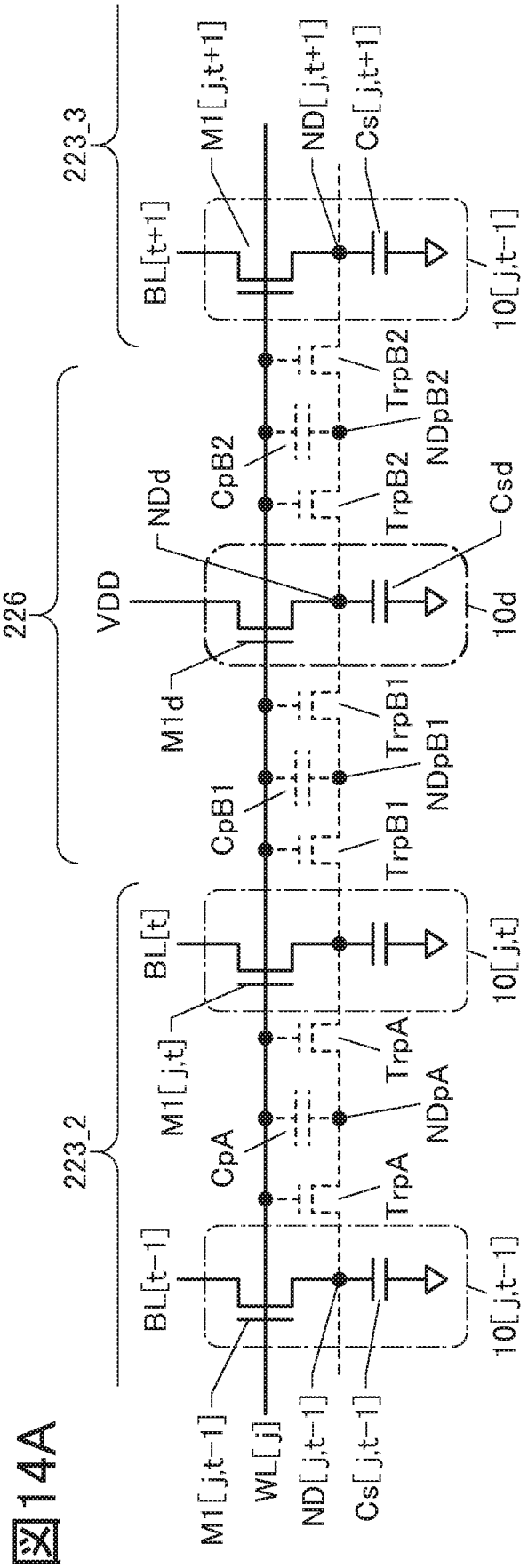

223_2
226
223_3
DA
DB
BL[t−1]
BL[t]
BL[t+1]
WL[j]
M1[j,t]
M1[j,t−1]
Cs[j,t]
M1[j,t+1]
CAL
10[j,t−1]
10[j,t]
10[j,t+1]
DA
DB

図13B


1.2
1.0
0.8
0.6
0.4
0.2
0
2.3 μm
3.5 μm
0.75V
ノードND[j,t]の保持電位 [V]
0
1.0
2.0
3.0
4.0
5.0
距離DB [μm]


図14A
223_3
223_2
226
BL[t+1]
BL[t]
BL[t-1]
M1[j,t+1]
M1[j,t]
M1[j,t-1]
ND[j,t+1]
ND[j,t]
ND[j,t-1]
Cs[j,t+1]
Cs[j,t]
Cs[j,t-1]
WL[j]
VDD
M1d
NDd
Csd
CpA
CpB1
CpB2
TrpA
TrpB1
TrpB2
NDpA
NDpB1
NDpB2
10[j,t-1]
10[j,t]
10d

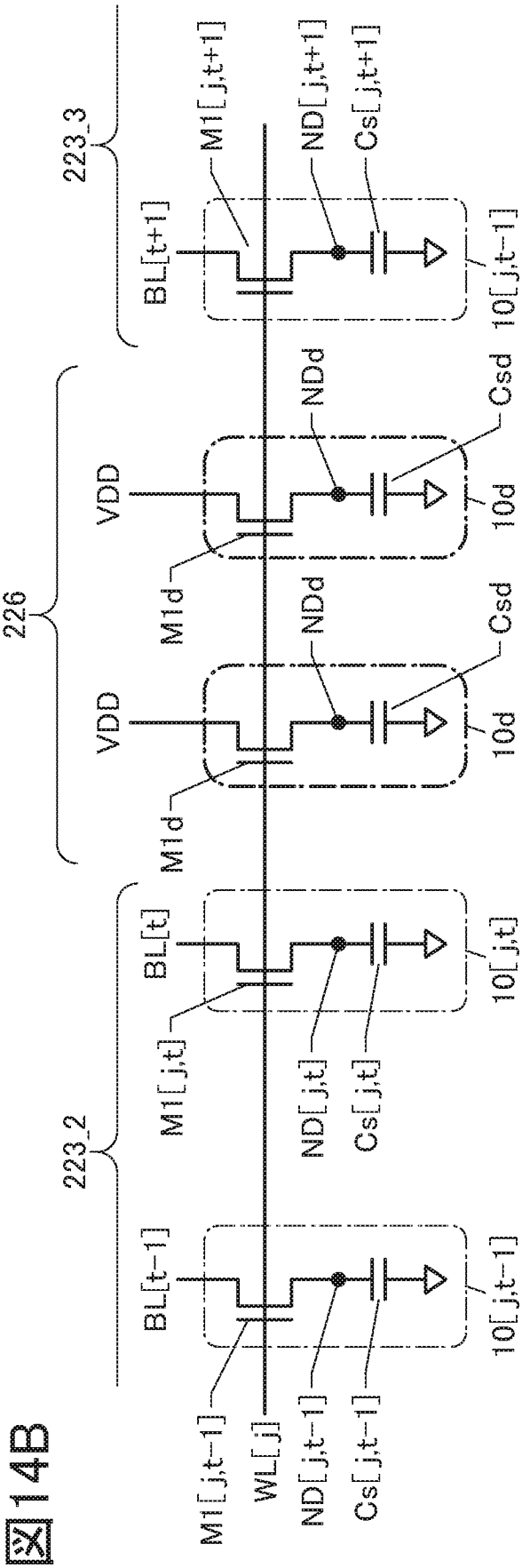

図14B
223_3
223_2
226
BL[t+1]
BL[t]
BL[t-1]
M1[j,t+1]
M1[j,t]
M1[j,t-1]
ND[j,t+1]
ND[j,t]
ND[j,t-1]
Cs[j,t+1]
Cs[j,t]
Cs[j,t-1]
WL[j]
VDD
M1d
NDd
Csd
10[j,t-1]
10[j,t]
10d

図15A

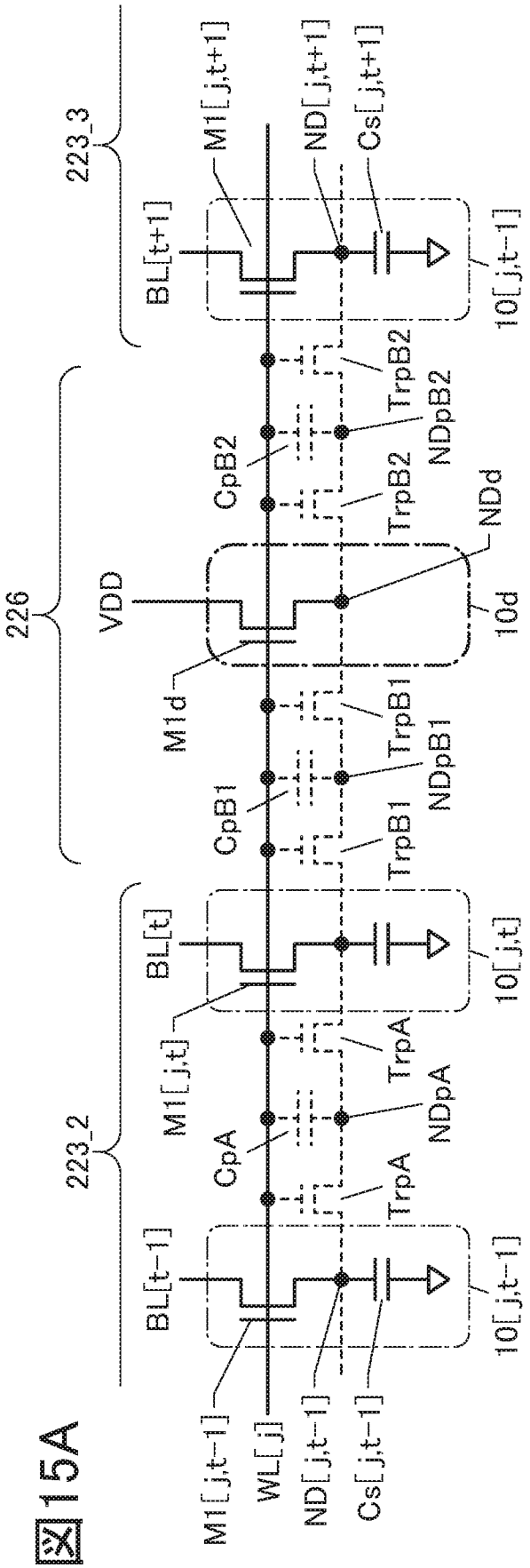

223_2
223_3
226
BL[t-1]
BL[t]
BL[t+1]
M1[j,t-1]
M1[j,t]
M1[j,t+1]
WL[j]
ND[j,t-1]
ND[j,t+1]
Cs[j,t-1]
Cs[j,t+1]
CpA
CpB1
CpB2
TrpA
TrpB1
TrpB2
NDpA
NDpB1
NDpB2
VDD
M1d
NDd
10[j,t-1]
10[j,t]
10[j,t-1]
10d

図15B

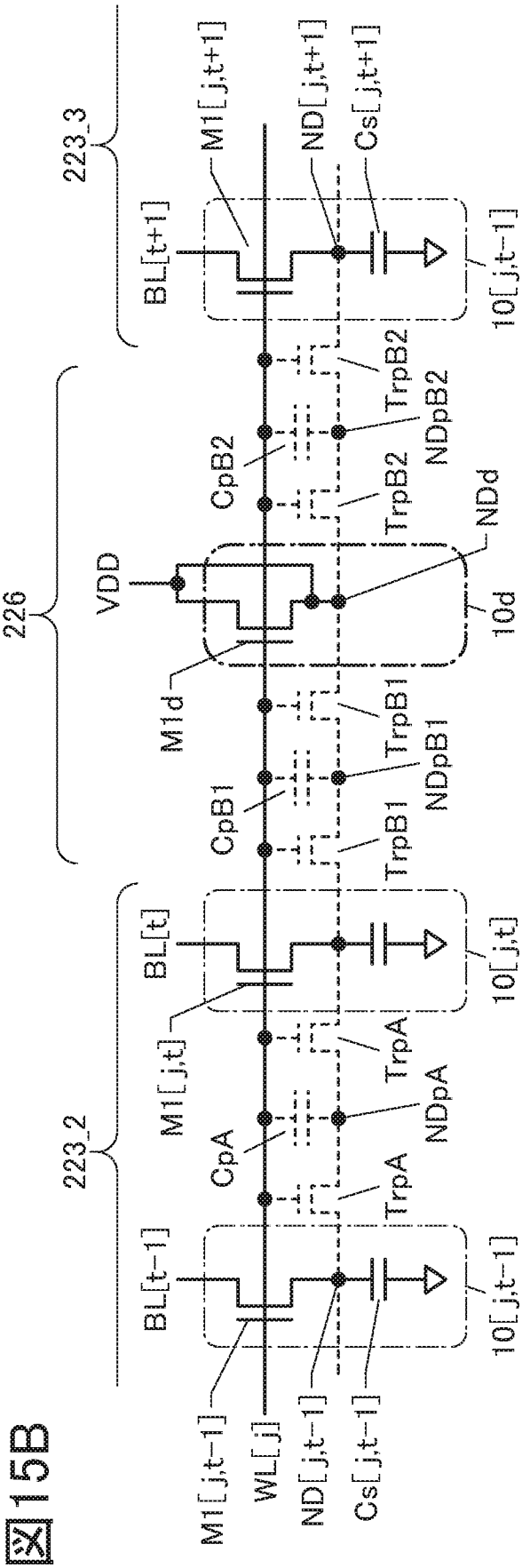

223_2
223_3
226
BL[t-1]
BL[t]
BL[t+1]
M1[j,t-1]
M1[j,t]
M1[j,t+1]
WL[j]
ND[j,t-1]
ND[j,t+1]
Cs[j,t-1]
Cs[j,t+1]
CpA
CpB1
CpB2
TrpA
TrpB1
TrpB2
NDpA
NDpB1
NDpB2
VDD
M1d
NDd
10[j,t-1]
10[j,t]
10[j,t-1]
10d

図16A

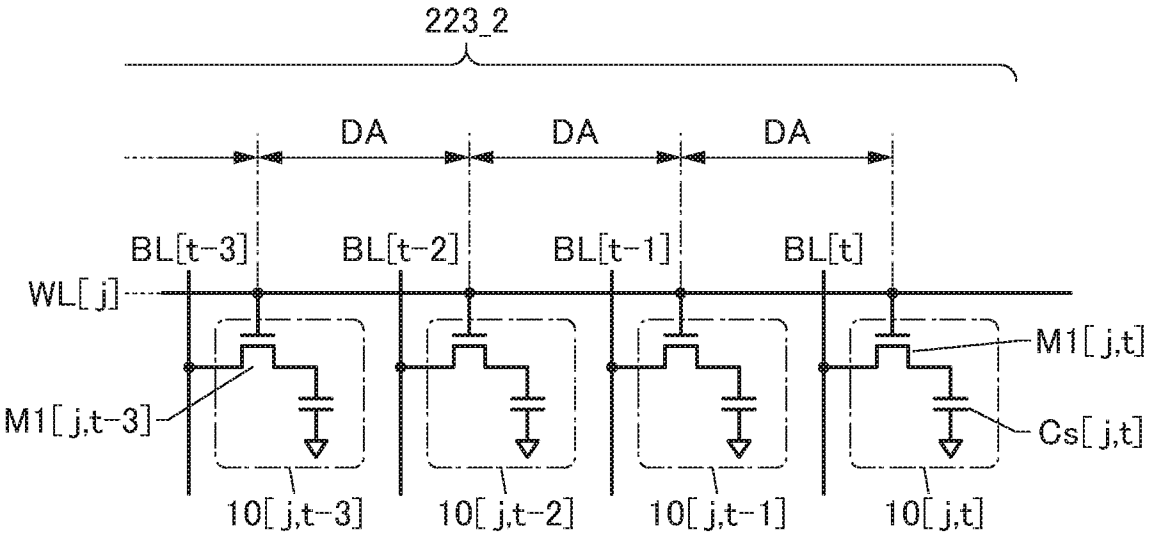

223_2
DA
DA
DA
BL[t-3]
BL[t-2]
BL[t-1]
BL[t]
WL[j]
M1[j,t]
M1[j,t-3]
Cs[j,t]
10[j,t-3]
10[j,t-2]
10[j,t-1]
10[j,t]

図16B

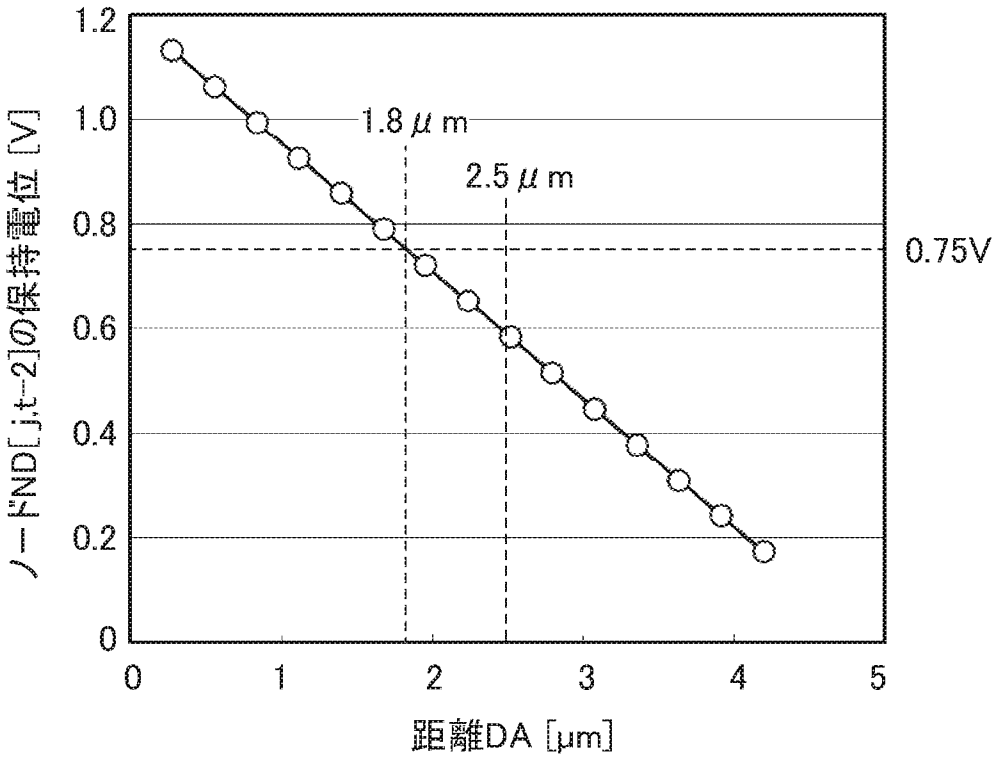

1.2
1.0
0.8
0.6
0.4
0.2
0
1.8 μm
2.5 μm
0.75V
ノードND[j,t-2]の保持電位 [V]
0
1
2
3
4
5
距離DA [μm]

図17A

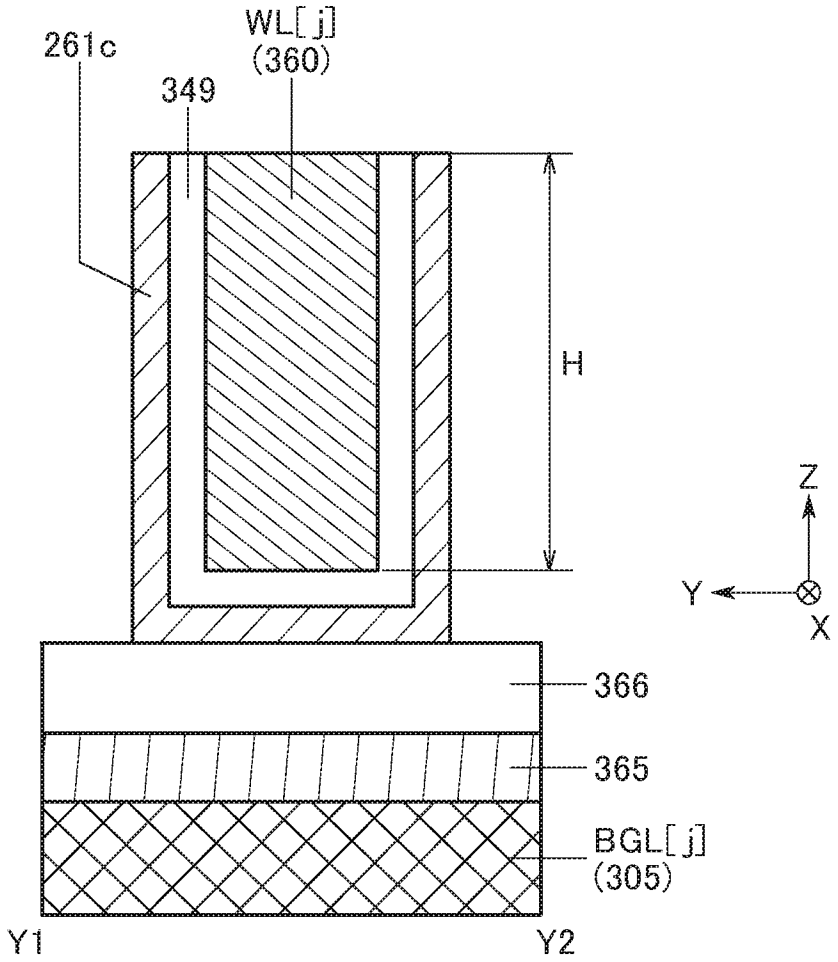
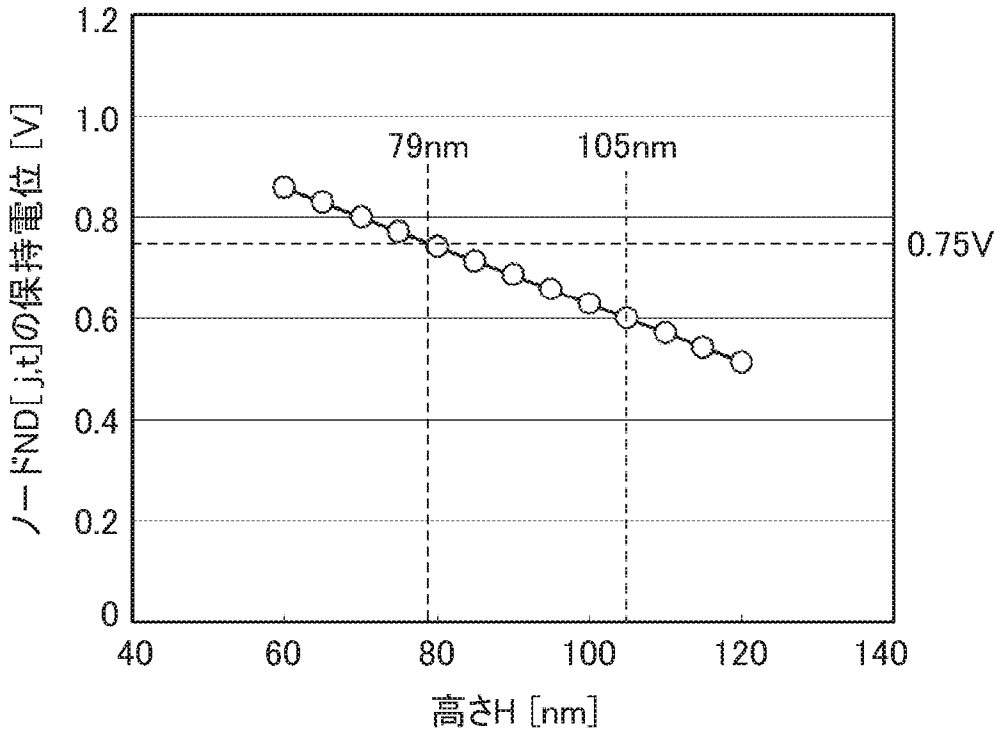
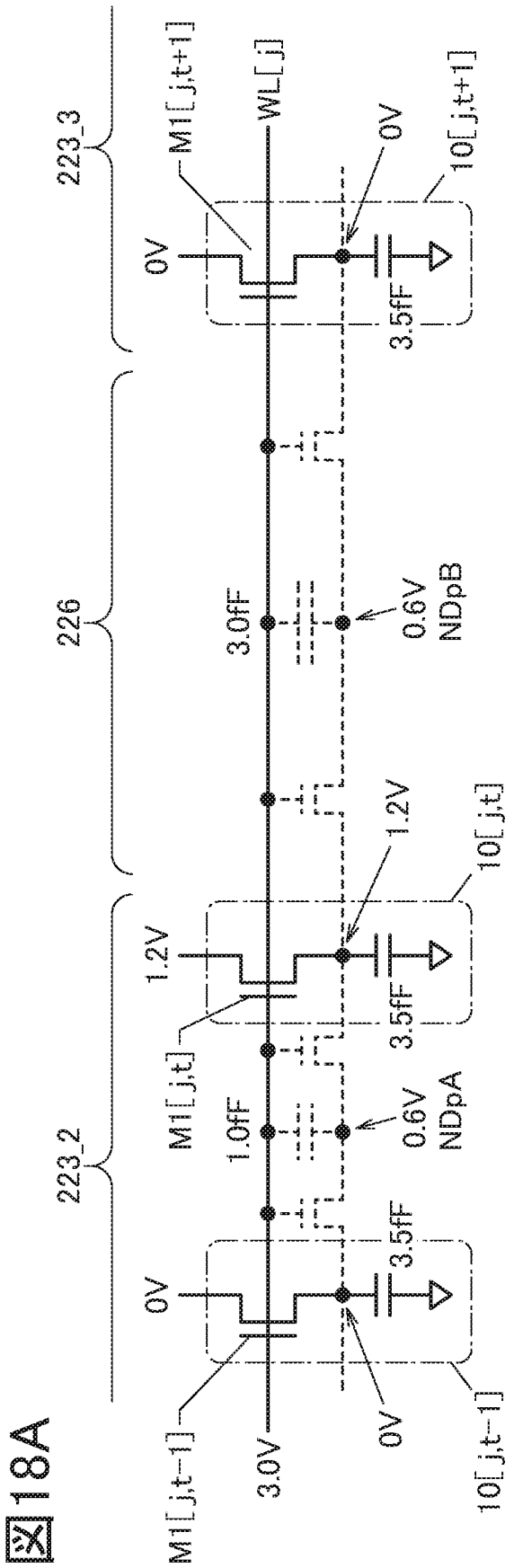
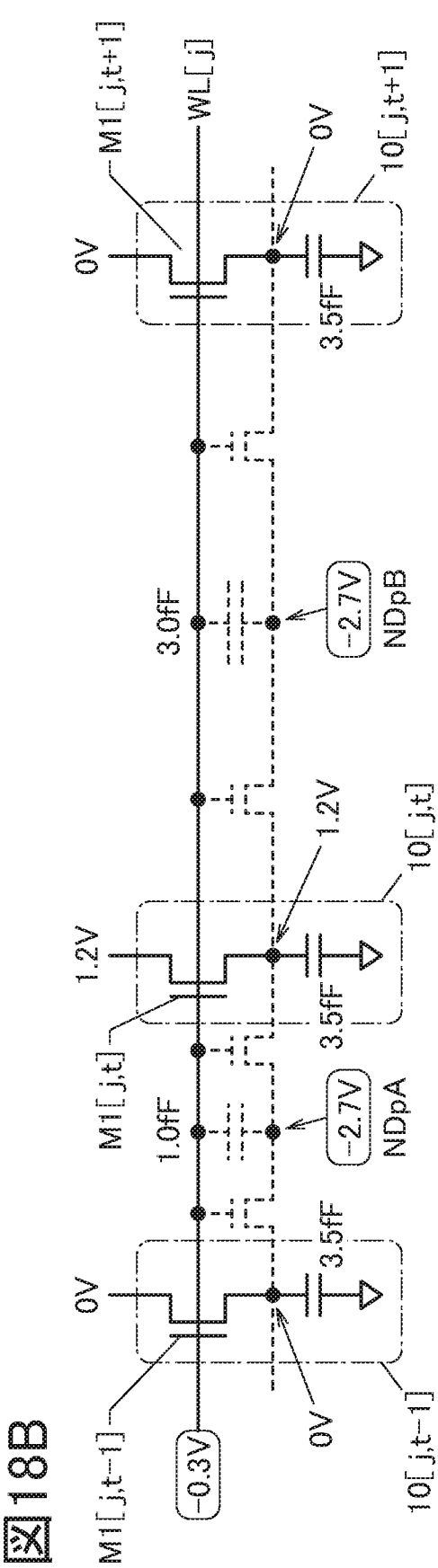

261c
WL[j]
(360)
349
H
Z
Y
X
366
365
BGL[j]
(305)
Y1
Y2

図17B


1.2
1.0
0.8
0.6
0.4
0.2
0
79nm
105nm
0.75V
ノードND[j,t]の保持電位 [V]
40
60
80
100
120
140
高さH [nm]


図18A
223_2
226
223_3
M1[j,t-1]
M1[j,t]
M1[j,t+1]
WL[j]
10[j,t-1]
10[j,t]
10[j,t+1]
0V
3.0V
1.2V
1.0fF
3.0fF
3.5fF
0.6V
NDpA
NDpB


図18B
M1[j,t-1]
M1[j,t]
M1[j,t+1]
WL[j]
10[j,t-1]
10[j,t]
10[j,t+1]
0V
-0.3V
1.2V
1.0fF
3.0fF
3.5fF
-2.7V
NDpA
NDpB

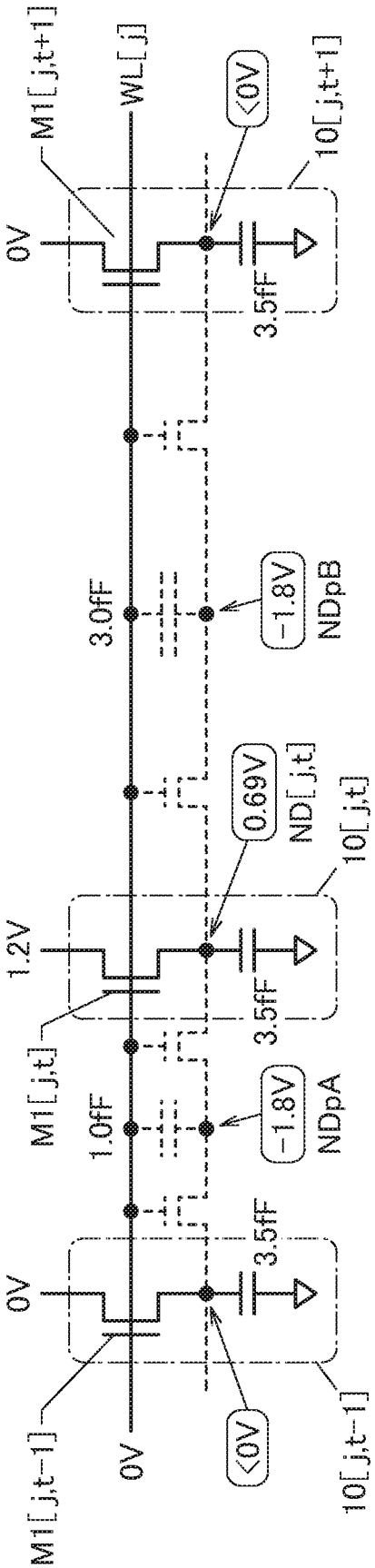

M1[j,t+1]
WL[j]
<0V
10[j,t+1]
0V
3.5fF
3.0fF
−1.8V
NDpB
0.69V
ND[j,t]
10[j,t]
1.2V
M1[j,t]
1.0fF
−1.8V
NDpA
3.5fF
0V
M1[j,t−1]
0V
<0V
10[j,t−1]

図19

図20

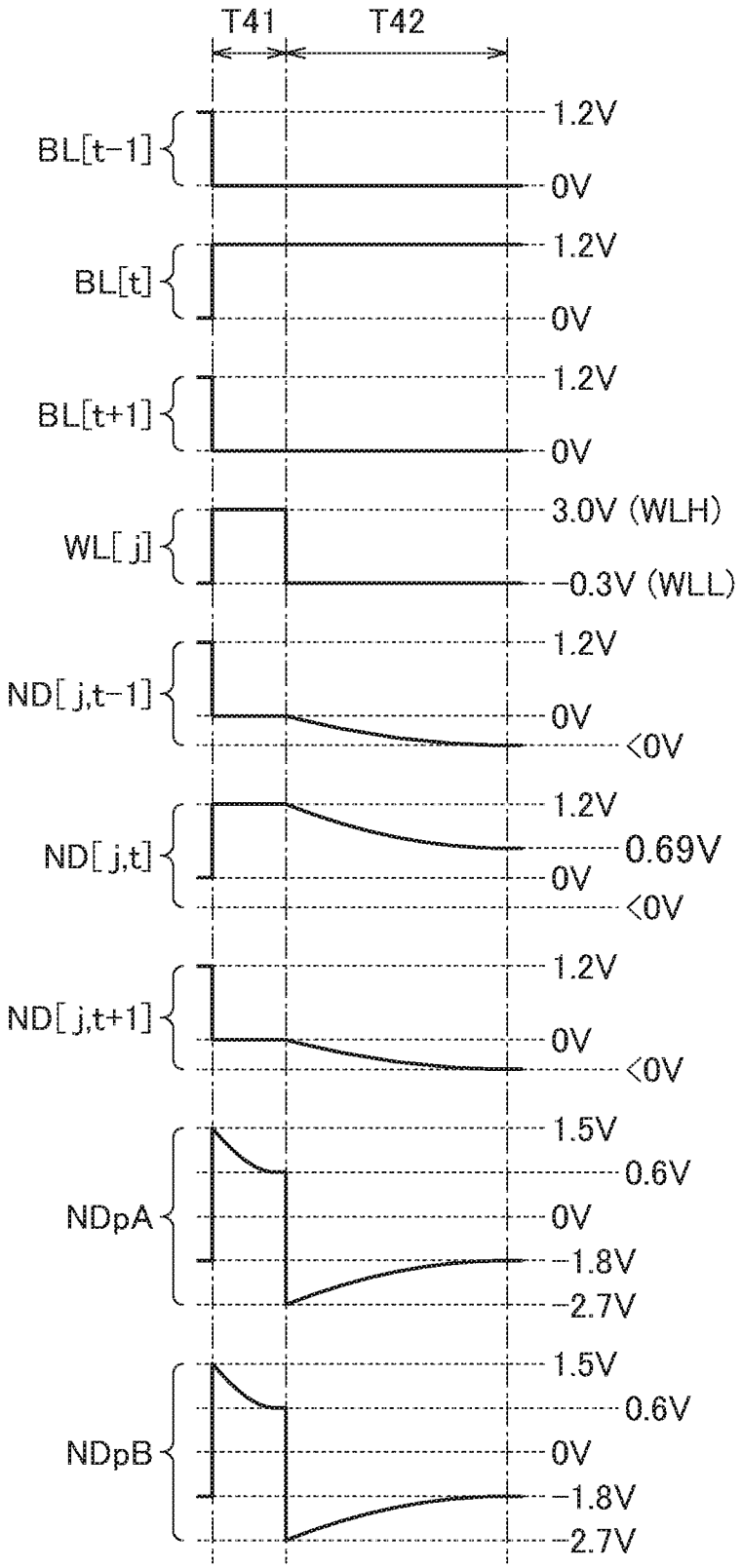

T41
T42
BL[t−1]
1.2V
0V
BL[t]
1.2V
0V
BL[t+1]
1.2V
0V
WL[j]
3.0V (WLH)
−0.3V (WLL)
ND[j,t−1]
1.2V
0V
<0V
ND[j,t]
1.2V
0.69V
0V
<0V
ND[j,t+1]
1.2V
0V
<0V
NDpA
1.5V
0.6V
0V
−1.8V
−2.7V
NDpB
1.5V
0.6V
0V
−1.8V
−2.7V

図21A

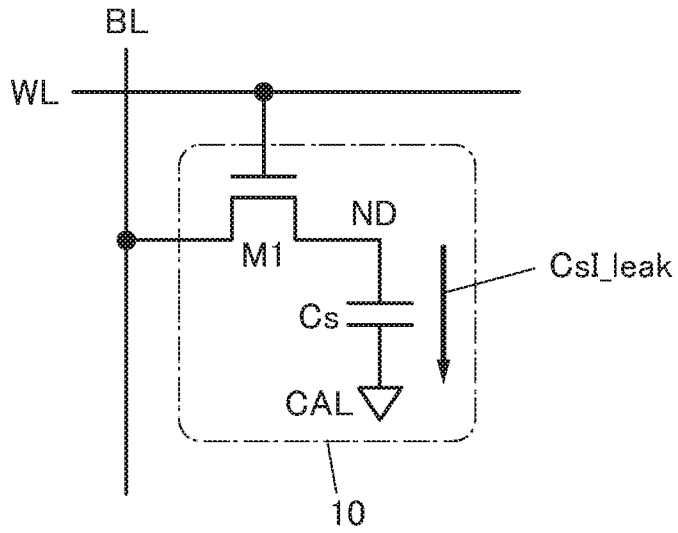

BL
WL
ND
M1
CsI_leak
Cs
CAL
10

図21B

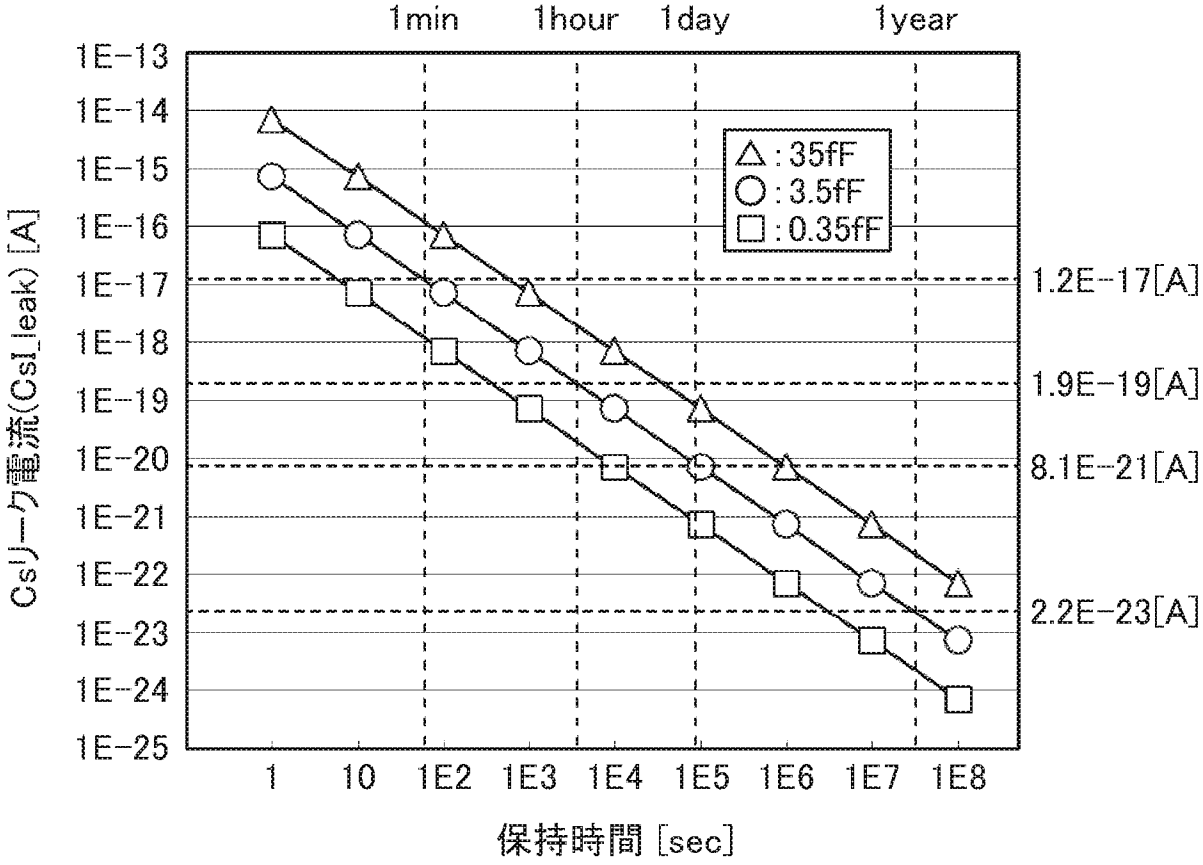

1min
1hour
1day
1year
1E-13
1E-14
1E-15
1E-16
1E-17
1E-18
1E-19
1E-20
1E-21
1E-22
1E-23
1E-24
1E-25
△:35fF
○:3.5fF
□:0.35fF
1.2E-17[A]
1.9E-19[A]
8.1E-21[A]
2.2E-23[A]
CsIリーク電流(CsI_leak) [A]
1
10
1E2
1E3
1E4
1E5
1E6
1E7
1E8
保持時間 [sec]

図22

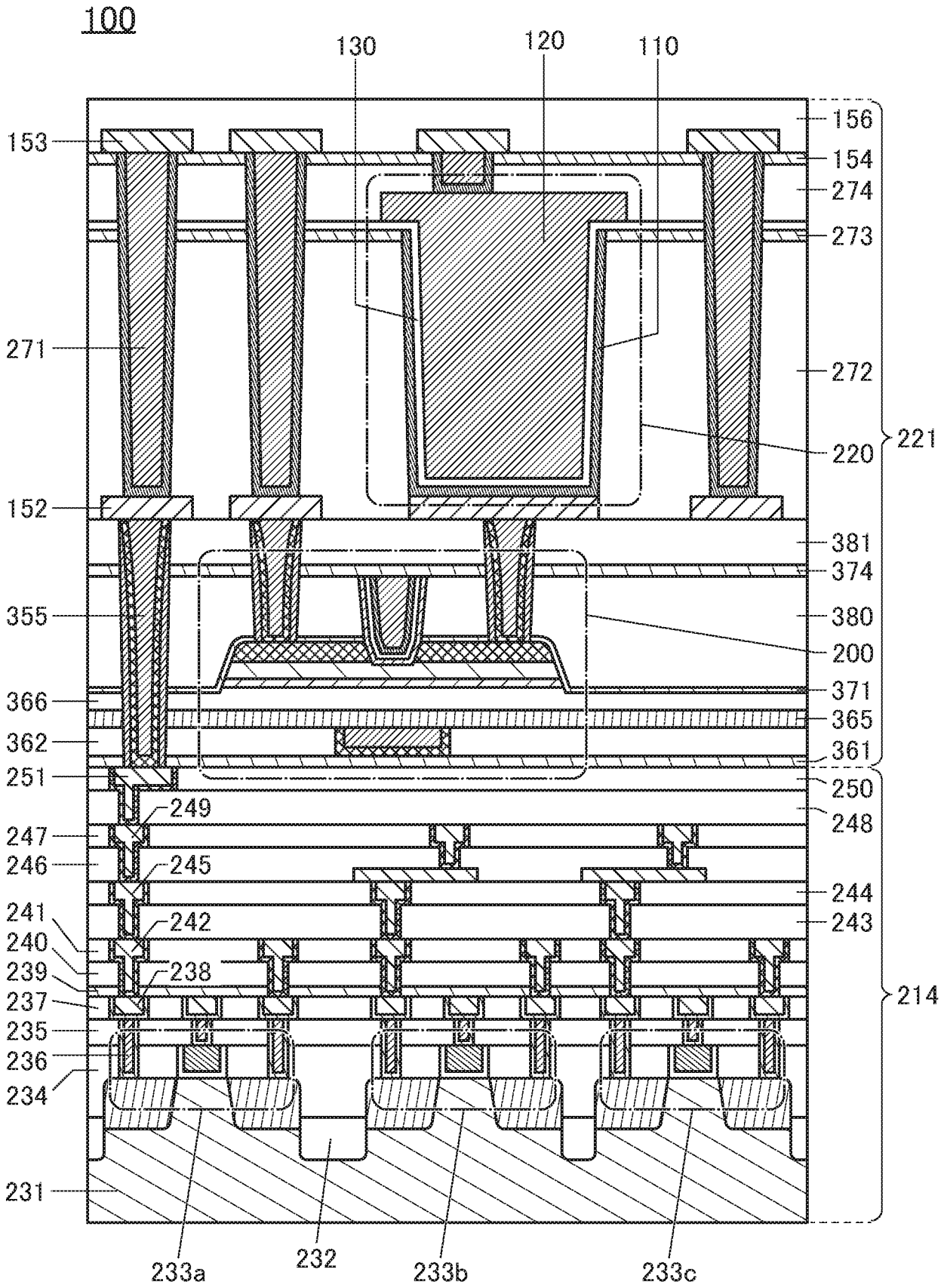

100
130
120
110
153
156
154
274
273
271
272
220
221
152
381
374
355
380
200
371
366
365
362
361
251
250
249
248
247
246
245
244
241
242
243
240
239
238
237
235
236
234
214
231
233a
232
233b
233c

図23

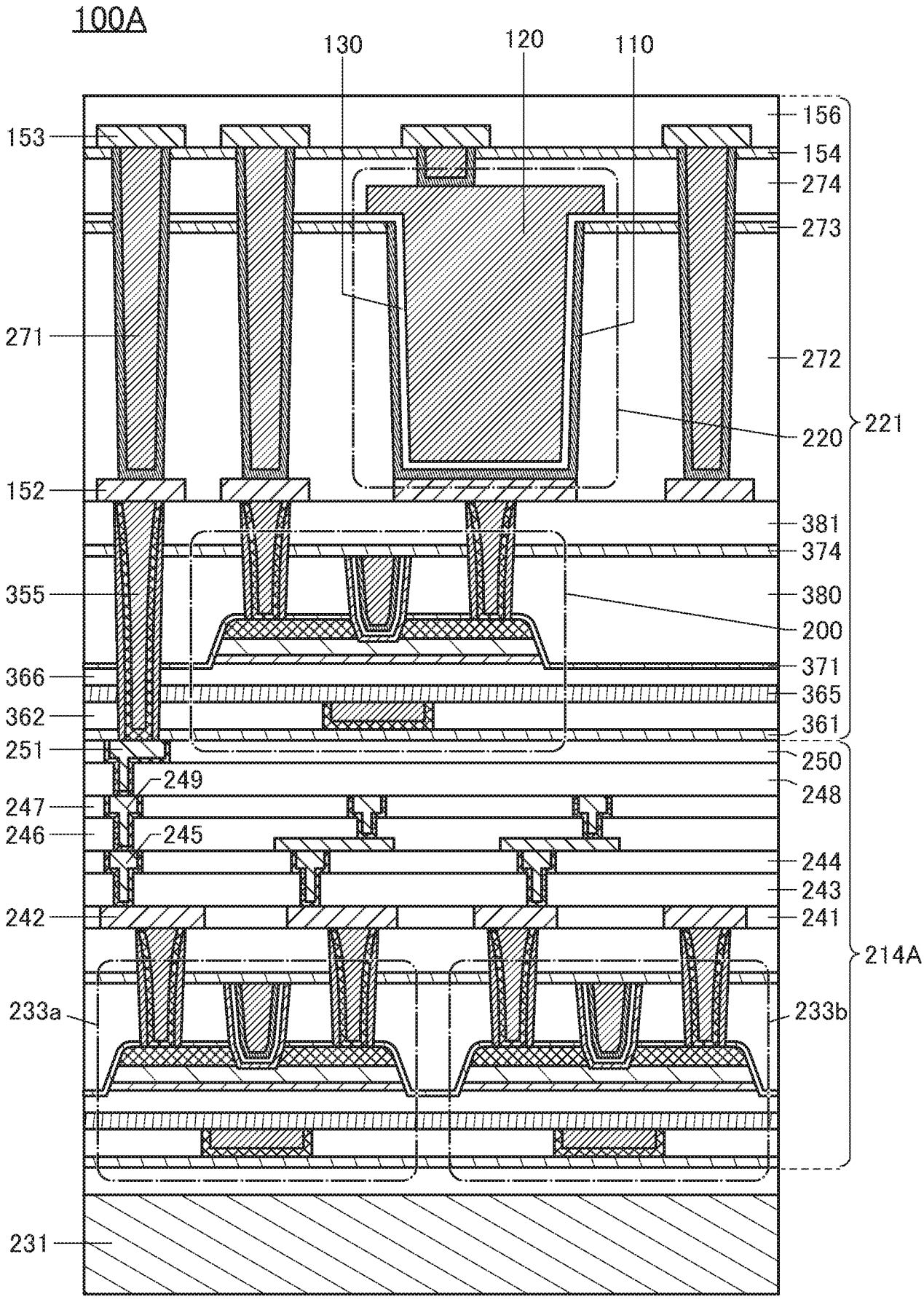

100A
130
120
110
153
156
154
274
273
271
272
220
221
152
381
374
355
380
200
366
371
365
362
361
251
250
249
248
247
246
245
244
243
242
241
214A
233a
233b
231

図24

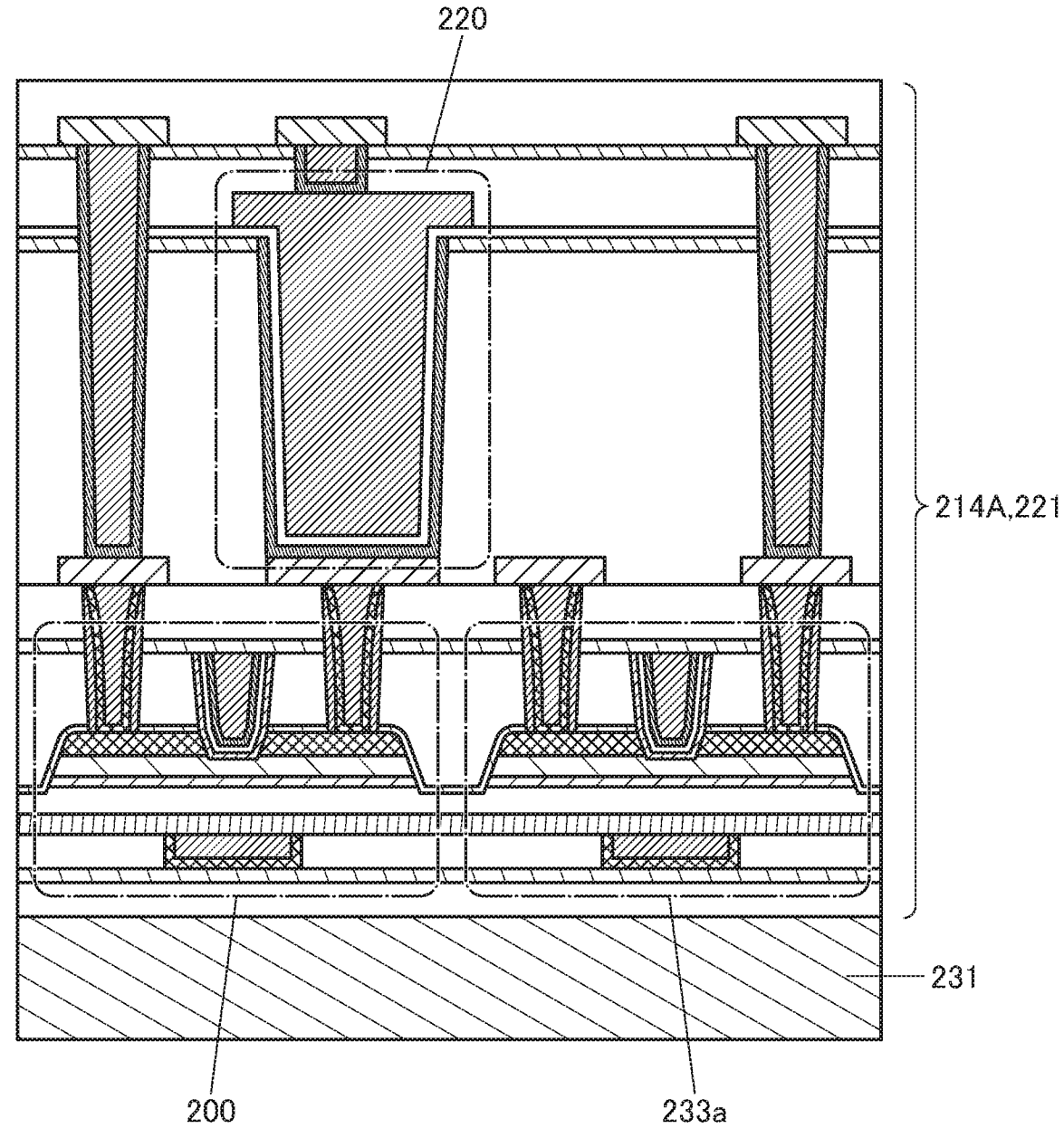


図25A

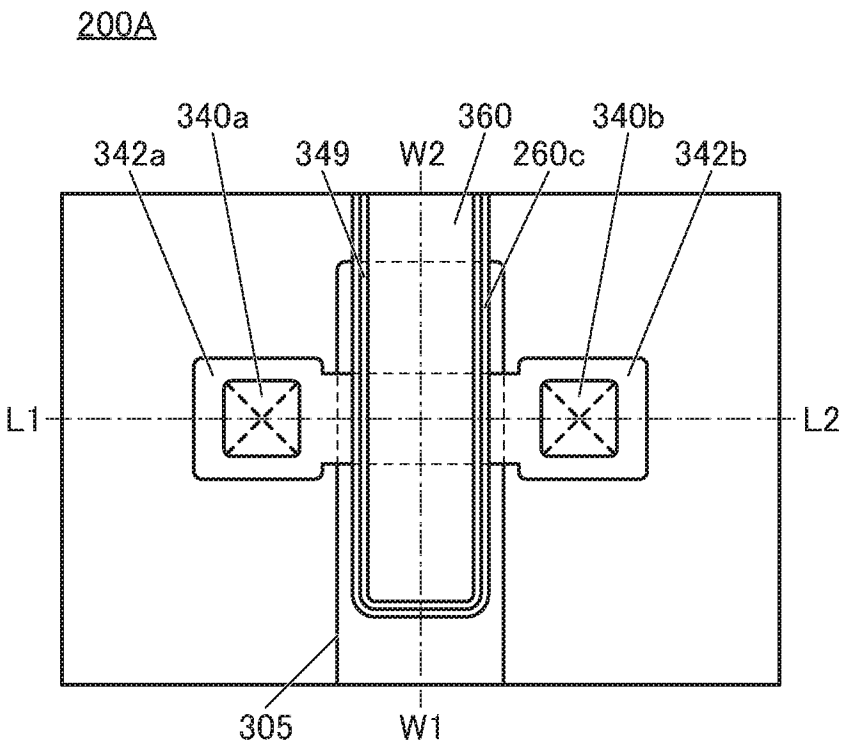


図25C

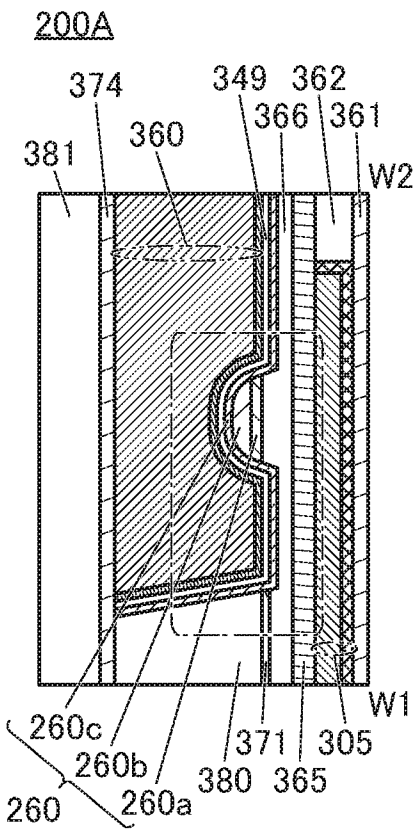


図25B

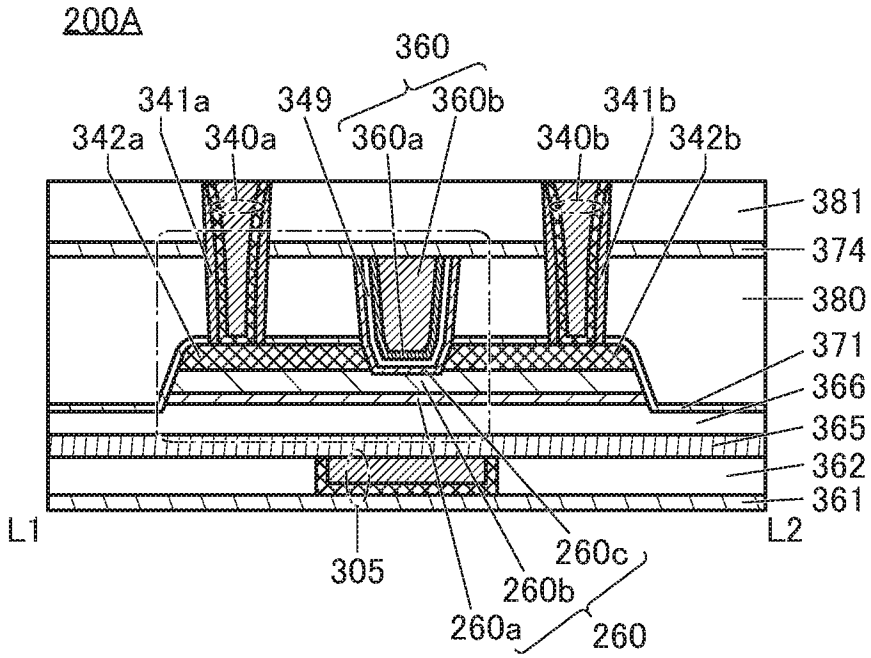


図26A

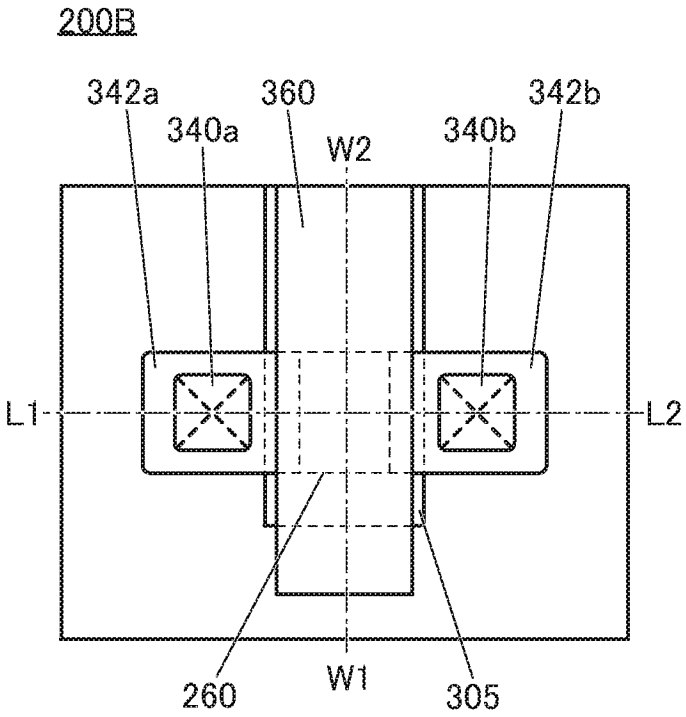


図26C

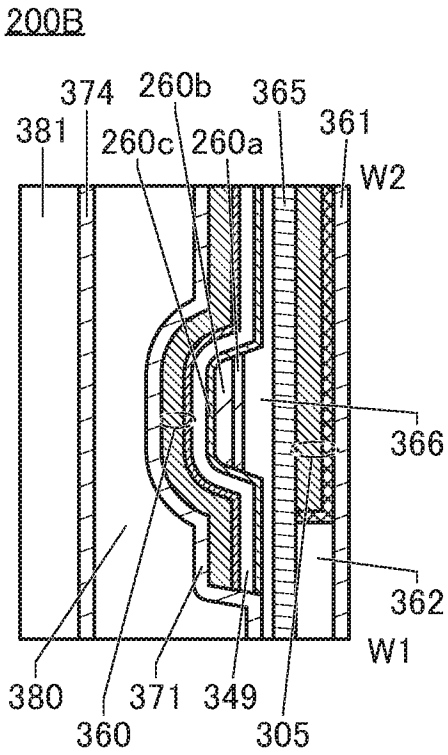


図26B

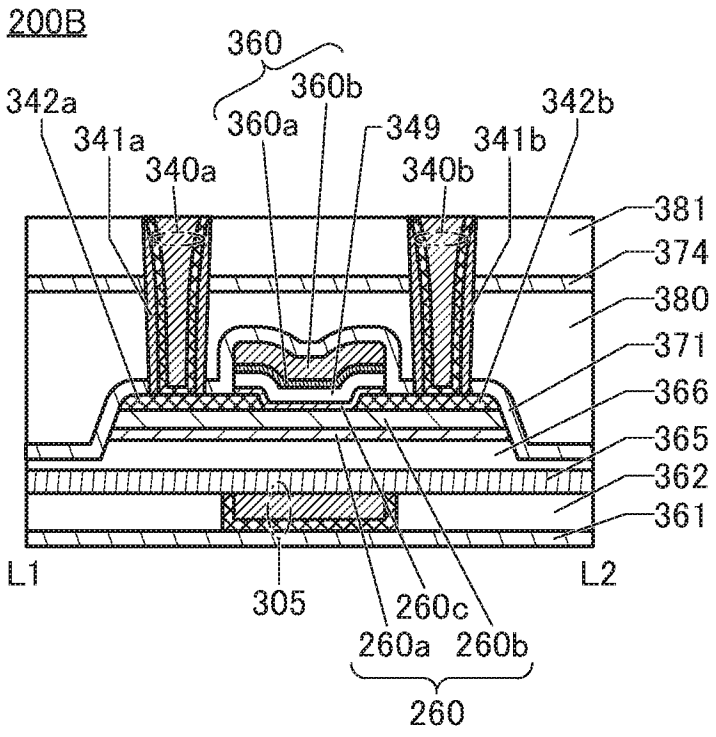


図27A

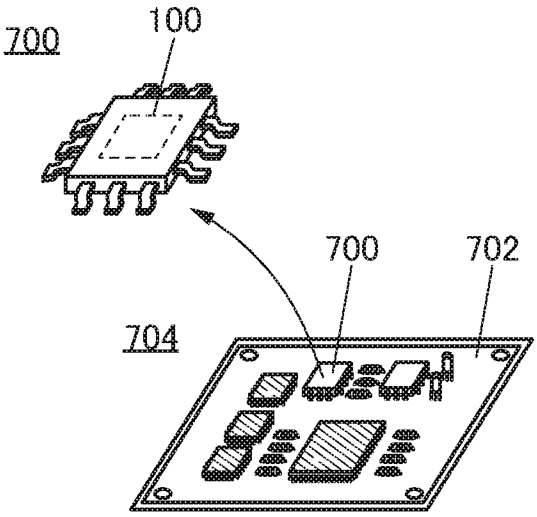


図27B

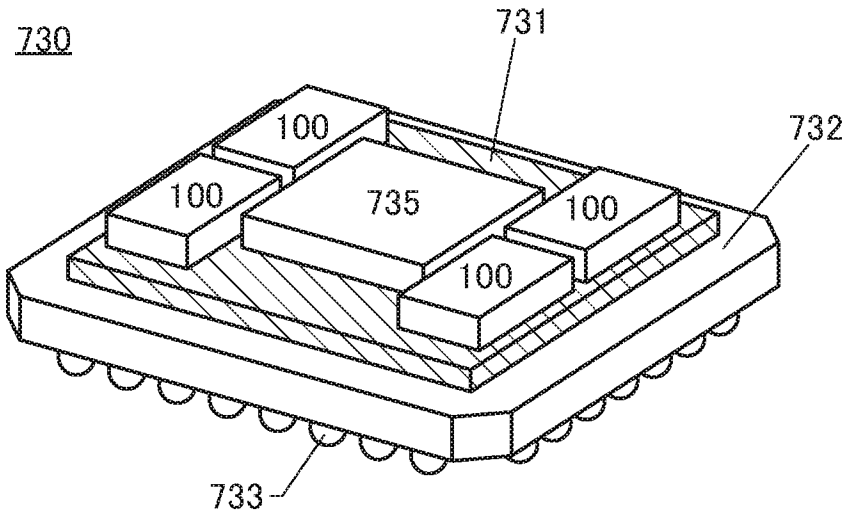


図28

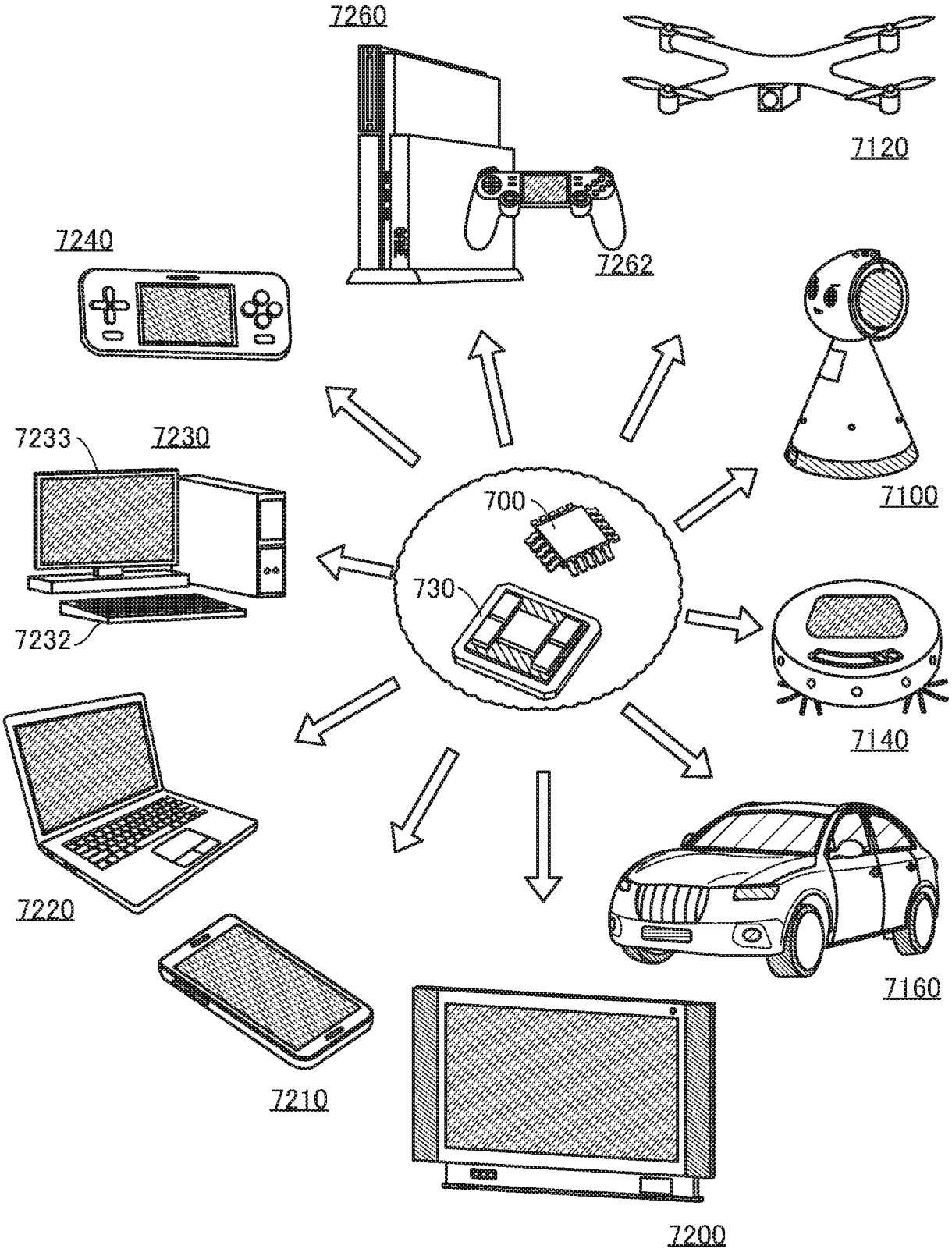

7260
7262
7120
7240
7233
7230
7232
700
730
7100
7140
7220
7160
7210
7200

図29A

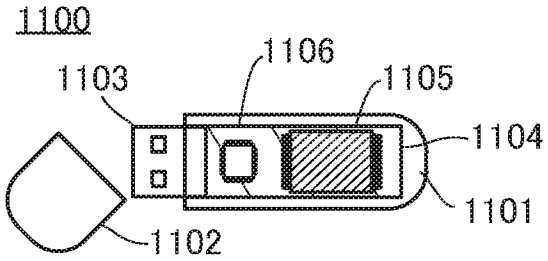


図29B

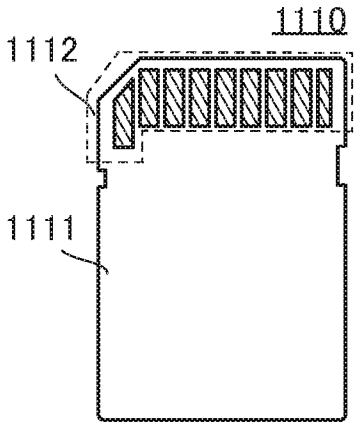


図29C

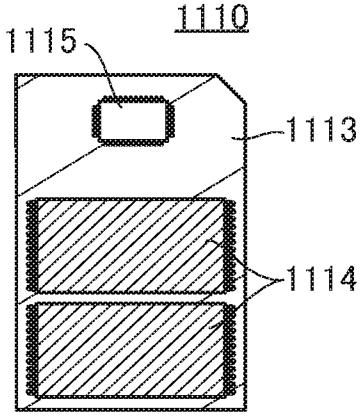


図29D

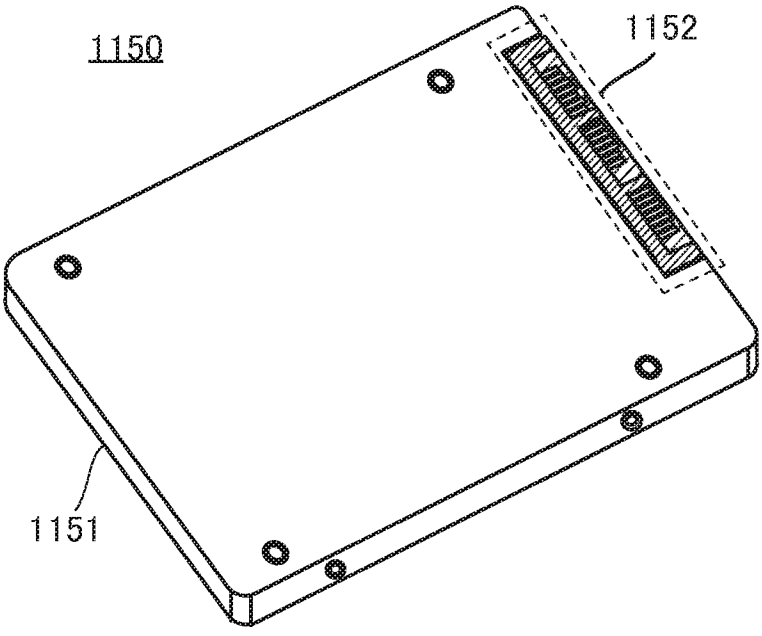


図29E

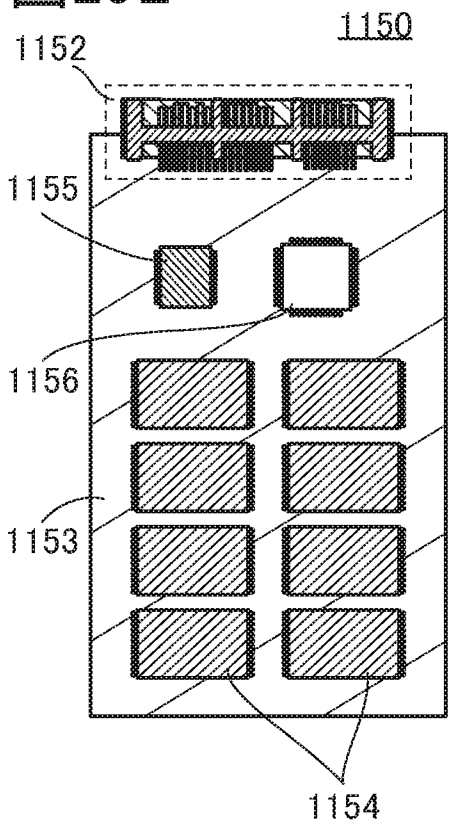


図30A

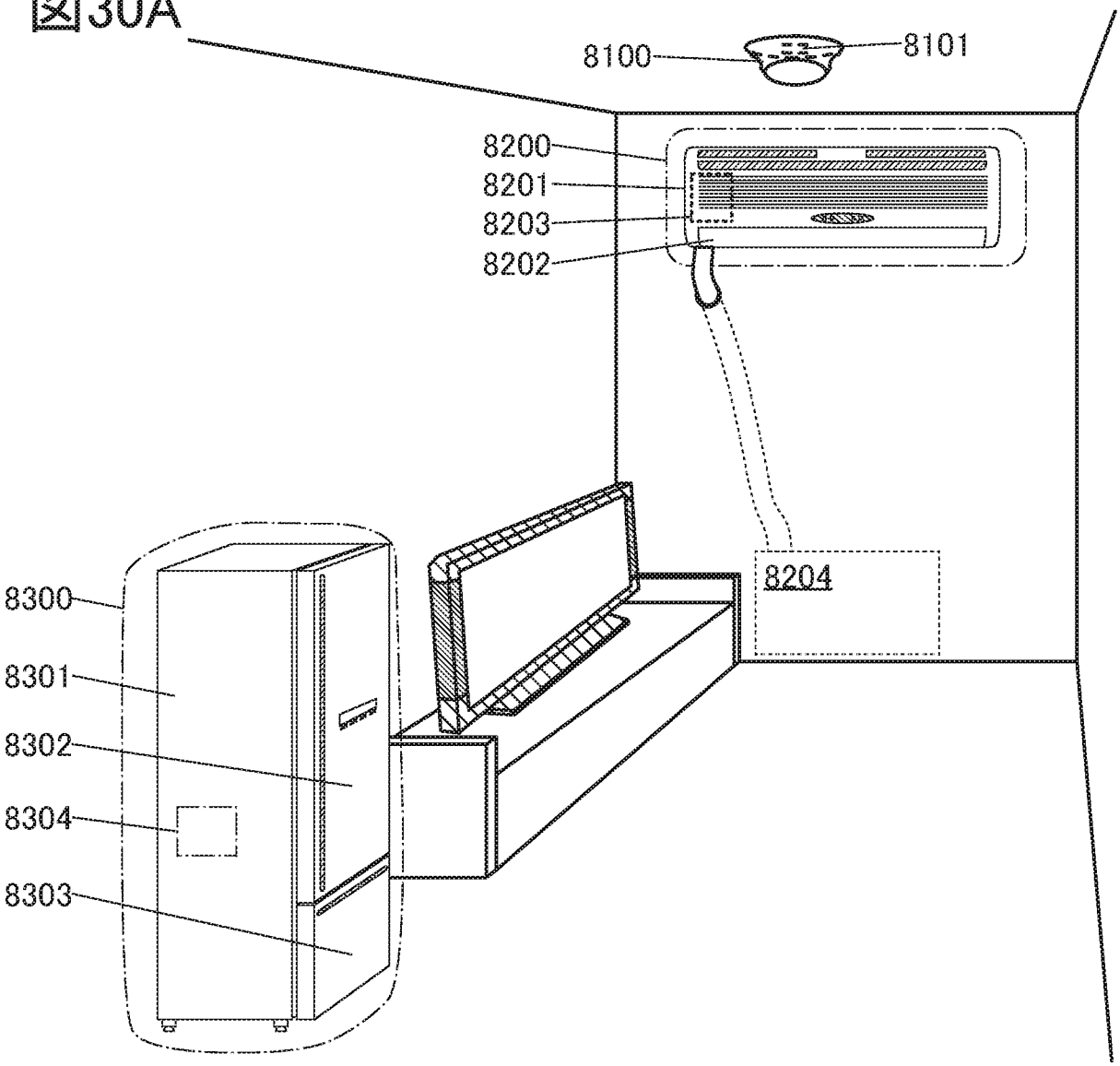


図30B

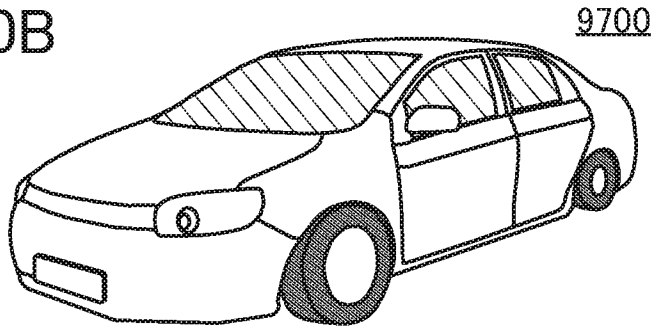


図30C

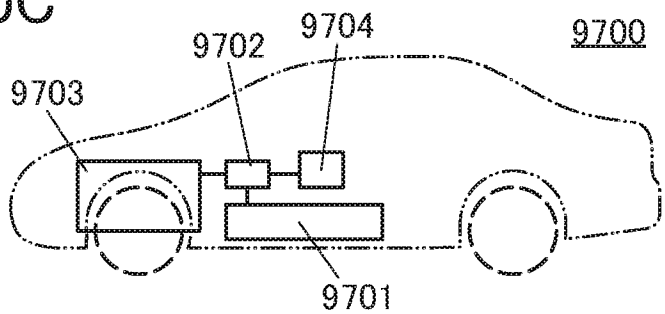


図31A

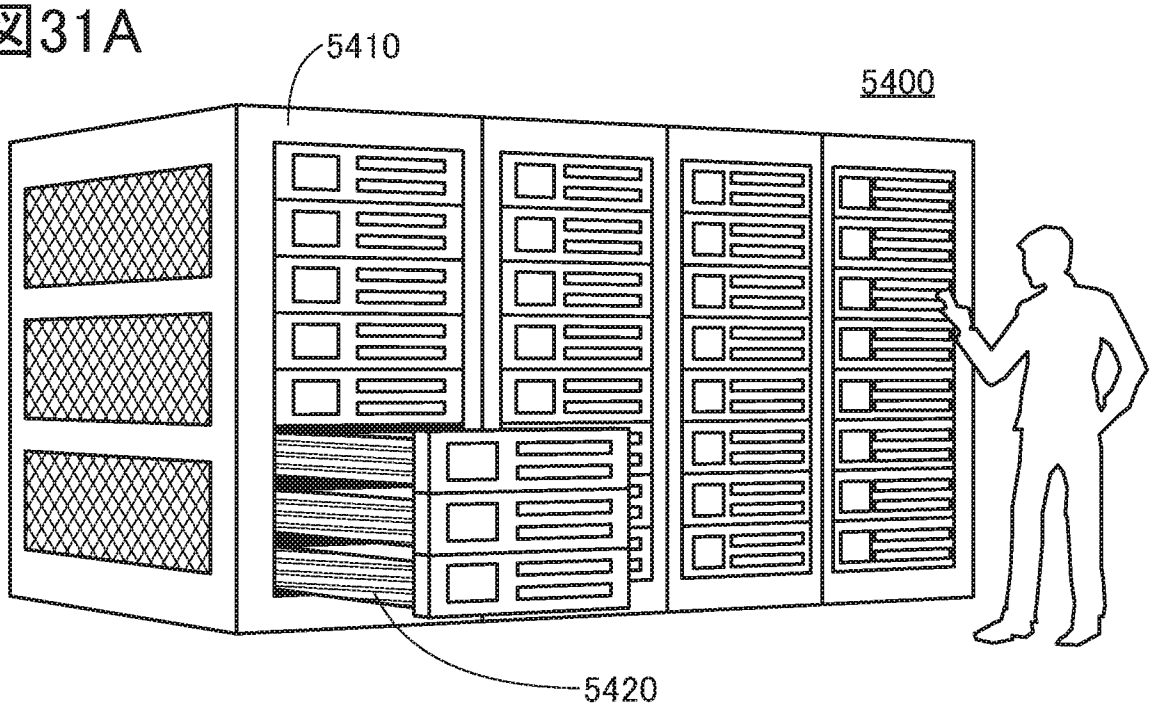


図31B

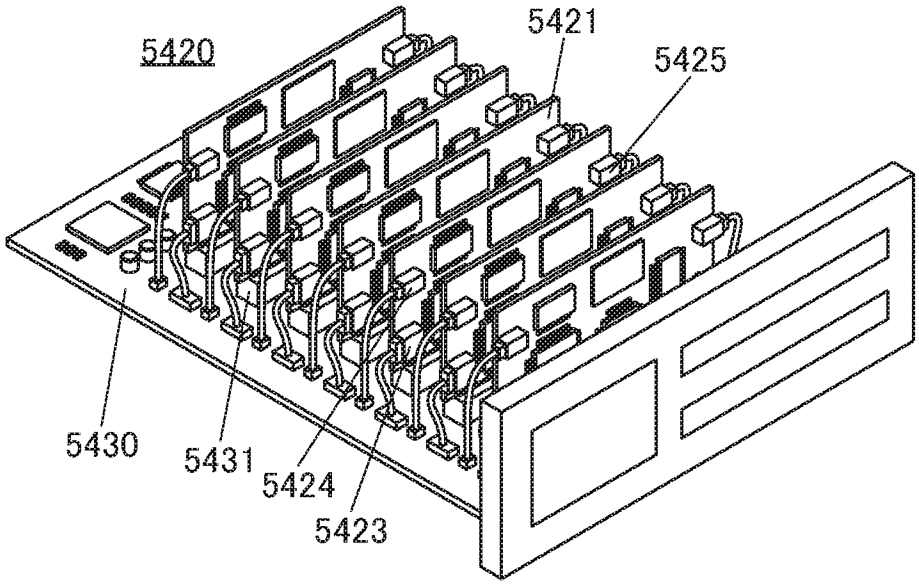
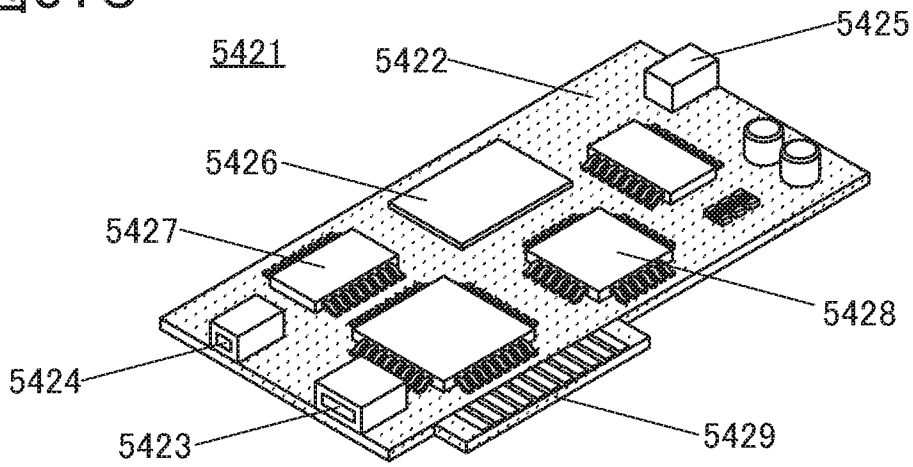


図31C



INTERNATIONAL SEARCH REPORT

International application No.
PCT/IB2019/056433

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl. H01L21/8242(2006.01)i, H01L21/8239(2006.01)i,
H01L27/105(2006.01)i, H01L27/108(2006.01)i, H01L29/786(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl. H01L21/8242, H01L21/8239, H01L27/105, H01L27/108, H01L29/786

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2019
Registered utility model specifications of Japan	1996-2019
Published registered utility model applications of Japan	1994-2019

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP 2008-78645 A (QIMONDA AG) 03 April 2008, paragraphs [0033], [0049]-[0051], [0063]-[0067], fig. 16B, 17A, 17B & US 2008/0121961 A1, paragraphs [0033], [0049]-[0051], [0063]-[0067], fig. 16B, 17A, 17B & DE 102006049155 B3 & KR 10-2008-0023158 A & CN 101174648 A	1-4 1-8 9-15

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
19 September 2019 (19.09.2019)	01 October 2019 (01.10.2019)

Name and mailing address of the ISA/	Authorized officer
Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/IB2019/056433

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2018-73453 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 10 May 2018, paragraphs [0030], [0034]-[0044], [0094], [0259], [0273]-[0276], fig. 2, 7D, 27 & US 2018/0114578 A1, paragraphs [0059], [0063]-[0073], [0125], [0289], [0303]-[0307], fig. 2, 7D, 27 & WO 2018/073708 A1	1-8 9-15
A	JP 2017-120937 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 06 July 2017, entire text, all drawings & JP 2012-216802 A & JP 2014-7431 A & JP 2014-39058 A & JP 2014-132699 A & JP 2018-133594 A & JP 2019-106552 A & US 875440982, entire text, all drawings & US 2014/0252353 A1 & US 2015/0380417 A1 & US 2017/0077308 A1 & US 2012/0241739 A1 & KR 10-2012-0109396 A	1-15
A	JP 2017-162538 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 14 September 2017, entire text, all drawings & JP 2012-256408 A & US 2012/0275214 A1, entire text, all drawings & US 2015/0213842 A1 & KR 10-2012-0122913 A	1-15

国際調査報告

国際出願番号　ＰＣＴ／ＩＢ２０１９／０５６４３３

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H01L21/8242(2006.01)i, H01L21/8239(2006.01)i, H01L27/105(2006.01)i, H01L27/108(2006.01)i, H01L29/786(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H01L21/8242, H01L21/8239, H01L27/105, H01L27/108, H01L29/786

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１９年
日本国実用新案登録公報	１９９６－２０１９年
日本国登録実用新案公報	１９９４－２０１９年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
X	JP 2008-78645 A (キモンダ　アクチエンゲゼルシャフト) 2008.04.03, 段落[0033], [0049] - [0051], [0063] - [0067], 図	1-4
Y	16B, 17A, 17B & US 2008/0121961 A1, 段落[0033], [0049] - [0051], [0063] - [0067], 図 16B, 17A, 17B & DE 102006049155 B3 & KR	1-8
A	10-2008-0023158 A & CN 101174648 A	9-15

☑　Ｃ欄の続きにも文献が列挙されている。

☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー

「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの

「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「Ｏ」口頭による開示、使用、展示等に言及する文献

「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献

「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「＆」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
１９．０９．２０１９	０１．１０．２０１９

国際調査機関の名称及びあて先
日本国特許庁（ＩＳＡ／ＪＰ）
郵便番号１００－８９１５
東京都千代田区霞が関三丁目４番３号

特許庁審査官（権限のある職員）　５Ｆ　６３１３
宮本　博司
電話番号　０３－３５８１－１１０１　内線　３５１６

Ｃ（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Y	JP 2018-73453 A (株式会社半導体エネルギー研究所) 2018.05.10, 段落[0030], [0034] - [0044], [0094], [0259], [0273] - [0276],	1-8
A	図2, 7D, 27 & US 2018/0114578 A1, 段落[0059], [0063] - [0073], [0125], [0289], [0303] - [0307], 図2, 7D, 27 & WO 2018/073708 A1	9-15
A	JP 2017-120937 A (株式会社半導体エネルギー研究所) 2017.07.06, 全文, 全図 & JP 2012-216802 A & JP 2014-7431 A & JP 2014-39058 A & JP 2014-132699 A & JP 2018-133594 A & JP 2019-106552 A & US 8754409 B2, 全文, 全図 & US 2014/0252353 A1 & US 2015/0380417 A1 & US 2017/0077308 A1 & US 2012/0241739 A1 & KR 10-2012-0109396 A	1-15
A	JP 2017-162538 A (株式会社半導体エネルギー研究所) 2017.09.14, 全文, 全図 & JP 2012-256408 A & US 2012/0275214 A1, 全文, 全図 & US 2015/0213842 A1 & KR 10-2012-0122913 A	1-15