

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4984054号
(P4984054)

(45) 発行日 平成24年7月25日(2012.7.25)

(24) 登録日 平成24年5月11日(2012.5.11)

(51) Int.Cl.			F I		
HO4L	7/08	(2006.01)	HO4L	7/08	A
HO4J	3/00	(2006.01)	HO4J	3/00	U
HO4J	3/06	(2006.01)	HO4J	3/06	A
HO4B	10/00	(2006.01)	HO4B	9/00	B

請求項の数 10 (全 17 頁)

(21) 出願番号	特願2007-70775 (P2007-70775)	(73) 特許権者	000004237
(22) 出願日	平成19年3月19日(2007.3.19)		日本電気株式会社
(65) 公開番号	特開2008-236175 (P2008-236175A)		東京都港区芝五丁目7番1号
(43) 公開日	平成20年10月2日(2008.10.2)	(74) 代理人	100083987
審査請求日	平成22年3月2日(2010.3.2)		弁理士 山内 梅雄
		(72) 発明者	高橋 次男
			東京都港区芝五丁目7番1号 日本電気株式会社内
		審査官	白井 亮

最終頁に続く

(54) 【発明の名称】 フレーム同期装置およびフレーム同期方法

(57) 【特許請求の範囲】

【請求項1】

2以上のビット長からなる任意の組のビットパターンを禁止固定パターンとして予め設定しておく禁止固定パターン設定手段と、

前記ビット長からなるビットパターンをフレーム同期用パターンとして逐次受信してその内容を新しく受信したフレーム同期用パターンに順次切り替えるフレーム同期用パターン受信手段と、

フレーム単位で信号を順次受信してそれぞれのフレームを構成するビットシリアルなパターンが前記フレーム同期用パターン受信手段の受信し内容を切り替えた後のフレーム同期用パターンと同一のビット列を含むかを判別するフレーム同期用パターン照合手段と、

このフレーム同期用パターン照合手段で同一のビット列を含むと判別されたとき照合の対象となった前記フレーム同期用パターンが前記禁止固定パターン設定手段に設定された禁止固定パターンのいずれにも一致しないことをもって該当するフレームの同期を検出するフレーム同期検出手段

とを具備することを特徴とするフレーム同期装置。

【請求項2】

2以上のビット長からなるビットパターンをフレーム同期用パターンとして逐次受信してその内容を新しく受信したフレーム同期用パターンに順次切り替えるフレーム同期用パターン受信手段と、

フレーム単位で信号を順次受信してそれぞれのフレームを構成するビットシリアルなパ

タンが前記フレーム同期用パターン受信手段の受信し内容を切り替えた後のフレーム同期用パターンと同一のビット列を含むかを判別するフレーム同期用パターン照合手段と、

このフレーム同期用パターン照合手段で同一のビット列を含むと判別されたとき照合の対象となった前記フレーム同期用パターンを構成する1ビットとこれを所定のビット長だけシフトさせたもの同士がそれぞれ一致するかを判別する禁止用照合手段と、

前記フレーム同期用パターン照合手段で同一のビット列を含むと判別されたとき前記禁止用照合手段ですべて一致すると判別しなかったことをもって該当するフレームの同期を検出するフレーム同期検出手段

とを具備することを特徴とするフレーム同期装置。

【請求項3】

前記フレーム同期検出手段が予め定めた複数段のフレームに対して連続してフレームの同期を検出したときフレーム単位で送られてくる前記信号のフレーム同期を確立する同期確立保護手段を具備することを特徴とする請求項1または請求項2記載のフレーム同期装置。

【請求項4】

前記同期確立保護手段でフレーム同期が確立した後、前記フレーム同期検出手段が予め定めた複数段のフレームに対して連続してフレームの同期を検出しなかったとき、前記信号のフレーム同期はずれを判別する同期はずれ保護手段を具備することを特徴とする請求項3記載のフレーム同期装置。

【請求項5】

前記禁止固定パターン設定手段に設定された禁止固定パターンは、前記2以上のビットがオール「0」となったビットパタンの組を含むことを特徴とする請求項1記載のフレーム同期装置。

【請求項6】

前記禁止固定パターン設定手段に設定された禁止固定パターンは、前記2以上のビットがオール「1」となったビットパタンの組を含むことを特徴とする請求項1記載のフレーム同期装置。

【請求項7】

前記禁止用照合手段は、前記フレーム同期用パタンのそれぞれのビットとこれらのビットを1ビットずつ特定方向にシフトしたものとをそれぞれ照合するものであることを特徴とする請求項2記載のフレーム同期装置。

【請求項8】

前記禁止用照合手段は、前記フレーム同期用パタンのそれぞれのビットとこれらのビットを2ビットずつ特定方向にシフトしたものとをそれぞれ照合するものであることを特徴とする請求項2記載のフレーム同期装置。

【請求項9】

2以上のビット長からなるビットパターンをフレーム同期用パターンとして逐次受信してその内容を新しく受信したフレーム同期用パターンに順次切り替えるフレーム同期用パターン受信ステップと、

フレーム単位で信号を順次受信してそれぞれのフレームを構成するビットシリアルなパターンが前記フレーム同期用パターン受信ステップで受信し内容を切り替えた後のフレーム同期用パターンと同一のビット列を含むかを判別するフレーム同期用パターン照合ステップと、

このフレーム同期用パターン照合ステップで同一のビット列を含むと判別されたとき照合の対象となった前記フレーム同期用パターンが、予め設定した前記2以上のビット長からなる任意の組の禁止固定パタンのいずれにも一致しないかを判別する禁止固定パターン一致無判別ステップと、

この禁止固定パターン一致無判別ステップで前記禁止固定パタンのいずれにも一致しないと判別したとき該当するフレームの同期を検出するフレーム同期検出ステップとを具備することを特徴とするフレーム同期方法。

【請求項10】

10

20

30

40

50

2以上のビット長からなるビットパターンをフレーム同期用パターンとして逐次受信してその内容を新しく受信したフレーム同期用パターンに順次切り替えるフレーム同期用パターン受信ステップと、

フレーム単位で信号を順次受信してそれぞれのフレームを構成するビットシリアルなパターンが前記フレーム同期用パターン受信ステップで受信し内容を切り替えた後のフレーム同期用パターンと同一のビット列を含むかを判別するフレーム同期用パターン照合ステップと、

このフレーム同期用パターン照合ステップで同一のビット列を含むと判別されたとき照合の対象となった前記フレーム同期用パターンを構成する1ビットとこれを所定のビット長だけシフトさせたもの同士がそれぞれ一致するかを判別する禁止用照合ステップと、

前記フレーム同期用パターン照合ステップで同一のビット列を含むと判別されたとき前記禁止用照合ステップですべて一致すると判別しなかったことをもって該当するフレームの同期を検出するフレーム同期検出ステップ

とを具備することを特徴とするフレーム同期方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、フレーム化された受信データの同期をとるためのフレーム同期装置およびフレーム同期方法に係わり、特にフレームごとにその同期パターンが変化する場合に好適なフレーム同期装置およびフレーム同期方法に関する。

【背景技術】

【0002】

光ファイバによる高速伝送技術として米国で開発された同期光通信網（Synchronous Optical Network：SONET）技術を基礎として、多重化に必要な同期クロックを網として供給する網同期方式である同期デジタル・ハイアラキ（Synchronous Digital Hierarchy：以下、SDHと略す。）技術が、国際電気通信連合電気通信標準化部門（International Telecommunication Union-Telecommunication：ITU-T）で標準化されている。このSDH技術による伝送システムで送受信されるSDH信号は、フレーム化構成されるようになっている。フレーム化構成されたSDH信号は、送信側でフレームの特定位置に固定のフレーム同期パターンが配置され、受信側でこのフレーム同期パターンを認識してフレームの同期検出を行うことでフレーム位相を正確に認識し、所定フォーマットの信号の送受信を行うようにしている。

【0003】

ところで、たとえば40Gb/s（ギガビット/秒）といった高速の光信号を光ファイバを用いて伝送する通信システムでは、この光信号を受信して電気信号として処理する受信側装置でそのままの速度で電氣的な処理を行うことが困難となる。そこで、このような通信システムでは、この高速の信号をより低速の平行信号に分解して電氣的な処理を行うようになっている（たとえば特許文献1参照）。

【0004】

図8は、このような従来の通信システムの一例を表わしたものである。通信システム100を構成する送信装置101と受信装置102は、光ファイバ103により接続されている。送信装置101から受信装置102には、光ファイバ103を使用して40Gb/sの通信速度で光信号104が送られてくる。

【0005】

受信装置102では受信側光モジュール111がこの光信号104を電気信号に変換し、第0～第15の信号112₀～112₁₅からなる平行データ113として信号処理部114に伝送する。このとき、第0～第15の信号112₀～112₁₅のそれぞれについてフレーム単位で同期をとるためのデスクュー信号115が受信側光モジュール111内で生成される。このデスクュー信号115は、平行データ113の位相ずれの補正のための信号であり、受信側光モジュール111が受信した信号の一部をそれぞれ抽出した信号である。デスクュー信号115は、信号処理部114に送信される。

10

20

30

40

50

【 0 0 0 6 】

信号処理部 1 1 4 では、受信した第 0 ~ 第 1 5 の信号 $1 1 2_0 \sim 1 1 2_{15}$ を、デスクュー信号 1 1 5 を基にしたフレーム同期パタンとフレーム単位で比較するようになっている。そして、パタン的一致がとれた場合には直ちに同期が確立したものとせず、複数のフレームで連続してフレームの一致が検出されたときに初めて同期を確立するようにしている。ここで、連続して a フレーム（ただし a は 2 以上の正の整数）の一致が検出されたとき同期を確立させるとすると、これを同期確立保護段数が a 段であると表現する。たとえば同期確立保護段数が 2 段であるということは、一例として第 1 5 の信号 $1 1 2_{15}$ における 2 つのフレームで連続してフレーム同期パタンが一致することを意味する。

【特許文献 1】特開 2 0 0 4 - 1 1 2 1 2 3 号公報（第 0 0 0 2 段落、第 0 0 0 7 段落、
図 1）

10

【発明の開示】

【発明が解決しようとする課題】

【 0 0 0 7 】

ところで、図 8 に示したような通信システム 1 0 0 で、送信装置 1 0 1 に電源が投入された初期段階や受信装置 1 0 2 内の受信側光モジュール 1 1 1 に電源が投入された初期段階を考えてみる。このようにシステムの不安定な段階では、第 0 ~ 第 1 5 の信号 $1 1 2_0 \sim 1 1 2_{15}$ について、フレーム同期パタンを構成するビット長が少なくともオール「0」あるいはオール「1」となったビット列が発生する可能性が高い。光ファイバ 1 0 3 が切断されて光信号 1 0 4 が一時的に受信装置 1 0 2 に伝達されなくなった場合のような何らかの障害が発生した場合も同様である。

20

【 0 0 0 8 】

信号処理部 1 1 4 がデスクュー信号 1 1 5 によってフレーム同期パタンをフレーム単位で次々と変化させてパタン的一致の有無の監視を行うと、このようにシステムが正常に立ち上がっていない状態で、フレーム同期パタンがたとえば前記したオール「0」となる可能性は高くなる。また、この状態で、第 0 ~ 第 1 5 の信号 $1 1 2_0 \sim 1 1 2_{15}$ のフレームにオール「0」のビットが連続する確率も高い。したがって、このような場合にはフレームの同期が誤って検出される可能性が高くなる。

【 0 0 0 9 】

フレームの同期が一度誤って検出されると、同期はずれから同期確立に至る場合と同様に、同期確立から同期はずれにいたる場合にも保護段数が設定されているのが一般的である。同期はずれについての段数を b 段（ただし、b は 2 以上の正の整数）とする。たとえば同期はずれ保護段数が 3 段であるということは、一例として第 1 5 の信号 $1 1 2_{15}$ における 3 つのフレームで連続してフレーム同期パタンが不一致となることを意味する。

30

【 0 0 1 0 】

図 8 における信号処理部 1 1 4 内の図示しないフレーム同期装置が誤同期に入った場合、正常なフレーム同期パタンを受信してから、正常な同期引き込みが完了するまでには、b 段の同期はずれ保護段数と、その後の a 段の同期確立保護段数の和（ $b + a$ ）だけのフレームが受信装置 1 0 2 で受信される必要がある。すなわち、従来ではシステムが正常でない状態でフレームの同期が誤って検出される場合があり、この場合には回線断からシステムが正常に復帰するまでに比較的長時間を要するといった問題があった。これは、特に厳しい回線品質が要求される S O N E T / S D H 装置のような装置では、大きな不具合となる。

40

【 0 0 1 1 】

以上、S O N E T / S D H 装置における性能の劣化について説明したが、一般に、送信側から送られてきた信号の一部を抽出してなるフレーム同期パタンを用いてフレームの同期をとるフレーム同期装置およびフレーム同期方法については同様の問題があった。

【 0 0 1 2 】

そこで本発明の目的は、順次変化するフレーム同期パタンを使用してフレームの同期を図る際に、誤動作を防止することのできるフレーム同期装置およびフレーム同期方法を提

50

供することにある。

【課題を解決するための手段】

【0013】

請求項1記載の発明では、(イ)2以上のビット長からなる任意の組のビットパターンを禁止固定パターンとして予め設定しておく禁止固定パターン設定手段と、(ロ)前記したビット長からなるビットパターンをフレーム同期用パターンとして逐次受信してその内容を新しく受信したフレーム同期用パターンに順次切り替えるフレーム同期用パターン受信手段と、(ハ)フレーム単位で信号を順次受信してそれぞれのフレームを構成するビットシリアルなパターンがフレーム同期用パターン受信手段の受信し内容を切り替えた後のフレーム同期用パターンと同一のビット列を含むかを判別するフレーム同期用パターン照合手段と、(ニ)このフレーム同期用パターン照合手段で同一のビット列を含むと判別されたとき照合の対象となったフレーム同期用パターンが禁止固定パターン設定手段に設定された禁止固定パターンのいずれにも一致しないことをもって該当するフレームの同期を検出するフレーム同期検出手段とをフレーム同期装置に具備させる。

10

【0014】

すなわち本発明では、禁止固定パターン記憶手段に禁止固定パターンを1組あるいは2組以上登録しておき、フレーム同期用パターンを逐次受信してその内容を更新したとき、それが禁止固定パターンに該当した場合にはフレーム同期のチェックのためのフレーム同期用パターンとしては使用しないことにしている。禁止固定パターンの例としては、オール「0」のビットパターンや、オール「1」のビットパターンのようにシステムが正常でない状態で現われる可能性のあるパターンを挙げることができる。したがって、本発明では、フレーム同期のチェックのためのフレーム同期用パターンとして不適切なものを同期のチェックの際に排除することができ、受信装置の同期処理の誤動作を防止することができる。

20

【0015】

請求項2記載の発明では、(イ)2以上のビット長からなるビットパターンをフレーム同期用パターンとして逐次受信してその内容を新しく受信したフレーム同期用パターンに順次切り替えるフレーム同期用パターン受信手段と、(ロ)フレーム単位で信号を順次受信してそれぞれのフレームを構成するビットシリアルなパターンが前記フレーム同期用パターン受信手段の受信し内容を切り替えた後のフレーム同期用パターンと同一のビット列を含むかを判別するフレーム同期用パターン照合手段と、(ハ)このフレーム同期用パターン照合手段で同一のビット列を含むと判別されたとき照合の対象となった前記フレーム同期用パターンを構成する1ビットとこれを所定のビット長だけシフトさせたもの同士がそれぞれ一致するかを判別する禁止用照合手段と、(ニ)前記フレーム同期用パターン照合手段で同一のビット列を含むと判別されたとき前記禁止用照合手段ですべて一致すると判別しなかったことをもって該当するフレームの同期を検出するフレーム同期検出手段とをフレーム同期装置に具備させる。

30

【0016】

すなわち本発明では、フレーム同期をチェックする際に、照合の対象となるフレーム同期用パターンを構成する1ビットとこれを所定のビット長だけシフトさせたもの同士がそれぞれ一致するかを判別する禁止用照合手段を用意して、フレーム同期用パターン照合手段でフレーム同期がとれたと判別される際も禁止用照合手段の照合結果で一致が見られる場合はフレーム同期が成立しないものとして、システムが正常でない状態におけるフレーム同期の誤動作を排除し、受信装置の同期処理の誤動作を防止している。

40

【0017】

このような請求項1または請求項2記載の発明では、連続して所定回数だけフレーム同期が判別されたときに同期が確立するようにしてもよいし、反対に同期が確立した後では連続して所定回数だけフレーム同期が検出されなかったときにフレームの同期はずれを判別するようにしてもよい。これにより、システムの安定性を高めることができる。

【0018】

請求項9記載の発明では、(イ)2以上のビット長からなるビットパターンをフレーム同

50

期用パターンとして逐次受信してその内容を新しく受信したフレーム同期用パターンに順次切り替えるフレーム同期用パターン受信ステップと、(ロ)フレーム単位で信号を順次受信してそれぞれのフレームを構成するビットシリアルなパターンがフレーム同期用パターン受信ステップで受信し内容を切り替えた後のフレーム同期用パターンと同一のビット列を含むかを判別するフレーム同期用パターン照合ステップと、(ハ)このフレーム同期用パターン照合ステップで同一のビット列を含むと判別されたとき照合の対象となったフレーム同期用パターンが、予め設定した前記した2以上のビット長からなる任意の組の禁止固定パターンのいずれにも一致しないかを判別する禁止固定パターン一致無判別ステップと、(ニ)この禁止固定パターン一致無判別ステップで禁止固定パターンのいずれにも一致しないと判別したとき該当するフレームの同期を検出するフレーム同期検出ステップとをフレーム同期方法に具備させる。

10

【0019】

すなわち本発明では、請求項1記載の発明と同様の技術思想をフレーム同期方法として実現している。

【0020】

請求項10記載の発明では、(イ)2以上のビット長からなるビットパターンをフレーム同期用パターンとして逐次受信してその内容を新しく受信したフレーム同期用パターンに順次切り替えるフレーム同期用パターン受信ステップと、(ロ)フレーム単位で信号を順次受信してそれぞれのフレームを構成するビットシリアルなパターンがフレーム同期用パターン受信ステップで受信し内容を切り替えた後のフレーム同期用パターンと同一のビット列を含むかを判別するフレーム同期用パターン照合ステップと、(ハ)このフレーム同期用パターン照合ステップで同一のビット列を含むと判別されたとき照合の対象となったフレーム同期用パターンを構成する1ビットとこれを所定のビット長だけシフトさせたもの同士がそれぞれ一致するかを判別する禁止用照合ステップと、(ニ)フレーム同期用パターン照合ステップで同一のビット列を含むと判別されたとき禁止用照合ステップですべて一致すると判別しなかったことをもって該当するフレームの同期を検出するフレーム同期検出ステップとをフレーム同期方法に具備させる。

20

【0021】

すなわち本発明では、請求項2記載の発明と同様の技術思想をフレーム同期方法として実現している。特定のフレーム同期パターンにおける同期引き込みを禁止することで、システム立ち上げ時等のシステムが安定していない場合に異常なフレーム同期パターンで誤同期に入ることを防ぎ、結果的に正常フレーム同期パターンを受信した際の同期引き込みを早めることができる。

30

【発明の効果】**【0022】**

以上説明したように本発明によれば、フレーム同期用パターンを無作為で順次受信してこれを用いてフレームの同期を図るようなシステムでも、フレーム同期用パターンとしてふさわしくないもの、あるいはシステムが安定していないときに生じる可能性のあるフレーム同期用パターンによるフレームの同期の判断を禁止することができる。したがって、送信側の装置で対処できない伝送路や中継装置の障害発生にも有効に対処して受信装置の同期処理の誤動作を有効に防止することができる。

40

【発明を実施するための最良の形態】**【0023】**

以下実施例につき本発明を詳細に説明する。

【実施例1】**【0024】**

図1は、本発明の一実施例におけるフレーム同期装置を備えた通信システムの一例を表わしたものである。本実施例の通信システム200を構成する送信装置201と受信装置202は、光ファイバ203により接続されている。送信装置201から受信装置202には、光ファイバ203を使用して40Gb/sの通信速度で光信号204が送られてく

50

る。

【0025】

受信装置202では受信側光モジュール211がこの光信号204を電気信号に変換し、第0～第15チャンネルに対応した第0～第15の信号212₀～212₁₅からなるパラレルデータ213として信号処理部214に伝送する。このとき、第0～第15の信号212₀～212₁₅のそれぞれについてフレーム単位で同期をとるためのデスクュー信号215が受信側光モジュール211内で生成される。このデスクュー信号215は、パラレルデータ213の位相ずれの補正のための信号であり、受信側光モジュール211が受信した信号の一部をそれぞれ抽出した信号である。デスクュー信号215は、信号処理部214に送信される。なお、送信装置201および受信装置202内の受信側光モジュール211の構成は、図8に示した従来における送信装置101および受信装置102内の受信側光モジュール111と同一でよい。

10

【0026】

信号処理部214内のフレーム同期装置216では、受信した第0～第15の信号212₀～212₁₅を、デスクュー信号215を基にしたフレーム同期パターンとフレーム単位で比較するようになっている。そして、パタンの一致がとれた場合には直ちに同期が確立したものとせず、複数のフレームで連続してフレームの一致が検出されたときに初めて同期を確立するようにしている。本実施例では、同期確立保護段数であるa段が2段となっている。また、同期はずれ保護段数であるb段は3段となっている。

【0027】

20

図2は、フレーム同期装置の構成を表わしたものである。フレーム同期装置216は、デスクュー信号215を入力して第0～第15チャンネルに対応した第0～第15の同期パターン221₀～221₁₅を出力する同期パターン分離回路222と、第0～第15の信号212₀～212₁₅のそれぞれに対応するものを入力して同期確立の処理を行う第0～第15の同期処理部223₀～223₁₅を備えている。

【0028】

第0の同期処理部223₀は、第0の信号212₀のフレームに対して第0の同期パターン221₀の検出を行う第0の同期パターン検出回路231₀と、これから出力される第0の同期パターン検出信号232₀を入力して、同期に適合するパタンの検出が行われたかどうかを判別する第0の同期検出回路233₀と、これから出力される第0の同期検出信号234₀を入力する第0の同期保護回路235₀と、これら3つの回路231₀、233₀、235₀にタイミングを制御するクロック236₀、237₀、238₀を供給する第0のタイミング制御回路239₀から構成されている。第0の同期保護回路235₀からは、同期が確立したことを示す第0の同期確立信号240₀が出力されることになる。

30

【0029】

第1～第15の同期処理部223₁～223₁₅は、第0の同期処理部223₀と同一の構成となっている。そこで、第1～第15の同期処理部223₁～223₁₅の各部については、第0の同期処理部223₀の各部を示す符号に添えられた数字「0」を数字「1」～「15」のうちの対応するものに置き換えて、これらの説明は省略する。

【0030】

40

図3は、図2における第0の同期処理部の要部を具体的に示したものである。第0の同期処理部223₀は、第0の信号212₀をクロック236₀に同期して順次シフトさせる第0～第7のフリップフロップ回路250～257からなるシフトレジスタと、第0～第7のフリップフロップ回路250～257のそれぞれの出力端子Qの出力を比較用の一方の入力端子に入力する第0～第7の一致回路260～267を備えている。

【0031】

第0の同期パターン221₀は、図2に示した同期パターン分離回路222から供給される合計8ビットの第0～第7の同期ビット270～277から構成されている。これら第0～第7の同期ビット270～277は、第0～第7の一致回路260～267のうちの対応するものの比較用の他方の入力端子に入力されると共に、第0の同期検出回路233₀

50

(図2)の一部を構成するオール「0」検出回路281にされるようになっている。

【0032】

オール「0」検出回路281は、に入力された合計8ビットの第0～第7の同期ビット270～277がすべて信号「0」となっている状態を検出する回路で構成されている。これは、たとえば各入力の論理を反転させる8個のインバータと、これらのインバータの出力を入力する8入力AND回路で構成することができる。したがって、第0～第7の同期ビット270～277がすべて信号「0」になると、このときのみオール「0」検出回路281は信号「1」となるオール「0」検出信号282を出力することになる。

【0033】

このオール「0」検出信号282は、第0の同期検出回路233₀(図2)の一部を構成するインバータ283と第1のAND回路284のうちのインバータ283に入力されて論理を反転される。したがって、インバータ283の出力285は、第0～第7の同期ビット270～277がすべて信号「0」となっている状態でのみ信号「0」となる。この出力285は、2入力の第1のAND回路284の一方の入力となる。この結果、第1のAND回路284は第0～第7の同期ビット270～277がすべて信号「0」となったときには他方の入力端子の論理状態に係らず同期パタン検出信号286として同期でない状態を示す信号「0」を出力することになる。

【0034】

一方、第0～第7の一致回路260～267はそれぞれコンパレータで構成されている。これらのコンパレータは、たとえば2入力EOR(Exclusive OR:排他的論理和)回路とその出力側に配置された論理反転用のインバータによって構成することができる。したがって、第0～第7の一致回路260～267はそれぞれ2つの入力の論理状態のときにのみ、信号「1」となる一致結果信号290～297を出力する。これらの一致結果信号290～297は第2のAND回路288に入力される。第2のAND回路288は8入力のAND回路であり、一致結果信号290～297がすべて同時に信号「1」となったときのみ信号「1」となる禁止前同期パタン検出信号289を出力する。この禁止前同期パタン検出信号289は、2入力の第1のAND回路284の他方の入力となる。

【0035】

したがって、第2のAND回路288は、1フレーム分の第0の信号212₀がクロック236₀によって1ビットずつ、第0～第7のフリップフロップ回路250～257を順にシフトしている状態で第0の同期パタン221₀と一致している8ビットのビット列が存在する場合これを検出する。そして、たとえば第0の同期パタン221₀が「10111010」といったビット列で構成されており、これと同一のビット列がフレームを構成する第0の信号212₀中に存在した場合には、その検出時点で第2のAND回路288が信号「1」となる禁止前同期パタン検出信号289を出力することになる。この例の場合、オール「0」検出回路281は第0の同期パタン221₀がオール「0」となっていないので、オール「0」を検知していない。したがってオール「0」検出信号282は信号「0」であり、インバータ283の出力285は信号「1」となる。このため、第1のAND回路284の2つの入力は共に信号「1」となって、同期パタン検出信号286が信号「1」となって該当するフレームにフレーム同期パタンが存在することが検出される。

【0036】

これに対して、たとえば第0の同期パタン221₀が「00000000」といったオール「0」のビット列で構成されている場合、オール「0」検出信号282が信号「1」となる。したがって、第0の同期パタン221₀に「00000000」といったオール「0」のビット列が存在した場合には第2のAND回路288の禁止前同期パタン検出信号289は「1」となるが、インバータ283の出力285が「0」に反転する。このため、第1のAND回路284の出力としての同期パタン検出信号286は同期でない状態を示す信号「0」となり、同期が検出されないことになる。

10

20

30

40

50

【 0 0 3 7 】

図 4 は、以上のような構成の受信装置におけるフレーム同期の制御の様子を説明するためのものである。ここでは図 3 に示した第 0 の同期処理部 2 2 3₀を中心に説明を行う。ここでは、同期確立保護段数 a を 2 段としている。また、図 4 の横軸は時間軸をあらわしているが、説明の都合上、時間軸の縮尺は場所によって変化している。

【 0 0 3 8 】

図 4 (a) は、図 2 に示した第 0 のタイミング制御回路 2 3 9₀から出力されるクロック 2 3 6₀を表わしている。図 4 (b) は図 2 に示した第 0 ~ 第 1 5 の同期パタン 2 2 1₀ ~ 2 2 1₁₅を示している。図 2 に示したデスクュー信号 2 1 5 がクロック 2 3 6₀に同期して 8 ビットずつに区切られて同期パタン 2 2 1₀ ~ 2 2 1₁₅が生成されることが分かる。

10

【 0 0 3 9 】

図 4 (c) は、図 2 に示した第 0 の同期パタン検出回路 2 3 1₀が第 0 の同期パタン 2 2 1₀をフレームごとに順に保持する様子を表わしている。各フレームはそれぞれ等しい時間長となっているが、ここでは、「 * (アスタリスク) 1 」で示した最初の第 0 の同期パタン 2 2 1₀を説明の都合上、他のフレームよりも時間を拡大して示している。この「 * 1 」で示した最初の第 0 の同期パタン 2 2 1₀(* 1) がオール「 0 」のフレーム同期パタンであると仮定し、他の第 0 の同期パタン 2 2 1₀(* 2) および第 0 の同期パタン 2 2 1₀(* 3) 等の後続の第 0 の同期パタン 2 2 1₀はオール「 0 」のフレーム同期パタンでないものと仮定する。

20

【 0 0 4 0 】

図 4 (d) は、図 3 に示した第 2 のアンド回路 2 8 8 が禁止前同期パタン検出信号 2 8 9 を出力するタイミングの一例を表わしたものである。図 3 に示す 1 フレーム分の第 0 の信号 2 1 2₀(* 1) の中に最低 8 ビット以上、信号「 0 」が続く区間があったとする。すると、これを検出したタイミングで、禁止前同期パタン検出信号 2 8 9 (* 1) が信号「 1 」になる。他のフレームの第 0 の信号 2 1 2₀(* 2)、第 0 の信号 2 1 2₀(* 3) 等の後続の信号についても、第 0 の同期パタン 2 2 1₀(* 2)、第 0 の同期パタン 2 2 1₀(* 3) 等の後続の第 0 の同期パタン 2 2 1₀と一致がとられたとすると、それぞれの一致がとられた時点で禁止前同期パタン検出信号 2 8 9 (* 2)、禁止前同期パタン検出信号 2 8 9 (* 3) 等の後続の禁止前同期パタン検出信号 2 8 9 が同様に信号「 1 」になる。

30

【 0 0 4 1 】

図 4 (e) は、図 3 に示したオール「 0 」検出回路 2 8 1 の出力するオール「 0 」検出信号 2 8 2 の論理状態を示している。図 4 (c) の最初の第 0 の同期パタン 2 2 1₀(* 1) ではオール「 0 」検出回路 2 8 1 がオール「 0 」を検出するのでオール「 0 」検出信号 2 8 2 はこの 1 フレームの区間で信号「 1 」となる。これに対して、後続の第 0 の同期パタン 2 2 1₀(* 2)、第 0 の同期パタン 2 2 1₀(* 3)、... 等ではオール「 0 」を検出しない。そこで、これらのフレームの区間ではオール「 0 」検出信号 2 8 2 が共に「 0 」となる。

【 0 0 4 2 】

図 4 (f) は、第 1 のアンド回路 2 8 4 の出力状態を表わしたものである。オール「 0 」の検出を行った第 0 の同期パタン 2 2 1₀(* 1) では、図 3 に示すインバータ 2 8 3 の出力 2 8 5 が信号「 0 」となっている。したがって、このフレームの区間では第 1 のアンド回路 2 8 4 から出力される同期パタン検出信号 2 8 6 が信号「 0 」のままである。これ以後のフレームでは、第 0 の同期パタン 2 2 1₀(* 2)、第 0 の同期パタン 2 2 1₀(* 3)、... に対してそれぞれ信号「 1 」となった同期パタン検出信号 2 8 6 (* 2)、同期パタン検出信号 2 8 6 (* 3)、... が出力されている。

40

【 0 0 4 3 】

図 4 (g) は、図 2 に示した第 0 の同期保護回路 2 3 5₀の働きを示している。図 4 (f) に示した同期パタン検出信号 2 8 6 (* 2) で 1 段目の正しいフレーム同期パタンが検

50

出され、続いて同期パタン検出信号 286 (*3) で 2 段目の正しいフレーム同期パタンが検出されたので、この 2 段目の正しいフレーム同期パタンが検出された時点で第 0 の同期保護回路 235₀ は同期を確立させる。この結果、この時点から第 0 の同期確立信号 240₀ が信号「1」に変化することになる。図 4 (h) は同期保護 2 段目で第 0 の同期確立信号 240₀ が信号「1」に変化することを図示している

【0044】

図 4 (i) は、比較的長時間の同期保護確立の様子と同期はずれの様子を観察するために、図 4 (c) に示した各フレームごとの第 0 の同期パタン 221₀ を時間軸を圧縮して示している。ここでは、これらの第 0 の同期パタン 221₀ のフレームごとの変化をアスタリスクで (*1)、(*2)、..... のように表わしている。

10

【0045】

図 4 (j) は、図 4 (d) と対応するもので、図 3 に示した第 2 のアンド回路 288 が禁止前同期パタン検出信号 289 を出力するタイミングを表わしている。また、図 4 (k) は、図 4 (e) と対応するもので、図 3 に示したオール「0」検出回路 281 の出力するオール「0」検出信号 282 を表わしている。禁止前同期パタン検出信号 289 およびオール「0」検出信号 282 がこれらの図で示すような状態で発生すると、図 3 の第 1 のアンド回路 284 から出力される同期パタン検出信号 286 は図 4 (l) で示すようになる。

【0046】

この場合、図 2 の第 0 の同期検出信号 234₀ は、図 4 (m) で示すようになる。すなわち、同図 (k) のオール「0」検出信号 282 で同期確立を禁止した区間解除後の同図 (l) の 2 番目の同期パタン検出信号 286 (*3) から第 0 の同期検出信号 234₀ が信号「1」に変化して、同期が確立する。

20

【0047】

図 4 (n) は、同期保護方向と同期はずれ方向のそれぞれの段数を表わしたものである。図 4 (m) に示した最初の第 0 の同期検出信号 234₀ が信号「1」に変化して同期が確立するのは同期保護の確立方向に動作が進行しているときの同期保護が 2 段目をクリアしたときとなる。

【0048】

次に、一旦、同期が確立した後の同期はずれの制御について考察する。本実施例ではすでに説明したように同期はずれの方向については 3 段目をクリアしたとき、すなわちフレーム同期が連続して 3 回成立しないときに同期はずれとしており、この場合にもオール「0」検出信号 282 の検出結果を無視することになっている。図 4 (l) では、同期確立後にオール「0」検出信号 282 が発生していない状況 ((*6) ~ (*9)) の下で、同期はずれが 3 回 (3 段) 連続して発生するタイミングで同期はずれを成立させている。仮に、この過程でオール「0」検出回路 281 がオール「0」を検出すれば、その分だけ同期はずれが成立するまでの区間が延ばされることになる。

30

【0049】

このように本実施例では、システム立ち上げ時等のシステムが正常でない場合に出現する可能性の高いオール「0」のパタンを予め用意しておき、このパタンがフレーム内のビット列と一致する場合に同期の引き込みを禁止した。このため、正常な同期パタンに対しては同期引き込みを直ちに開始することができ、システムの立ち上げに要する時間を最小に抑えることができる。

40

【0050】

< 発明の第 1 の変形例 >

【0051】

図 5 は、本発明の第 1 の変形例における第 0 の同期処理部の要部を具体的に示したものであり、実施例の図 3 に対応するものである。そこで、図 5 で図 3 と同一部分には同一の符号を付しており、これらの説明を適宜省略する。

【0052】

50

この第1の変形例の第0の同期処理部223A₀では、図3に示したオール「0」検出回路281の代わりにオール「1」検出回路301を備えている。オール「1」検出回路301は、パラレルに入力された合計8ビットの第0～第7の同期ビット270～277がすべて信号「1」となっている状態を検出する回路で構成されている。これは、たとえば8入力アンド回路で構成することができる。

【0053】

このオール「1」検出信号302は、第0の同期検出回路233A₀の一部を構成するインバータ283と第1のアンド回路284のうちのインバータ283に入力されて論理を反転される。したがって、インバータ283の出力285は、第0～第7の同期ビット270～277がすべて信号「1」となっている状態でのみ信号「0」となる。この出力285Aは、2入力の第1のアンド回路284の一方の入力となる。この結果、第1のアンド回路284は第0～第7の同期ビット270～277がすべて信号「1」となったときには他方の入力端子の論理状態に係らず同期パタン検出信号286として同期でない状態を示す信号「0」を出力することになる。

【0054】

したがって、第2のアンド回路288は、1フレーム分の第0の信号212₀がクロック236₀によって1ビットずつ、第0～第7のフリップフロップ回路250～257を順にシフトしている状態で第0の同期パタン221₀と一致している8ビットのビット列が存在する場合これを検出する。そして、たとえば第0の同期パタン221₀が「10111010」といったビット列で構成されており、これと同一のビット列がフレームを構成する第0の信号212₀中に存在した場合には、その検出時点で第2のアンド回路288が信号「1」となる禁止前同期パタン検出信号289を出力することになる。この例の場合、オール「1」検出回路301は第0の同期パタン221₀がオール「1」となっていないので、オール「1」を検知していない。したがってオール「1」検出信号302は信号「0」であり、インバータ283の出力285は信号「1」となる。このため、第1のアンド回路284の2つの入力は共に信号「1」となって、同期パタン検出信号286が信号「1」となって該当するフレームにフレーム同期パタンが存在することが検出される。

【0055】

これに対して、たとえば第0の同期パタン221₀が「11111111」といったオール「1」のビット列で構成されている場合、オール「1」検出信号302が信号「1」となる。したがって、第0の同期パタン221₀に「11111111」といったオール「1」のビット列が存在した場合には第2のアンド回路288の禁止前同期パタン検出信号289は「1」となるが、インバータ283の出力285が「0」に反転する。このため、第1のアンド回路284の出力としての同期パタン検出信号286Aは同期でない状態を示す信号「0」となり、同期が検出されないことになる。

【0056】

以上説明した第1の変形例では、システムの異常等の原因でフレーム中にオール「1」が存在するような場合に同期パタンとの一致処理を禁止することができる。したがって、実施例でオール「0」が存在した場合と同様に、このパタンがフレーム内のビット列と一致する場合に同期の引き込みを禁止した。このため、オール「0」の信号パタンと異なる正常な同期パタンに対しては同期引き込みを直ちに開始することができ、システムの立ち上げに要する時間を最小に抑えることができる。

【0057】

< 発明の第2の変形例 >

【0058】

図6は、本発明の第2の変形例における第0の同期処理部の要部を具体的に示したものであり、実施例の図3に対応するものである。そこで、図6で図3と同一部分には同一の符号を付しており、これらの説明を適宜省略する。

【0059】

10

20

30

40

50

この第2の変形例における第0の同期処理部223₀Bは、図3に示したオール「0」検出回路281の代わりに1ビットシフト一致回路321を備えている。1ビットシフト一致回路321は、同期パターンとこの同期パターンを1ビットシフトしたものと的一致を比較する回路であり、第0～第7の一致回路330～337と、これら的一致結果340～347の論理積をとる第3のアンド回路322を備えている。

【0060】

第0の一致回路330は、第0の信号212₀と、第0の同期パターン221₀を構成する第0の同期ビット270との信号の一致を検出するようになっている。第1の一致回路331は、第0の同期パターン221₀を構成する前記した第0の同期ビット270と、第1の同期ビット271との信号の一致を検出するようになっている。第2の一致回路332は、第0の同期パターン221₀を構成する前記した第1の同期ビット271と、第2の同期ビット272との信号の一致を検出するようになっている。以下同様にして、第7の一致回路337は、第0の同期パターン221₀を構成する第6の同期ビット276と、第7の同期ビット277との信号の一致を検出するようになっている。

10

【0061】

第3のアンド回路322は、第0～第7の一致回路330～337がすべて同時に一致を検出したとき、1ビットシフト一致検出信号323を信号「1」の状態とし、それ以外の場合には信号「0」の状態とする。1ビットシフト一致検出信号323は、インバータ283によって論理を反転され、その出力285Bが禁止前同期パターン検出信号289と共に第1のアンド回路284で論理積がとられるようになっている。第1のアンド回路284からは同期パターン検出信号286Bが出力される。

20

【0062】

このような第2の変形例の第0の同期処理部233B₀では、たとえばオール「0」やオール「1」といった隣接するビット同士の信号の論理状態が等しい同期パタンのように同期パタンの1ビット後まで固定パターンが続いている場合を1ビットシフト一致回路321が検出する。そして、これらの同期パターンと的一致処理を禁止することができる。したがって、1ビットシフト一致回路321が検出するこれら以外の同期パターンとしての正常な同期パターンに対しては、同期引き込みを直ちに開始することができ、システムの立ち上げに要する時間を最小に抑えることができる。

【0063】

< 発明の第3の変形例 >

30

【0064】

図7は、本発明の第3の変形例における第0の同期処理部の要部を具体的に示したものであり、実施例の図3に対応するものである。そこで、図7で図3および図6と同一部分には同一の符号を付しており、これらの説明を適宜省略する。

【0065】

この第3の変形例における第0の同期処理部223₀Cは、図3に示したオール「0」検出回路281の代わりに2ビットシフト一致回路361を備えている。2ビットシフト一致回路361は、同期パターンとこの同期パターンを2ビットシフトしたものと的一致を比較する回路であり、第0～第7の一致回路330～337と、これら的一致結果340～347の論理積をとる第3のアンド回路322を備えている点で第2の変形例の1ビットシフト一致回路321と同一の回路構成となっている。

40

【0066】

この第3の変形例の第0の同期処理部223₀Cでは、第0～第7のフリップフロップ回路250～257の他に、第0のフリップフロップ回路250の一段前に第(-1)のフリップフロップ回路249を接続した構造のシフトレジスタを使用している。これは、同期パターンとこの同期パターンを2ビットシフトしたものと的一致を比較するためである。

【0067】

ここで第0の一致回路330は、第(-1)のフリップフロップ回路249のデータ入力端子Dと、第0の同期パターン221₀を構成する第0の同期ビット270との信号の一

50

致を検出するようになっている。第1の一致回路331は、第0の信号212₀をクロック236₀によって1ビットシフトした第0のフリップフロップ回路250のデータ入力端子Dに入力される第0の信号212₀と、第0の同期パターン221₀を構成する第1の同期ビット271との信号の一致を検出するようになっている。第2の一致回路332は、第0の同期パターン221₀を構成する前記した第0の同期ビット270と、第2の同期ビット272との信号の一致を検出するようになっている。第3の一致回路333は、第0の同期パターン221₀を構成する前記した第1の同期ビット271と、第3の同期ビット273との信号の一致を検出するようになっている。以下同様にして、第7の一致回路337は、第0の同期パターン221₀を構成する第5の同期ビット275と、第7の同期ビット277との信号の一致を検出するようになっている。

10

【0068】

第3のアンド回路322は、第0～第7の一致回路330～337がすべて同時に一致を検出したとき、2ビットシフト一致検出信号363を信号「1」の状態とし、それ以外の場合には信号「0」の状態とする。2ビットシフト一致検出信号363は、インバータ283によって論理を反転され、その出力285Cが禁止前同期パターン検出信号289と共に第1のAND回路284で論理積がとられるようになっている。第1のAND回路284からは同期パターン検出信号286Cが出力される。

【0069】

このような第3の変形例の第0の同期処理部233B₀では、たとえばオール「0」やオール「1」といった1ビット置きでも信号の論理状態が等しい同期パターンが指定された場合の他に、第2の変形例では検出が不可能な「10」が交番した固定パターン（「101010」や「010101」）を検出することができ、これらの同期パターンとの一致処理を禁止することができる。すなわち、図6に示した1ビットシフト一致回路321が検出する以外の同期パターンとしての正常な同期パターンに対しては同期引き込みを直ちに開始することができ、システムの立ち上げに要する時間を最小に抑えることができる。

20

【0070】

更に、図示は省略するが、同期パターンと同期パターンを3ビットシフトしたものの一致の比較を行うことも可能である。この手法によって、同期パターンの3ビット後まで固定パターンが続いている場合にもその確認が可能になり、明らかに同期パターンに適さないパターンを同期の対象から除外することができる。たとえば、「101101101」のように、同期パターン幅が3の倍数の場合には、2ビットのシフトでは検出できない3ビットの繰り返しの固定パターンを検出することができる。

30

【0071】

同様に、更にビットのシフト量を大きくすることも可能である。一般には符号pを任意の正の整数とすると、pビットのシフト構成を採ることで、pビット単位の繰り返しパターンの検出を行うことができる。すなわち、正常時以外に発生する可能性のあるパターンを同期パターンから除外することによって、正常な同期パターンに対する同期引き込みを直ちに開始することができ、システムの立ち上げに要する時間を最小に抑えることができる。

【0072】

なお、以上説明した実施例および変形例では、オール「0」検出信号282等の特定の同期パターンが出現したときには常にこれらの同期パターンを同期の対象から除外することにしたが、この同期パターンの検出禁止機能を有効にするタイミングを設定できるようにしてもよい。たとえば、この同期パターンの検出禁止機能を、同期はずれ状態、同期引き込み段数カウント状態、同期引き込み確立状態あるいは同期はずれ段数カウント状態のいずれかの状態に合わせる形でオン・オフするようにすることも可能である。また、通常の伝送システムでは、同期引き込み状態に一旦遷移した後に、異常パターンが連続して発生することを想定しないでよい場合が多い。そこで、このような伝送システムでは、同期引き込み状態に遷移したら、特定の同期パターンの検出禁止機能をオフにするようにしてもよい。また、同期はずれ状態にあるときは、少なくとも特定の同期パターンの検出禁止機能をオンにするように運用することも有効な場合が多い。

40

50

【 0 0 7 3 】

また、実施例または第 1 の変形例では禁止固定パタンをオール「 0 」またはオール「 1 」の 1 組用意することにしたが、これらの検出回路を併用する形で複数の禁止固定パタンを検出対象としてもよい。

【 図面の簡単な説明 】

【 0 0 7 4 】

【 図 1 】本発明の一実施例におけるフレーム同期装置を備えた通信システムの一例を表わしたシステム構成図である。

【 図 2 】本実施例のフレーム同期装置の構成を表わしたブロック図である。

【 図 3 】図 2 における第 0 の同期処理部の要部を具体的に示したブロック図である。

10

【 図 4 】本実施例でフレーム同期の制御の様子を示したタイミング図である。

【 図 5 】本発明の第 1 の変形例における第 0 の同期処理部の要部を具体的に示したブロック図である。

【 図 6 】本発明の第 2 の変形例における第 0 の同期処理部の要部を具体的に示したブロック図である。

【 図 7 】本発明の第 3 の変形例における第 0 の同期処理部の要部を具体的に示したブロック図である。

【 図 8 】従来の通信システムの一例を表わしたシステム構成図である。

【 符号の説明 】

【 0 0 7 5 】

20

2 1 1 受信側光モジュール

2 1 2 信号

2 1 5 デスキュー信号

2 1 6 フレーム同期装置

2 2 1 同期パタン

2 2 2 同期パタン分離回路

2 2 3 同期処理部

2 3 1 同期パタン検出回路

2 3 3 同期検出回路

2 3 5 同期保護回路

30

2 5 0 ~ 2 5 7 フリップフロップ回路

2 6 0 ~ 2 6 7、3 3 0 ~ 3 3 7 一致回路

2 8 1 オール「 0 」検出回路

2 8 3 インバータ

2 8 4 第 1 のアンド回路

2 8 6、2 8 6 A、2 8 6 B、2 8 6 C 同期パタン検出信号

2 8 8 第 2 のアンド回路

3 0 1 オール「 1 」検出回路

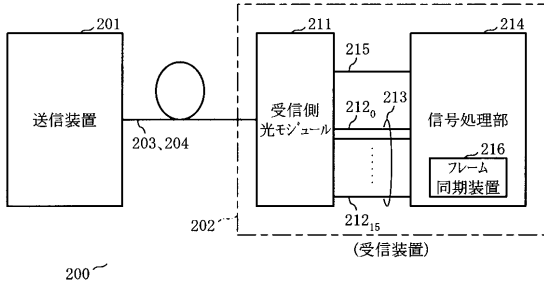
3 2 1 1 ビットシフト一致回路

3 2 2 第 3 のアンド回路

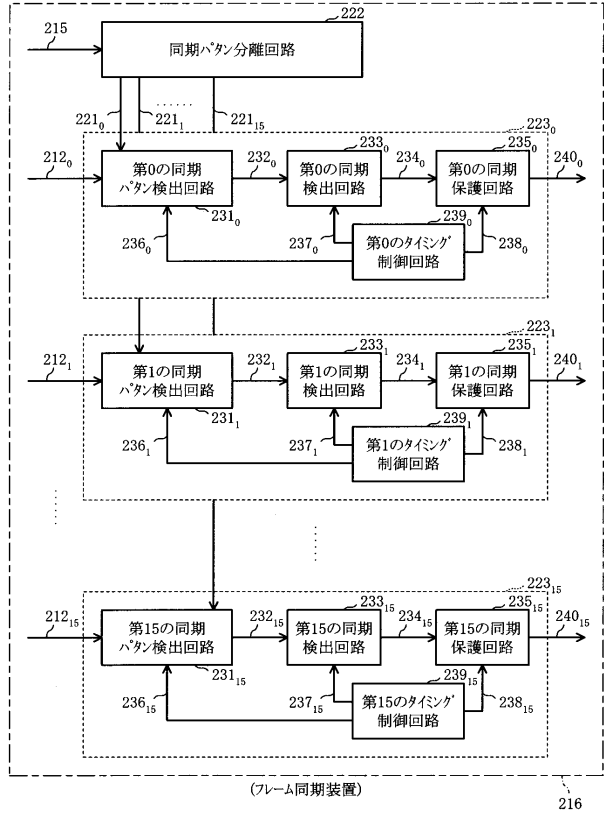
40

3 6 1 2 ビットシフト一致回路

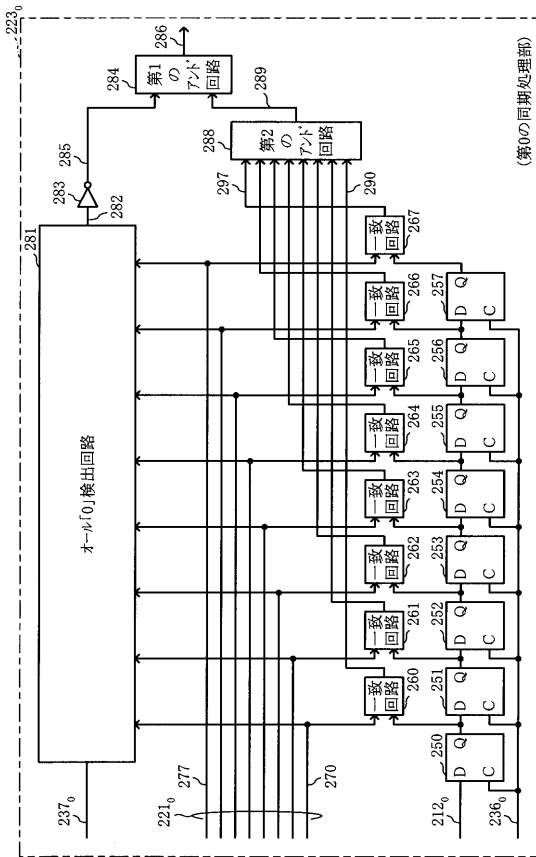
【図1】



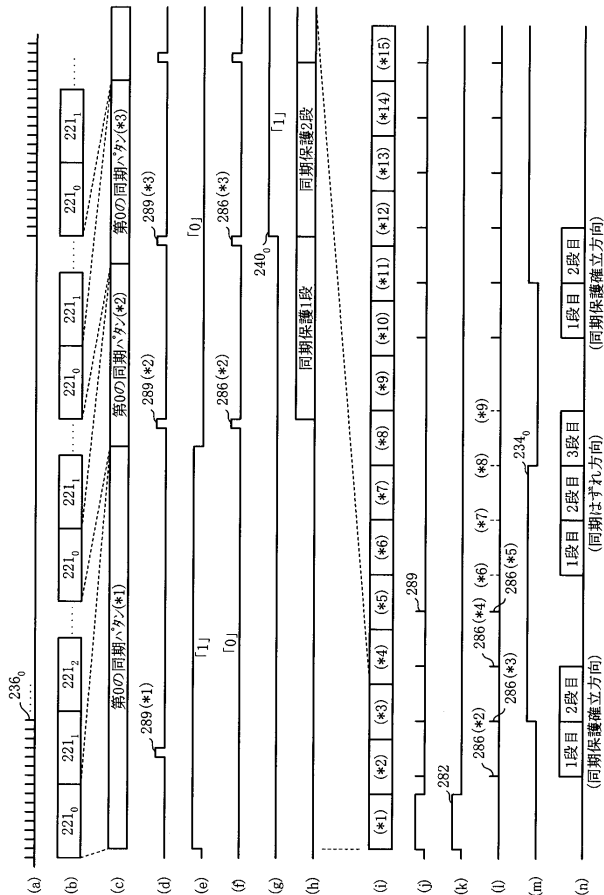
【図2】



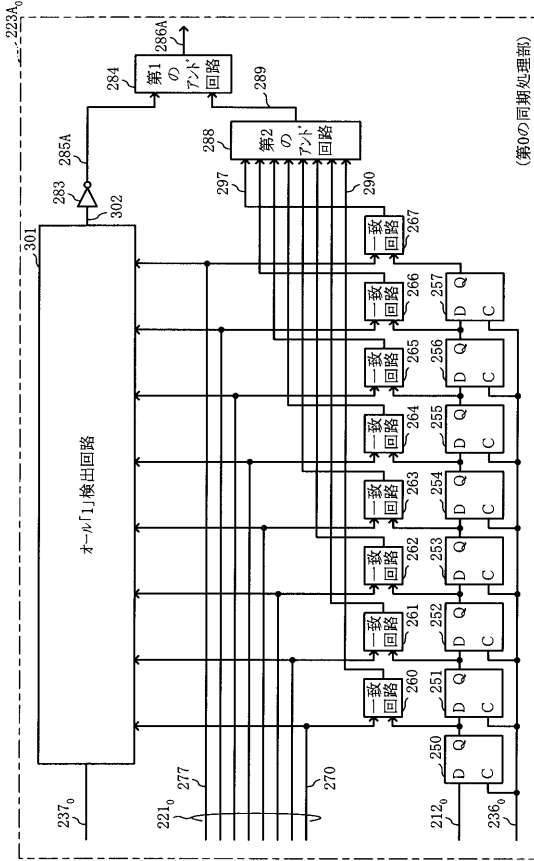
【図3】



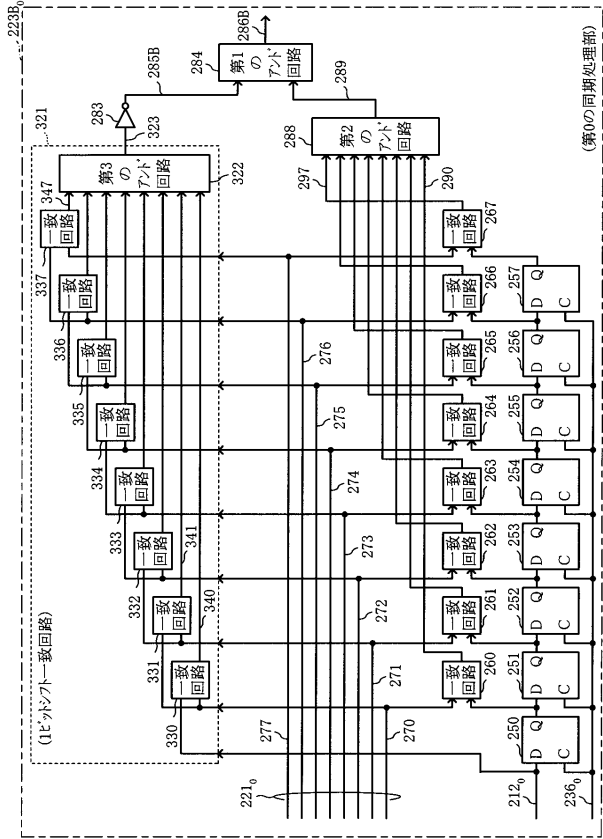
【図4】



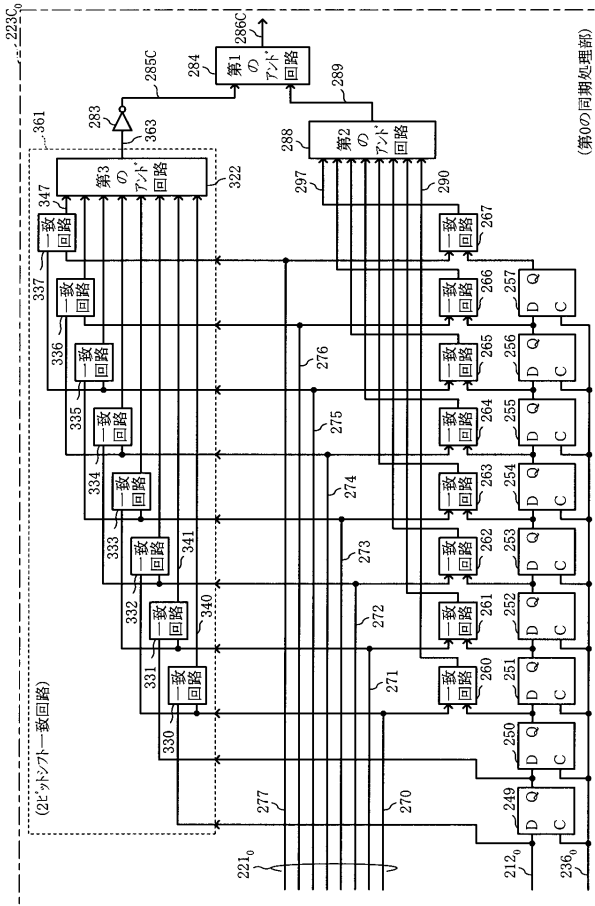
【図5】



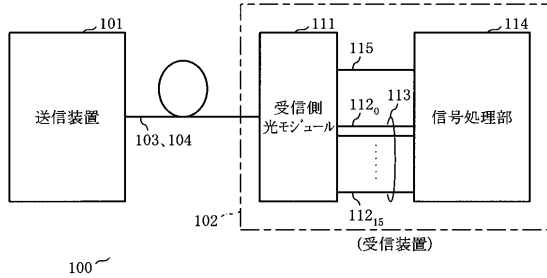
【図6】



【図7】



【図8】



フロントページの続き

- (56)参考文献 特開平05 - 260038 (JP, A)
特開平06 - 350583 (JP, A)
特開昭63 - 001217 (JP, A)
特開平05 - 151717 (JP, A)
特開平08 - 036394 (JP, A)
特開2004 - 112123 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H04L 7/00 - 7/10