

# 公告本

申請日期	88.6.29
案 號	88110963
類 別	G11C 5/00

A4  
C4

454199

(以上各欄由本局填註)

## 發 明 專 利 說 明 書

一、發明 名稱	中 文	動態半導體記憶元件及其起動方法
	英 文	Dynamic semiconductor-memory device and method to initialize a dynamic semiconductor-memory device
二、發明 創作人	姓 名	古恩納克勞斯 Gunnar Krause
	國 籍	德國
	住、居所	德國慕尼黑D-81541舒利西街8號
三、申請人	姓 名 (名稱)	西門斯股份有限公司 SIEMENS AKTIENGESELLSCHAFT
	國 籍	德國
	住、居所 (事務所)	德國慕尼黑D-80333威田巴契廣場2號
	代 表 人 姓 名	貝斯納 (Basner) 雷哈特 (Reinhardt)

裝 訂 線

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6  
B6

本案已向：

國(地區) 申請專利，申請日期： 案號： 有 無主張優先權  
德

1998年6月30日 案號 19829287.2

有關微生物已寄存於：

，寄存日期：

，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部智慧財產局員工消費合作社印製

## 五、發明說明( )

本發明係關於一種隨機存取之動態半導體記憶元件(DRAM/SDRAM)，其具有一種起動電路，此起動電路可控制此半導體記憶元件之接通過程及其電路組件，於此半導體記憶元件接通後在電源電壓已達成穩定狀態之後此起動電路可提供一種電源電壓穩定信號(POWERON)，本發明亦涉及此種動態半導體記憶元件之起動方法以及應用一種釋放電路(其可提供一種釋放信號)來控制此動態半導體記憶元件之接通過程。

依據JEDEC-標準，在SDRAM-半導體記憶體中在接通過程期間(POWERON)須注意：為此半導體記憶元件之正常操作所設置之內部控制電路須可靠地保持在一種確定之額定狀態中，以便防止一些輸出電晶體受到不期望之驅動，其會在資料線上造成一種短路現象(所謂"Bus Contention (滙流排競爭)"或"Data Contention")或使內部之電流消耗元件受到一種不可控制之驅動。由於在半導體記憶體接通過程中在外部之控制輸出端上之電源電壓和電壓位準之隨時間而變之波形在原理上是不可預見的，上述問題之解決方式因此是困難的。依據製造者之規格，SDRAM-組件須忽略所有在一種已確定之起動序列之前所施加之命令。此種起動序列是由預定之命令所構成，這些預定之命令必須在一確定之時間順序中施加。但一序列之功能和命令(其在組件之正常操作中是允許的)在時間上只有在起動順序之後才是所期望的(或所允許的)。依據SDRAM半導體記憶體用之JEDEC-標準，須設置

## 五、發明說明( > )

一種較佳之起動順序(所謂"POWERON-SEQUENCE")如下所示：

1. 施加一種電源電壓脈衝及起始脈衝，以便在組件之輸入端保持一種NOP(No Operation)-條件。
2. 保持一種穩定之電源電壓，穩定之時脈以及穩定之NOP-輸入條件至少持續 $200\mu s$ 。
3. 字線驅動用之預備命令(PRECHARGE)，以供此元件之所有記憶排所使用。
4. 驅動八個或更多之更新命令(AUTOREFRESH)，
5. 負載-組態-暫存器-命令(MODE-REGISTER-SET)之驅動以便起動一種模式暫存器。

在確認此種確定之起動順序之後，記憶模組通常處於一種所謂"閒置(idle)"狀態，即，其已預充電且已預備進行正常之操作。在目前已知之SDRAM半導體記憶模組中，此組件所有之控制電路只以POWERON-信號來起始(open)，當內部之電源電壓已達到所需之值(其對正常之操作而言是需要的)時，則此信號POWERON是有驅動性的(active)。此模組於是處於一種可辨認命令且可執行命令之狀態中。

本發明之目的是在隨機存取式動態半導體記憶元件(DRAM或SDRAM)中提供一種對上述接通過程在結構上盡可能簡易之控制方式之改良。這樣可有效地防止資料線發生短路之危險及/或防止內部之電流消耗元件發生一種未受控制之驅動。

## 五、發明說明( )

上述目的是由申請專利範圍第1項之隨機存取式動態半導體記憶元件、申請專利範圍第11項之此種半導體記憶元件之起動方法以及申請專利範圍第14項之應用一種釋放電路(其可提供一種釋放信號(CHIPREADY))以便控制此種半導體記憶元件之接通過程等各項來達成。

依據本發明之設計方式是：此種起動電路具有一種釋放電路。此釋放電路是對應於電源電壓穩定信號及其它由外部施加於此半導體記憶元件之命令信號。此釋放電路在確認此種施加至半導體記憶元件之命令信號之預定的正常起動順序之後會提供一種釋放信號。其會起動此種為半導體記憶元件之正常操作所設置之控制電路。

依據本發明之原理，須產生一種釋放信號(CHIPREADY)。其依據其它內部信號和起動順序而成為有驅動性(active)且然後可起動一些預定之電路。這些預定之電路保持在閉鎖狀態直至預設之起動順序結束為止。命令例如可被解碼，但不執行。且輸出驅動器保持高歐姆狀態。

在依據JEDEC-標準之SDRAM記憶元件中依據較佳之應用方式是一此種由釋放電路所辨認之起動順序之由外部施加至半導體記憶元件之命令信號具有字線驅動用之預備命令(PRECHARGE)及/或更新命令(AUTOFRESH)，及/或負載網態暫存器命令(MODE-REGISTER SET)。

依據本發明之起動電路之有利的構成方式之設計方式是：釋放電路具有至少一個雙極性之雜湊電路級。此種

(請先閱讀背面之注意事項再填寫本頁)

裝 · · · · · 訂 · · · · · 線

## 五、發明說明(4)

弛張電路級包含：一個設定輸入端，其上施加一種命令信號(PRECHARGE, AUTORESFRESH, MODE-REGISTER-SET)；一個重置(reset)輸入端，其上施加電源電壓穩定信號(POWERON)或施加一種由其所導出或結合之信號；一個輸出端，其上可導出上述之釋放信號(CHIPREADY)。

此種釋放電路特別是具有多個對應於命令信號之雙穩態弛張電路級。

本發明適當之構成方式之設計方式是：至少一個雙穩態之弛張電路級之輸出端是引導至另一弛張電路級之重置輸入端。此外，亦可如下設計：在一個雙穩態之弛張電路級中此電源電壓穩定信號(POWERON)及此種由另一弛張電路級之輸出端所發出之信號以一個閘(gate)作邏輯結合而傳送至弛張電路級之重置輸入端。

本發明其它有利之形式敘述在申請專利範圍各附屬項中。

本發明以下將依據多個顯示在圖式中之實施例作詳述。圖式簡單說明如下：

第1圖 起動電路(其可控制半導體記憶體之接通過程及其電路組件)之方塊圖。

第2圖 釋放電路(其可提供上述釋放信號(CHIPREADY))之電路圖。

第3圖 解釋第2圖之電路之作用方式所用之時序圖。

第4圖 依據本發明實施例之釋放電路之電路圖。

第1圖 是一種依據JEDEC-標準來操作之SDRAM記憶

## 五、發明說明(5)

元件之對本發明之了解而言很重要之電路組件，其具有一種起動電路(其可控制半導體記憶元件之接通過程及其電路組件)。起動電路包括：一個輸入電路1，此種由外部而傳送至半導體記憶體之命令信號和時脈信號施加至其輸入端2且經放大而被形成；一個連接於輸入電路1之後的命令解碼器3，其輸出端4另外可發出一些命令信號PRE或PRECHARGE(字線驅動用之預備命令)，ARF或AUTOREFRESH(更新命令)以及MRS或MODE-REGISTER-SET(Load-Configuration-Register-Kommando)；電路5，作為內部電壓調整或偵測用，此種由外部施加至半導體記憶體之外部電源電壓傳送至電路5之輸入端6，其輸出端7可提供POWERON-信號且其輸出端8可提供穩定之內部電源電壓。電路1、3和5之作用方式及構造對此行之專家而言已很熟悉，因此不需詳述。對本發明之了解很重要的是：電路5提供一種具驅動性之POWERON-信號。若在此SDRAM記憶體之POWERUP相位之後此種施加至輸出端8之內部電源電壓已達到此組件之正常操作所需之值時。

依據本發明，起動電路另外只有一種連接於電路3和5之後的釋放電路9，其輸入端10處施加一些命令信號PRE、ARF及MRS，其輸入端11施加POWERON信號。在確認此種施加至半導體記憶元件之命令信號之預定之正常起動脈序之後其輸出端12可提供一種釋放信號(UNPREPARED)其可驅動此種半導體記憶元件之正常操作所設置之控

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線

## 五、發明說明 ( b )

制電路 13。此種內部控制電路 13 另外又可用來對此 SDRAM 記憶體之一個或多個(未詳細顯示之)記憶體方塊進行流程控制，這已為人所知。

第 2 圖是本發明之釋放電路 9 之較佳實施例，其包括：三個雙穩態之弛張電路級 14，15 和 16，分別具有一個設定輸入端 S，一個重置輸入端 R 以及一個輸出端 Q，一個連接於弛張電路級 15 之重置輸入端 R 之前的及 (AND) 閘 17，一個連接於弛張電路級 14，15，16 之後的及閘 18 之總輸出端 Q，以及一個連接於及閘 18 之後的反相器 19，其輸出端 12 可發出上述之釋放信號 CHIPREADY，其中此釋放信號是 High-active，即，若其電壓位準是在邏輯 HIGH 時具有驅動性。這些施加至雙穩態弛張電路級 14，15，16 之各設定輸入端 S 上之命令信號 PRE，ARF，MRS 是 Low-active，即，當這些信號之電壓位準是邏輯 0 (Low) 時具有驅動性，其間 POWERON-信號是 High-active 的。POWERON-信號在弛張電路級 14 和 16 中直接施加於重置輸入端 (R) 而在弛張電路級 15 中首先施加至及閘 17 之一輸入端，此種由弛張電路級 14 之輸出端 Q 所發出之信號施加至及閘 17 之另一輸入端，其中此及閘 17 之輸出端是與弛張電路級 15 之重置輸入端相連接。

第 2 圖中之釋放電路 9 之作用方式如下：只有在命令信號 PRE，ARF 和 MRS 之在時間上已預定之起動順序以及 POWERON-信號之驅動已在邏輯位準 HIGH 被偵測到時，則釋放信號 CHIPREADY 之驅動現象才會於邏輯 High 時在

## 五、發明說明(7)

輸出端 12 產生。然後由於釋放信號 CHIPREADY 之驅動而使控制電路接通；這些電路先前是在門鎖 (latch) 狀態中。

在第 8 圖之時序圖中例如顯示一些在半導體記憶元件之接通過程中之命令順序以便解釋此釋放電路 9 之作用方式。

在組態 A 時對此信號 PRECHARGE 進行一種相對於 POWERON-信號之驅動而言是太早之驅動 (其是 Low-active)、使得依順序方式仍然不會在邏輯 Low 時驅動上述之釋放信號 CHIPREADY, 這是因為正常之起動順序在第一命令之前需要一種等候時間。較正確方式因此是此命令 PRECHARGE 之信號上升現象在組態 A 之後可忽略。在組態 B 時, 此種在時間上一序列驅動此信號 AUTOFRESH 至邏輯 Low 之現象是虛假的。這是因為正常之起動順序在 AUTOFRESH-命令之前已預先寫入一種先前之 PRECHARGE-命令。在組態 B 之後此種在邏輯 Low 之 AUTOFRESH-信號之上升現象因此同樣是可忽略的, 釋放信號不會提升至邏輯 High。在組態 C 時存在 (與 JEDEC-標準同一形式) 這些命令 PRECHARGE, AUTOFRESH, MODE-REGISTER SET 所形成之正確之時間上之順序: 在 POWERON-信號位於邏輯 High 之後, 合理方式是提供一種在邏輯 High 位準處之釋放信號 CHIPREADY。以信號 D 以及斷線來表示這亦可想到。可預前之可聯發一種釋放信號之起動順序處於邏輯 Low 之命令 MODE-REGISTER SET 之驅動在驅動

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(8)

POWERON-信號之後的每一時間都是允許的。

第4圖是本發明釋放電路9之較佳實施例之細節。在此一實施例中每一個雙穩態之弛張電路級14, 15, 16是分別由二個反及(NAND)閘14A, 14B, 15A, 17, 16A, 16B以及一個反相器14C, 15C和16C所構成, 這些組件以圖示之方式互相連接。在雙穩態弛張電路級15中此反及閘17設置三個輸入端。

符號之說明

- 1.....輸入電路
- 2, 6, 10, 11.....輸入端
- 3.....命令解碼器
- 4, 7, 8, 12.....輸出端
- 5.....電路
- 9.....釋放電路
- 13.....控制電路
- 14, 15, 16.....弛張電路級
- 17, 18...及閘
- 19.....反相器

(請先閱讀背面之注意事項再填寫本頁)

裝 · 訂 · 線

四、中文發明摘要(發明之名稱：)

動態半導體記憶元件及其起動方法

本發明係關於一種隨機存取之動態半導體記憶元件(DRAM/SDRAM)，其具有一種起動電路。此起動電路可控制此半導體記憶元件之接通過程及其電路組件。於此半導體記憶元件接通後在電源電壓已達成穩定狀態之後此起動電路可提供一種電源電壓穩定信號(POWERON)。起動電路具有一種釋放電路(9)(其對應於電源電壓穩定信號(POWERON)以及其它由外部施加至此半導體記憶元件之命令信號)。此種釋放電路(9)在辨認此種施加至半導體記憶元件之命令信號之預定的正常起動順序之後會提供一種釋放信號(CHIPREADY)，此種釋放信號可使此種為了此半導體記憶元件之正常操作所設置之控制電路(13)接通(on)。

(請先閱讀背面之注意事項再填寫本頁各欄)

裝  
訂  
線

英文發明摘要(發明之名稱：)

Dynamic semiconductor-memory device and method to initialize a dynamic semiconductor-memory device

This invention relates to a dynamic semiconductor-memory device of random access type (DRAM/SDRAM) with an initialization-circuit that can control the turn-on process of the semiconductor-memory device and its circuit-component, after the stabilization of the power-supply voltage that is attained after the semiconductor-memory device turns on, said initialization-circuit supplies a power-supply-voltage stable-signal (POWERON). Said initialization-circuit has release-circuit (9) that corresponds to said power-supply-voltage stable-signal (POWERON) and other command-signals applied from outsides to said semiconductor-memory device, said release-circuit (9) supplies a release-signal (CHIPREADY) after the recognition of a pre-determined ordinary initialization-sequence of the command-signals applied to said semiconductor-memory device, said release-signal can switch on the control-circuit (13) that is provided for the ordinary operation of the semiconductor-memory device

經濟部智慧財產局員工消費合作社印製

## 六、申請專利範圍

第 88110963 號「動態半導體記憶元件及其起動方法」專利案  
(90 年 4 月修正)

### 六申請專利範圍：

1. 一種隨機存取式動態半導體記憶元件(DRAM / SDRAM)，其具有一種起動電路，起動電路可控制此半導體記憶元件之接通過程及其電路組件，在半導體記憶元件接通之後於電源電壓已達到穩定之後此起動電路可提供一種電源電壓穩定信號(POWERON)，其特徵為：

起動電路具有一種釋放電路(9)，其對應於電源電壓穩定信號(POWERON)以及其它由外部施加至半導體記憶元件之命令信號(PRE, ARF, MRS)，此釋放電路在辨認此種施加至半導體記憶元件之命令信號(PRE, ARF, MRS)之預定的正常起動順序之後會提供一種釋放信號(CHIPREADY)，此種釋放信號可使此種為此半導體記憶元件之正常操作所設置之控制電路(13)接通(on)。

2. 如申請專利範圍第 1 項之半導體記憶元件，其中此種可由釋放電路(9)所辨認之起動順序之由外部施加至半導體記憶元件之命令信號(PRE, ARF, MRS)具有字線驅動用之預備命令(PRECHARGE)，及 / 或更新命令(AUTOREFRESH)，及 / 或負載組態-暫存器-命令(MODE-REGISTER-SET)。

3. 如申請專利範圍第 1 或第 2 項之半導體記憶元件

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 六、申請專利範圍

其中釋放電路(9)具有至少一個雙穩態之弛張電路(14, 15, 16), 此種弛張電路級具有: 一個設定輸入端(S), 其上施加一種命令信號(PRECHARGE, AUTOREFRESH, MODE-REGISTER-SET); 一個重置輸入端(R), 其上施加電源電壓穩定信號(POWERON)或施加一種由其所導出或結合之信號; 一個輸出端(Q), 其上可導出上述之釋放信號(CHIPREADY)。

4. 如申請專利範圍第 3 項之半導體記憶元件, 其中釋放電路(9)具有多個分別對應於命令信號(PRE, ARF, MRS)之雙穩態弛張電路級(14, 15, 16)。
5. 如申請專利範圍第 3 項之半導體記憶元件, 其中至少一個雙穩態弛張電路級(14)之輸出端(Q)是接通至另一弛張電路級(15)之重置(reset)輸入端。
6. 如申請專利範圍第 3 項之半導體記憶元件, 其中在一個雙穩態弛張電路級(15)中此電源電壓穩定信號(POWERON)及由另一弛張電路級(14)之輸出端(Q)所發出之信號是經由閘(17)以邏輯結合之方式而傳送至弛張電路級(15)之重置(reset)輸入端(R)。
7. 如申請專利範圍第 3 項之半導體記憶元件, 其中雙穩態弛張電路級(14, 15, 16)分別由一種由至少二個反或(NOR)閘或反及(NAND)閘(14A, 14B, 15A, 17, 16A, 16B)所構成之 RS 正反器(Flip-Flop)所形成。
8. 如申請專利範圍第 2 項之半導體記憶元件, 其中此種由釋放電路(9)辨認成正常之起動順序且可觸發上述釋

## 六、申請專利範圍

放信號(CHIPREADY)所用之起動順序是一種與 JEDEC-標準同形(conform)之命令順序。

9. 如申請專利範圍第 3 項之半導體記憶元件，其中此種由釋放電路(9)辨認成正常之起動順序且可觸發上述釋放信號(CHIPREADY)所用之起動順序是一種與 JEDEC-標準同形(conform)之命令順序。
10. 如申請專利範圍第 1 至第 2 項之半導體記憶元件，其中此半導體記憶元件之輸出驅動器在接通過程至發出此種由釋放電路(9)所提供之釋放信號(CHIPREADY)時都保持在門鎖(latch)狀態。
11. 如申請專利範圍第 1 或第 2 項之半導體記憶元件，其中正常之起動順序(其可觸發一種釋放信號(CHIPREADY))包括以下在時間上依序之命令序列：
  - a) 第一 PRE，第二 ARF，第三 MRS，或
  - b) 第一 PRE，第二 ARF，第三 ARS，或
  - c) 第一 MRS，第二 PRE，或第三 ARF，

其中各縮寫字表示以下之命令：

PRE = 字線驅動用之預備命令(PRECHARGE)，

ARF = 更新命令(AUTOREFRESH)，及

MRS = 負載-組態-暫存器-命令(MODE-REGISTER-SET)。

12. 一種隨機存取式動態半導體記憶元件(DRAM-SDRAM)之起動方法，其藉由一個起動電路來進行，此起動電路可控制此半導體記憶元件之接通過程及其電路組

## 六、申請專利範圍

件，此起動電路在此半導體記憶元件接通之後於電源電壓已達到穩定之後會發出一種電源電壓穩定信號 (POWERON)，其特徵為：

此起動電路在辨認此種施加至此半導體記憶元件之命令信號之預定的正常起動順序之後藉由一種釋放電路 (9) (其對應於電源電壓穩定信號 (POWERON) 及其它由外部施加至此半導體記憶元件之命令信號 (PRE, ARF, MRS)) 而提供一種釋放信號 (CHIPREADY)，此種釋放信號可使此種為半導體記憶元件之正常操作所設置之控制電路 (13) 接通 (on)。

13. 如申請專利範圍第 12 項之方法，其中此種可由釋放電路 (9) 所辨認之起動順序之由外部施加至半導體記憶元件之命令信號 (PRE, ARF, MRS) 具有字線驅動用之預備命令 (PRECHARGE)，及 / 或更新命令 (AUTOREFRESH)，及 / 或負載 - 組態 - 暫存器 - 命令 (MODE-REGISTER-SET)。

14. 如申請專利範圍第 12 或第 13 項之方法，其中此半導體記憶元件之輸出驅動器在接通過程至發出此種由釋放電路 (9) 所提供之釋放信號 (CHIPREADY) 時都保持在閉鎖 (latch) 狀態。

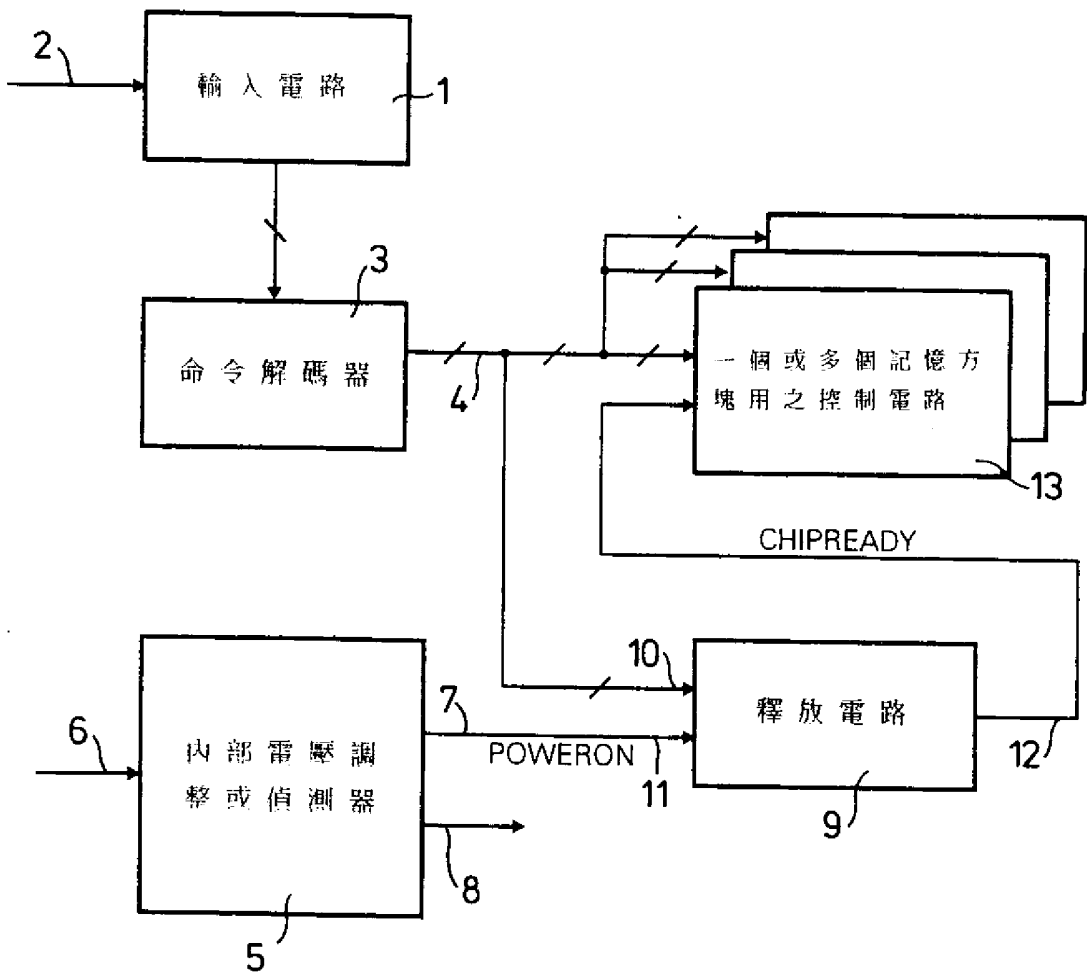
(請先閱讀背面之注意事項再填寫本頁)

裝

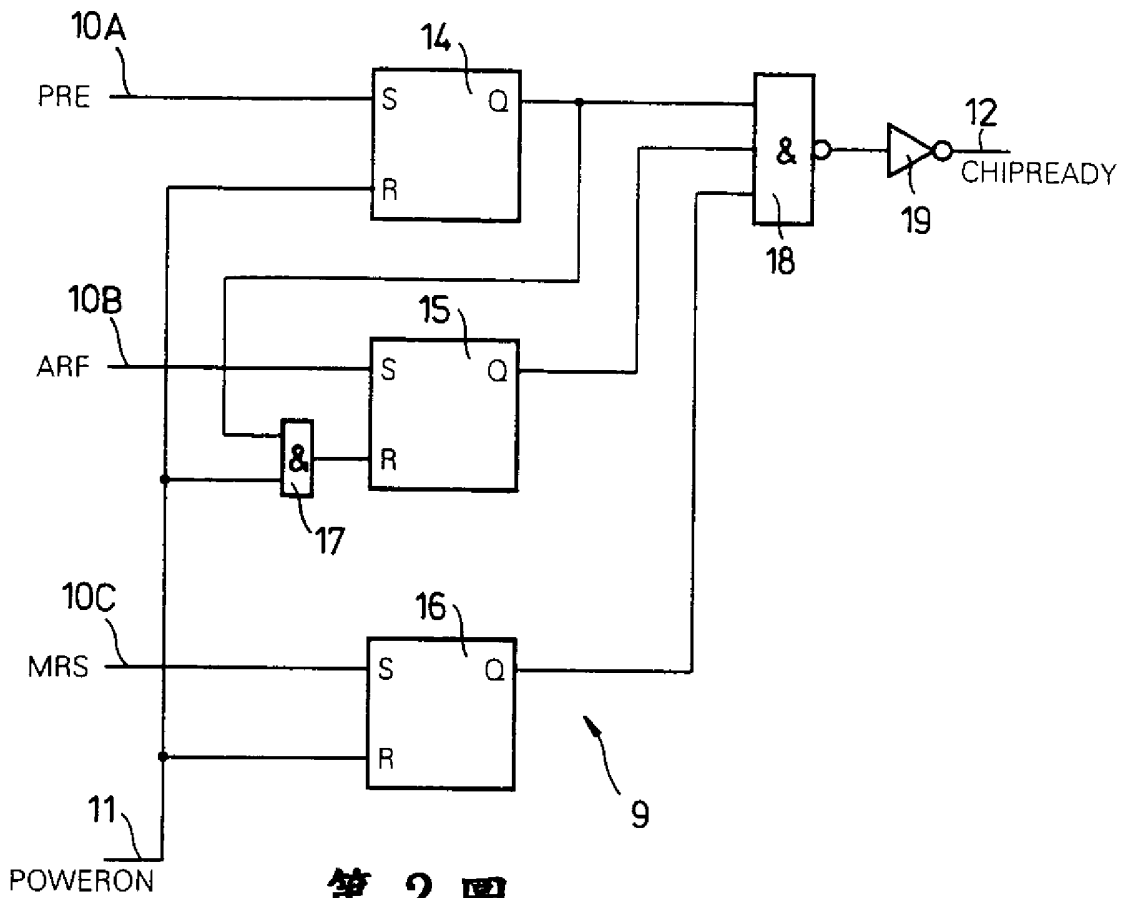
訂

線

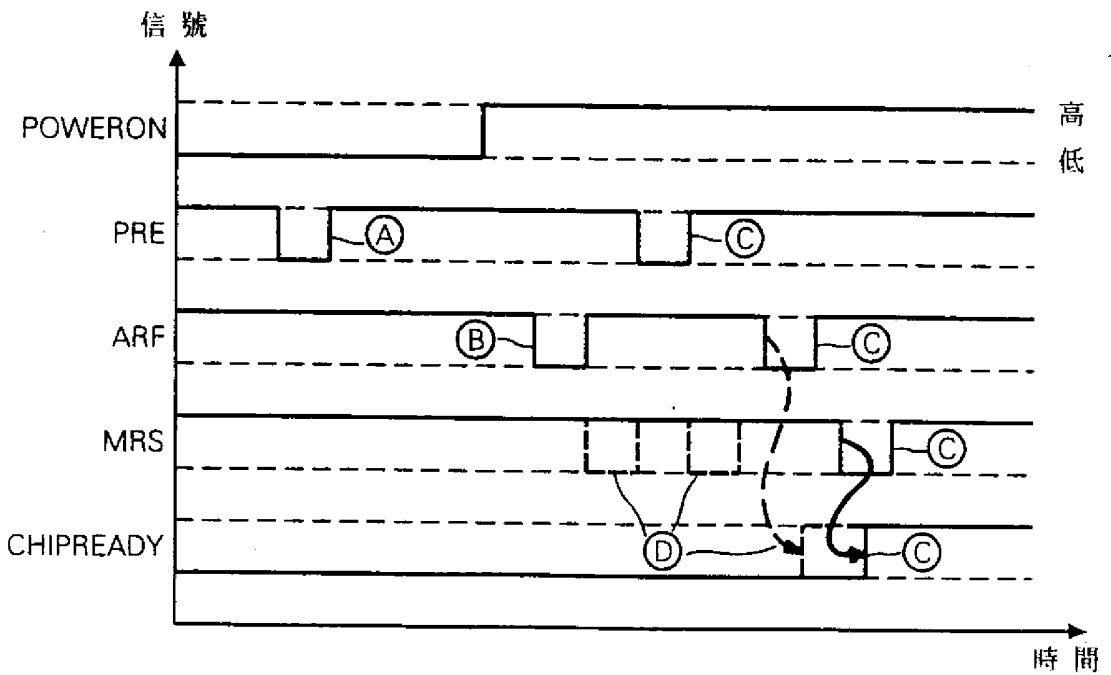
### 第 1 圖



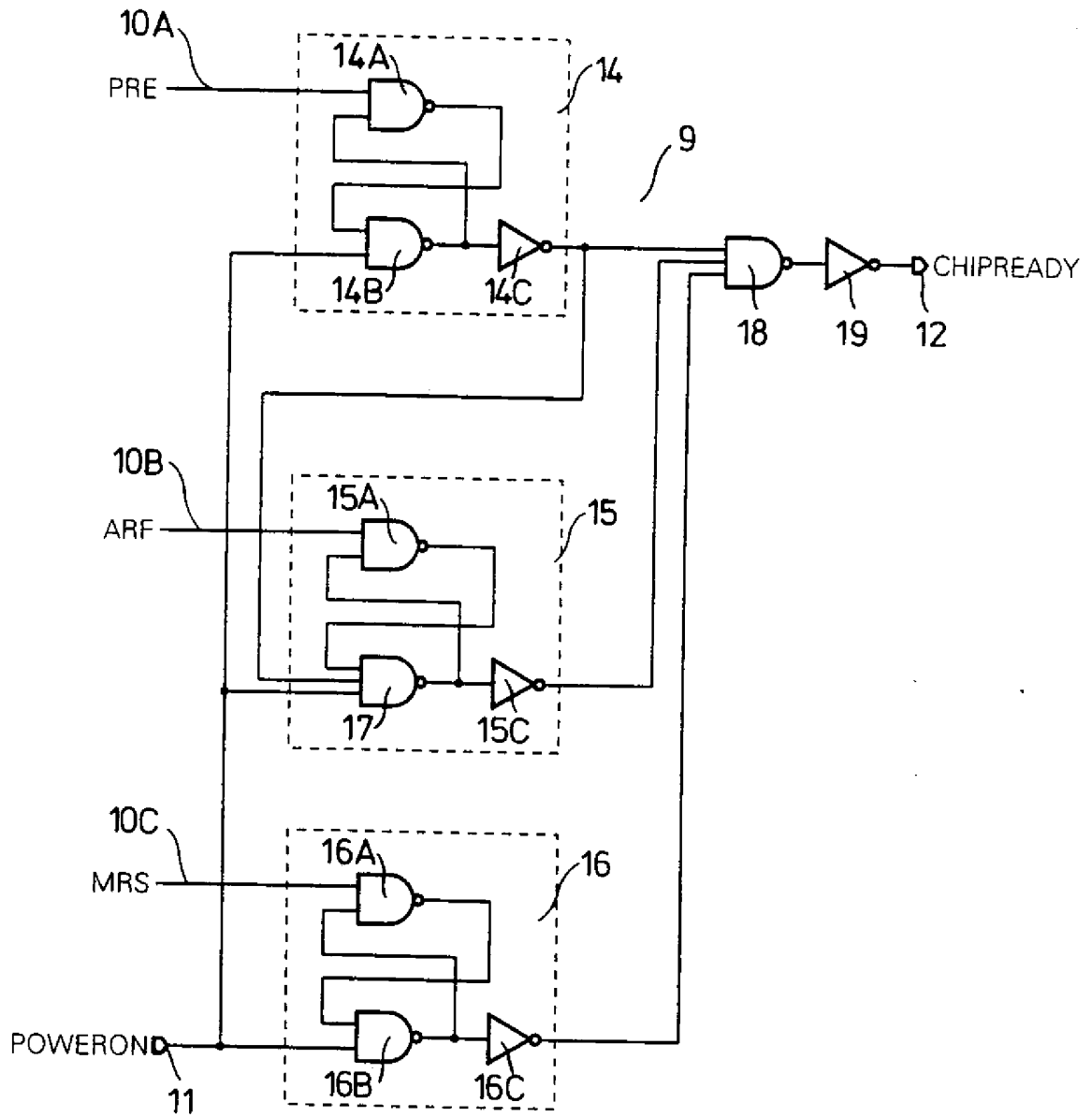
213



第 2 圖



第 3 圖



第 4 圖

五、發明說明(8)

POWERON-信號之後的每一時間都是允許的。

第4圖是本發明釋放電路9之較佳實施例之細節。在此一實施例中每一個雙穩態之弛張電路級14, 15, 16是分別由二個反及(NAND)閘14A, 14B, 15A, 17, 16A, 16B以及一個反相器14C, 15C和16C所構成, 這些組件以圖示之方式互相連接。在雙穩態弛張電路級15中此反及閘17設置三個輸入端。

符號之說明

- 1.....輸入電路
- 2, 6, 10, 11.....輸入端
- 3.....命令解碼器
- 4, 7, 8, 12.....輸出端
- 5.....電路
- 9.....釋放電路
- 13.....控制電路
- 14, 15, 16.....弛張電路級
- 17, 18...及閘
- 19.....反相器

(請先閱讀背面之注意事項再填寫本頁)

裝 · 訂 · 線

## 六、申請專利範圍

第 88110963 號「動態半導體記憶元件及其起動方法」專利案  
(90 年 4 月修正)

### 六申請專利範圍：

1. 一種隨機存取式動態半導體記憶元件(DRAM / SDRAM)，其具有一種起動電路，起動電路可控制此半導體記憶元件之接通過程及其電路組件，在半導體記憶元件接通之後於電源電壓已達到穩定之後此起動電路可提供一種電源電壓穩定信號(POWERON)，其特徵為：

起動電路具有一種釋放電路(9)，其對應於電源電壓穩定信號(POWERON)以及其它由外部施加至半導體記憶元件之命令信號(PRE, ARF, MRS)，此釋放電路在辨認此種施加至半導體記憶元件之命令信號(PRE, ARF, MRS)之預定的正常起動順序之後會提供一種釋放信號(CHIPREADY)，此種釋放信號可使此種為此半導體記憶元件之正常操作所設置之控制電路(13)接通(on)。

2. 如申請專利範圍第 1 項之半導體記憶元件，其中此種可由釋放電路(9)所辨認之起動順序之由外部施加至半導體記憶元件之命令信號(PRE, ARF, MRS)具有字線驅動用之預備命令(PRECHARGE)，及 / 或更新命令(AUTOREFRESH)，及 / 或負載組態-暫存器-命令(MODE-REGISTER-SET)。

3. 如申請專利範圍第 1 或第 2 項之半導體記憶元件

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 六、申請專利範圍

其中釋放電路(9)具有至少一個雙穩態之弛張電路(14, 15, 16), 此種弛張電路級具有: 一個設定輸入端(S), 其上施加一種命令信號(PRECHARGE, AUTOREFRESH, MODE-REGISTER-SET); 一個重置輸入端(R), 其上施加電源電壓穩定信號(POWERON)或施加一種由其所導出或結合之信號; 一個輸出端(Q), 其上可導出上述之釋放信號(CHIPREADY)。

4. 如申請專利範圍第 3 項之半導體記憶元件, 其中釋放電路(9)具有多個分別對應於命令信號(PRE, ARF, MRS)之雙穩態弛張電路級(14, 15, 16)。
5. 如申請專利範圍第 3 項之半導體記憶元件, 其中至少一個雙穩態弛張電路級(14)之輸出端(Q)是接通至另一弛張電路級(15)之重置(reset)輸入端。
6. 如申請專利範圍第 3 項之半導體記憶元件, 其中在一個雙穩態弛張電路級(15)中此電源電壓穩定信號(POWERON)及由另一弛張電路級(14)之輸出端(Q)所發出之信號是經由閘(17)以邏輯結合之方式而傳送至弛張電路級(15)之重置(reset)輸入端(R)。
7. 如申請專利範圍第 3 項之半導體記憶元件, 其中雙穩態弛張電路級(14, 15, 16)分別由一種由至少二個反或(NOR)閘或反及(NAND)閘(14A, 14B, 15A, 17, 16A, 16B)所構成之 RS 正反器(Flip-Flop)所形成。
8. 如申請專利範圍第 2 項之半導體記憶元件, 其中此種由釋放電路(9)辨認成正常之起動順序且可觸發上述釋