



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I394251B1

(45) 公告日：中華民國 102 (2013) 年 04 月 21 日

(21) 申請案號：098140939

(22) 申請日：中華民國 98 (2009) 年 12 月 01 日

(51) Int. Cl. : H01L23/485 (2006.01)

H01L25/04 (2006.01)

(71) 申請人：欣興電子股份有限公司 (中華民國) UNIMICRON TECHNOLOGY CORP. (TW)
桃園縣桃園市龜山工業區興邦路 38 號

(72) 發明人：朱哲民 CHU, CHE MIN (TW)

(74) 代理人：陳昭誠

(56) 參考文獻：

TW M365543

TW 200610119A

TW 200917394A

TW 200947658A

審查人員：吳尚樺

申請專利範圍項數：16 項 圖式數：9 共 0 頁

(54) 名稱

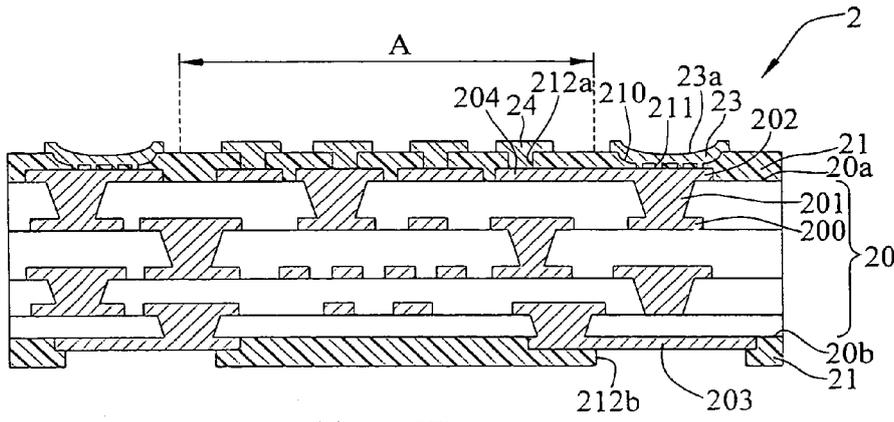
堆疊封裝結構及其封裝基板

STACK PACKAGE STRUCTURE AND PACKAGE SUBSTRATE THEREOF

(57) 摘要

一種封裝基板，係用於堆疊封裝 (POP)，包括：表面具有置晶區之基板本體，係於該置晶區周圍具有第二電性連接墊；絕緣保護層，係設於該基板本體表面上且設有弧狀凹槽，以令該弧狀凹槽對應該第二電性連接墊，並於該弧狀凹槽中設有微孔，令該第二電性連接墊之部份表面外露於該微孔中；以及電性接觸墊，係設於該弧狀凹槽及微孔中，以令該電性接觸墊電性連接該第二電性連接墊。俾於被覆蓋於絕緣保護層下之第二電性連接墊上形成電性接觸墊，且該電性接觸墊的表面具有弧形凹部，故於後續結合焊球後不易有焊球脫落或橋接等問題。

A package substrate for package on package; POP/stack packages use is disclosed, comprising a substrate body whereon a chip mounting area is defined and having second electrical connecting pads formed on the periphery of the chip mounting area; an insulating protection layer disposed on the substrate body and formed with a curved groove for corresponding to a respective second electrical connecting pad and having a small hole formed therein; and an electrical contact pad disposed in the curved groove and the small hole for allowing the contact pads to electrically connect to second electrical connecting pads. By forming electrical contact pads on the outer periphery of the second electrical connecting pads covered underneath the protection layer and further forming curved grooves on the electrical contact pads, the problem of detaching solder balls and bridging in the subsequent solder reflow process can be prevented.



第2F圖

- 2 . . . 封裝基板
- 20 . . . 基板本體
- 20a . . . 第一表面
- 20b . . . 第二表面
- 200 . . . 內層線路
- 201 . . . 導電盲孔
- 202 . . . 第二電性連接墊
- 203 . . . 植球墊
- 204 . . . 第一電性連接墊
- 21 . . . 絕緣保護層
- 210 . . . 弧狀凹槽
- 211 . . . 微孔
- 212a . . . 第一開孔
- 212b . . . 第二開孔
- 23 . . . 電性接觸墊
- 23a . . . 外表面
- 24 . . . 導電凸塊
- A . . . 置晶區

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號： 98140939 H01L 23/485 (2006.01)
 ※申請日： 98.12.1 ※IPC 分類： H01L 25/04 (2006.01)

一、發明名稱：(中文/英文)

堆疊封裝結構及其封裝基板

STACK PACKAGE STRUCTURE AND PACKAGE SUBSTRATE
THEREOF

二、中文發明摘要：

一種封裝基板，係用於堆疊封裝 (POP)，包括：表面具有置晶區之基板本體，係於該置晶區周圍具有第二電性連接墊；絕緣保護層，係設於該基板本體表面上且設有弧狀凹槽，以令該弧狀凹槽對應該第二電性連接墊，並於該弧狀凹槽中設有微孔，令該第二電性連接墊之部份表面外露於該微孔中；以及電性接觸墊，係設於該弧狀凹槽及微孔中，以令該電性接觸墊電性連接該第二電性連接墊。俾於被覆蓋於絕緣保護層下之第二電性連接墊上形成電性接觸墊，且該電性接觸墊的表面具有弧形凹部，故於後續結合焊球後不易有焊球脫落或橋接等問題。

三、英文發明摘要：

A package substrate for package on package; POP/stack packages use is disclosed, comprising a substrate body whereon a chip mounting area is defined and having second electrical connecting pads formed on the periphery of the chip mounting area; an insulating protection layer disposed on the substrate body and formed with a curved groove for corresponding to a respective second electrical connecting pad and having a small hole formed therein; and an electrical contact pad disposed in the curved groove and the small hole for allowing the contact pads to electrically connect to second electrical connecting pads. By forming electrical contact pads on the outer periphery of the second electrical connecting pads covered underneath the protection layer and further forming curved grooves on the electrical contact pads, the problem of detaching solder balls and bridging in the subsequent solder reflow process can be prevented.

四、指定代表圖：

(一)本案指定代表圖為：第(2F)圖。

(二)本代表圖之元件符號簡單說明：

2	封裝基板
20	基板本體
20a	第一表面
20b	第二表面
200	內層線路
201	導電盲孔
202	第二電性連接墊
203	植球墊
204	第一電性連接墊
21	絕緣保護層
210	弧狀凹槽
211	微孔
212a	第一開孔
212b	第二開孔
23	電性接觸墊
23a	外表面
24	導電凸塊
A	置晶區

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：
無。

六、發明說明：

【發明所屬之技術領域】

本發明係有關一種封裝結構，尤指一種具有較高之植焊球良率之堆疊封裝結構及其封裝基板。

【先前技術】

隨著電子產業的蓬勃發展，電子產品也逐漸邁向多功能、高性能的趨勢。而為了滿足半導體封裝件高整合度（integration）及微型化（miniaturization）的封裝需求，以供更多主、被動元件及線路載接，半導體封裝基板亦逐漸由雙層電路板演變成多層電路板（multi-layer board），以在有限的空間下運用層間連接技術（interlayer connection）來擴大半導體封裝基板上可供利用的線路佈局面積，並配合高線路密度之積體電路（integrated circuit）需要，而能達到封裝件輕薄短小及提高電性功能之目的。

然而，由於外露於封裝基板最外層的電性接觸墊的周圍通常仍佈設有線路，因此必須以如綠漆之防焊層同時覆蓋於該線路與電性接觸墊的部分表面上，並於該防焊層形成有外露部分電性接觸墊的防焊層開孔，而該防焊層係用以保護線路層及電性接觸墊部分表面不受外界環境之空氣與水氣影響而氧化。但是，隨著封裝基板中的線路愈來愈細，電性接觸墊間之間距也越來越小，藉以符合細線寬（fine line）、細間距（fine pitch）的使用要求，但受限於現今曝光顯影技術的瓶頸，如欲形成較小之防焊層開孔以顯露電性接觸墊之部分表面，常有對位不準及曝光解析度

不佳，甚而造成防焊層開孔偏移或是顯露開孔不完整等問題；為此，該防焊層開孔面臨尺寸過小而無法提供足夠的接觸面積以接置凸塊或焊球，故業界遂發展出一種於該增層線路層之介電層（絕緣保護層）上直接形成外部電性接觸墊的技術，以克服上述問題，請參閱第 1 圖，係為運用前述技術的習知封裝基板製成之堆疊封裝結構的剖視示意圖。

如第 1 圖所示，習知堆疊封裝結構係包括：封裝基板 1、半導體晶片 3、封裝材 4、以及電子裝置 5。

所述之封裝基板 1 係包括：基板本體 10、絕緣保護層 11、以及電性接觸墊 13。所述之基板本體 10 係具有相對之第一及第二表面 10a,10b，於該第一表面 10a 上具有第一電性連接墊 104 及複數位於該第一電性連接墊 104 周圍之第二電性連接墊 102，且於該第二表面 10b 上具有複數植球墊 103。又該基板本體 10 具有複數內層線路 100 及導電盲孔 101，且該等導電盲孔 101 電性連接該等內層線路 100 與該等第二電性連接墊 102。所述之絕緣保護層 11 係設於該基板本體 10 之第一及第二表面 10a,10b 上，且於該第一表面 10a 上之絕緣保護層 11 中具有複數開口 110 及第一開孔 112a，以令各該開口 110 對應各該第二電性連接墊 102，而令各該第一開孔 112a 對應各該第一電性連接墊 104。又該第二表面 10b 上之絕緣保護層 11 中形成有複數第二開孔 112b，以令各該植球墊 103 對應外露各該第二開孔 112b，俾供接置焊球 14。所述之電性接觸墊 13 係設於各該開口

110 中，以令該電性接觸墊 13 電性連接該第二電性連接墊 102。又該電性接觸墊 13 之上表面 13a 係呈平面。

所述之半導體晶片 3 設於該絕緣保護層 11 上且電性連接該第一電性連接墊 104。

所述之封裝材 4 係形成於該絕緣保護層 11 與半導體晶片 3 之間。

所述之電子裝置 5 係結合於該基板本體 10 之第一表面 10a 之絕緣保護層 11 上方，該電子裝置 5 上具有對應該電性接觸墊 13 之焊球 50，以令該焊球 50 結合至該電性接觸墊 13 上，俾使該電子裝置 5 電性連接該基板本體 10。

惟，習知技術係於原有的第二電性連接墊 102 上的絕緣保護層 11 表面分別形成封裝基板外部電性接觸墊 13，由於封裝基板最外表面並未佈設線路層，故其最外表面不再另外施加防焊層，而可完全顯露電性接觸墊 13 表面，藉以避免原本於防焊層開孔以顯露電性接觸墊部分之表面時，會有對位不準及曝光解析度不佳、甚而造成防焊層開孔偏移或是顯露開孔不完整等問題；但由於習知技術並未有防焊層開孔，故將該焊球 50 結合於該電性接觸墊 13 之表面時，於回焊過程中，會使該焊球 50 呈現液態，而導致焊料因無防焊層開孔之區域侷限而產生溢流；又由於該電性接觸墊 13 之上表面 13a 平整，且無防焊層開孔侷限一空間，易使該焊球 50 產生脫落掉球的情況，並使得結合該焊球 50 之製程不易進行，進而造成該焊球脫落或焊料溢流導致橋接等問題。

因此，如何避免習知技術中外部之電性接觸墊容易造成後續焊球的脫落或焊料溢流導致橋接等問題，實已成為目前亟欲解決的課題。

【發明內容】

鑑於上述習知技術之種種缺失，本發明之一目的係提供一種能增強線路與介電層之結合力且滿足線路細間距需求之堆疊封裝結構及其封裝基板。

本發明之另一目的係提供一種能降低製造成本之堆疊封裝結構及其封裝基板。

為達上述及其他目的，本發明揭露一種封裝基板，係用於堆疊封裝（package on package, POP），包括：基板本體，係具有相對之第一及第二表面，於該第一表面上具有置晶區，且該置晶區中具有複數第一電性連接墊，並於該置晶區周圍具有複數第二電性連接墊，而於該第二表面上具有複數植球墊；絕緣保護層，係設於該基板本體之第一及第二表面上，且於該第一表面上之絕緣保護層中設有複數弧狀凹槽及第一開孔，以令各該弧狀凹槽對應各該第二電性連接墊，而令各該第一開孔對應各該第一電性連接墊，並於各該弧狀凹槽中設有複數微孔，令該第二電性連接墊之部份表面外露於該等微孔中；以及電性接觸墊，係設於各該弧狀凹槽及微孔中，以令該電性接觸墊電性連接該第二電性連接墊。

前述之封裝基板中，該基板本體具有複數內層線路及導電盲孔，且該等導電盲孔電性連接該等內層線路與該等

第二電性連接墊。

前述之封裝基板中，該電性接觸墊之外表面係呈弧狀，且形成該電性接觸墊之材料係為銅。

前述之封裝基板中，該第二表面上之絕緣保護層中形成有複數第二開孔，以令各該植球墊對應外露各該第二開孔。

本發明復揭露一種堆疊封裝（package on package, POP）結構，係包括：基板本體，係具有相對之第一及第二表面，於該第一表面上具有置晶區，且該置晶區中具有複數第一電性連接墊，並於該置晶區周圍具有複數第二電性連接墊，而於該第二表面上具有複數植球墊；絕緣保護層，係設於該基板本體之第一及第二表面上，且於該第一表面上之絕緣保護層中設有複數弧狀凹槽及第一開孔，以令各該弧狀凹槽對應各該第二電性連接墊，而令各該第一開孔對應各該第一電性連接墊，並於各該弧狀凹槽中設有複數微孔，令該第二電性連接墊之部份表面外露於該等微孔中；電性接觸墊，係設於各該弧狀凹槽及微孔中，以令該電性接觸墊電性連接該第二電性連接墊；半導體晶片，設於該置晶區上之絕緣保護層上；以及電子裝置，結合於該基板本體之第一表面之絕緣保護層上，該電子裝置上具有對應該電性接觸墊之焊球，以令該焊球結合至該電性接觸墊上，俾使該電子裝置電性連接該基板本體。

前述之堆疊封裝結構中，該基板本體具有複數內層線路及導電盲孔，且該等導電盲孔電性連接該等內層線路與

該等第二電性連接墊。

前述之堆疊封裝結構中，該電性接觸墊之外表面係呈弧狀，且形成該電性接觸墊之材料係為銅。又該第二表面上之絕緣保護層中形成有複數第二開孔，以令各該植球墊對應外露各該第二開孔。

前述之堆疊封裝結構中，該半導體晶片係以覆晶方式電性連接該第一電性連接墊。又前述之封裝結構復包括導電凸塊，係設於各該第一開孔中，以令該導電凸塊電性連接該第一電性連接墊及半導體晶片，且復包括封裝材，係形成於該絕緣保護層與半導體晶片之間。

另外，於另一實施例中，該半導體晶片係藉由導線電性連接該第一電性連接墊，且復包括封裝材，係形成於該絕緣保護層與該半導體晶片之間。

前述之堆疊封裝結構中，該電子裝置係電路板或另一封裝結構。

由上可知，本發明之堆疊封裝結構中之封裝基板係於覆蓋於該絕緣保護層內部之第二電性連接墊上對應形成外部之電性接觸墊，且該內層線路係藉由設於該基板本體中的導電盲孔以電性連接至第二電性連接墊及外部之電性接觸墊，又該外部之電性接觸墊之表面具有弧形凹部，因而後續於該外部之電性接觸墊上經回焊後結合電子裝置之焊球，該焊球與外部之電性接觸墊的接觸面積較大，使該焊球與外部之電性接觸墊之間的接著力較強，而不易有焊球脫落之情形。再者，該弧形凹部也會限制該焊球的移動範

圍，使得各該焊球不易掉球、或因彼此接觸而造成橋接等問題。故相較於習知技術，本發明之堆疊封裝結構具有能增進植焊球之加工製程的良率，並有利於細間距之產品設計等優點。

【實施方式】

以下藉由特定的具體實施例說明本發明之實施方式，熟悉此技藝之人士可由本說明書所揭示之內容輕易地瞭解本發明之其他優點及功效。

請參閱第 2A 至 2G 圖，係揭露本發明之一種堆疊封裝（package on package, POP）結構之製法。

如第 2A 圖所示，提供一具有相對之第一及第二表面 20a,20b 之基板本體 20，於該第一表面 20a 上具有置晶區 A，且該置晶區 A 中具有複數第一電性連接墊 204，並於該置晶區 A 周圍具有複數第二電性連接墊 202，而於該第二表面 20b 上具有複數植球墊 203。又該基板本體 20 具有複數內層線路 200 及導電盲孔 201，且該等導電盲孔 201 電性連接該等內層線路 200 與該等第二電性連接墊 202。

如第 2B 圖所示，於該基板本體 20 之第一及第二表面 20a,20b 上形成絕緣保護層 21。

如第 2C 圖所示，於該第一表面 20a 上之絕緣保護層 21 中形成複數弧狀凹槽 210 及第一開孔 212a，以令各該弧狀凹槽 210 對應各該第二電性連接墊 202，而令各該第一開孔 212a 對應各該第一電性連接墊 204；於各該弧狀凹槽 210 中形成複數微孔 211，令該第二電性連接墊 202 之部份

表面外露於該等微孔 211 中。另外，於該第二表面 20b 上之絕緣保護層 21 中形成複數第二開孔 212b，以令各該植球墊 203 對應外露各該第二開孔 212b。

如第 2D 圖所示，於該絕緣保護層 21 上形成阻層 22，且於該阻層 22 中形成複數開口區 220，以令各該弧狀凹槽 210 對應外露於各該開口區 220。又選擇性地令該第一開孔 212a 外露於該開口區 220。

如第 2E 圖所示，於各該開口區 220、位於開口區 220 中之弧狀凹槽 210、及位於弧狀凹槽 210 中之該等微孔 211 中形成電性接觸墊 23，令該電性接觸墊 23 電性連接該第二電性連接墊 202。其中，該電性接觸墊 23 之外表面 23a 係呈弧狀，且形成該電性接觸墊 23 之材料係為銅。

又可於位於開口區 220 中之第一開孔 212a 中形成導電凸塊 24，以令該導電凸塊 24 電性連接該第一電性連接墊 204。

如第 2F 圖所示，移除該阻層 22，以完成堆疊封裝結構所用之封裝基板 2；所述之封裝基板 2 係包括：基板本體 20、絕緣保護層 21、以及電性接觸墊 23。

所述之基板本體 20 係具有相對之第一及第二表面 20a,20b，於該第一表面 20a 上具有置晶區 A，且該置晶區 A 中具有複數第一電性連接墊 204，並於該置晶區 A 周圍具有複數第二電性連接墊 202，而於該第二表面 20b 上具有複數植球墊 203。又該基板本體 20 具有複數內層線路 200 及導電盲孔 201，且該等導電盲孔 201 電性連接該等內層

線路 200 與該等第二電性連接墊 202。

所述之絕緣保護層 21 係設於該基板本體 20 之第一及第二表面 20a,20b 上，且於該第一表面 20a 上之絕緣保護層 21 中具有複數弧狀凹槽 210 及第一開孔 212a，以令各該弧狀凹槽 210 對應各該第二電性連接墊 202，而令各該第一開孔 212a 對應各該第一電性連接墊 204，並於各該弧狀凹槽 210 中設有複數微孔 211，令該第二電性連接墊 202 之部份表面外露於該等微孔 211 中。又該第二表面 20b 上之絕緣保護層 21 中形成有複數第二開孔 212b，以令各該植球墊 203 對應外露各該第二開孔 212b。

所述之電性接觸墊 23 係設於各該弧狀凹槽 210 及微孔 211 中，以令該電性接觸墊 23 電性連接該第二電性連接墊 202。又該電性接觸墊 23 之外表面 23a 係呈弧狀，且形成該電性接觸墊 23 之材料係為銅。

如第 2G 圖所示，接續第 2F 圖之製程，於該置晶區 A 上之絕緣保護層 21 上設置一半導體晶片 3，再於該基板本體 20 之第一表面 20a 之絕緣保護層 21 與半導體晶片 3 之間形成封裝材 4，俾製作出一封裝結構。

接著，於該半導體晶片 3 及基板本體 20 之上方結合一電子裝置 5，該電子裝置 5 上具有對應該電性接觸墊 23 之焊球 50，以令該焊球 50 電性連接該電性接觸墊 23，俾完成所述之堆疊封裝結構之製作。該堆疊封裝結構係包括所述之封裝基板 2、半導體晶片 3、封裝材 4、以及電子裝置 5。

所述之半導體晶片 3 設於該置晶區 A 上之絕緣保護層 21 上，且該半導體晶片 3 係以覆晶方式電性連接該第一電性連接墊 204，即藉由設於各該第一開孔 212a 中之導電凸塊 24 經回焊製程形成焊球 24'，以電性連接該第一電性連接墊 204 及半導體晶片 3。

所述之封裝材 4 係對應該置晶區 A 而形成於該絕緣保護層 21 與該半導體晶片 3 之間。

所述之電子裝置 5 係例如為電路板或另一封裝結構，係結合於該基板本體 20 之第一表面 20a 之絕緣保護層 21 上方，該電子裝置 5 上具有對應該電性接觸墊 23 之焊球 50，以令該焊球 50 結合至該電性接觸墊 23 上，俾使該電子裝置 5 電性連接該基板本體 20。

如第 2G' 圖所示，係為本發明之另一種堆疊封裝結構；本實施例與上述實施例之差別僅在於該半導體晶片 3 係藉由導線 30 電性連接該第一電性連接墊 204，且該封裝材 4' 係形成於該絕緣保護層 21 上，以包覆該半導體晶片 3 及導線 30；故於第 2D 及 2E 圖之製程中，於該第一開孔 212a 中可不形成導電凸塊。

綜上所述，本發明堆疊封裝結構之封裝基板係於覆蓋於該絕緣保護層內部之第二電性連接墊上對應形成外部之電性接觸墊，且該內層線路係藉由設於該基板本體中的導電盲孔以電性連接至第二電性連接墊及外部之電性接觸墊，又該外部之電性接觸墊之表面具有弧形凹部，因而後續於該外部之電性接觸墊上經回焊後結合電子裝置之焊

球，該焊球與外部之電性接觸墊的接觸面積較大，使該焊球與外部之電性接觸墊之間的接著力較強，而不易有焊球脫落之情形。

再者，該弧形凹部也會限制該焊球的移動範圍，使得各該焊球不易掉球、或因彼此接觸而造成橋接等問題。故相較於習知技術，本發明之堆疊封裝結構具有能增進植焊球之加工製程的良率並有利於細間距之產品設計等優點。

上述實施例係用以例示性說明本發明之原理及其功效，而非用於限制本發明。任何熟習此項技藝之人士均可在不違背本發明之精神及範疇下，對上述實施例進行修改。因此本發明之權利保護範圍，應如後述之申請專利範圍所列。

【圖式簡單說明】

第 1 圖係為習知堆疊封裝結構之剖視示意圖；以及

第 2A 至 2G 圖係為本發明堆疊封裝結構之製法之示意圖；其中，第 2G' 圖係為第 2G 圖之另一實施例之示意圖。

【主要元件符號說明】

1、2	封裝基板
10、20	基板本體
10a、20a	第一表面
10b、20b	第二表面
100、200	內層線路
101、201	導電盲孔
102、202	第二電性連接墊

•	103、203	植球墊
	104、204	第一電性連接墊
	11、21	絕緣保護層
	110	開口
	112a、212a	第一開孔
	112b、212b	第二開孔
	13、23	電性接觸墊
	13a	上表面
●	14、24'、50	焊球
	210	弧狀凹槽
	211	微孔
	22	阻層
	220	開口區
	23a	外表面
	24	導電凸塊
●	3	半導體晶片
	30	導線
	4、4'	封裝材
	5	電子裝置
	A	置晶區

七、申請專利範圍：

1. 一種封裝基板，係用於堆疊封裝（package on package, POP），包括：

基板本體，係具有相對之第一及第二表面，於該第一表面上具有置晶區，且該置晶區中具有複數第一電性連接墊，並於該置晶區周圍具有複數第二電性連接墊，而於該第二表面上具有複數植球墊；

絕緣保護層，係設於該基板本體之第一及第二表面上，且於該第一表面上之絕緣保護層中設有複數弧狀凹槽及第一開孔，以令各該弧狀凹槽對應各該第二電性連接墊，而令各該第一開孔對應各該第一電性連接墊，並於各該弧狀凹槽中設有複數微孔，令該第二電性連接墊之部份表面外露於該等微孔中；以及

電性接觸墊，係設於各該弧狀凹槽及微孔中，以令該電性接觸墊電性連接該第二電性連接墊。

2. 如申請專利範圍第 1 項之封裝基板，其中，該基板本體具有複數內層線路及導電盲孔，且該等導電盲孔電性連接該等內層線路與該等第二電性連接墊。
3. 如申請專利範圍第 1 項之封裝基板，其中，該電性接觸墊之外表面係呈弧狀。
4. 如申請專利範圍第 1 項之封裝基板，其中，形成該電性接觸墊之材料係為銅。
5. 如申請專利範圍第 1 項之封裝基板，其中，該第二表面上之絕緣保護層中形成有複數第二開孔，以令各該植球

墊對應外露各該第二開孔。

6. 一種堆疊封裝 (package on package, POP) 結構，係包括：

基板本體，係具有相對之第一及第二表面，於該第一表面上具有置晶區，且該置晶區中具有複數第一電性連接墊，並於該置晶區周圍具有複數第二電性連接墊，而於該第二表面上具有複數植球墊；

絕緣保護層，係設於該基板本體之第一及第二表面上，且於該第一表面上之絕緣保護層中設有複數弧狀凹槽及第一開孔，以令各該弧狀凹槽對應各該第二電性連接墊，而令各該第一開孔對應各該第一電性連接墊，並於各該弧狀凹槽中設有複數微孔，令該第二電性連接墊之部份表面外露於該等微孔中；

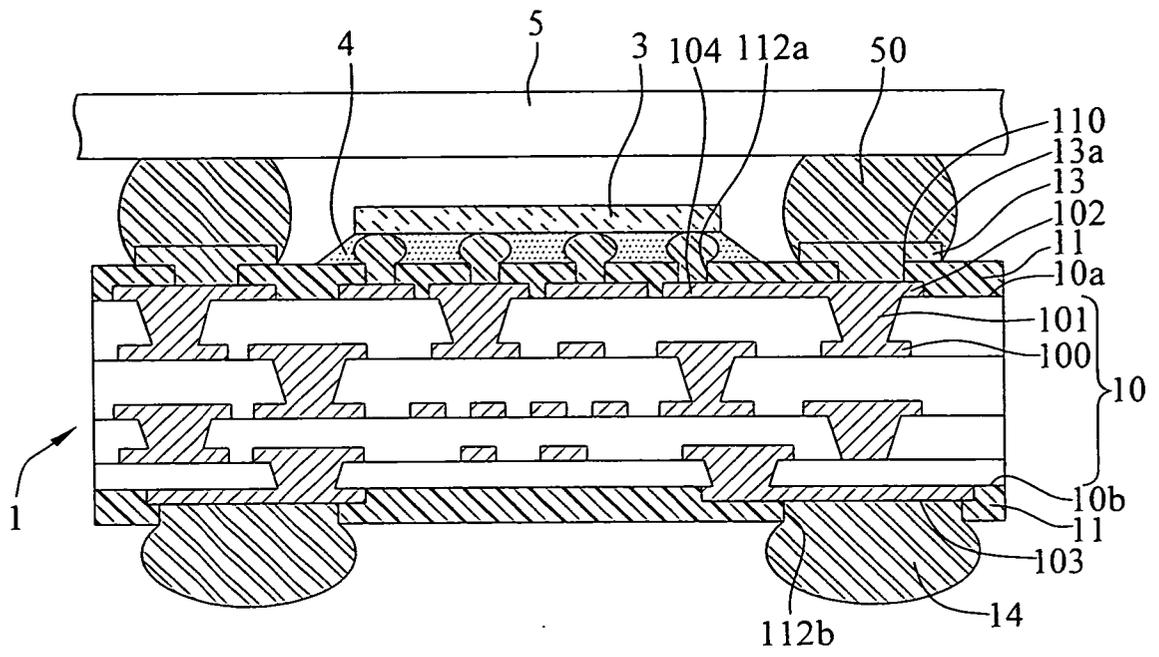
電性接觸墊，係設於各該弧狀凹槽及微孔中，以令該電性接觸墊電性連接該第二電性連接墊；

半導體晶片，設於該置晶區上之絕緣保護層上；以及

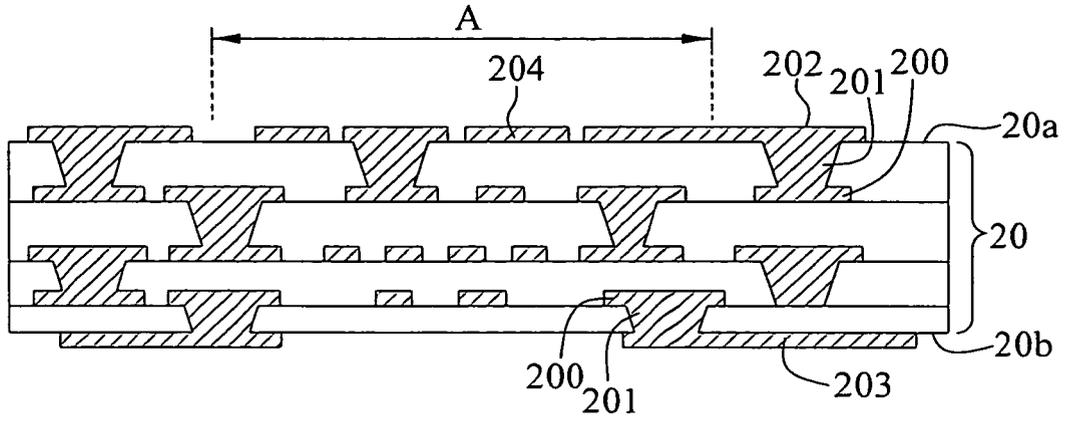
電子裝置，結合於該基板本體之第一表面之絕緣保護層上，該電子裝置上具有對應該電性接觸墊之焊球，以令該焊球結合至該電性接觸墊上，俾使該電子裝置電性連接該基板本體。

7. 如申請專利範圍第 6 項之堆疊封裝結構，其中，該基板本體具有複數內層線路及導電盲孔，且該等導電盲孔電性連接該等內層線路與該等第二電性連接墊。

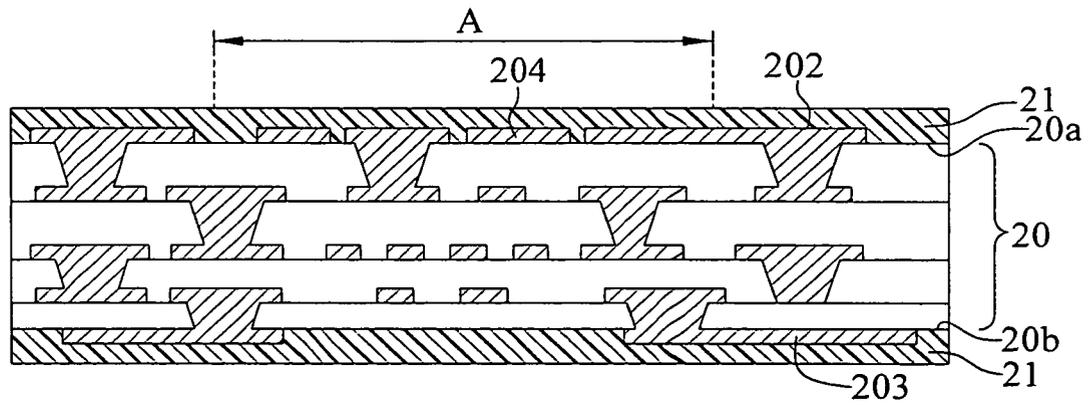
8. 如申請專利範圍第 6 項之堆疊封裝結構，其中，該電性接觸墊之外表面係呈弧狀。
9. 如申請專利範圍第 6 項之堆疊封裝結構，其中，形成該電性接觸墊之材料係為銅。
10. 如申請專利範圍第 6 項之堆疊封裝結構，其中，該第二表面上之絕緣保護層中形成有複數第二開孔，以令各該植球墊對應外露各該第二開孔。
11. 如申請專利範圍第 6 項之堆疊封裝結構，其中，該半導體晶片係以覆晶方式電性連接該第一電性連接墊。
12. 如申請專利範圍第 11 項之堆疊封裝結構，復包括導電凸塊，係設於各該第一開孔中，以令該導電凸塊電性連接該第一電性連接墊及半導體晶片。
13. 如申請專利範圍第 11 項之堆疊封裝結構，復包括封裝材，係形成於該絕緣保護層與半導體晶片之間。
14. 如申請專利範圍第 6 項之堆疊封裝結構，其中，該半導體晶片係藉由導線電性連接該第一電性連接墊。
15. 如申請專利範圍第 14 項之堆疊封裝結構，復包括封裝材，係形成於該絕緣保護層上，以包覆該半導體晶片及導線。
16. 如申請專利範圍第 6 項之堆疊封裝結構，其中，該電子裝置係電路板或另一封裝結構。



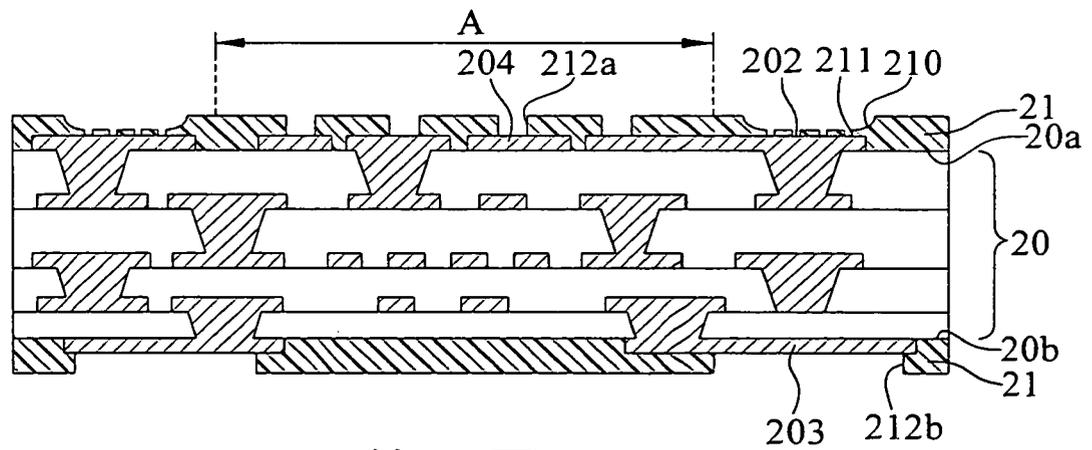
第1圖



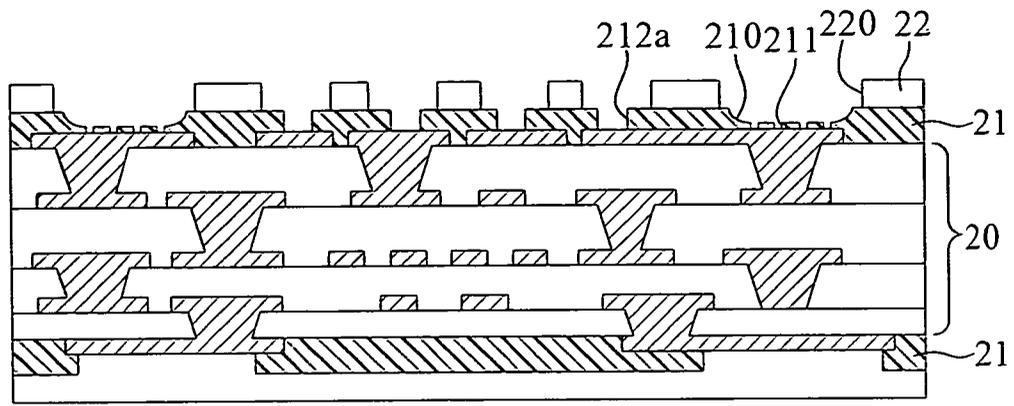
第2A圖



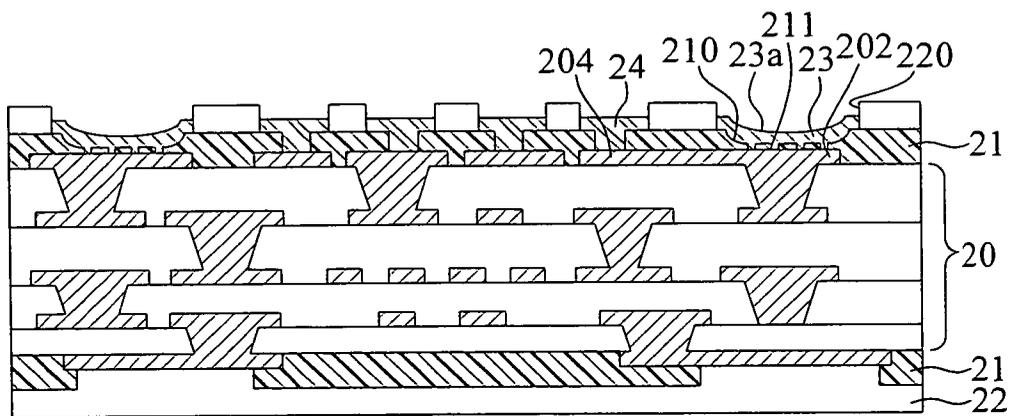
第2B圖



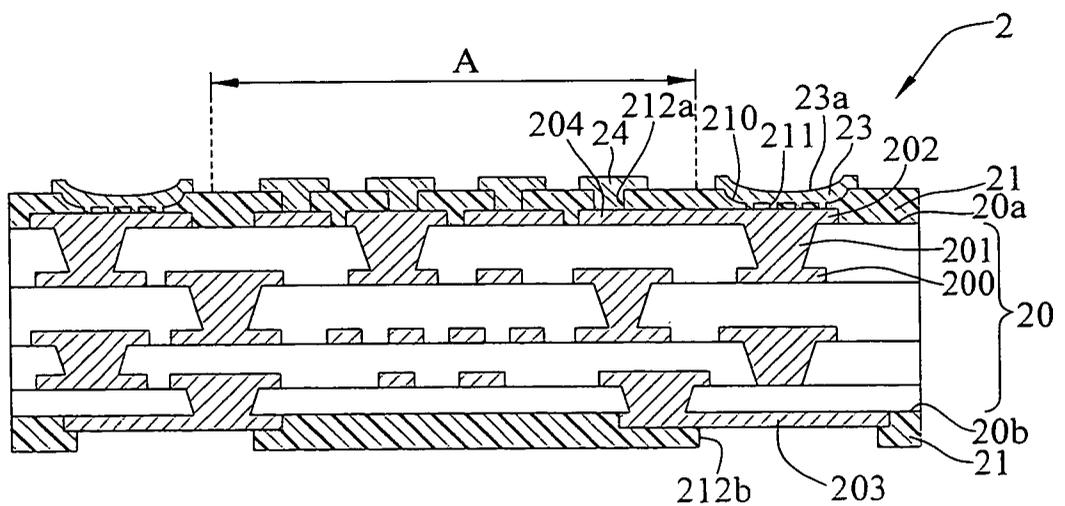
第2C圖



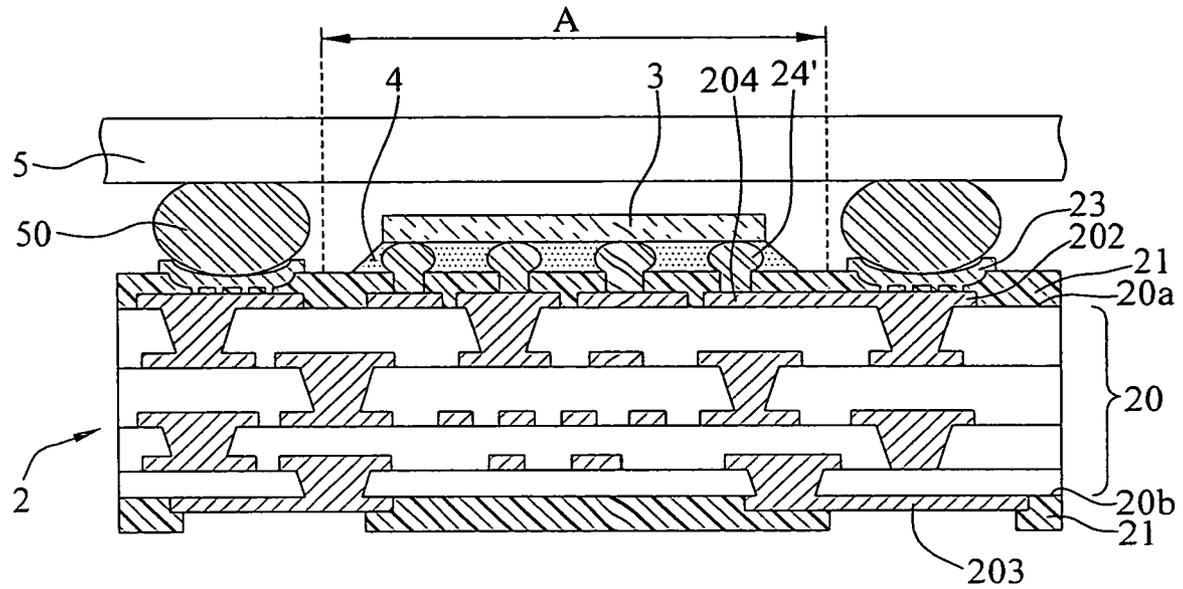
第2D圖



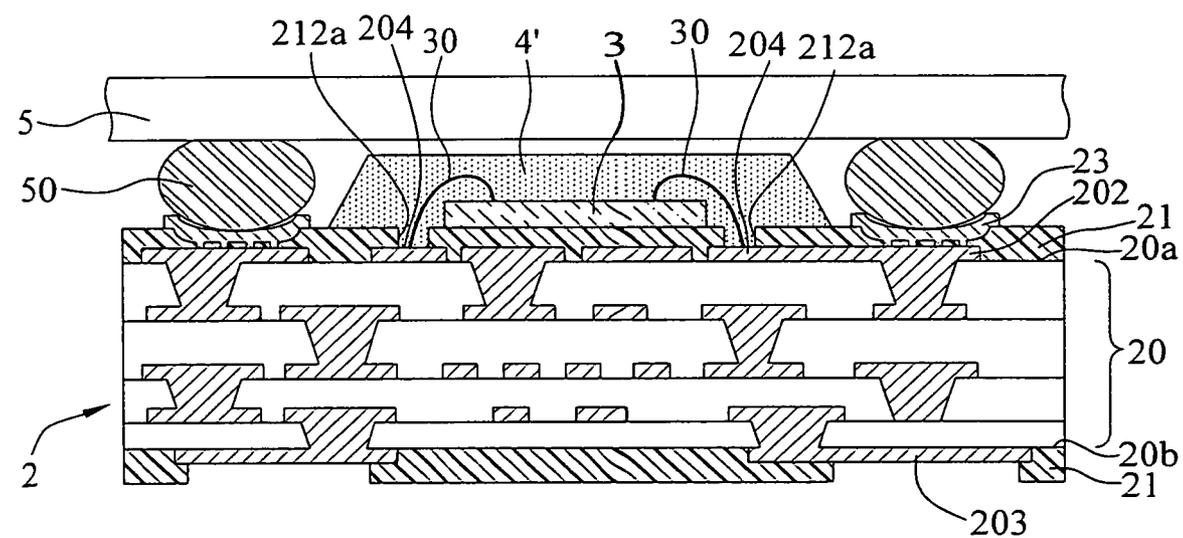
第2E圖



第2F圖



第2G圖



第2G'圖