

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2012年9月20日(20.09.2012)



(10) 国際公開番号
WO 2012/124677 A1

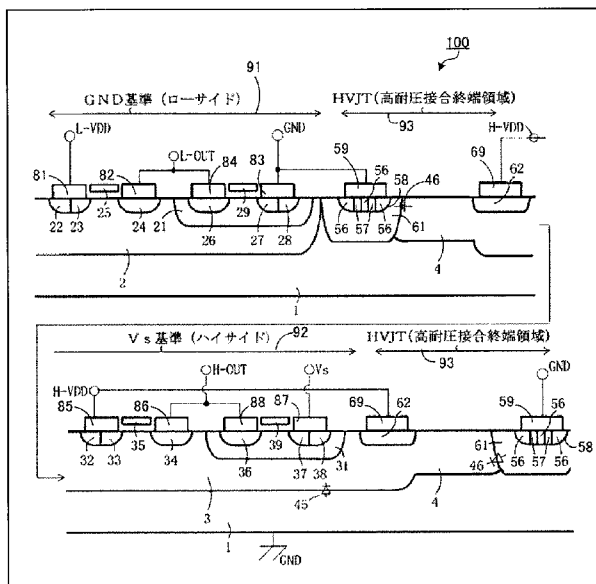
- (51) 国際特許分類:
H01L 27/08 (2006.01) H01L 27/04 (2006.01)
H01L 21/822 (2006.01) H01L 27/088 (2006.01)
H01L 21/8234 (2006.01)
- (21) 国際出願番号: PCT/JP2012/056373
- (22) 国際出願日: 2012年3月13日(13.03.2012)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2011-056577 2011年3月15日(15.03.2011) JP
- (71) 出願人(米国を除く全ての指定国について): 富士電機株式会社(FUJI ELECTRIC CO., LTD.) [JP/JP]; 〒2109530 神奈川県川崎市川崎区田辺新田1番1号 Kanagawa (JP).
- (72) 発明者; および
- (75) 発明者/出願人(米国についてのみ): 山路 将晴(YAMAJI, Masaharu) [JP/JP]; 〒2109530 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内 Kanagawa (JP).
- (74) 代理人: 酒井 昭徳(SAKAI, Akinori); 〒1006020 東京都千代田区霞が関3丁目2番5号 霞が関ビルディング20階 酒井総合特許事務所 Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR),

[続葉有]

(54) Title: HIGH-VOLTAGE INTEGRATED CIRCUIT DEVICE

(54) 発明の名称: 高耐圧集積回路装置

[図1]



- 91 GND REFERENCE (LOW SIDE)
- 92 V s REFERENCE (HIGH SIDE)
- 93 HVJT (HIGH-VOLTAGE JUNCTION TERMINAL REGION)

(57) Abstract: A high-voltage integrated circuit device (100) is provided with an n region (3), which is a high-side floating potential region, an n⁺ region (4) that forms a high-voltage junction terminal region (93), and an n⁺ region (2), which is a LVDD potential region, on a surface layer of a p semiconductor substrate (1). A low-side circuit part (91) is disposed on the n⁺ region (2). A universal contact region (58) that makes ohmic contact is disposed beneath a pickup electrode (59), which is disposed on the high-voltage junction terminal region (93). The universal contact region (58) has a constitution in which p⁺ regions (56) and n⁺ regions (57) are in alternating contact following along the surface of the p semiconductor substrate (1). By disposing the universal contact region (58) thusly, the amount of carriers flowing into the low-side circuit part (91) can be reduced when a negative surge voltage is input. Thus, erroneous operation of the logic part of the low-side circuit part (91) and latching up of the low-side circuit part (91) can be prevented.

(57) 要約:

[続葉有]

WO 2012/124677 A1



OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告 (条約第 21 条(3))

高耐圧集積回路装置 (100) は、p 半導体基板 (1) の表面層に、ハイサイド浮遊電位領域である n 領域 (3) と、高耐圧接合終端領域 (93) となる n 領域 (4) と、L-VDD 電位領域である n 領域 (2) とを備える。ローサイド回路部 (91) は、n 領域 (2) に配置される。高耐圧接合終端領域 (93) に配置されたピックアップ電極 (59) 下には、オーミック接触するユニバーサルコンタクト領域 (58) が配置される。ユニバーサルコンタクト領域 (58) は、p 半導体基板 (1) の表面に沿って p⁺領域 (56) と n⁺領域 (57) とが交互に接する構成を有する。このようにユニバーサルコンタクト領域 (58) を配置することで、負サージ電圧が入力された場合に、ローサイド回路部 (91) に流れ込むキャリア量を低減することができる。これにより、ローサイド回路部 (91) のロジック部の誤動作やラッチアップによる破壊を防止することができる。

明 細 書

発明の名称：高耐圧集積回路装置

技術分野

[0001] この発明は、高耐圧集積回路装置に関する。

背景技術

[0002] PWMインバータ等の電力逆変換（直流交流変換）用ブリッジ回路の上側アームを構成するスイッチングパワーデバイスをオン・オフ駆動する手段として、高耐圧集積回路装置（HVIC: High Voltage Integrated Circuit）が公知である。最近、スイッチングパワーデバイスの異常時の過電流検出・温度検出による高機能化や、電源システムの小型化・コスト低減を図るために、トランスやフォトプラ等による電位絶縁を行わない、高耐圧接合を利用した素子分離方式のHVICが採用されている。

[0003] 図9は、インバータなどの電力変換装置を構成するスイッチングパワーデバイスとそれを駆動する従来のHVICの接続例を示す説明図である。図9には、2つのスイッチングパワーデバイス（ここではIGBT114, 115: 絶縁ゲート型バイポーラトランジスタ）が直列に接続された半ブリッジの例が示されている。図9に示す電力変換装置は、この半ブリッジの上アームのIGBT115と下アームのIGBT114を交互にオンさせることで出力端子であるVs端子から高電位あるいは低電位を交互に出力して、L負荷118に交流電力を供給している。

[0004] すなわち、高電位を出力する場合には、上アームのIGBT115がオンし、下アームのIGBT114がオフするようにIGBT114とIGBT115を動作させる。一方、低電位を出力する場合には、上アームのIGBT115がオフし下アームのIGBT114がオンするようにIGBT114とIGBT115を動作させる。尚、IGBT114, 115に逆並列に接続されたダイオードは、還流ダイオードのFWD (Free Wheel

D i o d e) 1 1 6, 1 1 7である。

- [0005] 動作期間中は、駆動素子であるH V I C 1 1 1において、下アームの I G B T 1 1 4 へのゲート信号はG N Dを基準にしてL - O U Tから出力され、上アームの I G B T 1 1 5 へのゲート信号はV s 端子の電位を基準にしてH - O U Tから出力される。V s 端子の電気を基準にして信号をH - O U Tから出力するためには、H V I C 1 1 1はレベルシフト機能を備える必要がある。
- [0006] 尚、図9中の符号で、V s sは、高電圧電源（主回路電源）の高電位側を示す。G N Dは、グランド（接地）である。V sは、V s s電位からG N D電位まで変動する中間電位である。H - V D Dは、V s 端子の電位を基準とする低電圧電源1 1 3の高電位側である。L - V D Dは、G N Dを基準とする低電圧電源1 1 2の高電位側である。
- [0007] また、H - I Nは、レベルアップ回路と接続するローサイド側のC - M O S回路のゲートに入力される入力信号および入力端子である。L - I Nは、下アームの I G B T 1 1 4 のゲートと接続するローサイド側のC - M O S回路のゲートに入力される入力信号および入力端子である。
- [0008] また、前記したように、H - O U Tは、上アームの I G B T 1 1 5 のゲートへ出力するハイサイド側のC - M O S回路の出力信号および出力端子である。L - O U Tは、下アームの I G B T 1 1 4 のゲートへ出力する出力信号および出力端子である。
- [0009] また、A L M - I Nは、上アームの I G B T 1 1 5 の温度や過電流を検出したときの検出信号1 1 9の入力信号および入力端子である。A L M - O U Tは、レベルダウンされた検出信号の出力信号および出力端子である。
- [0010] 図1 0および図1 1は、レベルシフト回路とその周辺回路を示す回路図である。図1 0はレベルアップ回路を含む回路図であり、図1 1はレベルダウン回路を含む回路図である。図1 0, 1 1において、符号1 2 0は、V s 端子を基準とする低電圧電源1 1 3の高電位側の端子である。尚、本明細書および添付図面においては、nまたはpを冠記した層や領域では、それぞれ電

子または正孔が多数キャリアであることを意味する。また、 n や p に付す $+$ および $-$ は、それぞれそれが付されていない層や領域よりも高不純物濃度および低不純物濃度であることを意味する。

[0011] ここでは、周辺回路として、レベルシフト回路の入力信号を伝達するローサイド側（ローサイド回路部）のC-MOS回路（PMOSとNMOS）と、レベルシフト回路（レバルアップ回路もしくはレベルダウン回路）の出力信号（出力部101からの出力信号）を上アームのIGBT115に伝達するハイサイド側（ハイサイド回路部）のC-MOS回路（PMOSとNMOS）とを示した。図10中の符号71はレベルシフト抵抗である。符号75は図示しないブーストラップコンデンサを昇圧するダイオードであり、 V_s 電圧よりブーストラップ電圧分（低電圧電源113の電圧に相当する）高い電圧にするブーストラップダイオードである。この低電圧電源113の電圧と低電圧電源112の電圧とは同じである。

[0012] 図10において、ローサイド回路部の入力信号（H-IN）が入力されると、その信号はローサイド回路部のC-MOS回路を經由してレベルアップ回路の n チャネルMOSFET41のゲートに入力される。この信号で n チャネルMOSFET41はオン・オフし、レベルアップ回路の出力信号が出力部101から出力され、その信号によりハイサイド回路部のC-MOS回路がオン・オフして出力信号（H-OUT）が出力される。この出力信号は、 V_s 端子の電位を基準とした信号に変換される。この出力信号が上アームのIGBT115のゲートに入力されて、上アームのIGBT115をオン・オフさせる。図10のレベルアップ回路は上アームのIGBT115が n チャネル型の場合に必要となる。

[0013] 図11において、レベルダウン回路は、 p チャネルMOSFET43と、レベルシフト抵抗72とで構成される。レベルシフト抵抗72にはダイオード76が並列接続されている。ALM-INの信号がハイサイド回路部のC-MOS回路のゲートに入力され、C-MOS回路の出力信号がレベルダウン回路の p チャネルMOSFET43のゲートに入力される。これにより、

pチャネルMOSFET 43がオン・オフされる。pチャネルMOSFET 43をオン・オフさせることで、レベルダウン回路の出力部102からローサイド側（ローサイド回路部）への信号が出力される。そして、ローサイド回路部のCMOS回路の出力からレベルダウンしたALM-OUTの信号が、検出信号としてローサイド回路部から出力される。

[0014] 図9に示したHVIC111には前記した各信号を入出力する端子（H-VDD, H-OUT, ALM-IN, L-VDD, L-OUT, GND, H-IN, ALM-OUT, L-IN）が示されている。これらは、図10および図11の各端子と対応している。

[0015] 図9で示したスイッチングパワーデバイス（IGBT114, 115）で構成されたハーフブリッジ回路を組み合わせて製作されるブリッジ回路は、モータ制御用のインバータのほか、大容量のPDP（プラズマディスプレイパネル）、液晶パネルなどの電源用途、エアコンや照明といった家電用インバータなど多くの分野で広く利用されている。

[0016] これらモータや照明などは図9に示したようなインダクタンス負荷（L負荷）118となるため、プリント基板上の配線やL負荷118までのケーブル等による寄生インダクタンス成分等の影響が発生する。すなわち、上アームのIGBT115がオフする時や、下アームのIGBT114がオンとなるスイッチング時に、HVIC111を構成するハイサイド回路部の高電位側基準電位となるVs端子の電位やH-VDD端子の電位がグランド電位（図9のGND端子の電位）に対して負電位側へ変動する。

[0017] この負電位側への変動（負サージ電圧）がハイサイド回路部の誤動作やラッチアップを引き起こし、それによってHVIC111が破壊に至る虞がある。図12は、従来の高耐圧集積回路装置のレベルシフト回路を詳細に示す回路図である。図12（a）はレベルアップ回路図であり、図12（b）はレベルダウン回路図である。

[0018] 図12（a）に示すレベルアップ回路は、レベルシフト抵抗71と、このレベルシフト抵抗71とドレインが接続するnチャネルMOSFET41と

を備え、レベルシフト抵抗71とnチャネルMOSFET41との接続部をレベルアップ回路の出力部101とする構成となっている。

[0019] H-VDD電位がGND電位より大幅に低電位になったときに（過大な負サージ電圧が印加されたとき）、レベルシフト抵抗71が破壊されるのを防止するために、レベルシフト抵抗71にはダイオード75が並列に接続される。

[0020] また、H-VDD端子に過電圧が印加された場合、ダイオード75は、ハイサイド回路部のC-MOS回路のMOSFETのゲートに過大な電圧が印加されるのを防止する機能を有する。このダイオード75には、通常はツェナーダイオードが多用される。また、nチャネルMOSFET41には、逆並列に接続されたボディーダイオード42が内蔵されている。

[0021] 一方、図12(b)に示すレベルダウン回路は、pチャネルMOSFET43のドレインと、このドレインと接続するレベルシフト抵抗72とを備え、レベルシフト抵抗72とpチャネルMOSFET43との接続部をレベルダウン回路の出力部102とする構成となっている。

[0022] H-VDD電位がGND電位より大幅に低電位になったときに、レベルシフト抵抗72が破壊されるのを防止するために、レベルシフト抵抗72にはダイオード76が並列に接続されている。

[0023] また、MOSFET43がオン動作時にH-VDD端子に過電圧が印加された場合、ダイオード76は、ローサイド回路部のC-MOS回路のMOSFETのゲートに過電圧が印加されるのを防止する機能を有する。また、nチャネルMOSFET43には、逆並列に接続されたボディーダイオード44が内蔵されている。

[0024] 図13は、自己分離型の高耐圧集積回路装置のハイサイド回路部のロジック部、ローサイド回路部のロジック部およびレベルアップ回路部の要部を示す断面図である。図13において、GND電位に接続されたp型半導体基板1の表面層にnウェル領域であるn⁻領域2およびn領域3が形成される。n⁻領域2内には、例えば、ローサイド回路部91のロジック部を構成するC-

MOS回路などが形成される。n領域3内には、例えば、レベルシフト回路部94やハイサイド回路部92のロジック部を構成するC-MOS回路などが形成される。

[0025] レベルシフト用（ここではレベルアップ用）nチャネルMOSFET41は、n⁻領域4に接してベース領域となるp領域51、p領域51内に形成されたソースであるn⁺領域53およびpコンタクト領域54、n⁻領域4内に形成されたドレインであるn⁺領域52、n⁺領域53とn⁺領域52とに挟まれたp領域51上にゲート酸化膜を介して形成されるゲート電極55で構成される。

[0026] 尚、図13中の符号22、32はn⁺領域、符号28、38はp⁺領域である。また、符号56は第1コンタクト領域であるp⁺領域であり、符号62は第2コンタクト領域であるn⁺領域であり、符号93は高耐圧接合終端領域である。また、符号45、46は寄生pnダイオード、符号a~jは電極である。

[0027] 図12および図13において、nチャネルMOSFET41のドレインであるn⁺領域52は、表面金属配線によってレベルシフト抵抗71を介してH-VDD端子に接続される。また、ドレインであるn⁺領域52とレベルシフト抵抗71との接続部がレベルアップ回路の出力部101となる。この出力部101は、レベルシフト用nチャネルMOSFET41をオンすると低電位を出力し、オフすると高電位を出力するため、異なる基準電位間の信号伝達であるレベルシフト動作を行うことができる。

[0028] このように、上アームIGBT115をオフするタイミングでVs端子には、グランド電位に対し負電位となる負サージ電圧V_{s0}が印加される。この負サージ電圧V_{s0}は、以下の式(1)を使用して計算することができる。式(1)において、L0はL負荷118のインダクタンス値であり、IはIGBT115に流れる電流の値である。

[0029] $V_{s0} = L0 \times dI / dt \dots (1)$

[0030] また、負サージ電圧V_{s0}がGND電位(0V) - (V_{spy} + V_{fd})よりも低く

なると、HVIC111（チップ）の寄生pnダイオード45, 46が導通し始める。但し、 V_{spy} はハイサイドの低電圧電源113もしくは図示しないブートストラップコンデンサの両端間のバッテリー電圧であり、 V_{fd} は寄生pnダイオード45, 46の順方向電圧降下である。負サージ電圧 V_{s0} が大きくマイナス方向に引かれた場合には過電流がHVIC111（チップ）内を流れ、その結果、ハイサイド回路部の誤動作を招いたり、HVIC111（チップ）が故障や破壊に至る虞がある。

[0031] 印加される負サージ電圧 V_{s0} は、プリント基板上の配線やL負荷118までのケーブル等による寄生インダクタンス成分（L1）とIGBT115で流していたオン電流I1のオフする期間による $dI1/dt$ との積（ $L1 \times (dI1/dt)$ ）に比例し、このスパイク状の負サージ電圧 V_{s0} はVs端子に印加される。その印加電圧は-100V程度であり、その印加期間はおおよそ数百nsから1 μ s程度である。

[0032] このような高耐圧集積回路として、半ブリッジ構成のパワートランジスタを駆動する高電圧集積回路を保護するための回路が開示されている。その回路は、出力ノードでの過大な負のスイングを見込んだ回路を対象とし、負電圧スパイク中の電流を制限する抵抗器を基板と接地の間に有する高電圧集積回路チップである（例えば、下記特許文献1参照。）。

[0033] また、高耐圧集積回路装置として、レベルシフトに属するスイッチング素子のドレイン電極と増幅器（CMOS回路）に属するMOSトランジスタのゲート電極との間にダイオードを挿入することで逆バイアスの影響を減殺する駆動装置が開示されている（例えば、下記特許文献2参照。）。

[0034] また、別の高耐圧集積回路装置として、レベルシフトに属するスイッチング素子のドレインとレベルシフト抵抗と電流制限抵抗とが直列接続され、レベルシフト抵抗と電流制限抵抗との間をレベルアップ回路の出力部とする装置が開示されている（例えば、下記特許文献3参照。）。

[0035] また、別の高耐圧集積回路装置として、次の装置が開示されている。p基板上に形成されたnウェルからなるハイサイド回路部内のCMOSロジック

クのうち n チャネル MOSFET を形成するための p ウェルに隣接して p^+ 型不純物領域を形成して V_s 電位に接続する。同じく、 n ウェル上に $H-VDD$ 電位に接続した n^+ 型不純物領域と p^+ 型不純物領域とを設ける。これらの不純物領域をハイサイドの $C-MOS$ ロジック周辺に形成することによって、グランド電位領域からハイサイドの n ウェル領域へ流れ込んだ正孔電流を p ウェルに流れ込む前に吸収し、負サージ電圧に起因した寄生サイリスタのラッチアップを回避することができる（例えば、下記特許文献 4 参照。）。

先行技術文献

特許文献

- [0036] 特許文献 1：特許第 3346763 号公報
特許文献 2：特開 2001-25235 号公報
特許文献 3：特開 2008-301160 号公報
特許文献 4：特開 2009-147378 号公報

発明の概要

発明が解決しようとする課題

- [0037] しかしながら、上述した従来の高耐圧集積回路装置には、次のような問題がある。図 9 に示すスイッチングパワーデバイスと $HVIC$ との接続において、 V_{ss} 電圧が $1200V$ 程度であり、 $H-VDD$ 電位が V_s 電位に対して $20V$ 程度高い電位である場合、上アームの $IGBT115$ が動作し、下アームの $IGBT114$ がオフ動作をしている際は、上アーム $IGBT115$ から L 負荷 118 に対して電流が流れる。
- [0038] この状態から上アームの $IGBT115$ がオフ動作すると、 L 負荷 118 が電流を維持しようとするため、下アームの $FWD116$ を経由して GND より電流が流れ、 V_s 端子の電位が GND 電位よりも低くなり、 $-100V$ 程度にもなる。 V_s 端子の電位が $-100V$ 程度となった場合、 $H-VDD$ 端子の電位が $-80V$ 程度になる。
- [0039] 図 13 に示す高耐圧集積回路装置の構造では、 p 半導体基板 1 および p 領

域61がGND電位にある。そのため、nウェル領域であるn領域3、nウェル領域であるn領域4がともにGND電位より低くなるまでVs端子の電位が低下した場合、p半導体基板1とn領域3からなる寄生pnダイオード45と、p領域61とn領域4からなる寄生pnダイオード46とが順方向バイアスになり大きな電流が流れる。

[0040] この大電流によってHVICのハイサイド回路部やローサイド回路部が誤動作したり、ラッチアップによる破壊を起こしたりする。これについて、上記特許文献1では、電流を制限する抵抗器をグランド（接地）端子と基板との間に接続しており、それ以外の箇所での接続に関しては触れられていない。この抵抗器はポリシリコン層で形成されているため、負サージ電圧による大きなパルス電流（数A～数十A）が過渡的にVs端子とグランド端子間の寄生ダイオードに流れた際に、ポリシリコン層が過電流により熱溶解し、HVICが破壊に至る虞がある。

[0041] また、上記特許文献2では、逆バイアスの影響を減殺するのにダイオードを接続しており、L負荷によりH-VDD電位が負電位になった場合のボディダイオードや寄生ダイオードの電流を制限する抵抗やレイアウト方法に関しては触れられていない。

[0042] また、上記特許文献3では、レベルシフト回路のVs基準の低電圧電源の高電位側（H-VDD）と低電位側（グランド）との間の経路に電流制限抵抗を接続することで、nチャネルMOSFETのボディダイオードや寄生ダイオード自体が過電流破壊することや、レベルシフト回路の電流容量の小さい箇所が過電流破壊するのを防止することが提案されている。しかしながら、Vs基準のハイサイドロジック（CMOS回路）やグランド基準のローサイドロジック（CMOS回路）の寄生誤動作（誤反転）防止については触れられていない。

[0043] また、上記特許文献4では、負サージ電圧によるVs基準のハイサイドロジックの寄生誤動作防止のため、ハイサイドウェル領域へn⁺型およびp⁺型の不純物領域をH-VDD電位、VS電位に固定することが明記されている。

しかしながら、ローサイド回路部のロジック部の誤動作防止については触れられていない。

[0044] 図14は、従来の高耐圧集積回路装置のローサイド回路部およびハイサイド回路部の誤動作について示す説明図である。この図14に示すHVICの断面構成は、図13に示すHVICの断面構成に相当し、ローサイド回路部91、高耐圧接合終端領域(HVJT)93およびハイサイド回路部92の断面構成である。但し、図14では、図13に示したレベルアップ回路を図示省略する。

[0045] V_s 端子を經由してH-VDD端子に負サージ電圧が入力されると、寄生pnダイオード46に順方向電流が流れる。そのとき、寄生pnダイオード46のpアノード領域であるp領域61にn⁻領域4から少数キャリアである電子が注入される。この電子がp領域61に形成される第1コンタクト領域であるp⁺領域56からは殆ど引き抜かれずに、n⁻領域2に流れ込み、例えば15V程度の電位の高いn⁺領域22に向かって流れる。

[0046] その過程で、ローサイド回路部91が形成されているnウェル領域であるn⁻領域2に存在する寄生抵抗78により、ローサイド回路部91のロジック部を構成するpチャネルMOSFETのドレインであるp⁺領域24下のn⁻領域2の電位が電圧降下により引き下げられる。

[0047] その結果、ローサイド回路部91もロジック部を構成するpチャネルMOSFETのドレインであるp⁺領域24をエミッタとし、n⁻領域2をベースとし、p半導体基板1をコレクタとする寄生のpnpバイポーラトランジスタ79がオンする。このため、L-OUT端子の出力論理が反転するなどの誤動作や、ローサイド回路部91がラッチアップすることによる破壊が生じる虞がある。

[0048] 一方、n⁻領域4に入り込んだ少数キャリアの正孔は、ハイサイド回路部92のロジック部を構成するpチャネルMOSFETのソース、ドレインであるp⁺領域33、34に流入したり、pオフセット領域であるp領域31に流入する。これにより、nチャネルMOSFETのソースであるn⁺領域37、

pオフセット領域であるp領域31、n領域3で構成された寄生のnpnトランジスタがオンして、ハイサイド回路部92のロジック部の誤動作やラッチアップによる破壊が生じる虞がある。尚、図14の符号25、29、35、39はそれぞれゲート電極である。

[0049] この発明は、上述した従来技術による問題点を解消するため、(H-VDD端子またはVs端子に負電圧が印加された場合にグランド基準および内部電源、L-VDD電源に接続された)ローサイド回路部の誤動作や破壊を防止することができる高耐圧集積回路装置を提供することを目的とする。

課題を解決するための手段

[0050] 上述した課題を解決し、本発明の目的を達成するため、この発明にかかる高耐圧集積回路装置は、次の特徴を有する。第1導電型の半導体基板上に、GND電位を基準とする低電圧電源に接続された第2導電型のローサイド回路部が配置されている。前記半導体基板上に、前記ローサイド回路部と離れて、GND電位よりも高い中間電位を基準とする低電圧電源に接続される第2導電型のハイサイド回路部が配置されている。GND電位に電氣的に接続され、かつ前記ハイサイド回路部を取り囲んで配置され、前記ローサイド回路部の外周部と共に高耐圧接合終端領域を形成する第1導電型領域を有する。前記第1導電型領域には、第1ピックアップ電極が配置されている。前記高耐圧接合終端領域の内側であって前記ハイサイド回路部の外周部に、前記中間電位を基準とする低電圧電源の高電位側に接続された第2ピックアップ電極が配置されている。前記第1ピックアップ電極にオーミック接触する第1導電型の第1高濃度コンタクト領域が設けられている。前記第2ピックアップ電極にオーミック接触する第2導電型の第2高濃度コンタクト領域が設けられている。前記第1高濃度コンタクト領域および前記第2高濃度コンタクト領域の少なくとも一方の領域は、前記半導体基板の表面に沿ってp領域とn領域とが互いに接して交互に配置された構成のユニバーサルコンタクト領域である構成とする。

[0051] また、上述した課題を解決し、本発明の目的を達成するため、この発明に

かかる高耐圧集積回路装置は、次の特徴を有する。第1導電型の半導体基板上に配置されたローサイド回路部を備えた第2導電型の第1半導体領域が設けられている。前記半導体基板上に前記第1半導体領域と離れて配置されたハイサイド回路部を備えた第2導電型の第2半導体領域が設けられている。前記第1半導体領域の表面層に配置された第1導電型のソース領域および第1導電型のドレイン領域を有する第1MOSFETと、前記第1半導体領域の表面層に前記該第1MOSFETと離れて配置された第1導電型の第3半導体領域と、前記第3半導体領域の表面層に配置された第2導電型のソース領域および第2導電型のドレイン領域を有する第2MOSFETと、からなる第1C-MOS回路が設けられている。前記第2半導体領域の表面層に配置された第1導電型のソース領域および第1導電型のドレイン領域を有する第3MOSFETと、前記第2半導体領域の表面層に前記第3MOSFETと離れて配置された第1導電型の第4半導体領域と、前記第4半導体領域の表面層に配置された第2導電型のソース領域および第2導電型のドレイン領域を有する第4MOSFETと、からなる第2C-MOS回路が設けられている。前記半導体基板の表面層に配置され前記第2半導体領域を囲み、前記半導体基板より高不純物濃度の第1導電型の第5半導体領域が設けられている。前記第5半導体領域の表面層に、前記第5半導体領域より高不純物濃度の第1導電型の第1コンタクト領域が配置されている。前記第5半導体領域と前記第2半導体領域の外周部とにより高耐圧接合終端領域が構成される。前記第2半導体領域の表面層であって前記高耐圧接合終端領域の内側に、前記第2半導体領域より高不純物濃度の第2導電型の第2コンタクト領域が配置されている。前記第1半導体領域の表面層に、前記第1MOSFETのソース領域と接する第2導電型の第3コンタクト領域が配置されている。前記第3半導体領域の表面層に、前記第2MOSFETのソース領域と接する第1導電型の第4コンタクト領域が配置されている。前記第2半導体領域の表面層に、前記第3MOSFETのソース領域と接する第2導電型の第5コンタクト領域が配置されている。前記第4半導体領域の表面層に、前記第4M

OSFETのソース領域と接する第1導電型の第6コンタクト領域が配置されている。前記第1コンタクト領域上に、当該第1コンタクト領域とオーミック接触する第1ピックアップ電極が配置されている。前記第2コンタクト領域上に、当該第2コンタクト領域とオーミック接触する第2ピックアップ電極が配置されている。前記第1MOSFETのソース領域および第3コンタクト領域に接する第1ソース電極が設けられている。前記第1MOSFETのドレイン領域に接する第1ドレイン電極が設けられている。前記第2MOSFETのソース領域および第4コンタクト領域に接する第2ソース電極が設けられている。前記第2MOSFETのドレイン領域に接する第2ドレイン電極が設けられている。前記第3MOSFETのソース領域および第5コンタクト領域に接する第3ソース電極が設けられている。前記第3MOSFETのドレイン領域に接する第3ドレイン電極が設けられている。前記第4MOSFETのソース領域および第6コンタクト領域に接する第4ソース電極が設けられている。前記第4MOSFETのドレイン領域に接する第4ドレイン電極が設けられている。前記第2ソース電極および前記第1ピックアップ電極は、GND端子に接続されている。前記第3ソース電極および前記第2ピックアップ電極は、高電位側端子に接続されている。前記第1コンタクト領域および前記第2コンタクト領域の少なくとも一方の領域が、前記半導体基板の表面に沿ってp領域とn領域とが互いに接して交互に配置された構成のユニバーサルコンタクト領域である構成とする。

[0052] また、この発明にかかる高耐圧集積回路装置は、上述した発明において、前記ユニバーサルコンタクト領域を構成する前記p領域および前記n領域のうち一方の領域が他方の領域に囲まれていることを特徴とする。

[0053] また、この発明にかかる高耐圧集積回路装置は、上述した発明において、前記ユニバーサルコンタクト領域を構成する前記p領域および前記n領域の平面形状が共に帯状であることを特徴とする。

[0054] また、この発明にかかる高耐圧集積回路装置は、上述した発明において、前記ユニバーサルコンタクト領域を構成する前記p領域および前記n領域の

うちの、前記第1導電型領域の導電型と異なる導電型の領域の深さは、前記第1導電型領域の深さ以上の深さであることを特徴とする。

[0055] また、この発明にかかる高耐圧集積回路装置は、上述した発明において、前記ユニバーサルコンタクト領域を構成する前記p領域および前記n領域のうちの、前記第5半導体領域の導電型と異なる導電型の領域の深さは、前記第5半導体領域の深さ以上の深さであることを特徴とする。

[0056] また、この発明にかかる高耐圧集積回路装置は、上述した発明において、前記ハイサイド回路部は、ハーフブリッジ回路を構成する上アームのスイッチング素子および下アームのスイッチング素子の接続点を基準電位とする電源に接続された、前記上アームのスイッチング素子を駆動するための回路部である。また、前記高電位側端子は、前記電源の高電位側に接続されている。前記GND端子は、GND電位に接続されていることを特徴とする。

[0057] 上述した発明によれば、ハイサイド回路部を囲む高耐圧接合終端領域の外側のGND電位に固定される領域のピックアップ領域をユニバーサルコンタクト領域とすることで、ローサイド回路部に流れ込むキャリア量を低減することができ、ローサイド回路部のロジック部の誤動作やラッチアップによる破壊を防止することができる。

[0058] また、上述した発明によれば、ハイサイド回路部の外周部に配置される、ハイサイド回路部の電源の高電位側の電位に固定される領域のピックアップ領域をユニバーサルコンタクト領域とすることで、ローサイド回路部に流れ込むキャリア量を低減することができ、ローサイド回路部のロジック部の誤動作やラッチアップによる破壊を防止することができる。

発明の効果

[0059] 本発明にかかる高耐圧集積回路装置によれば、ローサイド回路部の誤動作や破壊を防止することができるという効果を奏する。

図面の簡単な説明

[0060] [図1]図1は、この発明の実施の形態1にかかる高耐圧集積回路装置の要部を示す断面図である。

[図2]図2は、第1ユニバーサルコンタクト領域の平面パターンを示す平面図である。

[図3]図3は、H-VDD端子を経由して負サージ電圧が印加されたときの電子および正孔の挙動を示す説明図である。

[図4]図4は、この発明の実施の形態2にかかる高耐圧集積回路装置の要部を示す断面図である。

[図5]図5は、第2ユニバーサルコンタクト領域の平面パターンを示す平面図である。

[図6]図6は、H-VDD端子を経由して負サージ電圧が印加されたときの電子と正孔の挙動を示す説明図である。

[図7]図7は、この発明の実施の形態3にかかる高耐圧集積回路装置の要部を示す断面図である。

[図8]図8は、この発明の実施の形態4にかかる高耐圧集積回路装置の要部を示す断面図である。

[図9]図9は、インバータなどの電力変換装置を構成するスイッチングパワーデバイスとそれを駆動する従来のHVICの接続例を示す説明図である。

[図10]図10は、レベルアップ回路とその周辺回路を示す回路図である。

[図11]図11は、レベルダウン回路とその周辺回路を示す回路図である。

[図12]図12は、従来の高耐圧集積回路装置のレベルシフト回路を詳細に示す回路図である。

[図13]図13は、自己分離型の高耐圧集積回路装置のハイサイド回路部のロジック部、ローサイド回路部のロジック部およびレベルアップ回路部の要部を示す断面図である。

[図14]図14は、従来の高耐圧集積回路装置のローサイド回路部およびハイサイド回路部の誤動作について示す説明図である。

[図15]図15は、本発明の高耐圧集積回路装置の要部の平面構造の一例を示す平面図である。

[図16]図16は、本発明の高耐圧集積回路装置の要部の別の一例を示す断面

図である。

発明を実施するための形態

[0061] 以下に添付図面を参照して、この発明にかかる高耐圧集積回路装置の好適な実施の形態を詳細に説明する。尚、以下の実施の形態の説明および添付図面において、同様の構成には同一の符号を付し、重複する説明を省略する。また、従来構造と同一部位には同一の符号を付した。

[0062] (実施の形態 1)

図 1 は、この発明の実施の形態 1 にかかる高耐圧集積回路装置の要部を示す断面図である。図 1 に示す高耐圧集積回路装置 100 において、p 半導体基板 1 の内部の一方の主面側（以下、表面層とする）には、ハイサイド浮遊電位領域である n ウェル領域となる n 領域 3 と、高耐圧接合終端領域 93 ととなる n⁻領域 4 と、ローサイド側の L-VDD 電位領域を構成する n⁻領域 2 とが形成されている。

[0063] この高耐圧集積回路装置 100 は、図 9 に示した駆動素子である HVIC 111 に対応するものであり、特に、半ブリッジの上アームの IGBT 115 を制御する図 10 に示したローサイド回路部およびハイサイド回路部に相当する。図 1 では、レベルアップ回路を図示省略する。また、高耐圧集積回路装置 100 に、図 11 に示したレベルダウン回路を必要に応じて設けることができる。

[0064] このハイサイド浮遊電位領域である n 領域 3 には、図 10、図 11 に記載のように中間電位 V_s を基準とする低電圧電源に接続されるハイサイド回路部 92 が形成されている。ローサイド側の L-VDD 電位領域の n⁻領域 2 には、図 10、図 11 に記載のように GND 基準の低電圧電源に接続されるローサイド回路部 91 が形成される。

[0065] また、n⁻領域 4 を取り囲み n 領域 3 に接するように p 領域 61 が形成される。この p 領域 61 の表面層には、p 半導体基板 1 の表面に沿って p⁺領域 56 と n⁺領域 57 とが互いに接して配置されてなる第 1 ユニバーサルコンタクト領域 58 が形成される。p 領域 61 は、p 半導体基板 1 の電位を GND 電

位に固定するための固定電位領域である。p領域61の不純物濃度は、p半導体基板1の不純物濃度よりも高く、p⁺領域56の不純物濃度よりも低い。第1ユニバーサルコンタクト領域58は、GND端子に接続する第1ピックアップ電極59にオーミック接触する。第1ピックアップ電極59と第1ユニバーサルコンタクト領域58とで第1ユニバーサルコンタクト構造を構成している。

[0066] n領域3の表面層には、コンタクト領域であるn⁺領域62が形成される。このn⁺領域62上にオーミック接触する第2ピックアップ電極69が形成される。n⁺領域62は、中間電位V_sを基準電位とするハイサイド回路部の電源の高電位側の電位に固定するための固定電位領域である。n⁺領域62の不純物濃度は、n領域3の不純物濃度よりも高い。第1ピックアップ電極59と第2ピックアップ電極69との間に電圧が印加されたときに、p領域61とn⁻領域4とに広がる空乏層の形成領域が高耐圧接合終端領域93（HVJT）となる。

[0067] n領域3の周りを高耐圧接合終端領域93が取り囲み、その外側にn⁻領域2が配置される。ローサイド回路部91は、第1pチャネルMOSFETと第1nチャネルMOSFETとからなる第1C-MOS回路を備えている。第1pチャネルMOSFETは、p⁺領域23（ソース）、p⁺領域24（ドレイン）、第1ソース電極81および第1ドレイン電極82を有する。第1ソース電極81は、p⁺領域23にオーミック接触する。第1ドレイン電極82は、p⁺領域24にオーミック接触する。第1nチャネルMOSFETは、n⁺領域27（ソース）、n⁺領域26（ドレイン）、第2ソース電極83および第2ドレイン電極84を有する。第2ソース電極83は、n⁺領域27にオーミック接触する。第2ドレイン電極84は、n⁺領域26にオーミック接触する。

[0068] ハイサイド回路部92は、第2pチャネルMOSFETと第2nチャネルMOSFETとからなる第2C-MOS回路を備えている。第2pチャネルMOSFETは、p⁺領域33（ソース）、p⁺領域34（ドレイン）、第3ソ

ース電極85および第3ドレイン電極86を有する。第3ソース電極85は、p⁺領域33とオーミック接触する。第3ドレイン電極86は、p⁺領域34とオーミック接触する。第2nチャンネルMOSFETは、n⁺領域37（ソース）、n⁺領域36（ドレイン）、第4ソース電極87および第4ドレイン電極88を有する。第4ソース電極87は、n⁺領域37とオーミック接触する。第4ドレイン電極88は、n⁺領域36とオーミック接触する。

[0069] また、n⁺領域22、p⁺領域28、n⁺領域32およびp⁺領域38はコンタクト領域であり、第1ソース電極81、第2ソース電極83、第3ソース電極85および第4ソース電極87にそれぞれオーミック接触する。

[0070] 第1ピックアップ電極59は、第2ソース電極83に接続され、さらにGND端子に接続される。また、第2ピックアップ電極69は、第3ソース電極85に接続され、さらにH-VDD端子に接続される。この第1ピックアップ電極59は、高耐圧接合終端領域93のローサイド回路部91側に配置される。一方、第2ピックアップ電極69は、高耐圧接合終端領域93のハイサイド回路部92側に配置される。

[0071] 第1ドレイン電極82と第2ドレイン電極84とは互いに接続され、さらにL-OUT端子に接続される。また、第3ドレイン電極86と第4ドレイン電極88とは互いに接続され、さらにH-OUT端子に接続される。また、第4ソース電極87は、V_s端子に接続される。尚、図1中の符号45は、p半導体基板1とn領域3とで形成される寄生pnダイオードである。

[0072] n⁻領域2、4、n領域3およびp領域61は、パターニング工程を経てリン不純物またはボロン不純物がイオン注入され、その後、例えば、高温（1100～1200℃程度）の拡散工程で所定の拡散深さまで拡散されたウェル領域である。

[0073] また、ローサイド回路部91が形成されたL-VDD電位領域であるn領域2の表面層には、ベース領域であるpオフセット領域（p領域21）が形成される。p領域21内には、第1nチャンネル型MOSFETが形成される。このp領域21は、パターニング工程を経てボロン不純物がイオン注入さ

れ、その後、例えば、高温（1100～1200℃程度）の上記n⁺領域2、4、n領域3およびp領域61を形成するための拡散工程とは異なる拡散工程で所定の拡散深さまで拡散される。

[0074] H-VDD端子にオーミック接触させるためのコンタクト領域であるn⁺領域62は、例えば、砒素を表面濃度 $1 \times 10^{20} / \text{cm}^3$ 程度になるようにイオン注入して、その後、例えば750～900℃程度のアニール工程により、所定の深さで形成される。

[0075] また、L-VDD端子にオーミック接触させるためのn⁺領域22およびローサイド回路部91を構成する第1nチャネル型MOSFETのソース・ドレインのn⁺領域27、26についても、n⁺領域62と同様にイオン注入およびアニール処理により形成される。すなわち、n⁺領域形成用のパターニング工程を経て、例えば、砒素を表面濃度 $1 \times 10^{20} / \text{cm}^3$ 程度になるようにイオン注入する。また、ローサイド回路部91を構成する第1pチャネル型MOSFETのソース・ドレインであるp⁺領域23、24、およびコンタクト領域であるp⁺領域28についても、p⁺領域形成用のパターニング工程を経て、例えば、BF₂を表面濃度 $1 \times 10^{20} / \text{cm}^3$ 程度になるようにイオン注入する。その後、例えば、上記と同一である750～900℃程度のアニール工程により、それぞれ所定の拡散深さでp⁺領域23、24、28が形成される。

[0076] ハイサイド回路部92が形成されたハイサイド浮遊電位領域であるn領域3の表面層には、ベース領域であるpオフセット領域（p領域31）が形成される。p領域31内には、第2nチャネル型MOSFETが形成される。このp領域31は、例えば、p領域21と同様に形成される。また、H-VDD端子にオーミック接触させるためのn⁺領域32およびハイサイド回路部92を構成する第2nチャネル型MOSFETのソース・ドレインのn⁺領域37、36は、n⁺領域22、27、26と同様に形成される。ハイサイド回路部92を構成する第2pチャネル型MOSFETのソース・ドレインであるp⁺領域33、34、およびコンタクト領域であるp⁺領域38は、p⁺領域23、24、28と同様に形成される。

[0077] 図2は、図1に示す第1ユニバーサルコンタクト領域の平面パターンを示す平面図である。図2には、p領域61の表面層に形成された第1ユニバーサルコンタクト領域58の平面パターンを示す。第1ユニバーサルコンタクト領域58は、寄生pnダイオード46を構成するp領域61の表面層に形成されたp⁺領域56とn⁺領域57とで構成される。p⁺領域56およびn⁺領域57は、コンタクト領域であり、互いに接触するように形成されている。p⁺領域56およびn⁺領域57は、それぞれ個別のイオン注入用マスクを用いて形成されている。例えば、p⁺領域56を形成した後、p⁺領域56の表面からp⁺領域56より深い深さでn⁺領域57を選択的に形成してもよい。この第1ユニバーサルコンタクト領域58上に第1ピックアップ電極59である金属電極をオーミック接触させて第1ユニバーサルコンタクト構造が形成される。

[0078] この第1ユニバーサルコンタクト構造にすることで、V_s端子を經由してH-VDD端子に負サージ電圧が印加されたとき、寄生pnダイオード46を流れる少数キャリアである電子を速やかに第1ピックアップ電極59から引き抜くことができる。その結果、n⁻領域2に入り込む電子量を抑制することができて、ローサイド回路部91のロジック部の誤動作やラッチアップによる破壊を防止することができる。

[0079] また、この寄生pnダイオード46を流れる少数キャリアである正孔のn⁻領域4への注入量を低減することができるため、ハイサイド回路部92のロジック部の誤動作やラッチアップによる破壊を防止することができる。

[0080] 図2では、p⁺領域56で囲むように、長方形の平面形状を有し、かつ島状に配置されたn⁺領域57を多数配置した平面レイアウトを有する第1ユニバーサルコンタクト領域58を示している。負サージ電圧がV_s端子に印加されている期間において、HVJTの寄生pnダイオード46（高耐圧ダイオード）のp領域61での電子の引抜き効果を高めるためには、p⁺領域56に比べてn⁺領域57の割合を増やしたり、実施の形態4にて後述するnオフセット領域を形成することが望ましい。しかしながら、H-VDD端子からn⁺

領域62にESD (Electrostatic Discharge) などの正のサージが入力された際には、HVJTの寄生pnダイオード46は逆バイアス状態となり、アバランシェブレークダウンする。このとき、p領域61にはアバランシェブレークダウンにより発生した正孔が流れ込む。この正孔は、p領域61の第1ユニバーサルコンタクト領域58のp⁺領域56に取り込まれる。n⁺領域57をハイサイド回路部92を囲むように2重、3重のライン形状で配置した場合には、そのn⁺領域57の直下のp領域61における抵抗(ベース抵抗)が高くなる。このため、n⁺領域57の直下のp領域61で0.6Vの電圧降下が起こった場合、n⁻領域4、p領域61およびn⁺領域57からなる寄生npnバイポーラトランジスタが動作し電流破壊に至る虞がある。このような寄生動作を抑制するために、n⁺領域57を、ライン形状ではなく、短く分割した島状に、n⁺領域62(H-VDD端子)からp領域61方向へ交互に重なるように2重以上(図2では例として2重構造)配置することが望ましい。このように配置すると、正孔をn⁺領域57間に挟まれたp⁺領域56でも吸収することができるため、局所的なベース抵抗の増加を抑制し、寄生npnバイポーラトランジスタ動作を抑制することができる。また、同様にn⁺領域57をp領域61が囲むように形成することが望ましい。尚、第1ユニバーサルコンタクト領域58の平面パターンとして、島状に配置されたn⁺領域57の平面形状が円形、四角形、多角形の場合もある。また、p⁺領域56とn⁺領域57とが縞状(例えばストライプ状)で互いに接して形成される場合もある。

[0081] この第1ユニバーサルコンタクト領域58は、図2に示す平面パターンによるパターンニング工程を経て、p⁺領域56を、例えば、BF₂を表面濃度 $1 \times 10^{20} / \text{cm}^3$ 程度になるように個別のイオン注入用マスクを用いてイオン注入する。続いて、n⁺領域57を、例えば、砒素を表面濃度 $1 \times 10^{20} / \text{cm}^3$ 程度になるように、個別のイオン注入用マスクを用いてイオン注入する。その後、例えば、上記と同一の750℃~900℃程度のアニール工程により、0.2μmから0.5μm程度の拡散深さでp⁺領域56およびn⁺領域57を

形成する。この場合はそれぞれ個別のイオン注入用マスクを用いるため、一方の不純物は一方の不純物によってコンペントされない。

[0082] その後、GND端子、H-VDD端子、L-VDD端子、ローサイド回路部91のロジック部(MOSFET)の電極などを形成した後、表面保護膜を形成して、ローサイド回路部91、ハイサイド回路部92および高耐圧接合終端領域93を有する高耐圧集積回路装置100が完成する。

[0083] ここで、図1に示したように、GND端子に接続する第1ピックアップ電極59下に第1ユニバーサルコンタクト領域58を配置することで、Vs端子を経由してH-VDD端子に負サージ電圧が入力したときに、ローサイド回路部91のロジック部(n⁻領域2)へ流れ込む電子量を減らすことができる。

[0084] 図3は、H-VDD端子を経由して負サージ電圧が印加されたときの電子および正孔の挙動を示す説明図である。p領域61とn⁻領域4とからなる寄生pnダイオード46のn⁻領域4からp領域61へ少数キャリアとして電子が注入され、このp領域61を経由してn⁻領域2へ電子が流れ込む。そのとき、n⁻領域4からn⁻領域2へ流れ込む電子の移動経路の途中にあるp領域61に入り込んだ電子の一部は、このp領域61より接合障壁が高い(0.6V程度高い)、すなわち電子エネルギー障壁が低いn⁺領域57でトラップされて第1ピックアップ電極59で引き抜かれる。

[0085] そのため、n⁻領域2へ流れ込む電子量が減少して、ローサイド回路部91のロジック部の誤動作やラッチアップによる破壊を防止することができる。一方、第1ユニバーサルコンタクト領域58のp⁺領域56からp領域61へ放出される正孔量はp⁺領域56に隣接してn⁺領域57があるために抑制される。そのため、寄生pnダイオード46のp領域61からn⁻領域4へ注入される正孔量も低減され、ハイサイド回路部92のロジック部の誤動作やラッチアップによる破壊を防止することができる。

[0086] また、この第1ユニバーサルコンタクト領域58を形成するために必要となる面積は、図14に示す従来の第1コンタクト領域であるp⁺領域56の面

積と同じである。このため、チップサイズの増大はなく製造コストは増加しない。

[0087] 図15は、本発明の高耐圧集積回路装置の要部の平面構造の一例を示す平面図である。図15において、切断線A-Aにおける断面構造は、図1に示す断面図に対応する。切断線B-Bにおける断面構造は、図14に示す断面図に対応する。p領域61の全周に亘って第1ユニバーサルコンタクト領域58を形成せずに、ローサイド回路部91と対向する箇所のp領域61の表面層にのみ第1ユニバーサルコンタクト領域58を形成しても効果が得られる。また、p領域61の全周に亘って第1ユニバーサルコンタクト領域58を形成することが望ましい。以下の実施の形態2~4にかかる高耐圧集積回路装置においても同様の平面レイアウトで第1ユニバーサルコンタクト領域58が形成される。

[0088] また、図15では、第2コンタクト領域であるn⁺領域62は、ハイサイド回路部92を囲むように全周に亘って形成されているが、全周に亘って形成しなくてもよい。n⁺領域62は、ハイサイド回路部92のC-MOS回路と高耐圧接合終端領域との距離が近い場合、少なくともハイサイド回路部92のC-MOS回路と高耐圧接合終端領域との間に設けることが望ましい。以下の実施の形態2~4にかかる高耐圧集積回路装置においても同様の平面レイアウトでn⁺領域62が形成される。

[0089] 図16は、本発明の高耐圧集積回路装置の要部の別の一例を示す断面図である。図16に示す高耐圧集積回路装置100は、p支持基板上にnエピタキシャル成長層(n_{epi})が形成されたエピタキシャル基板を用いて作製されている。エピタキシャル基板には、nエピタキシャル成長層を貫通してp支持基板に達するp領域61が形成され、その表面層にp⁺領域56とn⁺領域57とで構成される第1ユニバーサルコンタクト領域58が形成される。また、以下の実施の形態2~4にかかる高耐圧集積回路装置においても同様にエピタキシャル基板を用いて作製された高耐圧集積回路装置としてもよい。

[0090] 以上、説明したように、実施の形態1によれば、ハイサイド回路部92を囲む高耐圧接合終端領域93の外側のGND電位に固定されるピックアップ領域として第1ユニバーサルコンタクト領域58を形成することで、ローサイド回路部91に流れ込むキャリア量を低減することができて、ローサイド回路部91のロジック部の誤動作やラッチアップによる破壊を防止することができる。

[0091] (実施の形態2)

図4は、この発明の実施の形態2にかかる高耐圧集積回路装置の要部を示す断面図である。実施の形態2にかかる高耐圧集積回路装置200が図1の実施の形態1にかかる高耐圧集積回路装置100と異なるのは、H-VDD端子が接続する第2ピックアップ電極69下にも第2ユニバーサルコンタクト領域68が形成されている点である。第2ユニバーサルコンタクト領域68は、p半導体基板1の表面に沿って互いに接して交互に配置されるn⁺領域62とp⁺領域63とからなる。尚、説明を省略するが、第1ユニバーサルコンタクト領域58の平面パターンは、実施の形態1の第1ユニバーサルコンタクト領域の平面パターン(図2)と同じである。

[0092] 図5は、第2ユニバーサルコンタクト領域の平面パターンを示す平面図である。第2ユニバーサルコンタクト領域68は、n⁺領域62で囲むように、長方形の平面形状を有し、かつ島状に配置されたp⁺領域63を多数配置した平面レイアウトを有する。尚、第2ユニバーサルコンタクト領域68の平面パターンとして、島状に配置されたp⁺領域63の平面形状が円形、四角形、多角形の場合もある。また、p⁺領域63とn⁺領域62とが縞状(例えばストライプ状)で互いに接して形成される場合もある。

[0093] 次に、第2ユニバーサルコンタクト領域68の形成方法について説明する。H-VDD端子とオーミック接触する第2ユニバーサルコンタクト領域68は、図5に示した平面パターンによるパターニング工程を経て、n⁺領域62を、例えば、砒素を表面濃度 $1 \times 10^{20} / \text{cm}^3$ 程度になるようにイオン注入する。続いて、p⁺領域63を、例えば、BF₂を表面濃度 $1 \times 10^{20} / \text{cm}^3$ 程

度になるようにイオン注入する。その後、例えば、750℃～900℃程度のアニール工程で、0.2 μmから0.5 μm程度の深さで拡散して第2ユニバーサルコンタクト領域68は形成される。

[0094] 図6は、H-VDD端子を経由して負サージ電圧が印加されたときの電子と正孔の挙動を示す説明図である。第2ユニバーサルコンタクト領域68のn⁺領域62に隣接してp⁺領域63があるため、p領域61とn⁻領域4とからなる寄生pnダイオード46に流れる電流のうち、n⁺領域62からn⁻領域4へ放出される電子量が抑制される。そのため、n⁻領域4からp領域61に注入される電子量が低下する。

[0095] さらに、p領域61に入り込んだ電子は、第1ユニバーサルコンタクト領域58を構成するn⁺領域57から引き抜かれる。このため、n⁻領域2に入り込む電子量は、図1の高耐圧集積回路装置100に比べて少なくなる。その結果、ローサイド回路部91のロジック部の誤動作やラッチアップによる破壊をさらに防止することができる。

[0096] 一方、p領域61とn⁻領域4とからなる寄生pnダイオード46のp領域61からn⁻領域4へ少数キャリアとして正孔が注入され、このn⁻領域4を経由してn領域3へ流れ込む。そのとき、正孔の一部は、このn領域3より接合障壁が高い(0.6V程度高い)p⁺領域63でトラップされて第2ピックアップ電極69で引き抜かれる。

[0097] さらに、第1ユニバーサルコンタクト領域58のp⁺領域56からp領域61へ放出される正孔量はp⁺領域56に隣接してn⁺領域57があるために抑制される。そのため寄生pnダイオード46のp領域61からn⁻領域4へ注入される正孔量も低減されて、ハイサイド回路部92のロジック部の誤動作やラッチアップによる破壊を防止することができる。

[0098] また、第1ユニバーサルコンタクト領域58および第2ユニバーサルコンタクト領域68を形成するために必要となる面積は、図14に示す従来の第1コンタクト領域であるp⁺領域56および第2コンタクト領域であるn⁺領域62の面積と同じである。このため、チップサイズの増大はなく製造コスト

は増加しない。

[0099] 以上、説明したように、実施の形態2によれば、実施の形態1と同様の効果を得ることができる。また、ハイサイド回路部92の外周部に配置される、ハイサイド回路部92の電源の高電位側の電位に固定されるピックアップ領域として第2ユニバーサルコンタクト領域68を形成することで、ローサイド回路部91に流れ込むキャリア量を低減することができて、ローサイド回路部91のロジック部の誤動作やラッチアップによる破壊を防止することができる。

[0100] (実施の形態3)

図7は、この発明の実施の形態3にかかる高耐圧集積回路装置の要部を示す断面図である。実施の形態3にかかる高耐圧集積回路装置300が図4の実施の形態2にかかる高耐圧集積回路装置200と異なるのは、第2ユニバーサルコンタクト領域68のみを形成し、第1ユニバーサルコンタクト領域58を形成していない点である。

[0101] この第2ユニバーサルコンタクト領域68を形成することで、Vs端子を經由してHVDD端子に負サージ電圧が印加されたとき、実施の形態2において図6を参照して説明したように、p領域61への電子の注入量が低減される。その結果、n⁻領域2に流れ込む電子量が減少してローサイド回路部91のロジック部の誤動作や破壊を防止することができる。

[0102] 一方、n⁻領域4へ注入された正孔の一部は第2ユニバーサルコンタクト領域68のp⁺領域63へ吸い込まれ、第2ピックアップ電極69へ流れて行く。そのため、n領域3へ流れ込む正孔量が減少して、ハイサイド回路部92のロジック部の誤動作やラッチアップによる破壊を防止することができる。

[0103] また、この第2ユニバーサルコンタクト領域68を形成するために必要となる面積は、図14の従来第2コンタクト領域であるn⁺領域62の面積と同じである。このため、チップサイズの増大はなく製造コストは増加しない。

[0104] 以上、説明したように、実施の形態3によれば、実施の形態2と同様の効

果を得ることができる。

[0105] (実施の形態4)

図8は、この発明の実施の形態4にかかる高耐圧集積回路装置の要部を示す断面図である。実施の形態4にかかる高耐圧集積回路装置400が図1の実施の形態1にかかる高耐圧集積回路装置100と異なるのは、第1ユニバーサルコンタクト領域58のn⁺領域57に代えて、p⁺領域56よりも拡散深さが深いnオフセット領域97を有する第3ユニバーサルコンタクト領域98を形成した点である。nオフセット領域97は、p領域61を貫通しp半導体基板1に達する。

[0106] このnオフセット領域97は、例えば、pオフセット領域であるp領域21を形成するための高温(1100~1200℃程度)の拡散工程、もしくは1MeV程度の高加速度のイオン注入とn⁺領域57のドライブ工程と同一の750℃~900℃程度のアニール工程により、0.6μmから5μm程度の拡散深さで形成する。

[0107] このnオフセット領域97を設けることで、負サージ電圧が入力されたとき、p領域61とn⁻領域4とからなる寄生pnダイオード46を流れる少数キャリアである電子がnオフセット領域97に効率よくトラップされて、ローサイド回路部91のロジック部(n⁻領域2)へ流れ込む電子量を効果的に減らすことができる。

[0108] 以上、説明したように、実施の形態4によれば、実施の形態1と同様の効果を得ることができる。

[0109] 以上において本発明では、上述した実施の形態1~4に限らず、L-VDD電位より低く設定してある内部電源回路(内部基準電圧回路)のロジック部やレベルシフト素子である高耐圧nチャネルMOSFETのゲートを駆動するためのパルスジェネレータ回路のロジック部においても有効である。本発明においては、これらの回路はローサイド回路部91に含まれるものとする。

産業上の利用可能性

[0110] 以上のように、本発明にかかる高耐圧集積回路装置は、例えばPWMインバータ、スイッチング電源等における、パワーデバイスのゲートに、オン・オフの駆動信号を伝達する場合などに使用される高耐圧集積回路装置に有用であり、特に、回路内に過電流が流れることで誤動作が起こることを防止したものである。

符号の説明

- [0111] 1 p半導体基板
2, 4 n⁻領域
3 n領域
21, 61 p領域
22, 26, 27, 32, 36, 37, 57, 62 n⁺領域
23, 24, 28, 33, 34, 38, 56, 63 p⁺領域
58 第1ユニバーサルコンタクト領域
59 第1ピックアップ電極
68 第2ユニバーサルコンタクト領域
69 第2ピックアップ電極
81 第1ソース電極
82 第1ドレイン電極
83 第2ソース電極
84 第2ドレイン電極
85 第3ソース電極
86 第3ドレイン電極
87 第4ソース電極
88 第4ドレイン電極
91 ローサイド回路部
92 ハイサイド回路部
93 高耐圧接合終端領域
97 nオフセット領域

98 第3ユニバーサルコンタクト領域

100, 200, 300, 400 高耐圧集積回路装置

請求の範囲

[請求項1]

第1導電型の半導体基板と、
前記半導体基板上に配置された、GND電位を基準とする低電圧電源に接続された第2導電型のローサイド回路部と、
前記半導体基板上に前記ローサイド回路部と離れて配置された、GND電位よりも高い中間電位を基準とする低電圧電源に接続される第2導電型のハイサイド回路部と、
GND電位に電氣的に接続され、かつ前記ハイサイド回路部を取り囲んで配置され、前記ローサイド回路部の外周部と共に高耐圧接合終端領域を形成する第1導電型領域と、
前記第1導電型領域に配置された第1ピックアップ電極と、
前記高耐圧接合終端領域の内側であって前記ハイサイド回路部の外周部に配置され、前記中間電位を基準とする低電圧電源の高電位側に接続された第2ピックアップ電極と、
前記第1ピックアップ電極にオーミック接触する第1導電型の第1高濃度コンタクト領域と、
前記第2ピックアップ電極にオーミック接触する第2導電型の第2高濃度コンタクト領域と、
を備え、
前記第1高濃度コンタクト領域および前記第2高濃度コンタクト領域の少なくとも一方の領域が、前記半導体基板の表面に沿ってp領域とn領域とが互いに接して交互に配置された構成のユニバーサルコンタクト領域であることを特徴とする高耐圧集積回路装置。

[請求項2]

第1導電型の半導体基板と、
前記半導体基板上に配置されたローサイド回路部を備えた第2導電型の第1半導体領域と、
前記半導体基板上に前記第1半導体領域と離れて配置されたハイサイド回路部を備えた第2導電型の第2半導体領域と、

前記第1半導体領域の表面層に配置された第1導電型のソース領域および第1導電型のドレイン領域を有する第1MOSFETと、前記第1半導体領域の表面層に前記第1MOSFETと離れて配置された第1導電型の第3半導体領域と、前記第3半導体領域の表面層に配置された第2導電型のソース領域および第2導電型のドレイン領域を有する第2MOSFETと、からなる第1C-MOS回路と、

前記第2半導体領域の表面層に配置された第1導電型のソース領域および第1導電型のドレイン領域を有する第3MOSFETと、前記第2半導体領域の表面層に前記第3MOSFETと離れて配置された第1導電型の第4半導体領域と、前記第4半導体領域の表面層に配置された第2導電型のソース領域および第2導電型のドレイン領域を有する第4MOSFETと、からなる第2C-MOS回路と、

前記半導体基板の表面層に配置され前記第2半導体領域を囲み、前記半導体基板より高不純物濃度の第1導電型の第5半導体領域と、

前記第5半導体領域の表面層に配置された、前記第5半導体領域より高不純物濃度の第1導電型の第1コンタクト領域と、

前記第5半導体領域と前記第2半導体領域の外周部とにより構成される高耐圧接合終端領域と、

前記第2半導体領域の表面層であって前記高耐圧接合終端領域の内側に配置された、前記第2半導体領域より高不純物濃度の第2導電型の第2コンタクト領域と、

前記第1半導体領域の表面層に配置され、前記第1MOSFETのソース領域と接する第2導電型の第3コンタクト領域と、

前記第3半導体領域の表面層に配置され、前記第2MOSFETのソース領域と接する第1導電型の第4コンタクト領域と、

前記第2半導体領域の表面層に配置され、前記第3MOSFETのソース領域と接する第2導電型の第5コンタクト領域と、

前記第4半導体領域の表面層に配置され、前記第4MOSFETの

ソース領域と接する第1導電型の第6コンタクト領域と、

前記第1コンタクト領域上に配置され当該第1コンタクト領域とオーミック接触する第1ピックアップ電極と、

前記第2コンタクト領域上に配置され当該第2コンタクト領域とオーミック接触する第2ピックアップ電極と、

前記第1MOSFETのソース領域および第3コンタクト領域に接する第1ソース電極と、

前記第1MOSFETのドレイン領域に接する第1ドレイン電極と

、

前記第2MOSFETのソース領域および第4コンタクト領域に接する第2ソース電極と、

前記第2MOSFETのドレイン領域に接する第2ドレイン電極と

、

前記第3MOSFETのソース領域および第5コンタクト領域に接する第3ソース電極と、

前記第3MOSFETのドレイン領域に接する第3ドレイン電極と

、

前記第4MOSFETのソース領域および第6コンタクト領域に接する第4ソース電極と、

前記第4MOSFETのドレイン領域に接する第4ドレイン電極と

、

前記第2ソース電極および前記第1ピックアップ電極が接続されたGND端子と、

前記第3ソース電極および前記第2ピックアップ電極が接続された高電位側端子と、

を備え、

前記第1コンタクト領域および前記第2コンタクト領域の少なくとも一方の領域が、前記半導体基板の表面に沿ってp領域とn領域とが

互いに接して交互に配置された構成のユニバーサルコンタクト領域であることを特徴とする高耐圧集積回路装置。

[請求項3] 前記ユニバーサルコンタクト領域を構成する前記 p 領域および前記 n 領域のうちの一方向の領域が他方の領域に囲まれていることを特徴とする請求項 1 または 2 に記載の高耐圧集積回路装置。

[請求項4] 前記ユニバーサルコンタクト領域を構成する前記 p 領域および前記 n 領域の平面形状が共に帯状であることを特徴とする請求項 1 または 2 に記載の高耐圧集積回路装置。

[請求項5] 前記ユニバーサルコンタクト領域を構成する前記 p 領域および前記 n 領域のうち、前記第 1 導電型領域の導電型と異なる導電型の領域の深さは、前記第 1 導電型領域の深さ以上の深さであることを特徴とする請求項 1 に記載の高耐圧集積回路装置。

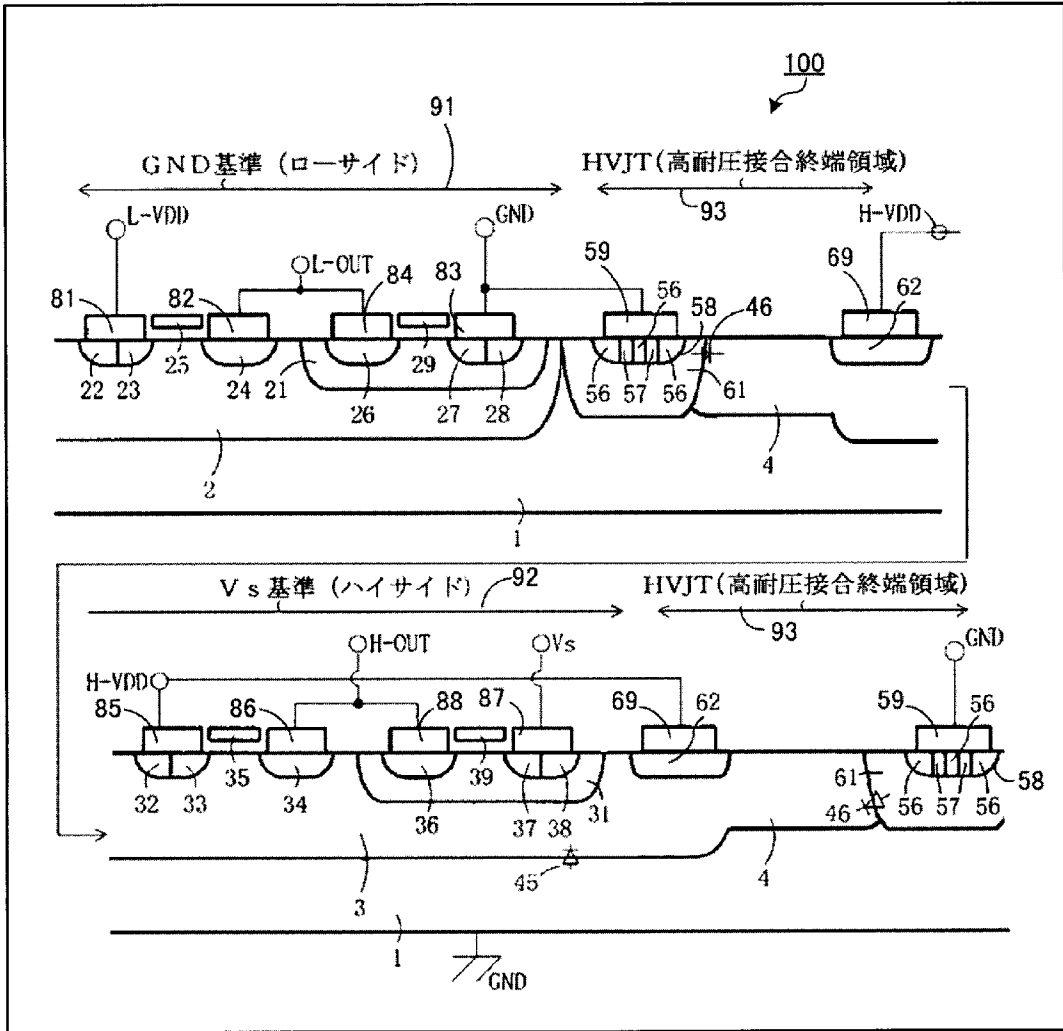
[請求項6] 前記ユニバーサルコンタクト領域を構成する前記 p 領域および前記 n 領域のうち、前記第 5 半導体領域の導電型と異なる導電型の領域の深さは、前記第 5 半導体領域の深さ以上の深さであることを特徴とする請求項 2 に記載の高耐圧集積回路装置。

[請求項7] 前記ハイサイド回路部は、ハーフブリッジ回路を構成する上アームのスイッチング素子および下アームのスイッチング素子の接続点を基準電位とする電源に接続された、前記上アームのスイッチング素子を駆動するための回路部であり、

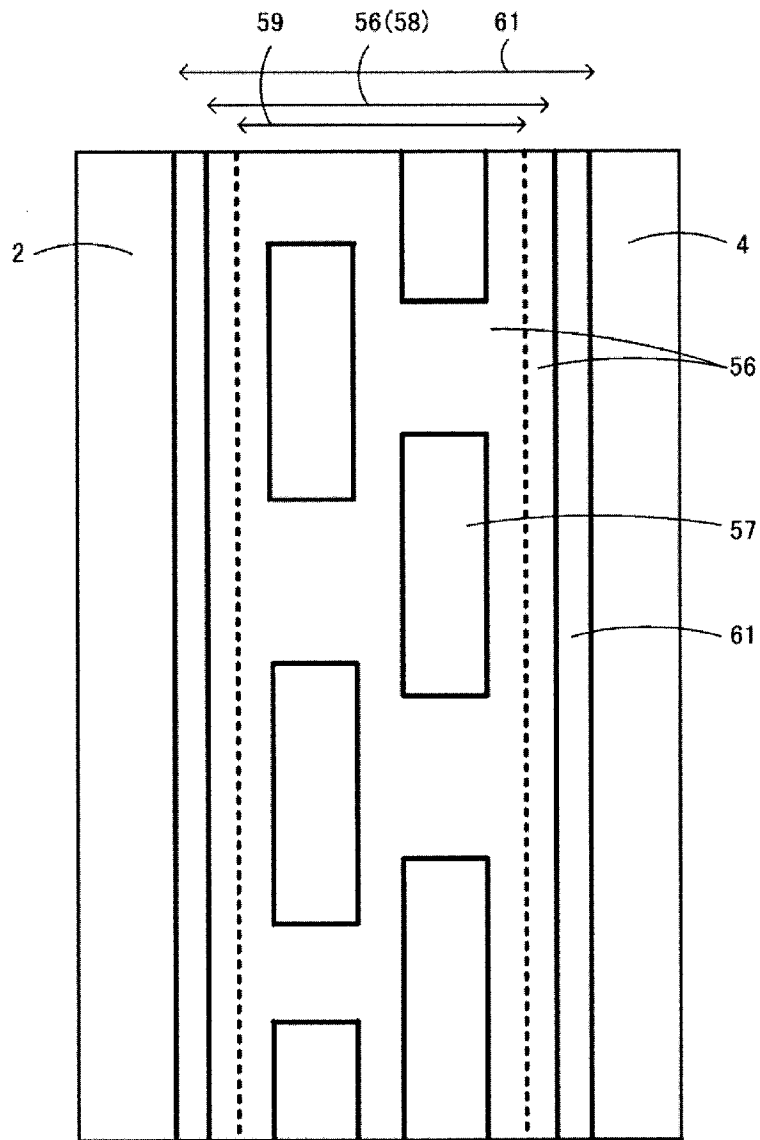
前記高電位側端子は、前記電源の高電位側に接続され、

前記 GND 端子は、GND 電位に接続されていることを特徴とする請求項 2 に記載の高耐圧集積回路装置。

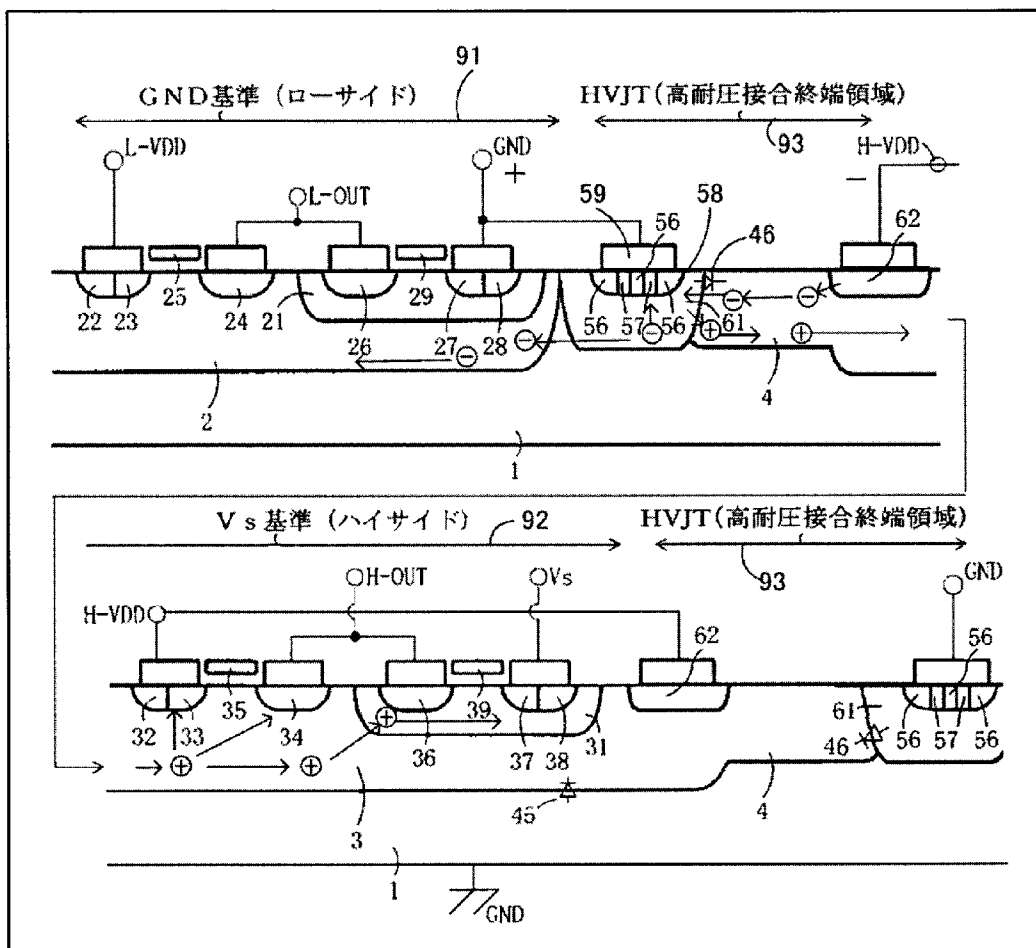
[図1]



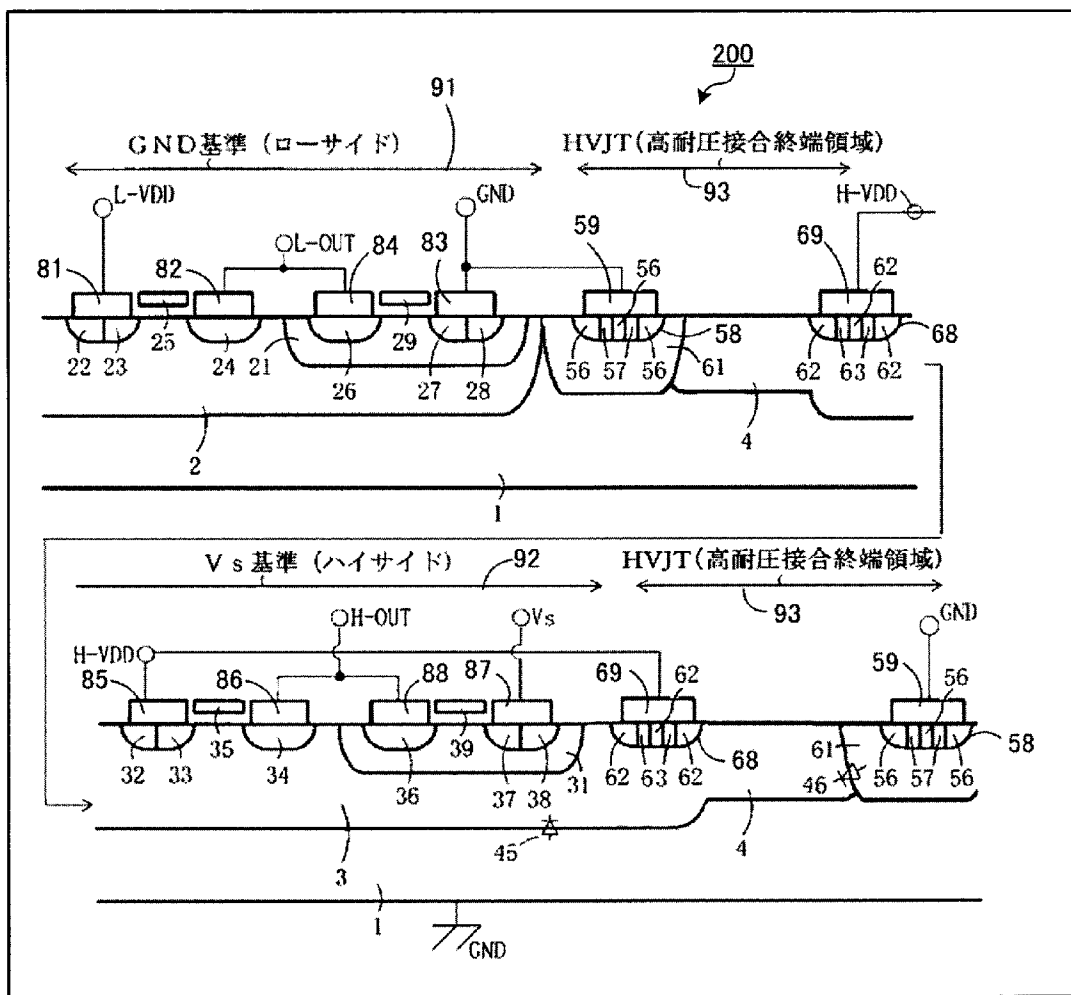
[図2]



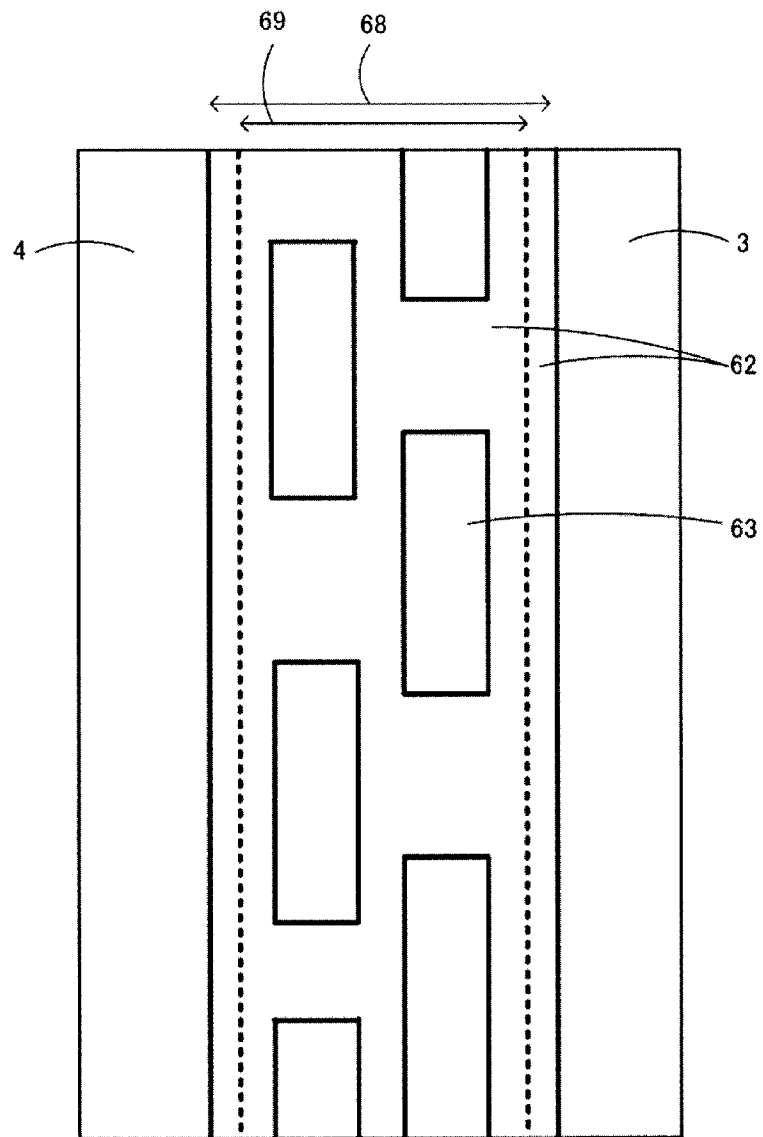
[図3]



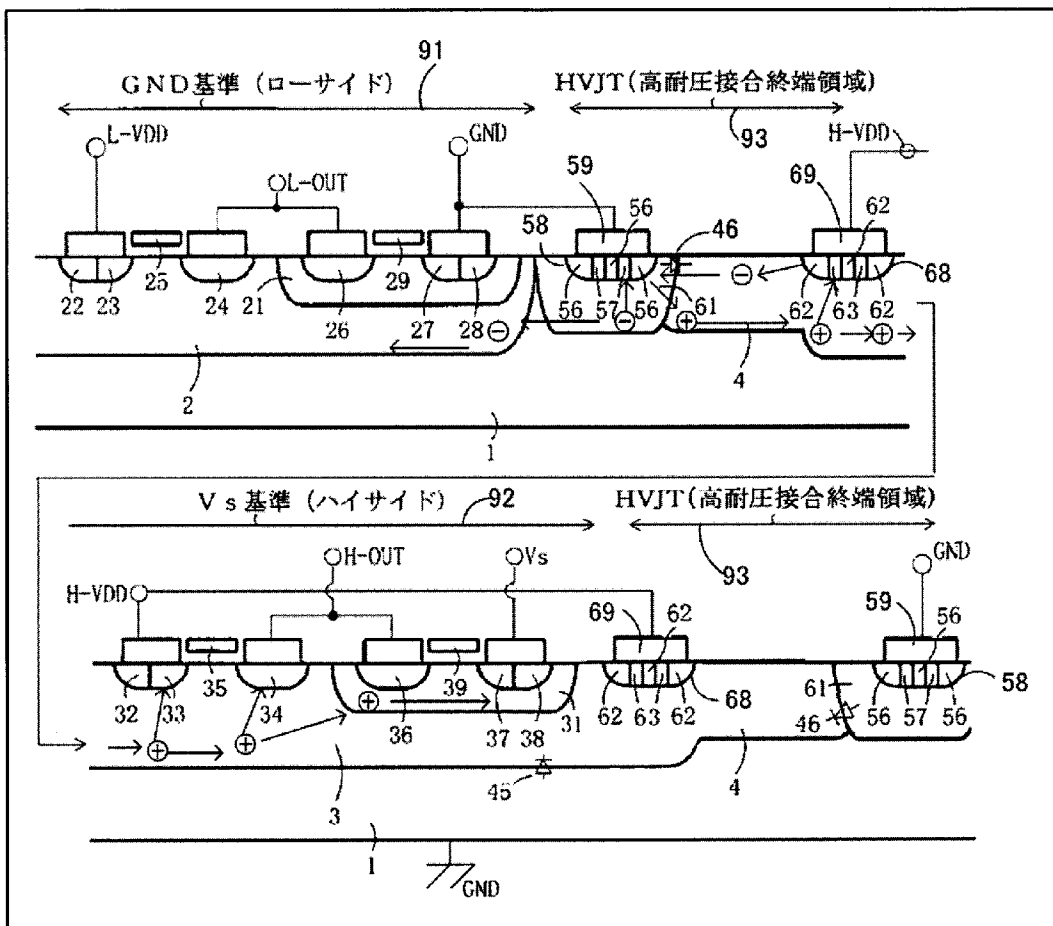
[図4]



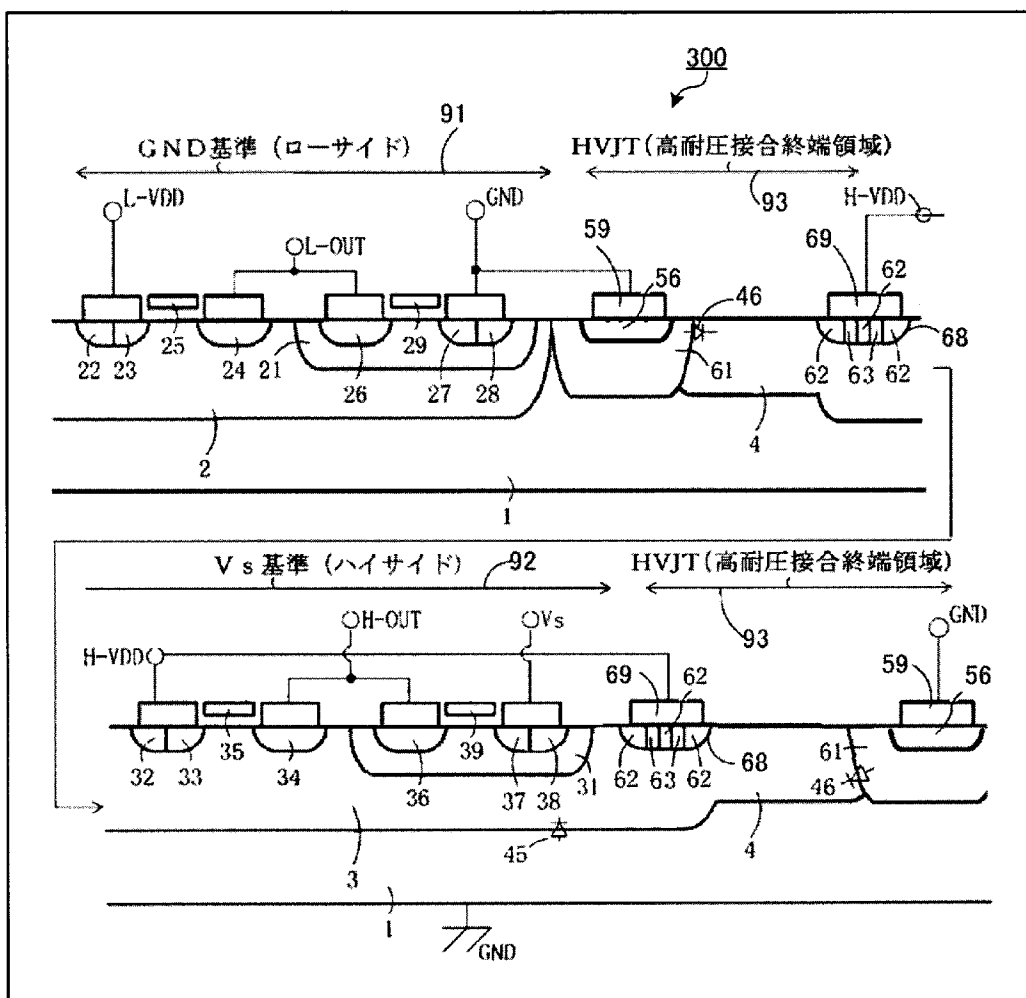
[図5]



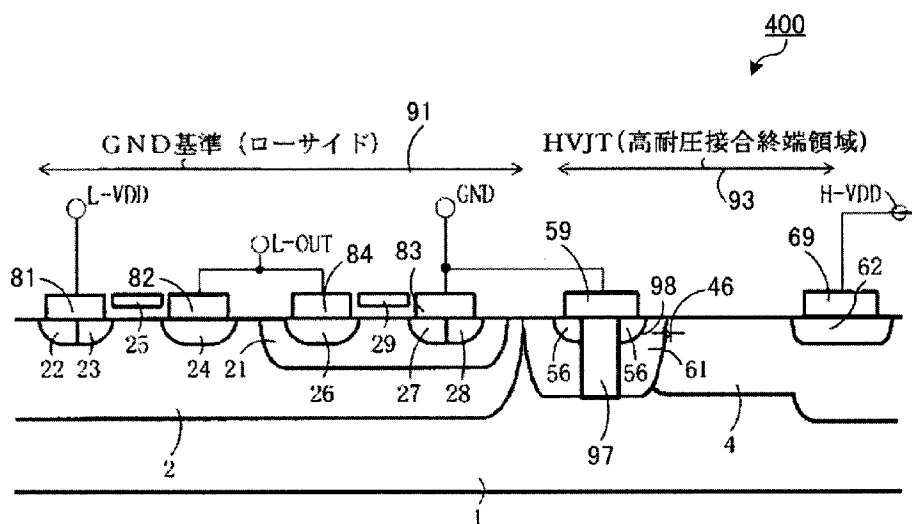
[図6]



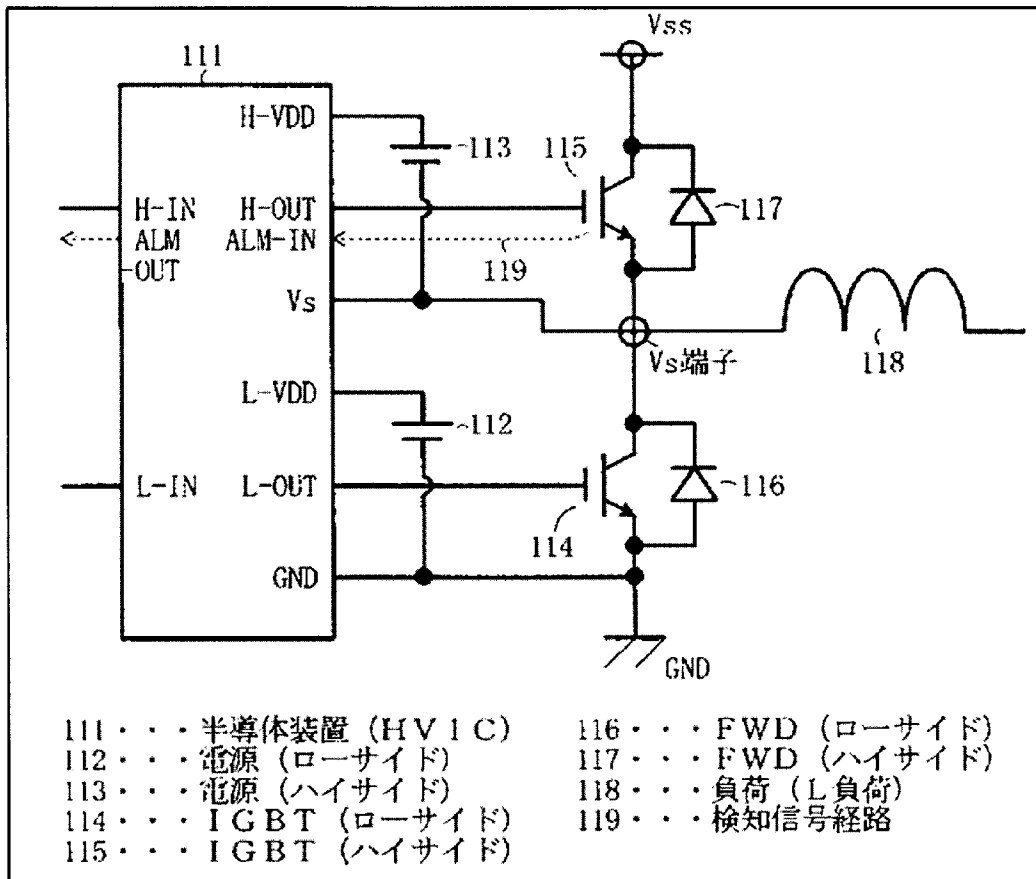
[図7]



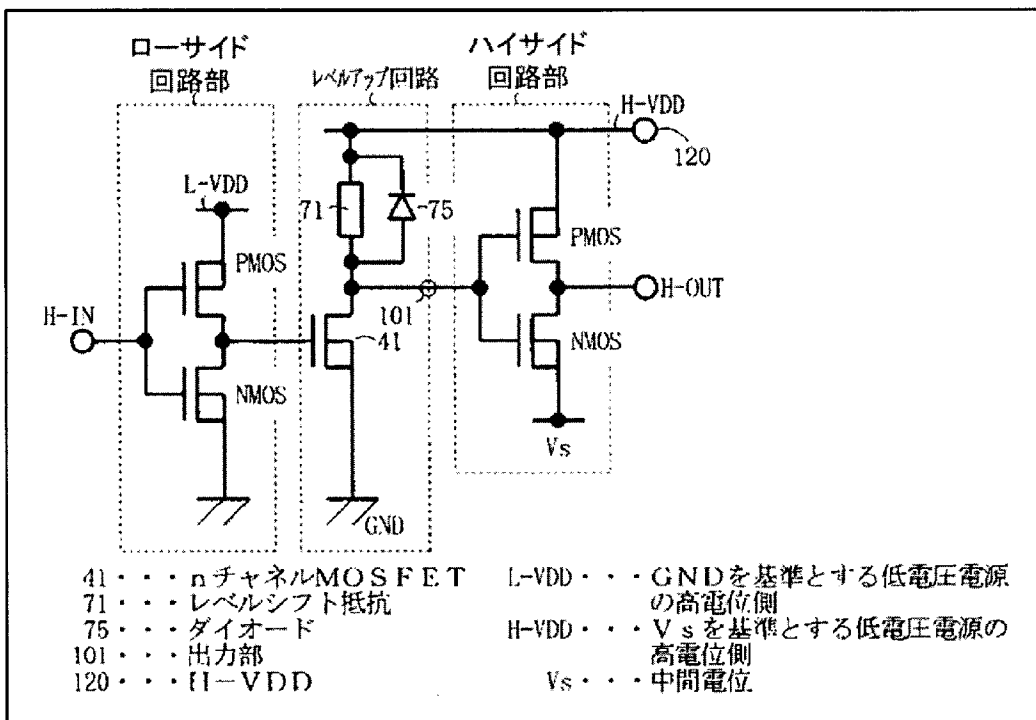
[図8]



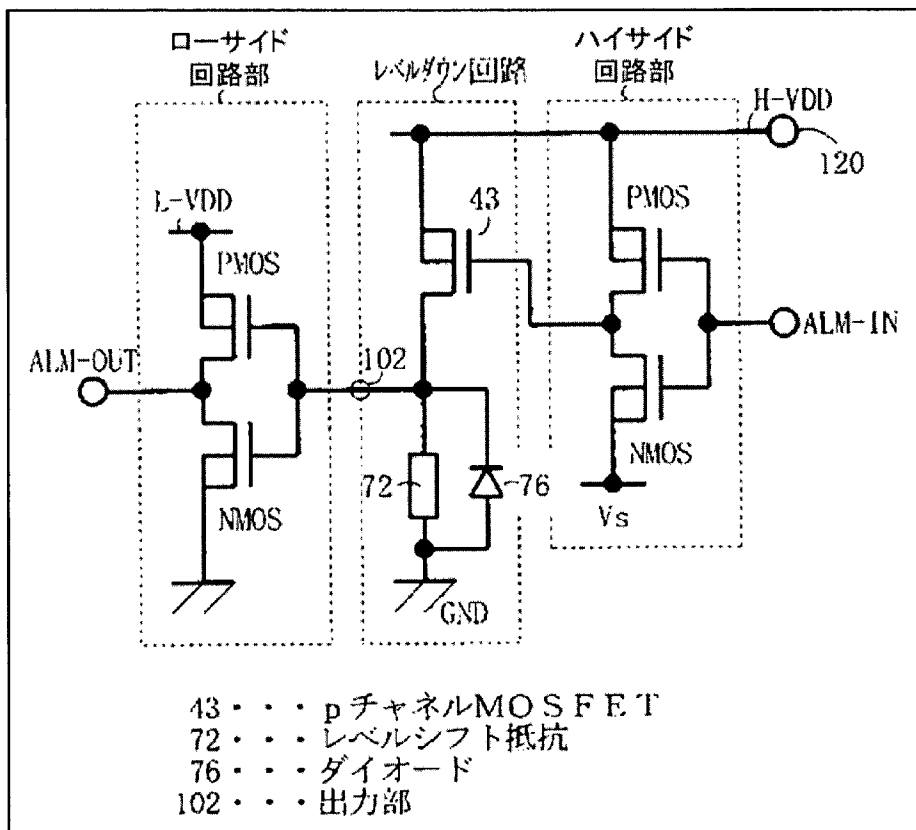
[図9]



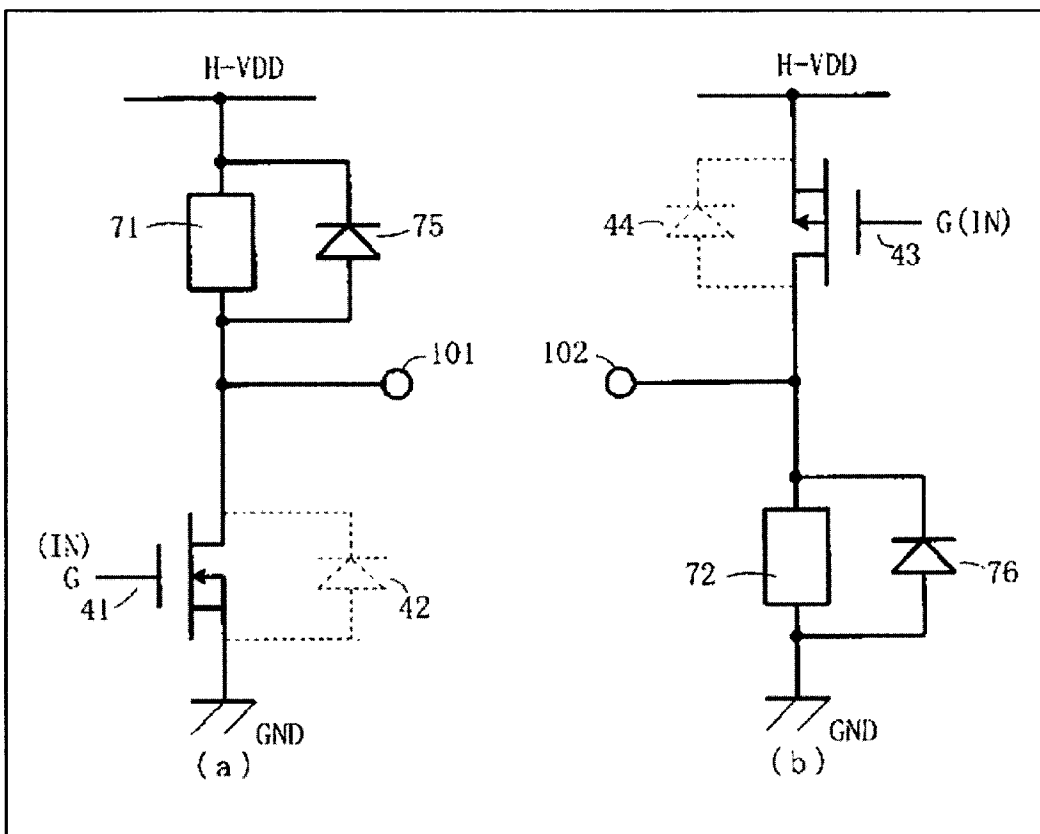
[図10]



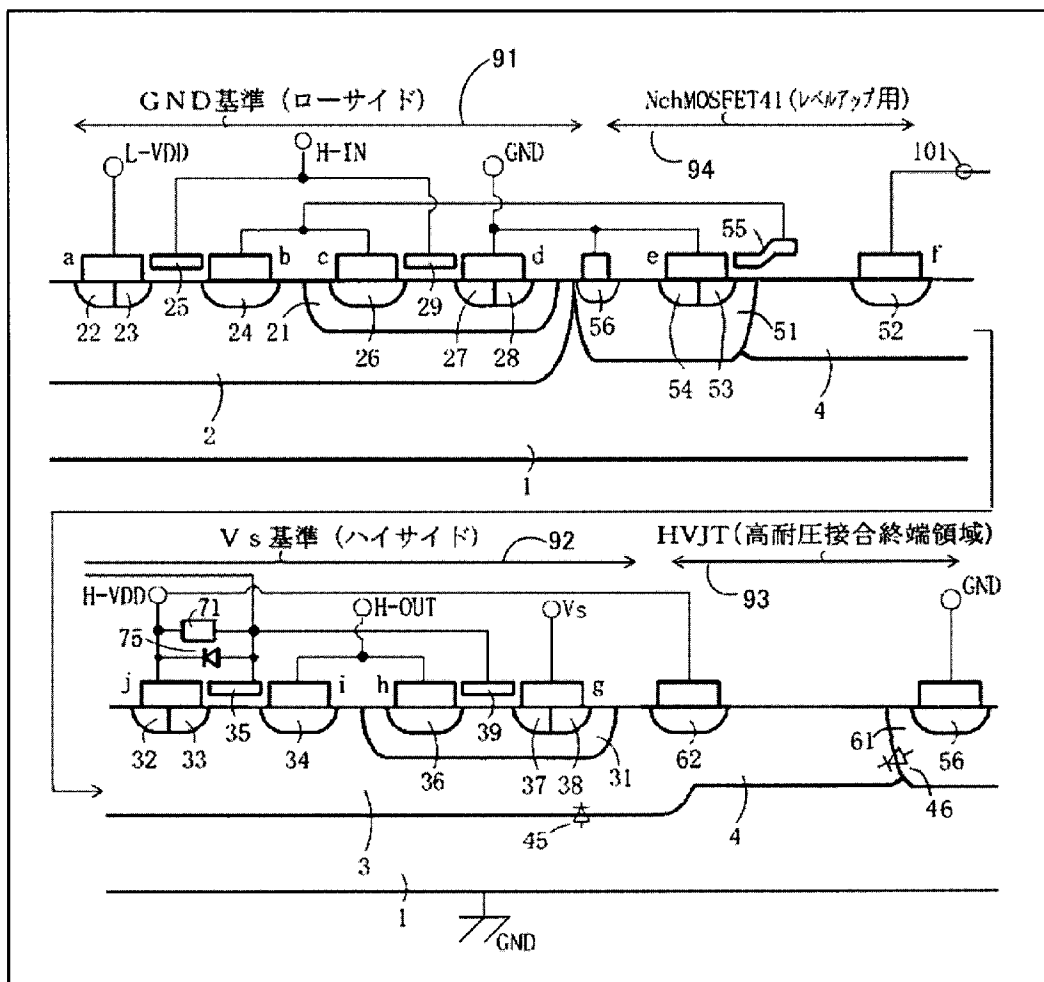
[図11]



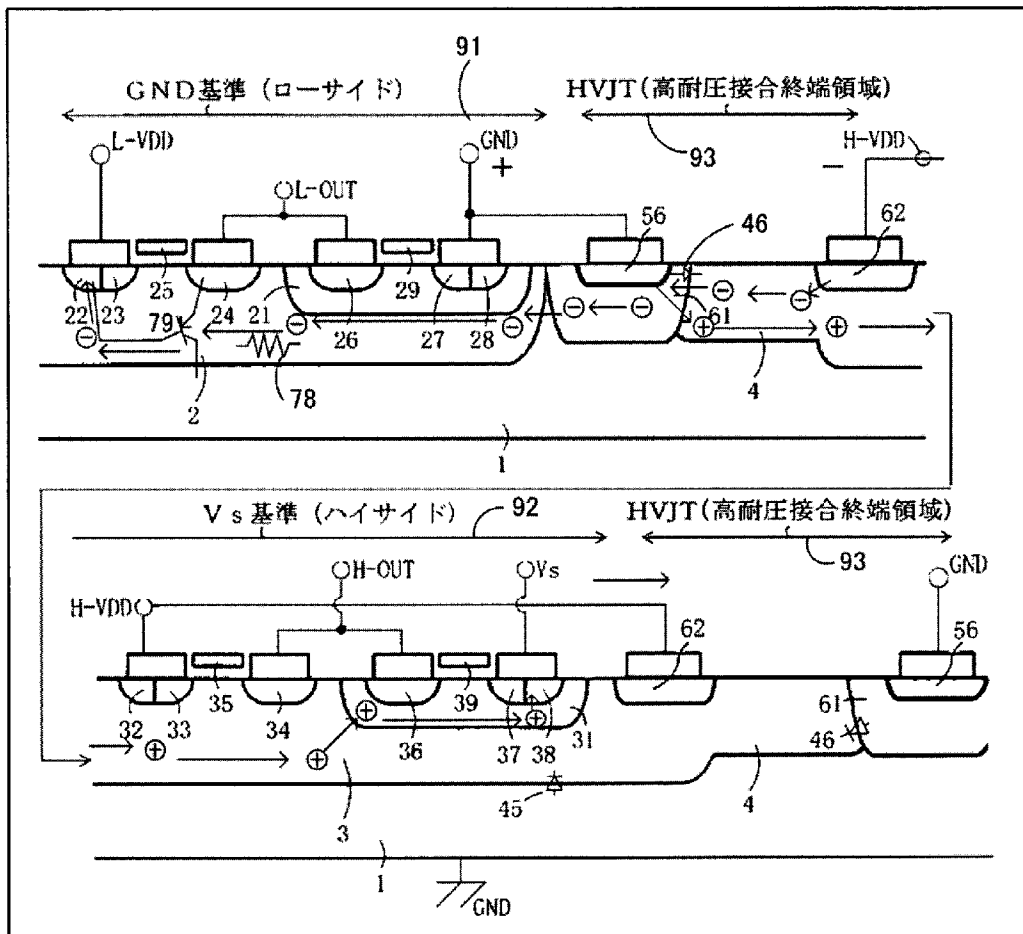
[図12]



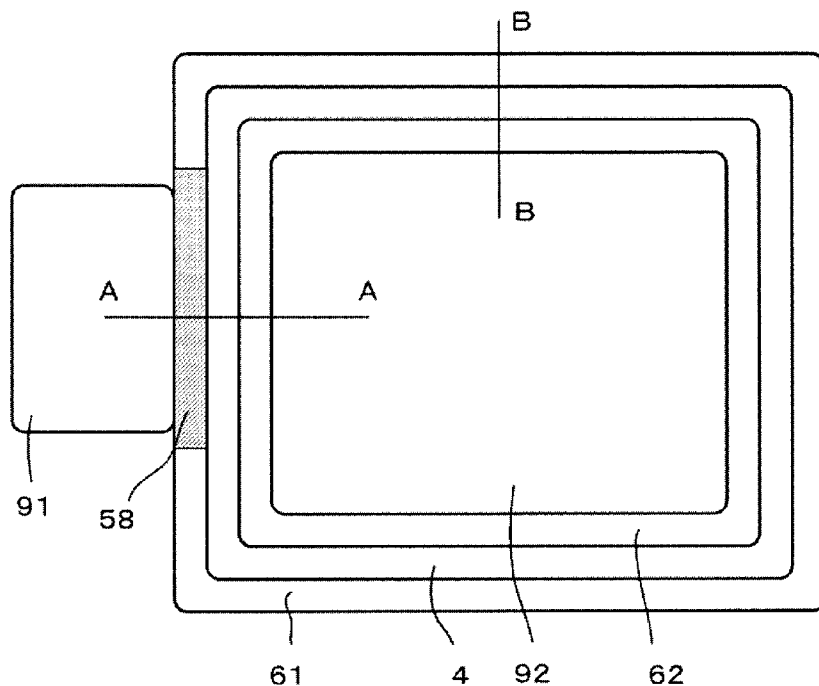
[図13]



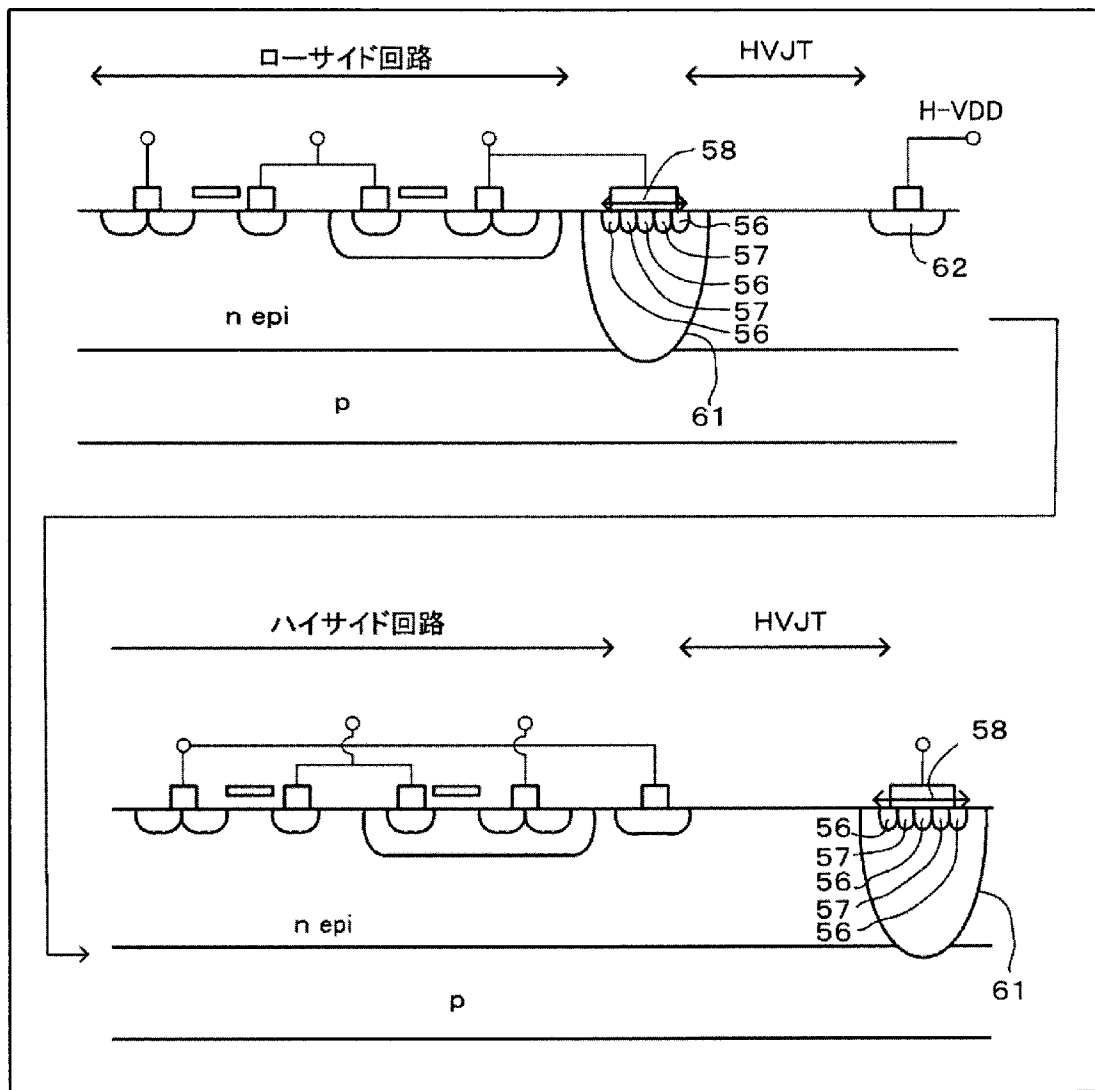
[図14]



[図15]



[図16]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/056373

A. CLASSIFICATION OF SUBJECT MATTER

H01L27/08(2006.01)i, H01L21/822(2006.01)i, H01L21/8234(2006.01)i,
H01L27/04(2006.01)i, H01L27/088(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L27/08, H01L21/822, H01L21/8234, H01L27/04, H01L27/088

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2012
Kokai Jitsuyo Shinan Koho	1971-2012	Toroku Jitsuyo Shinan Koho	1994-2012

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2005-175454 A (Matsushita Electric Industrial Co., Ltd.), 30 June 2005 (30.06.2005), entire text; all drawings & US 2005/0134533 A1 entire text; all drawings	1-7
A	JP 2008-301160 A (Fuji Electric Device Technology Co., Ltd.), 11 December 2008 (11.12.2008), entire text; all drawings & US 2009/0085117 A1 entire text; all drawings & CN 101350618 A	1-7

Further documents are listed in the continuation of Box C.

See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
05 June, 2012 (05.06.12)

Date of mailing of the international search report
12 June, 2012 (12.06.12)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/056373

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2005-252235 A (Matsushita Electric Industrial Co., Ltd.), 15 September 2005 (15.09.2005), entire text; all drawings & US 2005/0189603 A1 entire text; all drawings & EP 1562166 A2 & KR 10-2006-0041675 A & CN 1652179 A	1-7
A	JP 11-214532 A (Matsushita Electric Works, Ltd.), 06 August 1999 (06.08.1999), entire text; all drawings (Family: none)	1-7
A	JP 2006-140302 A (Matsushita Electric Industrial Co., Ltd.), 01 June 2006 (01.06.2006), entire text; all drawings & US 2006/0102981 A1 entire text; all drawings & CN 1773706 A	1-7

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. H01L27/08(2006.01)i, H01L21/822(2006.01)i, H01L21/8234(2006.01)i, H01L27/04(2006.01)i, H01L27/088(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. H01L27/08, H01L21/822, H01L21/8234, H01L27/04, H01L27/088

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国实用新案公報	1922-1996年
日本国公開实用新案公報	1971-2012年
日本国实用新案登録公報	1996-2012年
日本国登録实用新案公報	1994-2012年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2005-175454 A (松下電器産業株式会社) 2005.06.30, 全文, 全図 & US 2005/0134533 A1, 全文, 全図	1-7
A	JP 2008-301160 A (富士電機デバイステクノロジー株式会社) 2008.12.11, 全文, 全図 & US 2009/0085117 A1, 全文, 全図 & CN 101350618 A	1-7

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」口頭による開示、使用、展示等に言及する文献
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献
 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」同一パテントファミリー文献

国際調査を完了した日

05.06.2012

国際調査報告の発送日

12.06.2012

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)
 郵便番号100-8915
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

宇多川 勉

50 3125

電話番号 03-3581-1101 内線 3559

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2005-252235 A (松下電器産業株式会社) 2005.09.15, 全文, 全 図 & US 2005/0189603 A1, 全文, 全図 & EP 1562166 A2 & KR 10-2006-0041675 A & CN 1652179 A	1-7
A	JP 11-214532 A (松下電工株式会社) 1999.08.06, 全文, 全図 (フ ァミリーなし)	1-7
A	JP 2006-140302 A (松下電器産業株式会社) 2006.06.01, 全文, 全 図 & US 2006/0102981 A1, 全文, 全図 & CN 1773706 A	1-7