



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2018-0095609
(43) 공개일자 2018년08월27일

(51) 국제특허분류(Int. Cl.)
H01L 21/02 (2006.01) H01L 21/66 (2006.01)
H01L 21/67 (2006.01) H01L 23/00 (2006.01)
H01L 23/31 (2006.01) H01L 29/20 (2006.01)
H01L 29/30 (2006.01)
(52) CPC특허분류
H01L 21/02035 (2013.01)
H01L 21/02164 (2013.01)
(21) 출원번호 10-2018-7020189
(22) 출원일자(국제) 2018년12월16일
심사청구일자 없음
(85) 번역문제출일자 2018년07월13일
(86) 국제출원번호 PCT/US2016/067379
(87) 국제공개번호 WO 2017/106788
국제공개일자 2017년06월22일
(30) 우선권주장
62/268,262 2015년12월16일 미국(US)
15/379,759 2016년12월15일 미국(US)

(71) 출원인
오스텐도 테크놀로지스 인코포레이티드
미국 캘리포니아 92011 칼스배드 스위트 200 파
세오 델 노르트 6185
(72) 발명자
바티니카 그레고리
미국 캘리포니아 92011 칼스배드 스위트 200 파세
오 델 노르트 6185
야다발리 카메슈와르
미국 캘리포니아 92011 칼스배드 스위트 200 파세
오 델 노르트 6185
(74) 대리인
(뒷면에 계속)
특허법인신성

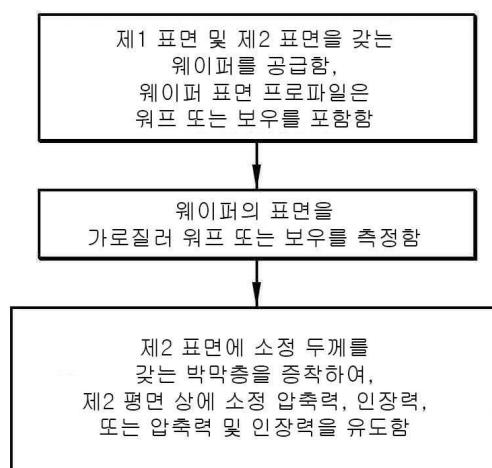
전체 청구항 수 : 총 22 항

(54) 발명의 명칭 웨이퍼 평탄도의 개선 방법 및 이 방법으로부터 만들어지는 본딩된 웨이퍼 어셈블리

(57) 요약

반도체 웨이퍼의 평탄도를 향상시키는 방법 및 이 방법으로부터 만들어진 어셈블리. 본 방법의 바람직한 실시예에서, 사전에 결정된 두께 또는 패턴을 갖는 SiO₂와 같은 압축 PECVD 산화물층이 바람직하지 않은 워프 또는 보우를 갖는 반도체 웨이퍼의 제2 표면 상에 증착된다. 증착된 산화물층의 두께 또는 패턴은 반도체 웨이퍼의 측정된 워프 또는 보우에 의해 결정된다. 압축 산화물층은 반도체 웨이퍼의 제2 표면 상에 상쇄 압축력(offsetting compressive force)을 제공하여 반도체 웨이퍼의 주표면에 걸쳐 워프 및 보우를 감소시킨다.

대표도 - 도1a



(52) CPC특허분류

H01L 21/0217 (2013.01)
H01L 21/67092 (2013.01)
H01L 22/20 (2013.01)
H01L 23/3171 (2013.01)
H01L 23/562 (2013.01)
H01L 24/94 (2013.01)
H01L 29/2003 (2013.01)
H01L 29/30 (2013.01)

(72) 발명자

팬 첸

미국 캘리포니아 92011 칼스배드 스위트 200 파세
오 델 노르트 6185

하스켈 벤자민 에이.

미국 캘리포니아 92011 칼스배드 스위트 200 파세
오 델 노르트 6185

엘-고루리 허쎄인 에스.

미국 캘리포니아 92011 칼스배드 스위트 200 파세
오 델 노르트 6185

명세서

청구범위

청구항 1

제1 표면 및 제2 표면을 갖는 반도체 웨이퍼를 제공하는 단계, 여기에서 반도체 웨이퍼 표면 프로파일은 워프(warp) 또는 보우(bow)를 포함하며;

반도체 웨이퍼의 표면을 가로질러 상기 워프 또는 보우를 측정하는 단계; 및

상기 제2 표면 상에 사전에 결정된 두께를 갖는 산화물층을 증착시켜, 상기 제2 표면 상에 사전에 결정된 압축력, 인장력, 또는 압축력 및 인장력의 조합을 유도함으로써, 상기 산화물층이 증착되기 전 상기 반도체 웨이퍼 표면 프로파일의 워프 또는 보우와 비교하여, 반도체 웨이퍼 표면 프로파일의 워프 또는 보우를 감소시키는 단계를 포함하는

반도체 웨이퍼에서 워프 또는 보우를 감소시키는 방법.

청구항 2

제1항에 있어서,

상기 산화물층 두께는 상기 반도체 웨이퍼 표면 프로파일에서 측정된 워프 또는 보우에 기초하여 사전에 결정되는

방법.

청구항 3

제1항에 있어서,

상기 산화물층은 SiO_2 층인

방법.

청구항 4

제1항에 있어서,

상기 산화물층은 PECVD 공정에서 증착되는

방법.

청구항 5

제1항에 있어서,

상기 산화물층은 $5\ \mu\text{m}$ 내지 $8\ \mu\text{m}$ 의 워프 또는 보우 당 $1\ \mu\text{m}$ 의 두께를 갖는

방법.

청구항 6

제1항에 있어서,
상기 반도체 웨이퍼는 사파이어 웨이퍼, 기판 또는 템플릿 상의 GaN인 방법.

청구항 7

제1 표면 및 제2 표면을 갖는 반도체 웨이퍼를 제공하는 단계, 여기에서 반도체 웨이퍼 표면 프로파일은 워프 또는 보우를 포함하며;

상기 반도체 웨이퍼의 표면을 가로질러 상기 워프 또는 보우를 측정하는 단계; 및

상기 제2 표면 상에 사전에 결정된 두께를 갖는 적어도 하나의 변형-변경 층(strain-modifying layer)을 증착하여, 상기 제2 표면 상에 사전에 결정된 압축력, 인장력, 또는 압축력 및 인장력을 유도함으로써, 상기 적어도 하나의 변형-변경 층이 증착되기 전 상기 반도체 웨이퍼의 표면의 워프 또는 보우와 비교하여, 상기 적어도 하나의 변형-변경 층이 상기 반도체 웨이퍼의 표면의 워프 또는 보우를 감소시키는 단계를 포함하는

반도체 웨이퍼에서 워프 또는 보우를 감소시키는 방법.

청구항 8

제7항에 있어서,

상기 산화물층 두께는 측정된 워프 또는 보우에 적어도 부분적으로 기초하여 결정되는 방법.

청구항 9

제7항에 있어서,

상기 적어도 하나의 변형-변경 층은 실리콘 질화물 층인 방법.

청구항 10

제7항에 있어서,

상기 적어도 하나의 변형-변경 층은 금속 산화물 재료인 방법.

청구항 11

제7항에 있어서,

상기 적어도 하나의 변형-변경 층 III족-질화물인 방법.

청구항 12

제7항에 있어서,

상기 적어도 하나의 변형-변경 층은 PECVD 공정에서 증착되는 방법.

청구항 13

제7항에 있어서,

상기 적어도 하나의 변형-변경 층은 물리 기상 증착 공정에서 증착되는 방법.

청구항 14

제7항에 있어서,

상기 적어도 하나의 변형-변경 층은 각각 약 5 μm 내지 8 μm 의 워프 또는 보우 당 1 μm 의 두께를 갖는 방법.

청구항 15

제7항에 있어서,

상기 적어도 하나의 변형-변경 층은 패터닝되는 방법.

청구항 16

제7항에 있어서,

상기 반도체 웨이퍼를, 제7항의 방법으로 처리된 일 이상의 다른 반도체 웨이퍼에 융합 본딩(fusion bonding)시키는 단계를 더 포함하는 방법.

청구항 17

제1 표면 및 제2 표면을 갖는 반도체 웨이퍼; 및

상기 제2 표면 상의 적어도 하나의 변형-변경 층을 포함하며,

상기 적어도 하나의 변형-변경 층은 상기 제2 표면 상에 압축력, 인장력, 또는 압축력 및 인장력을 유도하여, 상기 적어도 하나의 변형-변경 층이 적용되기 전 상기 반도체 웨이퍼의 워프 또는 보우 아래로, 상기 반도체 웨이퍼의 워프 또는 보우를 감소시키는

반도체 웨이퍼.

청구항 18

제17항에 있어서,

상기 적어도 하나의 변형-변경 층은 제1 변형-변경 층 및 제2 변형-변경 층을 포함하는

반도체 웨이퍼.

청구항 19

제18항에 있어서,

상기 제1 변형-변경 층은 상기 반도체 웨이퍼 상에서 제1 방향으로 연장하는 복수의 연장된 층 세그먼트(elongated layer segments)를 형성하도록 패터닝되고, 상기 제2 변형-변경 층은 상기 반도체 웨이퍼 상에서 제2 방향으로 연장하는 복수의 연장된 층 세그먼트를 형성하도록 패터닝되는

반도체 웨이퍼.

청구항 20

제19항에 있어서,

하나의 변형-변경 층은 상기 제2 표면 상에 압축력을 가하고, 상기 제2 변형-변경 층은 상기 제2 표면 상에 인장력을 가하는

반도체 웨이퍼.

청구항 21

제17항에 있어서,

상기 적어도 하나의 변형-변경 층은 SiO_2 , 실리콘 질화물, 금속 산화물 재료 또는 III족-질화물로 이루어진 군으로부터 선택되는

반도체 웨이퍼.

청구항 22

제17항에 있어서,

상기 반도체 웨이퍼는 사파이어 웨이퍼, 기판 또는 템플릿 상의 GaN이며, 상기 변형-변경 층은 SiO_2 층인

반도체 웨이퍼.

발명의 설명

기술 분야

[0001] 관련 출원의 상호참조

[0002] 본 출원은 2015년 12월 16일에 출원된 미국 가출원 제62/268,262호의 이익을 청구한다.

[0003] 발명의 기술분야

[0004] 본 발명은 일반적으로 반도체 제조 방법에 관한 것이다. 더욱 상세하게, 본 발명은 1) 반도체 웨이퍼 및 다이 수율을 증가시키기 위하여, 산화물 증착 기술을 이용하여 휘거나(warped) 또는 굽은(bowed) 반도체 웨이퍼의 편평도(flatness) 즉, 평탄도(planarity)를 향상시키는 방법 및 2) 이 방법으로부터 제조되는 본딩된 반도체 웨이퍼 어셈블리에 관한 것이다.

배경 기술

[0005] 산업 표준 반도체 웨이퍼, 특히, GaN-온-사파이어(GaN-on-sapphire) 반도체 웨이퍼, 기판 또는 템플릿은 포토닉

응용분야에서 일반적이지만, 표면 비평탄도를 갖는 경우가 종종 있다. 반도체 웨이퍼의 바람직하지 않은 비평탄도는 워프(warp) 및/또는 보우(bowing)로 특징지워질 수 있다. 반도체 웨이퍼에 대한 전형적인 워프 및/또는 보우(bow) 측정은 측정 방법 및 에지 익스클루전 영역(edge exclusion region) 정의에 의해 영향을 받는다. 에지 익스클루전 영역이 작을수록, 측정된 워프 및/또는 보우가 높다. 반도체 웨이퍼 워프 및/또는 보우는 또한 반도체 웨이퍼의 직경에 의해 영향을 받으며, 하부 기판 표준 반도체 웨이퍼 상에 성장된 에피택셜층의 두께에 의해 영향을 받는다. 반도체 웨이퍼 워프는 4-in 기판의 표면에 걸쳐 100 μm 이상의 크기일 수 있으며, 그러한 비평탄도는 많은 반도체 공정에서의 장애물이다.

[0006] 바람직하지 않은 평탄하지 않은 반도체 웨이퍼 프로파일은 일반적으로 불룩하며, 이후의 제조 단계에서의 공정 수율을 향상시키기 위하여 그러한 비평탄도를 최소화 또는 제거하는 것이 중요하다. 표준 적용에서, 기판의 워프는 바람직하게 4-in 반도체 웨이퍼에 걸쳐 적어도 80 μm 미만으로 감소되며, 워프/보우의 더 큰 감소는 후속 공정 단계에서 반도체 웨이퍼 본딩 특성을 더욱 향상시킨다.

[0007] 4-in. 포토닉 반도체 웨이퍼의 워프는, 예를 들어, 기계적 핸들링(예를 들어, 진공 암(vacuum arm) 또는 척(chuck)) 측면에서, Canon 스테퍼(stepper)와 같은 전형적인 전형적 포토리소그래피 스테퍼에 의해 수용되기 위해서는 80 μm 미만이어야 하며, 이는 차례로 국부적인 평면 포커스(local planar focus)를 향상시킨다. 일반적으로, 반도체 웨이퍼 보우는 반도체 웨이퍼의 진공 암 픽업(예를 들어 카세트로부터)에 부정적인 영향을 미치며, 과도한 반도체 웨이퍼 워프는 반도체 웨이퍼를 척에 흡착시키는데 부정적인 영향을 미친다. 반도체 웨이퍼의 후속 공정의 개선을 위하여, 임의의 잔류 보우가 오목한 것보다는 제1 반도체 웨이퍼 상에 불룩하게 유지되는 것이 바람직하다.

[0008] 전문한 반도체 웨이퍼의 비평탄도를 감소시키고 반도체 웨이퍼 형태 프로파일을 향상시키는 저비용 공정이 후속 반도체 웨이퍼 처리 단계에서 수율을 향상시키기 위하여 요구된다.

발명의 내용

[0009] 현존하는 반도체 제조 단계에서, 미처리 반도체 웨이퍼의 워프 및/또는 보우가 반도체 포토리소그래피 스테퍼 및 반도체 웨이퍼 본딩 장치에 의한 처리 전에 가능한 한 낮은 것이 일반적으로 바람직하다.

[0010] 본 발명의 바람직한 방법은, 반도체 웨이퍼의 표면에 걸쳐 상쇄 압축력 또는 인장력(offsetting compressive or tensile force)을 제공하여 반도체 웨이퍼의 바람직하지 않은 워프 및 보우를 감소시키기 위하여, 사전에 결정된 두께, 패턴 및 조성의 압축성 유전체 재료(compressive dielectric material) 박막층(실리콘 산화물(SiO_2)과 같은 PECVD 산화물을 포함하나 이에 제한되는 것은 아님) 또는 그러한 재료의 인장 층(tensile layer)의 설계된 패터닝 및 증착 단계를 포함한다. 상기 상쇄 유전체층(offsetting dielectric layer)의 평탄화 효과는 본 명세서에서 본 출원인에 의해 측정되었으며, 평탄하지 않은 포토닉 반도체 웨이퍼의 워프 및/또는 보우 특성을 물질적으로 개선하여, 후속 포토리소그래피 및 반도체 웨이퍼 본딩 단계 중의 수율을 향상시키는 것으로 나타났다.

도면의 간단한 설명

[0011] 도 1a는 본 발명의 방법의 바람직한 설정의 공정 플로우 차트이다.
 도 1b는 불룩한 워프 또는 보우를 갖는 반도체 웨이퍼의 단면이다.
 도 1c는 박막층을 제2 평면 상에 증착한 후, 반도체 웨이퍼의 단면이다.
 도 1d는 본 발명의 방법에 따라 처리되고, 융합 본딩되어(fusion bonded), 반도체 웨이퍼 어셈블리를 형성하는 한 쌍의 반도체 웨이퍼를 나타낸다.
 도 2a는 본 발명의 방법에 따라 처리되지 않은 워프 또는 보우를 갖는 반도체 웨이퍼의 웨이퍼 평탄도 맵이다.
 도 2b는 본 발명의 방법에 따라 처리된 후, 도 2a의 반도체 웨이퍼의 웨이퍼 평탄도 맵이다.
 도 3a는 본 발명의 방법에 따른 박막층으로 패터닝된 반도체 웨이퍼의 제2 표면이다.
 도 3b는 본 발명의 다른 방법에 따른 2개의 박막층으로 패터닝된 반도체 웨이퍼의 제2 표면이다.

발명을 실시하기 위한 구체적인 내용

[0012] 도 1a 내지 1d에 도시된 본 발명의 제1 측면에서, 제1 표면 및 제2 표면(10)을 갖는 반도체 웨이퍼(1)를 제공하

는 단계를 포함하는 반도체 웨이퍼의 워프 및/또는 보우를 감소시키는 방법이 개시되며, 반도체 웨이퍼(1)의 표면 프로파일은 도 1b에 나타내어진 바와 같이 워프 및/또는 보우를 포함한다. 보통, 반도체 웨이퍼의 제1 표면은, 회로 또는 다른 전자 또는 전기 장치가 형성되는 반도체 웨이퍼의 표면일 것이나, 이는 본 발명의 제한이 아니며, 일부 경우, 전자 또는 전기 장치는 반도체 웨이퍼의 제2 표면 또는 양쪽 표면에 형성될 수 있다. 워프 및/또는 보우는 반도체 웨이퍼(1)의 표면을 가로질러 측정되며, 보통 반도체 웨이퍼의 볼록한 표면을 가로지르지만 반드시 그런 것은 아니다. 사전에 결정된 두께, 패턴 또는 열팽창계수("CTE")를 갖는 박막층(15)이 제2 표면(10) 상에 증착되어, 반도체 웨이퍼(1)의 제2 표면(10) 상에, 및 반도체 웨이퍼(1)의 제2 표면(10)에 걸쳐 사전에 결정된 변형-변경(strain-modifying), 압축력, 또는 인장력, 또는 압축력 및 인장력을 유도한다. 도 1b 및 1c에 나타내어진 특정 실시예에서, 박막층(15)은 제2 표면(10) 상에 증착되어, 반도체 웨이퍼(1)의 제2 표면(10) 상에, 및 반도체 웨이퍼(1)의 제2 표면(10)에 걸쳐 사전에 결정된 변형-변경 인장력을 유도하고, 이에 의해 일부 위치에서는 약간 높고, 다른 위치에서는 약간 낮은 반도체 웨이퍼 프로파일을 달리, 반도체 웨이퍼는 실질적으로 편평해지지만, 바람직하게는 약간 볼록한 반도체 웨이퍼 프로파일을 남긴다. 박막층(15)은 산화물층, 금속층, 금속 산화물층 또는 세라믹 물질층 또는 균등한 층 물질을 포함할 수 있다. 박막층(15)의 두께, 패턴 또는 CTE는 측정된 워프 및/또는 보우에 기초하여 계산되고 결정될 수 있다. 일 예로서, 박막층(15)은 SiO₂ 층을 포함할 수 있다. 박막층(15)은 PECVD 공정을 이용하여 증착될 수 있다. 박막층(15)은 약 5 μm 내지 약 8 μm의 워프 또는 보우 당 약 1 μm의 두께를 가질 수 있다. 반도체 웨이퍼(1)는 사파이어 반도체 웨이퍼, 기판 또는 템플릿 상의 GaN 층을 포함할 수 있다.

[0013] 도 1d에 도시된 본 발명의 다른 측면에서, 1개 또는 2개의 반도체 웨이퍼(1)가 본 발명의 방법에 따라 처리된, 한 쌍의 반도체 웨이퍼(1)가 예를 들면, 융합 본딩(fusion bonding) 또는 반도체 웨이퍼 본딩 분야에서 통상의 기술자에게 공지된 균등한 본딩 방법에 의해 서로 본딩되어, 고품질의 본딩된 반도체 웨이퍼 어셈블리를 제공한다. 반도체 웨이퍼는 특정 적층 관계(stack relationship)에 의해 본딩되는 것으로 나타내어지지만, 일부 적용에서, 본 발명의 적용으로 인한 각각의 반도체 웨이퍼의 더 큰 평탄도가 본딩 품질 및 2개의 반도체 웨이퍼의 상대적 위치의 정확성을 향상시켜, 최종 생성물에서 더 좋은 수율 및 우수한 성능을 제공하기 때문에, 반도체 웨이퍼는 표면 대 표면이 역전될 수 있다.

[0014] 제한이 아닌 예로서, 4-in. 반도체 웨이퍼는 바람직하게 산업-표준 스테퍼 장치(industry-standard stepper equipment)에서의 처리를 위하여 약 80 μm 미만의 워프를 갖는다. 예를 들어, 반도체 웨이퍼가 Canon 스테퍼에 의해 수용될 때, 허용가능한 워프 또는 보우는 반도체 웨이퍼의 표면에 걸쳐 약 40-50 μm 워프 또는 보우인 것이 전형적으로 바람직하다. 40-50 μm 반도체 웨이퍼 워프/보우보다 작은 워프 또는 보우가 특히 후속적인 반도체 웨이퍼 융합 본딩 적용을 위하여 더욱 바람직하다. 임의의 잔류하는 워프/보우는 반도체 웨이퍼의 제1 표면을 가로질러 볼록한 것이 바람직하다. 유사하게, 다른 반도체 웨이퍼와의 본딩을 포함하는 그러한 반도체 웨이퍼의 후속 처리는 높은 수준의 웨이퍼 평탄화를 요구한다. 예를 들어, 직접 융합 본딩 또는 공정 본딩(eutectic bonding)을 이용하는 4-in. 반도체 웨이퍼의 본딩은 전형적으로 반도체 웨이퍼의 표면에 걸쳐 40-50 μm 미만의 워프 또는 보우를 요구할 수 있으며, 전형적으로 반도체 웨이퍼가 편평할수록 본딩 공정에서 감소된 에지 익스클루전을 얻을 수 있다.

[0015] 불행하게도, 사파이어 또는 실리콘 기판 상의 III-질화물 반도체 웨이퍼와 같은 통상적인 포토닉 반도체 웨이퍼는 빈번하게 적어도 어느 정도의 워프 및/또는 보우를 갖는 반도체 웨이퍼 표면 프로파일로 제공된다.

[0016] 본 출원인은 본 명세서에서 반도체 웨이퍼 워프 및 보우를 최소화하는 방법을 개시한다. 본 발명의 공정 단계의 바람직한 설정에서, 단계는 반도체 웨이퍼(1)의 제2(비-회로 함유) 표면(10) 상에 사전에 결정된 두께 및 조성을 갖는 이산화규소 또는 "SiO₂"(본 명세서에서, "산화물")을 증착시키기 위하여, 플라즈마 증강 화학 기상 증착(PECVD) 틀에 의한 증착 공정을 이용하여 수행된다. 본 발명이 평탄화 박막층(15)으로서 SiO₂의 이용에 제한되는 것이 아니라, 이하에 기술된 것과 같은 다른 재료 및 그 균등물이 본 발명에서 평탄화 박막층(15)으로 사용될 수 있음을 명백하게 나타낸다.

[0017] 본 발명의 바람직한 실시예에서, 반도체 웨이퍼(1)의 제2 표면(10) 상에 증착된 산화물 박막층(15)의 원자 간격(atomic spacing)은, III-질화물 재료와 같은 포토닉 재료가 증착되는 사파이어와 같은 기판 또는 템플릿의 원자 간격보다 크다. 원자 간격의 차이는 두 가지 재료 사이의 격자 미스매치(lattice mismatch)를 생성하여, 반도체 웨이퍼(1)의 제2 표면 상에 유도된 장력(induced tension)을 초래한다. 결과적으로, 증착된 산화물 박막층(15)은 사파이어 기판 또는 템플릿에 의해 제공되는 것보다 더 큰 표면적을 추구하여, 반도체 웨이퍼의 제2 표면을 확대시키는 경향이 있는 변형(strain)을 생성하고, 산화물 박막층(15)이 제2 표면 영역(10)을 확장하고자

하기 때문에, 이는 사파이어를 평탄화시키는 경향이 있다. 반도체 웨이퍼의 제1 표면은 볼록한 것으로 당연히 가정된다. 따라서, 본 실시예 및 다른 실시예에서, 층(15)은, 층(15)이 증착되기 전 반도체 웨이퍼의 표면에 걸친 워프 또는 보우에 비교하여 반도체 웨이퍼의 제1 표면 및 제2 표면에 걸친 워프 또는 보우를 감소시키는 변형-변경 층(strain-modifying layer)으로 작용한다.

[0018] 격자 미스매치-관련된 변형에 더하여, 열팽창 미스매치(thermal expansion mismatch)-관련 변형이 반도체 웨이퍼(1) 형태를 변화시키는데 중요한 역할을 하며, 이 현상은 본 발명의 다른 대안적 실시예에서 이용된다. 앞에서 언급한 바와 같이, 유도된 막 응력(induced film stress)에 관련되는 두 가지 기본 메커니즘이 있다: 원자 간격(즉; 격자 미스매치) 및 열팽창계수("CTE") 차이. CTE는 온도에 대한 부피량(amount volumes) 및 선형 치수의 변화로 생각될 수 있다. CTE는 수학적으로, $\alpha = (1/D) (\Delta D/\Delta T)$ 로 정의되며, 식에서 α 는 CTE; D는 부피, 면적 또는 선형 치수; T는 온도이다. 이러한 치수 변화는 재료마다 다르지만, 보통 가열될 때 재료가 팽창한다.

[0019] CTE 자체는 물리적 현상이며, 바람직한 실시예에서, 특히, 특정 박막층(15) 재료가 실온이 아닌 온도에서 반도체 웨이퍼(1) 표면 상에 증착되는 경우, 반도체 웨이퍼 평탄화 방법으로서 이용된다. CTE는, 온도가 증가함에 따라 재료의 높은 수준의 양자 상태가 비대칭 전위 우물에서 더 많이 채워진다는 사실에 기인하여 발생한다. 이 높은 수준의 양자 상태는 평형 반경보다 큰 값에서 증가하는 확률 밀도를 갖는다. 다시 말하면, 시간 평균적으로, 원자들은 온도가 증가함에 따라 서로 더 멀리 떨어져서 더 많은 시간을 보낸다. 두 가지 재료 사이에 CTE 미스매치가 있는 경우, 온도에 따른 평균 원자 간격 변화량은 각각의 재료에 있어서 다르다. CTE 막 응력의 기본적인 예(격자 미스매치 무시)는, 호스트 기판보다 더 큰 CTE를 갖는 막이 높은 온도(elevated temperature)에서 증착되는 경우이다. 증착 온도에서, 구조는 응력 중립적(stress-neutral)이지만, 구조가 냉각되면, 박막층(15)은 기판보다 더 수축되어, 박막층(15)이 제2 표면(10)에 걸쳐 인장 응력 또는 압축 응력(막 재료의 CTE에 의존함)을 갖게 된다.

[0020] 본 발명의 산화물 증착을 위한 공정 단계의 바람직한 설정은 표 1에 나타내어진 바와 같은 하기 파라미터를 포함할 수 있다.

표 1

예시적인 공정 파라미터

- 온도: 약 100 내지 400℃
- 증착 압력: 약 100 내지 2000 mTorr
- N ₂ 흐름: 약 10 내지 2000sccm
- 95% N ₂ /5% SiH ₄ 흐름: 약 10 내지 2000 sccm 또는 100% SiH ₄ 흐름: 약 0.5 내지 50 sccm
- N ₂ O 흐름: 약 100 내지 3000 sccm
- RF Power: 약 13.56 MHz에서, 약 100 내지 1000W
- 증착속도: 약 500 내지 5000 Å/min
- 수득된 산화물의 BOE(6:1 Buffered Oxide Etchant) 속도: 약 500 내지 5000 Å/min
- 산화물 막 응력: Si(100) 상에서 약 100 내지 1000 MPa 압축(compressive)

[0022] 증착된 산화물 박막층(15)은 바람직하게 약 10% 미만의 비균일성(non-uniformity)을 갖는다. 약 300℃ 내지 400℃ 범위 내에서 증착된 산화물 박막층(15)이 허용가능한 압축 효과(compressive effect)를 나타내는 것으로 관찰되어기 때문에, 산화물 박막층(15) 증착 중 공정 온도는 실질적인 공정 제약이 아니다.

[0023] 상기 예시적인 공정 파라미터를 이용하여, 본 발명의 바람직한 실시예는 증착된 산화물 박막층(15) 1 μm 당 대략적으로 약 5-8 μm의 워프 또는 보우 완화(relief)를 초래한다.

[0024] 도 2a 및 2b를 참조하면, Sigmatech 배압 반도체 웨이퍼 형태 측정 장치를 이용하여 수행된 반도체 웨이퍼 계측 측정으로부터의 워프 및 보우 조정 데이터의 그래픽 묘사가 나타내어지며, 비처리된 반도체 웨이퍼(도 2a)로부터 본 발명의 방법에 따라 처리된 동일한 반도체 웨이퍼(도 2b)의 평탄도 향상을 보여준다. 이들 도면의 범례에서 더 낮은 범위의 측정에서 이 평탄도 향상이 나타내어진다.

[0025] 본 발명의 바람직한 실시예의 실험적 실시는 본 발명의 방법에 따라 처리된 4in. 반도체 웨이퍼(1) 상에 증착된

1 μm 의 산화물 박막층(15)에 대하여 약 6.3 μm 의 평균 워프 감소를 가져왔고, 증착된 1 μm 산화물에 대하여 약 3.4 μm 의 평균 보우 감소가 있었다.

[0026] 총 두께 변화(Total thickness variation) 또는 "TTV"는 증착된 산화물 박막층(15)의 비균일성에 의해 대략 증가 또는 감소할 수 있으며, 그러한 반도체 웨이퍼(1) 두께는 목표 증착 산화물 두께의 약 80-90%에서 조절된다.

[0027] 본 발명의 단계를 이용하는 샘플 반도체 웨이퍼 처리(processing run)에서, 목표 2 μm 산화물 박막층(15) 증착 후에, 반도체 웨이퍼 워프가 56.5 μm 로부터 43.3 μm 로 감소된 것으로 나타났고; 보우는 29.2 μm 로부터 22.7 μm 로 감소된 것으로 나타났으며; TTV는 6.8 μm 로부터 7.4 μm 로 증가한 것으로 나타났고; 반도체 웨이퍼 두께는 662.9 μm 로부터 664.7 μm 로 증가한 것으로 나타났다. 다른 예시적인 워프 감소 데이터는 하기 표 2에 나타내어진다.

표 2

[0028] 제2 표면 산화물 증착 두께에 따른 웨이퍼 워프의 변화

Wafer 384G		Wafer 385G	
증착된 산화물(μm)	워프(μm)	증착된 산화물(μm)	워프(μm)
0	88.3	0	86.4
2	75.1	2	74.2
4	64.4	4	63.7
6	52.7	6	52.1
8	39.3	7	43.8

[0029] 제2 표면 워프 및 보우 조정 산화물 박막층(second surface warp and bow adjustment oxide thin film layer)(15)이 증착되면, 워프 및 보우 조정 산화물 박막층(15) 증착 단계가 반복되지 않는 한, 반도체 웨이퍼(1)는 BOE 및 HF에 노출되지 않는다.

[0030] 또한, 증착된 박막층(15) 산화물 두께 균일성은 예를 들면, 레이저 리프트오프(LL0) 균일성과 같은 후속 공정 단계 균일성에 일부 영향을 미칠 수 있다. LL0 균일성은 산화물 박막층(15) 균일성에 의해서 야기되는 UV 레이저 광의 4분의 1 파장 간섭 조건(quarter-wavelength interference condition)에 의해 영향을 받고, 층(15)의 UV 흡수에 의한 영향을 받지 않을 수 있다.

[0031] 본 발명의 방법이, 제한의 방식이 아닌 예를 들어, 설명 및 논의 목적을 위하여 이용된, c-평면 사파이어 상에 증착된 예시적 바람직한 압축 PECVD 산화물 박막층(15)만을 이용하여 실시될 필요가 없음을 명백하게 나타낸다. 본 발명의 방법 및 청구범위는 반도체 웨이퍼(1)의 형태, 워프 및 보우를 조작하도록 임의의 반도체 웨이퍼(1)의 임의의 표면 상에 증착된 임의의 고응력 박막층(15)의 이용을 명시적으로 포함한다. 따라서, 증착된 박막층(15)은 이산화규소 재료에 제한되지 않으며; 제2 표면(10) 상에서의 격자 미스매치 또는 상이한 CTEs에 기인하여 사전에 결정된 압축력, 인장력, 또는 압축력 및 인장력을 유도하는데 충분한 미리 결정 두께로 반도체 웨이퍼(1) 표면 상에 증착될 수 있는 임의의 적합한 박막층(15)이 이용될 수 있다.

[0032] 대안적인 방법이 도 3a 및 3b에 나타내어진다. 도 3a에서, 박막층(15)이 반도체 웨이퍼(1)의 인접한 표면(10) 상에 압축력 또는 인장력을 나타내도록 선택되는지 여부에 관계없이, 박막층(15)은 긴 스트립(strip)을 형성하도록 패터닝되며, 이는 변형 변경 효과(strain-modifying effect)를 위한 지배적인 축을 제공한다. 이는, 보우 또는 워프가 대략 단일 축이거나 대부분 대략 단일 축인 경우에 유용할 수 있다. 그러나, 보우 또는 워프가 대략 2개의 축이고 동일하지 않은 경우, 도 3b에 도시된 바와 같이, 제2 패터닝된 박막층(15)이 증착되어 제2 축을 중심으로 배향될 수 있다. 도 3a에서 단순히 층(15)의 스트립의 폭을 선택함으로써 동일하지 않은 변형이 얻어질 수도 있음을 주목한다. 또한, 도 3b에서, 수직 및 수평 스트립은 동일하거나 상이한 박막층 재료로 이루어질 수 있다. 이와 관련하여, 일부 경우, 보우 또는 워프는 2개 축을 중심으로 반대 방향으로 있을 수 있으며, 이 경우 상이한 박막층 재료가 이용되어, 하나는 인접한 반도체 기판 상에 압축력을 유도하고, 다른 하나는 인접한 기판 상에 인장력을 유도할 수 있다.

[0033] 다른 조성을 가져 충분한 반도체 웨이퍼 표면 변형을 부여하여 반도체 웨이퍼(1) 표면 프로파일을 변화시키는, 반도체 웨이퍼(1) 표면 상에 증착될 수 있는 다수의 적합한 박막층(15) 재료가 상업적으로 이용가능하다. 실리콘 산화물은 반도체 웨이퍼(1) 상에 증착하기 간단하고, 반도체 웨이퍼(1)의 보우 및 워프를 변형시키는 응력 상태에서 성장할 수 있기 때문에 그러한 적용을 위하여 매우 적합하나, 대안적인 실시예에서, 실리콘 질화물,

세라믹, 금속 또는 금속 산화물 박막층(15)이 이용될 수 있으며, 본 발명의 방법의 범위 내에서 고려된다. 또한, 상기 언급된 반도체 웨이퍼(1)는 일반적인 형상을 갖는 것으로 간주될 수 있으며, 본 발명의 방법은 반도체 웨이퍼(1)의 제2 표면(1) 상에 변형-변경 또는 압축-변형(compression-modifying) 박막층(15)을 증착함으로써 임의의 일반적인 기판 형상을 평탄화시키는 기능을 한다. 따라서, 박막층에 대한 주요 변수는, 일부 경우 동일한 재료에 대하여 대상이 되는 상이한 막 두께에 따라 다를 수 있는, 재료의 특성인 열팽창계수와 함께, 재료, 두께 및 박막층 패턴이다.

[0034] 전술한 c-평면 GaN-온-사파이어의 바람직한 실시예에서, 에피택셜 표면 위로 볼 때, 반도체 웨이퍼(1)는 종종 상당히 균일하게 불록해지는 경향이 있으며, 즉, 가장 높은 지점이 GaN 표면의 중심을 향한다. 이와 같은 경우, 반도체 웨이퍼(1)의 제2 표면(10) 상에 블랭킷 압축 산화물 박막층(blanket compressive oxide thin film layer)(15)을 전술한 바와 같이 증착하는 것이 특히 효과적이다. 그러나, 증착된 박막층(15)은 SiO₂ 재료에 제한될 필요가 없고, 증착된 박막층 재료는 GaN 또는 반도체 웨이퍼 재료와 비교하여 반도체 웨이퍼(1)에 반대 곡률(curvature)을 부여하는 임의의 재료일 수 있다.

[0035] 반도체 웨이퍼(1)가 오목한 경우에, 전술한 볼록한 비평면 상태와 같이 반도체 웨이퍼의 제2 표면에 압축 박막층(15)을 적용하는 것보다, 사파이어에 인장 응력을 부여하는 증착된 박막층(15)이 적용될 수 있다. GaN 자체는 본 발명의 이 실시예에 대한 적합한 후보이다.

[0036] m-평면 사파이어 상에서 성장한 반극성 GaN과 같이 상이한 결정학적 방향에서 상이한 곡률을 갖는 반도체 웨이퍼(1)의 일반적 경우에, 본 발명은 하나의 축을 따라 보우를 감소시키지만, 수직 방향으로 이를 증가시킬 수 있다.

[0037] 이러한 우려를 해결하기 위하여, 반도체 분야에 공지된 "쉐도우 마스크(shadow mask)"가 반도체 웨이퍼(1)의 제2 표면(10)의 상이한 부분 또는 영역 상에 사전에 결정된 변형-변경 또는 인장 특성을 갖는 변형-변경 박막층(15)을 선택적으로 증착시키는데 이용될 수 있는 대안적인 실시예가 개시된다.

[0038] 반도체 웨이퍼(1)의 제2 표면(10)에 블랭킷 평탄화(blanket planarizing) 박막층(15)을 증착하고, 도 4에 나타내어진 예시적 패턴과 같이 사전에 결정된 박막층(15) 패턴으로 포토리소그래피를 이용하여 반도체 웨이퍼(1)를 패턴닝하고, 이어서 평탄화 박막층(15)의 사전에 결정된 영역 또는 부분을 선택적으로 제거하여, 웨이퍼 평탄도의 원하는 변화를 유도함으로써, 동등한 효과가 얻어질 수 있다.

[0039] 제한되지 않는 예로, 사전에 결정된 변형-변경 패턴을 갖는 쉐도우 마스크를 이용함으로써, 사용자는 상이한 축을 따라 형상을 상이하게 변형시키기 위하여, 예를 들어 반도체 웨이퍼 영역의 2/3로 이루어진 스트립으로서 압축 박막층(15) 산화물을 증착할 수 있으며, 반도체 웨이퍼(1)의 중앙 1/3 상에 인장 질화물을 증착시킬 수 있다(도 3a 및 3b).

[0040] 상이한 또는 변화하는 압축/인장 층 패턴은, 특정 반도체 웨이퍼 보우에 대하여 최적 변경 박막층 또는 층들(15) 조합 패턴을 모델링하기 위하여, 주어진 반도체 웨이퍼 형성에 기초하여 예를 들어, 변형 모델링 소프트웨어를 이용하여 결정될 수 있다.

[0041] 많은 변화 및 변경이 본 발명의 방법의 사상 및 범위로 부터 벗어나지 않고 통상의 기술자에 의해 이루어질 수 있다. 따라서, 설명된 실시예는 예시적 목적으로서 기재된 것이며, 본 출원에 대한 우선권을 주장하는 임의의 후속 출원의 청구범위에 의해 정의되는 바와 같은, 본 발명을 제한하고자 받아들여져서는 안되는 것을 이해하여야 한다.

[0042] 예를 들어, 그러한 청구범위의 요소가 특정 조합으로 기재될 수 있다는 사실에도 불구하고, 본 발명은, 그러한 조합에서 처음에 청구되지 않았을 때에도 상기에서 개시된, 더 적은, 더 많은 또는 상이한 요소의 다른 조합을 포함한다.

[0043] 본 발명 및 다양한 실시예를 기술하기 위하여 본 명세서에 이용되는 단어는 일반적으로 정의되는 의미로 이해될 뿐 아니라, 본 명세서에 특별히 정의된 것에 의해, 통상적으로 정의된 의미를 벗어난 구조, 재료 또는 활동을 포함한다. 따라서, 요소가 하나 이상의 의미를 포함하는 것으로 본 명세서의 문맥에서 이해될 수 있는 경우, 후속 청구범위에서 그 이용은 명세서 및 단어 그 자체에 의해 뒷받침되는 모든 가능한 의미에 대해 포괄적인 것으로 이해되어야 한다.

[0044] 그러므로, 본 출원에 대한 우선권을 주장하는 임의의 후속 출원에서 임의의 청구범위의 단어 또는 요소의 정의는, 문자 그대로 기재된 요소의 조합뿐 아니라, 실질적으로 동일한 결과를 얻기 위하여 실질적으로 동일한 방식

으로 실질적으로 동일한 기능을 수행하기 위한 모든 균등한 구조, 재료 또는 활동을 포함하는 것으로 정의되어야 한다. 이러한 의미에서, 2개 이상의 요소의 균등 치환이 이하의 청구범위에서 임의의 하나에 대하여 이루어질 수 있거나, 또는 단일 요소가 그러한 청구범위에서 2개 이상의 요소로 치환될 수 있는 것으로 고려된다.

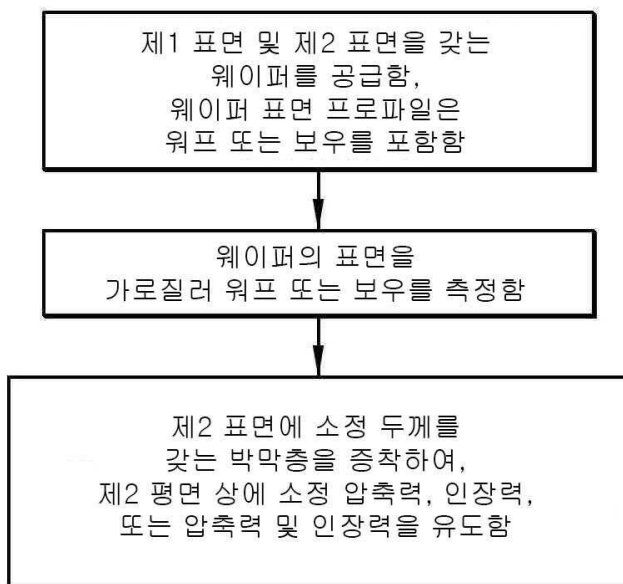
[0045] 요소들이 특정 조합으로 작용하고 그와 같이 청구되는 것으로 상기에서 기술될 수 있으나, 청구된 조합으로부터 일 이상의 요소가 일부 경우 조합으로부터 배제될 수 있으며, 그러한 청구된 조합이 서브컴비네이션 또는 서브컴비네이션의 변이에 관한 것일 수 있음을 명백하게 이해하여야 한다.

[0046] 당해 기술분야에서 통상의 지식을 가진 자에 의해 관찰될 때, 현재 공지되어 있거나 또는 후에 고안되는, 임의의 후속적으로 청구되는 요지로부터의 대단찮은 변화는 그러한 청구범위의 범위 내에 균등한 것으로 명백하게 고려된다. 따라서, 당해 기술분야의 통상의 기술자에게 현재 또는 추후 공지되는 자명한 치환은 정의된 요소의 범위 내인 것으로 정의된다.

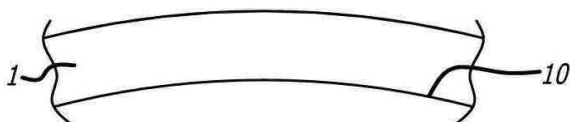
[0047] 본 출원에 대하여 우선권을 주장하는 임의의 후속 출원의 임의의 청구범위는 상기에서 구체적으로 예시되고, 설명된 것, 개념적으로 균등한 것, 자명하게 치환될 수 있는 것 및 본 발명의 본질적인 사상을 본질적으로 포함하는 것을 포함하는 것으로 이해되어야 한다.

도면

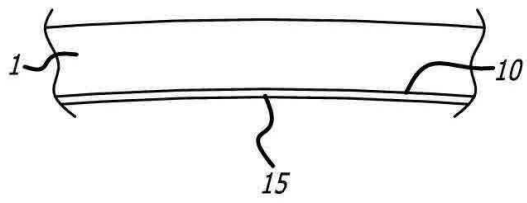
도면1a



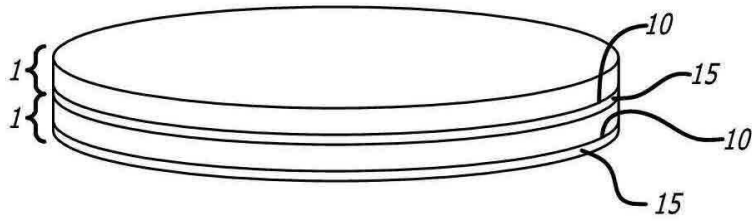
도면1b



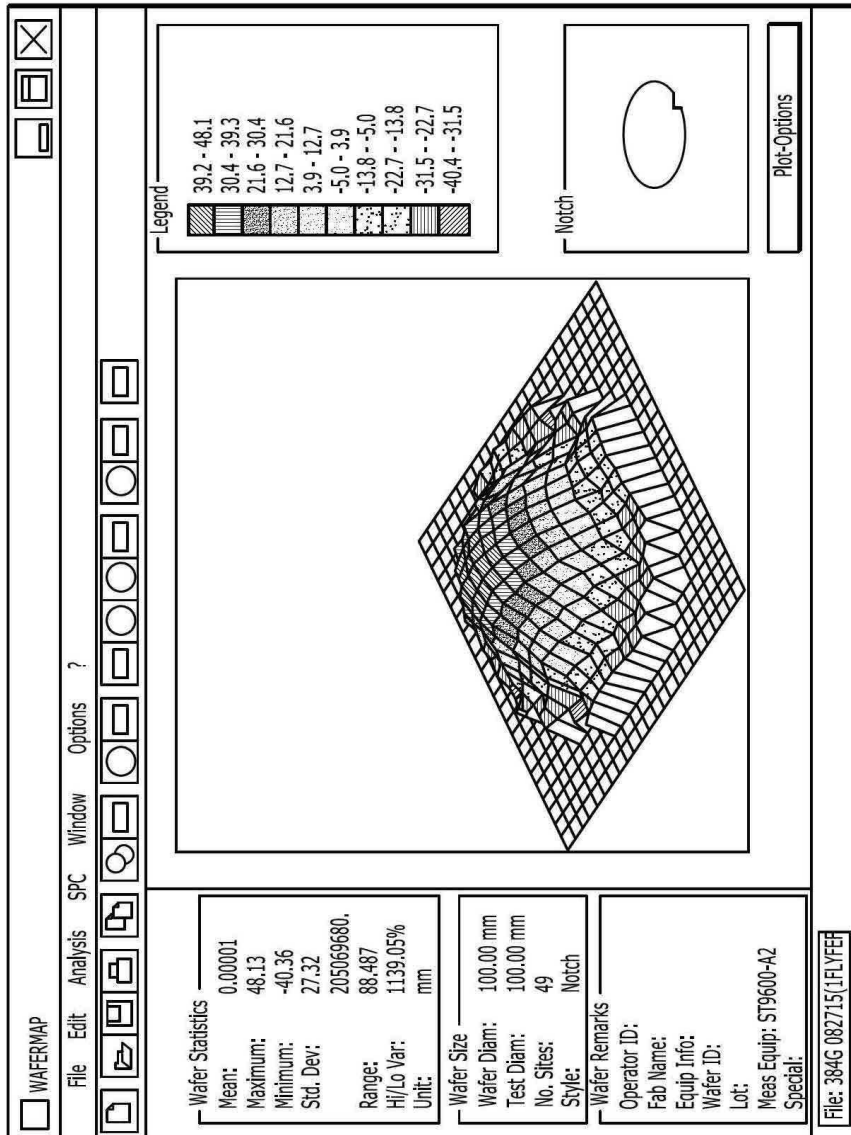
도면1c



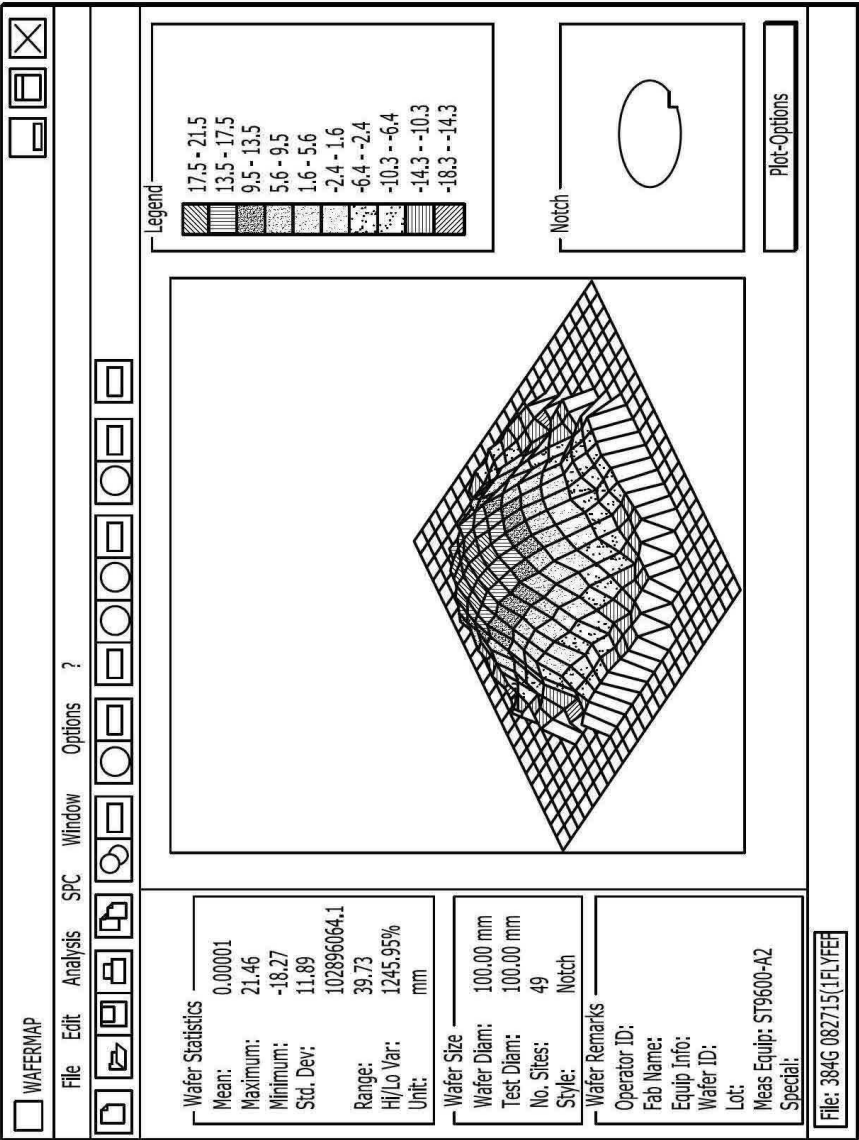
도면1d



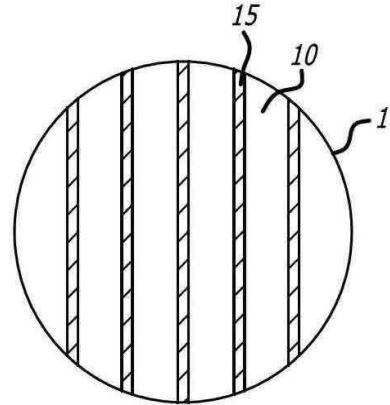
도면2a



도면2b



도면3a



도면3b

