

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第4区分

【発行日】平成24年11月1日(2012.11.1)

【公開番号】特開2010-108585(P2010-108585A)

【公開日】平成22年5月13日(2010.5.13)

【年通号数】公開・登録公報2010-019

【出願番号】特願2009-218321(P2009-218321)

【国際特許分類】

G 11 C 29/00 (2006.01)

【F I】

G 11 C 29/00 603P

G 11 C 29/00 603L

【手続補正書】

【提出日】平成24年9月17日(2012.9.17)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

電気的に書き込みおよび読み出しが可能な複数のメモリセルを有する第1のメモリセルアレイと、複数の冗長メモリセルを含む第2のメモリセルアレイと、制御回路と、を備え、

前記第2のメモリセルアレイは、書き込み不良救済回数を記憶する冗長メモリセルを含む第1の領域と、不良メモリセルのアドレスを記憶する冗長メモリセルを含む第2の領域と、を有することを特徴とする半導体記憶装置。

【請求項2】

請求項1において、

前記制御回路は、前記第1の領域にアクセスして前記不良救済回数を判定し、

前記判定の結果によって、前記制御回路は、前記第2の領域にアクセスするか否かを決定することを特徴とする半導体記憶装置。

【請求項3】

請求項1または2において、

前記第2のメモリセルアレイは、前記不良メモリセルを置換する冗長メモリセルを含む第3の領域を有することを特徴とする半導体記憶装置。