

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-363922

(P2004-363922A)

(43) 公開日 平成16年12月24日(2004.12.24)

(51) Int. Cl.⁷

H03B 5/30

F I

H03B 5/30

A

テーマコード (参考)

5 J 0 7 9

審査請求 有 請求項の数 5 O L (全 10 頁)

(21) 出願番号 特願2003-159700 (P2003-159700)

(22) 出願日 平成15年6月4日(2003.6.4)

(71) 出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(71) 出願人 000004064

日本碍子株式会社

愛知県名古屋市瑞穂区須田町2番56号

(74) 代理人 100066980

弁理士 森 哲也

(74) 代理人 100075579

弁理士 内藤 嘉昭

(74) 代理人 100103850

弁理士 崔 秀▲てつ▼

(72) 発明者 高田 豊

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

最終頁に続く

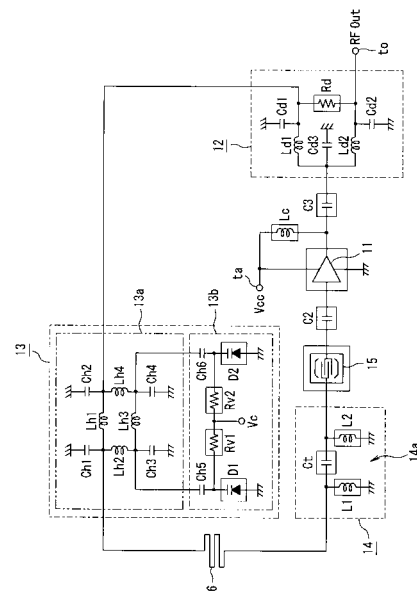
(54) 【発明の名称】 電圧制御型発振器

(57) 【要約】

【課題】低温焼成セラミック基板技術により電圧制御型発振器を小型化する際に、問題となるセラミック基板内での回路干渉・結合問題を改善する。

【解決手段】増幅器11と、該増幅器に対して帰還回路を構成する弾性表面波素子15と、前記帰還回路中に挿入され、フィルタ構成を有する周波数調整回路14と、外部から制御電圧を入力して発振ループ内の位相を可変させる付加制御部を有するハイブリッド結合器で構成される移相器13と、前記発振ループ内の電力を等分配して前記発振ループ外に出力する等分配器12と、前記発振ループ内の結合干渉非発生部に集中して形成した当該発振ループ内の位相条件を補正する遅延線16とを備えた電圧制御型発振器。

【選択図】 図3



【特許請求の範囲】

【請求項 1】

増幅器と、該増幅器に対して帰還回路を構成する弾性表面波素子と、前記帰還回路中に挿入され、フィルタ構成を有する周波数調整回路と、外部から制御電圧を入力して発振ループ内の位相を可変させる付加制御部を有するハイブリッド結合器で構成される移相器と、前記発振ループ内の電力を等分配して前記発振ループ外に出力する等分配器と、前記発振ループ内の結合干渉非発生部に集中して形成した当該発振ループ内の位相条件を補正する遅延線とを備えたことを特徴とする電圧制御型発振器。

【請求項 2】

前記移相器、前記等分配器及び前記遅延線を低温焼成セラミック基板に形成したことを特徴とする請求項 1 に記載の電圧制御型発振器。 10

【請求項 3】

前記遅延線は、前記周波数調整回路と前記移相器との間に設置されていることを特徴とする請求項 1 又は 2 に記載の電圧制御型発振器。

【請求項 4】

前記遅延線は、前記増幅器と前記移相器との間に設置されていることを特徴とする請求項 1 又は 2 に記載の電圧制御型発振器。

【請求項 5】

前記遅延線は、前記移相器及び前記等分配器を形成した誘電体層に対して積層方向にグラウンド層で分離されて形成されていることを特徴とする請求項 2 乃至 4 の何れかに記載の電圧制御型発振器。 20

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、弾性表面波素子を共振子として用いて帰還回路を構成するようにした電圧制御型発振器に関する。

【0002】

【従来の技術】

従来の高周波発振器では、共振素子としてマイクロストリップラインを用いて電圧制御型発振器を構成したもの（例えば特許文献 1 参照）やストリップラインを用いて電圧制御型発振器を構成したもの（例えば特許文献 2 参照）が提案されているが、これらの共振素子を使用した電圧制御型発振器では、水晶基板の圧電効果による弾性表面波素子とは異なり、大きな Q 値は見込めず、高品質な信号を得ることができないという課題がある。 30

【0003】

また、より小型化するために、一般に、低温焼成セラミックス（LTCC: Low Temperature Co-fired Ceramics）基板技術が適用される。この低温焼成セラミックス基板技術を使えば、コンデンサやインダクタンス等の受動素子をセラミック基板中に多層形成することが可能となる。つまり、従来、基板上に実装されていたチップコンデンサやチップインダクタなどといった受動部品をセラミック基板中に内蔵できるため、電圧制御型発振器トータルの実装部品点数を大幅に低減でき、全体のサイズも小型化可能となる。 40

【0004】

【特許文献 1】

特開 2002-26654 号公報（第 1 頁～第 3 頁、図 1）

【特許文献 2】

実開平 6-2746 号公報（第 1 頁、図 1）

【0005】

【発明が解決しようとする課題】

しかしながら、上述した低温焼成セラミック基板技術を適用した場合には、セラミック基板中への集積度を上げて、更なる小型化をしようとする場合、内蔵回路ブロック間の距離 50

やグラウンドとの距離が狭くなるため、回路間での干渉や結合が発生し、発振特性の劣化や正常な周波数では発振しない寄生発振を生じるという状態に陥ってしまうという未解決の課題がある。この内部回路の干渉・結合問題を解決するには、一般に、干渉・結合しない距離に回路間を隔てればよいが、これでは小型化という要求に対して相反することになってしまう。

【0006】

そこで、本発明は、上記従来例の未解決の課題に着目してなされたものであり、低温焼成セラミック基板技術により電圧制御型発振器を小型化する際に、問題となるセラミック基板内での回路干渉・結合問題を改善することができる電圧制御型発振器を提供することを目的としている。

10

【0007】

【課題を解決するための手段】

第1の技術手段は、増幅器と、該増幅器に対して帰還回路を構成する弾性表面波素子と、前記帰還回路中に挿入され、フィルタ構成を有する周波数調整回路と、外部から制御電圧を入力して発振ループ内の位相を可変させる付加制御部を有するハイブリッド結合器で構成される移相器と、前記発振ループ内の電力を等分配して前記発振ループ外に出力する等分配器と、前記発振ループ内の結合干渉非発生部に集中して形成した当該発振ループ内の位相条件を補正する遅延線とを備えたことを特徴としている。

【0008】

この第1の技術手段では、各回路ブロック間に分散配置してなる遅延線が結合干渉非発生部に集中統合され、回路ブロックと遅延線との結合・干渉箇所が少なくなり、安定した発振動作が可能となる。

20

また、第2の技術手段は、第1の技術手段において、前記移相器、前記等分配器及び前記遅延線を低温焼成セラミック基板に形成したことを特徴としている。

【0009】

この第2の技術手段では、ハイブリッド結合器で構成される移相器、等分配器、遅延線、各回路を接続する配線などがセラミック基板中に内蔵できるので、電圧制御型発振器トータルの実装部品点数を大幅に削減でき、全体のサイズも小型かになるばかりでなく、接合・干渉箇所も少ない安定した発振動作が可能となる。

【0010】

さらに、第3の技術手段は、第1又は第2の技術手段において、前記遅延線は、前記周波数調整回路と前記移相器との間に設置されていることを特徴としている。

30

この第3の技術手段では、遅延線が、これと結合しにくい周波数調整回路及び移相器間に配置されているので、結合・干渉を大幅に改善して、寄生発振を生じない安定した電圧制御型発振器の実現が可能となる。

【0011】

さらにまた、第4の技術手段は、第1又は第2の技術手段において、前記増幅器と前記移相器との間に設置されていることを特徴としている。

この第4の技術手段でも、遅延線が、これと結合しにくい増幅器と移相器との間に設置されているので、結合・干渉を大幅に改善して、寄生発振を生じない安定した電圧制御型発振器の実現が可能となる。

40

【0012】

さらにまた、第5の技術手段は、第2乃至第4の技術手段の何れかにおいて、前記遅延線は、前記移相器及び前記等分配器を形成した誘電体層に対して積層方向にグラウンド層で分離されて形成されていることを特徴としている。

この第5の技術手段では、遅延線の形成場所が、結合・干渉問題が発生し易い移相器、等分配器が設置されている誘電体層とは別の層にグラウンド層を介して形成するので、十分なアイソレーション（分離）を確保することができ、バラツキの小さい安定した可変特性及び出力パワー特性を得ることができる。

【0013】

50

【発明の実施の形態】

以下、本発明の実施の形態を図面に基づいて説明する。

図1は、本発明の第1実施形態に係る電圧制御型発振器の構成を示すブロック図である。図1において、発振用の増幅器1の出力側および入力側の帰還回路として、発振ループ内の電力を等分配して発振ループ外に出力する等分配器2と、外部から制御電圧 V_c を入力して発振ループ内の位相を可変させる移相器3と、発振ループ内の位相を微調整する周波数調整回路4と、弾性表面波素子5が直列に介挿され、これら各ブロックは一定の特性インピーダンス、例えば、 50Ω に全て整合接続されている。

【0014】

図2は、本発明の一実施形態に係る帰還型発振器の構成を示すブロック図である。ここで、等分配器2、移相器3、位相調整回路4および弾性表面波素子5を帰還回路6として、図1の電圧制御型発振器の動作を説明する。

図2において、図1の電圧制御型発振器は、増幅器2に帰還回路6が接続された帰還型発振器と考えることができる。

【0015】

今、増幅率 G の増幅器2の入力側に V_i という入力電圧が現れた時、出力側には、入力電圧 V_i が G 倍された出力電圧 V_o ($=V_i \cdot G$) が現れる。この出力電圧 V_o が帰還率 β の帰還回路6を通して、帰還電圧 V_f ($V_f = V_o \cdot \beta = V_i \cdot G \cdot \beta$) が入力側に戻される。

この時、帰還電圧 V_f と入力電圧 V_i との位相が等しければ、入力電圧 V_i よりも帰還電圧 V_f の方が大きくなるので、正帰還となり発振が起こる。

【0016】

ここで、入力電圧 V_i の位相を θ_i 、帰還電圧 V_f の位相を θ_f 、増幅器2の位相変化を θ_c 、帰還回路6での位相変化を θ_β とすると、発振が起こるためには、以下の(1)式が成り立つ必要がある。

$$V_i \cdot G \cdot \beta \cdot e^{j(\theta_i + \theta_c + \theta_\beta)} \geq V_i \cdot e^{j(2\pi + \theta_i)} \quad \dots\dots (1)$$

(1)式において、入力電圧 V_i が、増幅器2および帰還回路6を一巡して入力側に帰還された時、最初に入力された時と同位相であることが必要である。つまり、

$$\theta_c + \theta_\beta = 2n\pi, \quad (n = 0, 1, 2, \dots) \quad \dots\dots (2)$$

$$G \cdot \beta > 1 \quad \dots\dots (3)$$

が成り立つ必要がある。

【0017】

なお、(2)式は発振器の位相条件、(3)式は振幅条件を表している。

実際には、帰還電圧 V_f が大きくなってくると、増幅器2の出力電圧 V_o は飽和して定常状態となり、 $G \cdot \beta = 1$ となる。

図1の電圧制御型発振器の場合、移相器3によって帰還回路6の位相 θ_β を変化させることにより、発振周波数を変化させることができる。

【0018】

ここで、移相器3として、 $-3\text{dB}90^\circ$ ハイブリッドカップラとそれに付随したリアクタンス可変回路を用いることにより、電圧制御型発振器の周波数可変幅を大きく取ることができる。制御電圧 V_c に対し、良好な周波数可変特性を得ることが可能になる。

また、低挿入損失・低リターンロスであることから、回路損失も最小限に抑えることができ、出力変動が少なく、効率のよい電圧制御型発振器を実現することができる。

【0019】

さらに、等分配器2によって発振ループ内のインピーダンスを乱すことなく、電力を等分配して発振ループ外に出力することができるため、負荷に対してより安定的な回路動作をさせることができる。

図3は、本発明の一実施形態に係る電圧制御型発振器の具体的構成を示すブロック図である。

【0020】

図3において、発振用の増幅器11の出力側および入力側の帰還回路として、等分配器12、移相器13、周波数調整回路14および弾性表面波素子15が直列に介挿され、これら各ブロックは一定の特性インピーダンス、例えば、 50Ω に全て整合接続されている。ここで、増幅器11は、制御電圧入力端子taに制御電圧Vccが入力されると共に、入力側がコンデンサC2を介して弾性表面波素子15の出力側に接続され、出力側がコンデンサC3を介して等分配器12の入力側に接続され、制御電圧入力端子taと、増幅器11の出力側及びコンデンサC3間との間にコイルLcが接続されている。

【0021】

また、等分配器12は発振ループ内の電力を等分配して発振ループ外に出力するもので、
コンデンサCd1～Cd3およびコイルLd1、Ld2および抵抗Rdが設けられている。 10

そして、コンデンサCd2、コイルLd2、コイルLd1およびコンデンサCd1がこの順に直列接続され、コイルLd1とコイルLd2の間には、コンデンサCd3が接続されるとともに、直流阻止用コンデンサC3を介して増幅器11の出力側が接続され、コンデンサCd1とコイルLd1の間には、後述する移相器13の $-3\text{dB}90^\circ$ ハイブリッドカプラ13aの入力端子が接続され、コンデンサCd2とコイルLd2の間には、電圧制御型発振器の出力端子toが接続され、この出力端子toとハイブリッドカプラ13aの入力端子との間には、抵抗Rdが接続されている。

【0022】

移相器13は外部から制御電圧Vcを入力して発振ループ内の位相を可変させるもので、
 $-3\text{dB}90^\circ$ ハイブリッドカプラ13aおよび付加制御部13bを備えている。
 $-3\text{dB}90^\circ$ ハイブリッドカプラ13aには、コンデンサCh1～Ch4およびコイルLh1～Lh4が設けられている。 20

【0023】

そして、コイルLh1～Lh4はループ状に接続され、コイルLh1とコイルLh2の間には、コンデンサCh1が接続されるとともに、遅延線16の入力が接続され、コイルLh2とコイルLh3の間には、コンデンサCh3が接続され、コイルLh3とコイルLh4の間には、コンデンサCh4が接続され、コイルLh4とコイルLh1の間には、コンデンサCh2が接続されるとともに、等分配回路12の出力側が接続されている。 30

【0024】

また、付加制御部13bはリアクタンス可変回路で構成され、コンデンサCh5、Ch6、抵抗Rv1、Rv2およびバリキャップD1、D2が設けられている。
そして、 $-3\text{dB}90^\circ$ ハイブリッドカプラ13aのコイルLh2及びLh3間と、コイルLh3及びLh4間との間に、コンデンサCh5、抵抗Rv1、抵抗Rv2、コンデンサCh6が順に直列接続され、コンデンサCh5と抵抗Rv1の間にはバリキャップD1が接続され、コンデンサCh6と抵抗Rv2の間にはバリキャップD2が接続され、抵抗Rv1と抵抗Rv2の間には、制御電圧Vcの入力端子が設けられている。

【0025】

周波数調整回路14は発振ループ内の位相を微調整するもので、ハイパスフィルタ14aで構成されている。 40

ここで、ハイパスフィルタ14aには、トリムコンデンサCt、コイルL1、L2が設けられ、トリムコンデンサCtの両端には、コイルL1、L2がそれぞれ接続され、トリムコンデンサCtとコイルL1との間の端子は、遅延線16に接続され、トリムコンデンサCtとコイルL2との間の端子は、弾性表面波素子15に接続されている。

【0026】

また、遅延線16は、発振の位相条件となる前記(2)式を満足させるために、発振ループ内の位相を粗調整するもので、一定の特性インピーダンス、例えば 50Ω のラインで矩形状に形成されている。 50

このように、電圧制御型発振器の遅延線を形成させる位置を弾性表面波素子 15 から離れた移相器 13 と周波数調整回路 14 との間に集中配置した場合は、所望の周波数を 2.5 GHz とした場合に発振ループ内のゲイン及び位相は、図 4 (a) 及び (b) に示すように、所望の周波数の 2.5 GHz でのみゲインが 0 dB 以上となると共に、位相が 0 度となって発振条件を表す前記 (2) 式及び (3) 式を満たすので、単一周波数での発振が可能となり、所望の周波数 2.5 GHz 以外には寄生発振を生じることがなく、電圧制御型発振器の電源電圧や移相器 13 の制御電圧に関係なく、所望の周波数で安定に正常発振させることができる。

【0027】

ちなみに、遅延線を弾性表面波素子 15 の前後 2 ヶ所に分散配置した場合には、同様に所望の周波数 2.5 GHz で発振させる場合には、発振ループ内のゲイン及び位相は、図 5 (a) 及び (b) に示すように、所望の周波数 2.5 GHz でゲインが 0 dB 以上で、且つ位相 0 度となって発振条件を表す前記 (2) 式及び (3) 式を満たすので発振するが、所望の周波数 2.5 GHz 以外の 2.28 GHz でもゲインが 0 dB 以上で、且つ位相 0 度となって発振条件を満たしている。すなわち、電圧制御型発振器の電源電圧や移相器 13 の制御電圧によっては周波数 2.28 GHz で寄生発振することになる。これは共振素子である弾性表面波素子 15 と遅延線とが結合することによるものである。

【0028】

本実施形態では、遅延線を移相器 13 及び周波数調整回路 14 間に集中して配置することにより、上述したように寄生発振を確実に防止して、弾性表面波素子の共振周波数である所望の周波数でのみ発振条件を満たして発振する。

このため、電源電圧や移相器 13 の制御電圧に関係なく、寄生発振せず常に安定した発振が可能となり、低温焼成セラミック基板技術で問題となっていたセラミック基板内での回路干渉・結合を解決することができる。

【0029】

そして、図 3 において、実線の矩形枠で囲まれている素子即ち抵抗 R_d 、 R_{v1} 、 R_{v2} 、コイル L_c 、 L_1 、 L_2 、コンデンサ C_2 、 C_3 、 C_t 、バリキャップ D_1 、 D_2 は、図 6 に示すように、低温焼成セラミック基板 21 上に部品実装されるもので、それ以外のコンデンサ、コイル、遅延線、配線ライン、グランドなどは低温焼成セラミック基板 21 内に内蔵される。

【0030】

この低温焼成セラミック基板 21 は、図 6 に示すように、10～20 層の積層構造を有し、その最上部の誘電体層 LY_1 の上面に形成された部品実装面に、周波数調整回路 14 を構成するトリムコンデンサ C_t 及びコイル L_1 、 L_2 が配置され、この周波数調整回路 14 の右側に弾性表面波素子 15 が配置され、その右側に増幅器 11 が配置され、この増幅器 11 の前側にコンデンサ C_2 、コイル L_c 、抵抗 R_d 、コンデンサ C_3 が配置され、さらに、弾性表面波素子 15 の手前側に位相器 13 における付加制御部 13b の抵抗 R_{v1} 、 R_{v2} 及びバリキャップ D_1 、 D_2 が配置されている。

【0031】

また、誘電体層 LY_1 の下面には、部品実装面に実装された各素子間を結ぶ配線ライン等を形成するライン形成層 LY_2 が配設され、このライン形成層 LY_2 の下面には、グランド層 LY_3 が配設されている。

さらに、グランド層 LY_3 より所定層下側に、内層コイル L_{d1} 、 L_{d2} 、 $L_{h1} \sim L_{h4}$ が形成されたコイル形成層 LY_i が配設され、このコイル形成層 LY_i の下側にグランド層 LY_{i+1} を介して内層コンデンサ $C_{d1} \sim C_{d3}$ 、 $C_{h1} \sim C_{h6}$ を形成するコンデンサ形成層 LY_{i+2} 及び LY_{i+3} が配設され、下側のコンデンサ形成層 LY_{i+3} の下側にグランド層 LY_{i+4} を介して遅延線 16 を形成する遅延線形成層 LY_{i+5} が配設され、この遅延線形成層 LY_{i+5} の下側にグランド層 LY_{i+6} が配設され、最下層にもグランド層 LY_n が配設されている。

【0032】

なお、グラウンド層 LY_3 , LY_{i+1} , LY_{i+4} , LY_{i+6} には、ライン形成層 LY_2 、コイル形成層 LY_i 、コンデンサ形成層 LY_{i+2} , LY_{i+3} 、遅延線形成層 LY_{i+5} 等を電氣的に接続するビアホールが必要に応じて形成されている。

このように、電圧制御型発振器を低温焼成セラミック基板 21 に形成すると、コンデンサやインダクタンス等の受動素子をセラミック基板中に多層形成することができるので、電圧制御型発振器トータルの実装部品点数を大幅に低減でき、全体のサイズも小型化可能となる。

【0033】

このとき、遅延線 16 が配設されている遅延線形成層 LY_{i+5} を、等分配器 12 及び位相器 13 が実装される誘電体層 LY_1 とは別な層にグラウンド層 LY_{i+4} を介して隔離形成することで、十分なアイソレーション（分離）を確保することができる。このため、バラツキの小さい安定した可変特性及び出力パワー特性を得ることができる。

10

【0034】

なお、上記実施形態においては、移相器 13 と移相調整回路 14 との間に遅延線 16 を接続した場合について説明したが、これに限定されるものではなく、図 7 に示すように、弾性表面波素子 15 から離れた増幅器 11 と等分配器 12 との間に集中配置するようにしてもよく、この場合も図 4 と同様の結果が得られ、所望の発振周波数のみで発振条件を満たし、電源電圧や移相器 13 の制御電圧に関係なく、安定に正常発振させることが可能となる。要は、遅延線 16 を発振ループ内の結合干渉非発生部に集中して形成すればよい。

【0035】

20

また、上記実施形態においては、周波数調整器 14 を 1 つのコンデンサ C_t と 2 つのコイル L_1 , L_2 による π 型のハイパスフィルタで構成した場合について説明したが、これに限定されるものではなく、1 つのコイルと 2 つのコンデンサとで π 型のローパスフィルタを構成するようにしてもよく、さらには、発振周波数によってはバンドパスフィルタや他段フィルタを適用することができる。

【図面の簡単な説明】

【図 1】本発明の第 1 実施形態に係る電圧制御型発振器の構成を示すブロック図である。

【図 2】本発明の一実施形態に係る帰還型発振器の構成を示すブロック図である。

【図 3】本発明の一実施形態に係る電圧制御型発振器の具体的構成を示すブロック図である。

30

【図 4】本発明の一実施形態における特性図であって、(a) は周波数に対するループゲインを、(b) は周波数に対するループ位相を表す。

【図 5】従来例における特性図であって、(a) は周波数に対するループゲインを、(b) は周波数に対するループ位相を表す。

【図 6】電圧制御型発振器の具体的な構成を示す斜視図である。

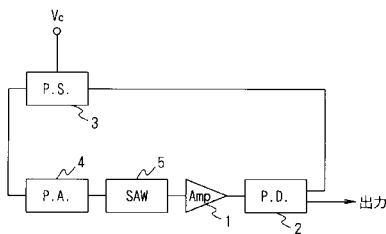
【図 7】本発明の他の実施形態を示すブロック図である。

【符号の説明】

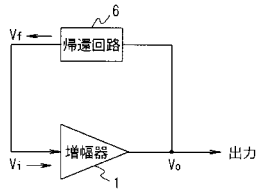
1, 11…増幅器、2, 12…等分配器、3, 13…移相器、4, 14…周波数調整回路、5, 15…弾性表面波素子、16…遅延線、13a… $-3\text{ dB } 90^\circ$ ハイブリッドカップラ、13b…付加制御部、14a…ハイパスフィルタ、 $C_1 \sim C_3$, $C_{d1} \sim C_{d3}$, $C_{h1} \sim C_{h6}$ …コンデンサ、 C_t …トリムコンデンサ、 L_c , L_{d1} , L_{d2} , $L_{h1} \sim L_{h4}$, L_1 , L_2 …コイル、 R_d , R_{v1} , R_{v2} …抵抗、 D_1 , D_2 …バリキャップ、21…低温焼成セラミック基板、 LY_1 …誘電体層、 LY_2 …配線層、 LY_3 , LY_{i+1} , LY_{i+4} , LY_{i+6} , LY_n …グラウンド層、 LY_i …コイル形成層、 LY_{i+2} , LY_{i+3} , LY_{i+4} …コンデンサ形成層、 LY_{i+5} …遅延線形成層

40

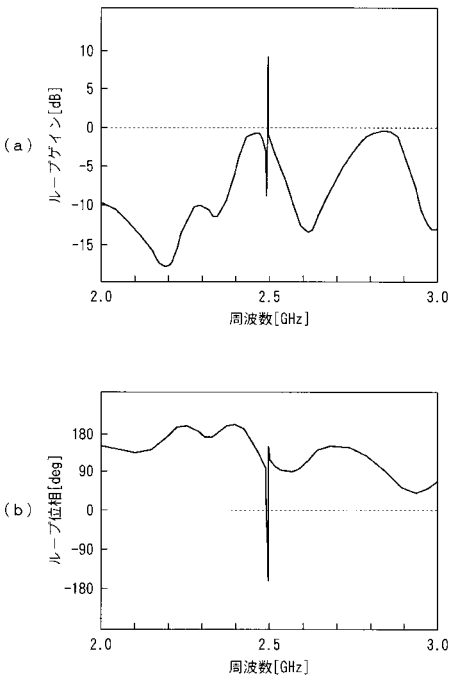
【図 1】



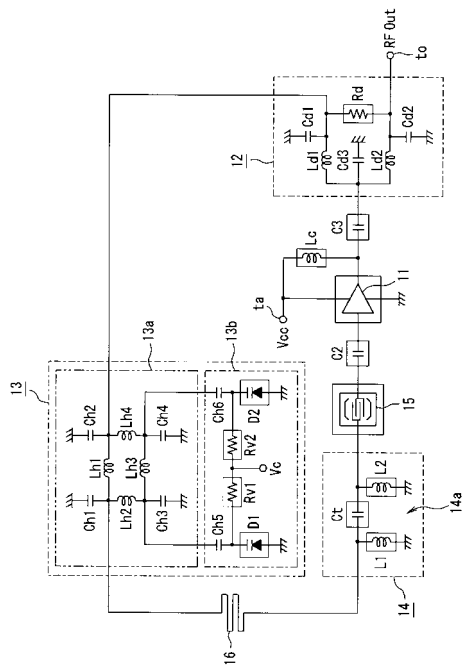
【図 2】



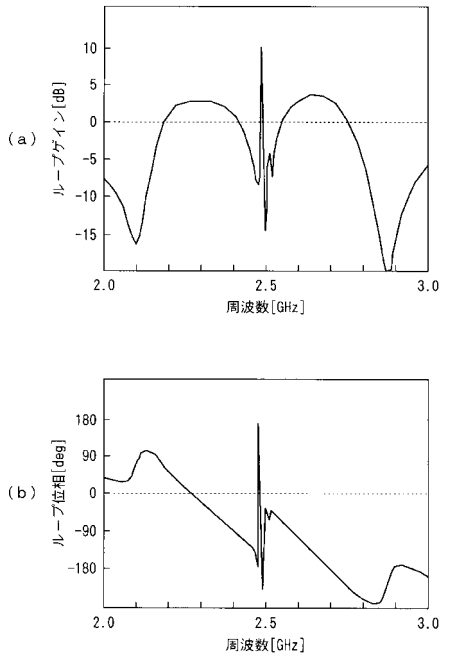
【図 4】



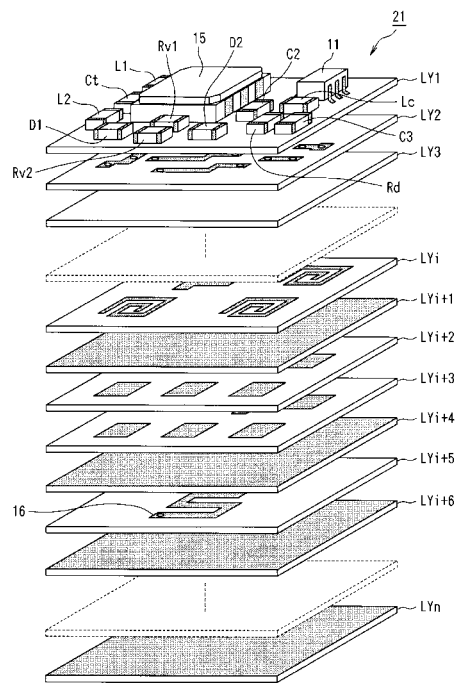
【図 3】



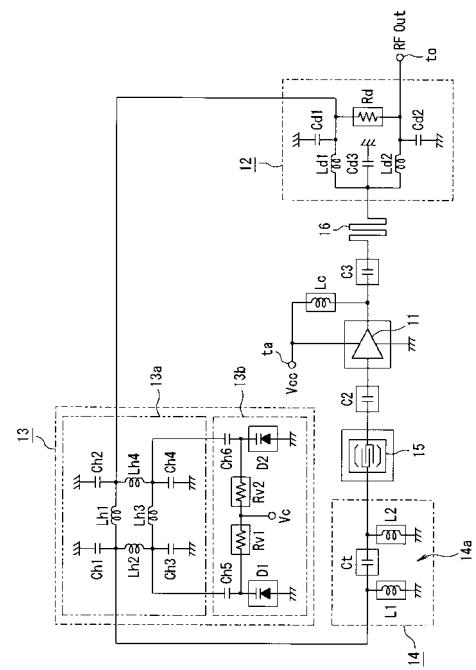
【図 5】



【図 6】



【図 7】



フロントページの続き

(72)発明者 鈴木 健司

愛知県名古屋市瑞穂区須田町2番56号 日本碍子株式会社内

(72)発明者 鶴岡 達也

愛知県名古屋市瑞穂区須田町2番56号 日本碍子株式会社内

Fターム(参考) 5J079 AA07 BA11 BA23 BA43 BA44 FA14 FA21 FA26 FB14 FB15
FB28 HA01 HA06 HA30