

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3802424号  
(P3802424)

(45) 発行日 平成18年7月26日(2006.7.26)

(24) 登録日 平成18年5月12日(2006.5.12)

(51) Int. Cl. F I  
 HO 1 L 33/00 (2006.01) HO 1 L 33/00 B  
 HO 1 S 5/183 (2006.01) HO 1 S 5/183

請求項の数 9 (全 10 頁)

(21) 出願番号	特願2002-6452 (P2002-6452)	(73) 特許権者	000003078
(22) 出願日	平成14年1月15日 (2002.1.15)		株式会社東芝
(65) 公開番号	特開2003-209283 (P2003-209283A)		東京都港区芝浦一丁目1番1号
(43) 公開日	平成15年7月25日 (2003.7.25)	(74) 代理人	100058479
審査請求日	平成15年11月17日 (2003.11.17)		弁理士 鈴江 武彦
		(74) 代理人	100084618
			弁理士 村松 貞男
		(74) 代理人	100068814
			弁理士 坪井 淳
		(74) 代理人	100092196
			弁理士 橋本 良郎
		(74) 代理人	100091351
			弁理士 河野 哲
		(74) 代理人	100088683
			弁理士 中村 誠

最終頁に続く

(54) 【発明の名称】 半導体発光素子及びその製造方法

(57) 【特許請求の範囲】

【請求項 1】

基板上に発光層を含む半導体多層膜を積層し、基板と反対側の面から光を取り出す半導体発光素子において、

前記半導体多層膜の光取り出し部に、(100)面又は(100)面±数度OFFした面に対して所定の加工を施すことにより、(111)面若しくはその近傍の面からなる光取り出し面を有するパターンが形成され、該光取り出し面が凹凸加工されていることを特徴とする半導体発光素子。

【請求項 2】

前記光取り出し面は、(111)面から±20度傾いた面までを含むことを特徴とする請求項1記載の半導体発光素子。 10

【請求項 3】

前記光取り出し部に形成するパターンは、ライン状に配列されていることを特徴とする請求項1記載の半導体発光素子。

【請求項 4】

前記光取り出し部に形成するパターンは、格子状に配列されていることを特徴とする請求項1記載の半導体発光素子。

【請求項 5】

前記光取り出し面に形成する凹凸は、高さ及び周期が前記発光層における発光波長以下であることを特徴とする請求項1記載の半導体発光素子。

## 【請求項6】

前記半導体多層膜は活性層をクラッド層で挟んだダブルヘテロ構造部を有し、このダブルヘテロ構造部の基板と反対側のクラッド層上に電流拡散層を形成し、該電流拡散層上に光取り出し層を形成したものであり、

前記光取り出し面及び凹凸は、前記光取り出し層の表面に形成されていることを特徴とする請求項1記載の半導体発光素子。

## 【請求項7】

請求項1記載の半導体発光素子を製造する方法であって、

(100)面又は(100)面±数度OFFした面に形成された前記半導体多層膜の光取り出し面をブレード加工して(111)面若しくはその近傍の面を露出させる工程と、前記露出した(111)面若しくはその近傍の面に粗面化処理を施して微小凹凸を形成する工程とを含むことを特徴とする半導体発光素子の製造方法。

10

## 【請求項8】

請求項1記載の半導体発光素子を製造する方法であって、

(100)面又は(100)面±数度OFFした面に形成された前記半導体多層膜の光取り出し面にラインアンドスペースのマスクを形成する工程と、前記マスクを用いて前記光取り出し面を反応性イオンエッチング法によりテーパ状にエッチングすることにより(111)面を露出させる工程と、前記露出した(111)面に粗面化処理を施して微小凹凸を形成する工程とを含むことを特徴とする半導体発光素子の製造方法。

## 【請求項9】

前記粗面化処理として、前記光取り出し面をHCl雰囲気日晒すと共に加熱処理することを特徴とする請求項7又は8記載の半導体発光素子の製造方法。

20

## 【発明の詳細な説明】

## 【0001】

## 【発明の属する技術分野】

本発明は、発光ダイオード(LED)や半導体レーザ(LD)等の半導体発光素子に係わり、特に光取り出し面の粗面化をはかった半導体発光素子及びその製造方法に関する。

## 【0002】

## 【従来の技術】

従来より、高輝度の発光ダイオードは、半導体基板上にダブルヘテロ構造等からなる発光部を形成し、その上に電流拡散層を形成して構成される。この発光ダイオードを樹脂にてパッケージする場合、電流拡散層の上部は、素子保護のための透明樹脂で覆われた構造となっている。

30

## 【0003】

この構造では、電流拡散層(屈折率:3.1~3.5)と透明樹脂(屈折率:1.5程度)との間の臨界角は25~29度となり、これより入射角が大きくなる光は全反射し、発光素子外部に放出される確率が著しく低下する。このため、実際に発生した光の取り出し効率は20%程度になっているのが現状である。

## 【0004】

なお、電流拡散層の表面を粗面化する方法もあるが、一般に半導体基板の主面は(100)面又は(100)±数度OFFした面であり、この上に成長された各半導体層の表面も(100)面又は(100)±数度OFFした面であり、(100)面又は(100)±数度OFFした面を粗面化するのは難しい。

40

## 【0005】

## 【発明が解決しようとする課題】

このように従来、樹脂にてパッケージする発光ダイオードにおいては、発光層を含む半導体多層膜の最上層と透明樹脂との境界で、界面に斜め方向から入射する光が全反射し、光取り出し効率が低下するという問題があった。また、この問題は発光ダイオードに限るものではなく、面発光型の半導体レーザに関しても同様に言えることである。

## 【0006】

50

本発明は、上記事情を考慮して成されたもので、その目的とするところは、発光層を含む半導体多層膜の最上層と透明樹脂との境界における光の全反射の影響で光取り出し効率が低下するのを防止することができ、光取り出し効率の向上をはかり得る半導体発光素子及びその製造方法を提供することにある。

【0007】

【課題を解決するための手段】

(構成)

上記課題を解決するために本発明は、次のような構成を採用している。

【0008】

即ち本発明は、基板上に発光層を含む半導体多層膜を積層し、基板と反対側の面から光を取り出す半導体発光素子において、前記半導体多層膜の光取り出し部に、(100)面又は(100)面±数度OFFした面に対して所定の加工を施すことにより、(111)面若しくはその近傍の面からなる光取り出し面を有するパターンが形成され、該光取り出し面が凹凸加工されていることを特徴とする。

10

【0009】

また本発明は、上記構成の半導体発光素子を製造する方法であって、(100)面又は(100)面±数度OFFした面に形成された前記半導体多層膜の光取り出し面をブレード加工して(111)面若しくはその近傍の面を露出させる工程と、前記露出した(111)面若しくはその近傍の面に粗面化処理を施して微小凹凸を形成する工程とを含むことを特徴とする。

20

【0010】

また本発明は、上記構成の半導体発光素子を製造する方法であって、(100)面又は(100)面±数度OFFした面に形成された前記半導体多層膜の光取り出し面にラインアンドスペースのマスクを形成する工程と、前記マスクを用いて前記光取り出し面を反応性イオンエッチング法によりテーパ状にエッチングすることにより(111)面を露出させる工程と、前記露出した(111)面に粗面化処理を施して微小凹凸を形成する工程とを含むことを特徴とする。

【0011】

(作用)

本発明によれば、光取り出し面が(111)面に形成されているので、これをHCl等で処理することにより容易に粗面化することができる。これにより、発光層を含む半導体多層膜の最上層と透明樹脂との境界における光の全反射の影響で光取り出し効率が低下するのを防止することができ、光取り出し効率の向上をはかることが可能となる。

30

【0012】

【発明の実施の形態】

以下、本発明の詳細を図示の実施形態によって説明する。

【0013】

(第1の実施形態)

図1は、本発明の第1の実施形態に係わる緑色LEDの素子構造を示す断面図である。

【0014】

面方位(100)面のn型GaAs基板10の上に、n型GaAsバッファ層11、n型In<sub>0.5</sub>Al<sub>0.5</sub>Pクラッド層12、ノンドープInGaAlP活性層13、p型In<sub>0.5</sub>Al<sub>0.5</sub>Pクラッド層14、p型Ga<sub>0.5</sub>Al<sub>0.5</sub>As層(第1電流拡散層)15、p型GaAsエッチング停止層16、p型Ga<sub>0.5</sub>Al<sub>0.5</sub>As層(第2電流拡散層)17、n型GaAsキャップ層(図示せず)が成長形成され、第2電流拡散層17の表面にはストライプ状にV溝が形成され、これにより表面が(111)面となっている。

40

【0015】

また、第2電流拡散層17は素子中央部が円形に除去され、この部分にp側電極21が形成されている。さらに、基板10の裏面側にはn側電極22が形成されている。ここで、p側電極21が第2電流拡散層17を円形に除去した部分に形成されているため、第2

50

電流拡散層 17 には電流は流れない。従って、第 2 電流拡散層 17 は、第 1 の電流拡散層と同じ組成であるが、実際には電流は流さず光取り出し部に位置する層（光取り出し層）として機能するものである。

**【 0 0 1 6 】**

本実施形態の LED の製造工程を、図 2 を参照して説明する。

**【 0 0 1 7 】**

まず、図 2 ( a ) に示すように、面方位が ( 1 0 0 ) 面で厚さ 2 5 0  $\mu\text{m}$  の n 型 GaAs 基板 1 0 の上に、V 属元素の原料ガスとして  $\text{AsH}_3$  を用いた MOCVD 法により 0 . 5  $\mu\text{m}$  厚の n 型 GaAs パツファ層 1 1 を成長する。続いて、V 属元素の原料ガスとして  $\text{PH}_3$  を用いた MOCVD 法により、0 . 6  $\mu\text{m}$  厚の n 型  $\text{In}_{0.5}\text{Al}_{0.5}$  P クラッド層 1 2、1 . 0  $\mu\text{m}$  厚のノンドープ  $\text{InGaAlP}$  活性層 1 3、1 . 0  $\mu\text{m}$  厚の p 型  $\text{In}_{0.5}\text{Al}_{0.5}$  P クラッド層 1 4 を成長する。

10

**【 0 0 1 8 】**

その後、V 属元素の原料ガスとして  $\text{AsH}_3$  を用いた MOCVD 法により、1 . 0  $\mu\text{m}$  厚の p 型  $\text{Ga}_{0.5}\text{Al}_{0.5}\text{As}$  層（第 1 電流拡散層）1 5、0 . 0 1  $\mu\text{m}$  厚の p 型 GaAs エッチング停止層 1 6、5 . 0  $\mu\text{m}$  厚の p 型  $\text{Ga}_{0.5}\text{Al}_{0.5}\text{As}$  層（第 2 電流拡散層）1 7、0 . 1  $\mu\text{m}$  厚の n 型 GaAs キャップ層 1 8 を成長する。

**【 0 0 1 9 】**

ここで、パツファ層 1 1 からキャップ層 1 8 までの各エピタキシャル層は同一バッチで成長する。そして、基板 1 0 の表面が ( 1 0 0 ) 面であることから、その上に成長した各層 1 1 ~ 1 8 の表面は全て ( 1 0 0 ) 面となっている。

20

**【 0 0 2 0 】**

次いで、歯先端角 7 0 度を有するブレード装置を用い、図 2 ( b ) に示すように、表面に ( 1 1 1 ) 面が出るように深さ 5  $\mu\text{m}$ 、間隔 5 . 8  $\mu\text{m}$  でブレード加工を行う。これにより、第 2 電流拡散層 1 7 が断面三角形のラインアンドスペースパターンとなり、試料表面には第 2 電流拡散層 1 7 の ( 1 1 1 ) 面が露出することになる。この露出した ( 1 1 1 ) 面が光取り出し面となる。

**【 0 0 2 1 】**

次いで、5 0 に加熱した HCl 処理で、図 2 ( c ) に示すように、第 2 電流拡散層 1 7 の ( 1 1 1 ) 面にサブミクロンの凹凸を形成する。この微小凹凸の高さやピッチは発振波長以下の極めて短いものであった。

30

**【 0 0 2 2 】**

これ以降は、レジストマスクを用いて電極部のキャップ層 1 8 と第 2 電流拡散層 1 7 をエッチングした後、上部電極として p 側電極 2 1 ( Zn を含む Au ) を蒸着により形成する。そして、GaAs 基板 1 0 を研磨し 1 0 0  $\mu\text{m}$  厚にした後に、n 側電極 2 2 ( Ge を含む Au ) を形成することによって、前記図 1 に示す構造が得られる。

**【 0 0 2 3 】**

次いで、熱処理として、Ar 雰囲気中で 4 5 0 , 1 5 分の処理を行う。続いて、ウェハにスクライブを行いチップ化する。そして、組立ワイヤボンディング処理を行った後に、樹脂封止する。

40

**【 0 0 2 4 】**

上記のように、第 2 電流拡散層 1 7 にブレード加工を施して ( 1 1 1 ) 面を露出させ、この ( 1 1 1 ) 面に凹凸加工を施すことにより、表面の粗面化を有効に行うことができる。そして、この凹凸における高さやピッチは発光波長よりも短いものであった。

**【 0 0 2 5 】**

その結果として、本実施形態のような突起部構造を採用することにより、図 3 に示すように、光取り出し効率が従来の約 2 0 % から約 5 0 % に向上した。このように、基本的なデバイス構造を変えずに光取り出し効率をこれだけ上昇させることができるのは、LED にとって極めて大きな効果である。

**【 0 0 2 6 】**

50

ここで、光取り出し面に(111)面を形成する方法としては、ブレード加工に限らずRIEでも可能である。例えば、図4(a)に示すように、面方位が(100)面の第2電流拡散層17の表面にレジストマスク41をストライプ状に複数本形成した後、Cl<sub>2</sub>を含むガスを用いたテーパRIEを行うことにより、図4(b)に示すように、側面に(111)面を有するパターンが形成される。その後、HCl処理を施すことにより、図4(c)に示すように、(111)面に微小凹凸を形成することができる。

#### 【0027】

また、表面に作成する面は必ずしも(111)面丁度に限るものではなく、(111)面から多少傾いていても同様の効果が得られる。本発明者らの実験によれば、(111)±20度でも同様の効果が確認された。

#### 【0028】

また、発振波長以下の凹凸を形成するための処理としては、HCl処理に限らず、(111)面を粗面化できるものであればよく、ハロゲン系のガスを用いたドライエッチング、更にはウェットエッチングを利用することもできる。さらに、凹凸の形状は、図5(a)~(f)に示す何れの形状であってもよい。ここで、(a)はEBマスクでRIEした例、(b)はEBマスクでウェットエッチングした例、(c)~(f)はマスク無しでウェットエッチングした例である。

#### 【0029】

このように本実施形態によれば、半導体多層構造の実質的な最上層である第2電流拡散層17に(111)面を形成し、これをHClで処理して粗面化することにより、光取り出し面に微小凹凸を形成することができる。これにより、第2電流拡散層17と封止用の透明樹脂との境界における光の全反射の影響で光取り出し効率が低下することを防止することができ、光取り出し効率の向上をはかることができる。また、電流拡散層17の(111)面はブレード加工やRIEにより露出させるために、電流拡散層17の成長時の表面の面方位は何ら制約されるものではない。従って、成長基板10の面方位に左右されることがなく、通常用いられる(100)基板に対して適用することができる。

#### 【0030】

(第2の実施形態)

図6は、本発明の第2の実施形態に係わる緑色LEDの素子構造を示す断面図である。

#### 【0031】

本実施形態は、n、pの成長層を第1の実施形態と逆にしたものであり、基本的な構成は図1の実施形態と同様である。

#### 【0032】

p型GaAs基板50の上に、0.5μm厚のp型GaAsバッファ層51、0.6μm厚のp型In<sub>0.5</sub>Al<sub>0.5</sub>Pクラッド層52、1.0μm厚のノンドープInGaAlP活性層53、1.0μm厚のn型In<sub>0.5</sub>Al<sub>0.5</sub>Pクラッド層54、1.0μm厚のn型Ga<sub>0.5</sub>Al<sub>0.5</sub>P層(第1電流拡散層)55、0.01μmのn型GaAsエッチング停止層56、5.0μmのn型Ga<sub>0.5</sub>Al<sub>0.5</sub>As層(第2電流拡散層)57、0.1μmのp型GaAsキャップ層(図示せず)がMOCVD法で成長形成される。

#### 【0033】

第2電流拡散層57の表面は、第1の実施形態と同様にして、ブレード装置又はテーパRIEにより加工され、(111)面が露出した状態となっている。この(111)面に、HCl処理により凹凸加工が施されている。そして、電流拡散層57の一部を除去した部分にn側の電極61が形成され、基板50の裏面側にp側の電極62が形成されている。

#### 【0034】

このような構成であっても、第2電流拡散層57の表面に設けた(111)面及び凹凸部分により、パッケージのための透明樹脂に対する光の入射確率を高めることができ、第1の実施形態と同様の効果が得られる。

#### 【0035】

(第3の実施形態)

10

20

30

40

50

図7は、本発明の第3の実施形態に係わる面発光レーザの素子構造を示す断面図である。

【0036】

まず、250 $\mu$ m厚のn型GaAs基板70の上に、0.5 $\mu$ m厚のn型GaAsバッファ層71を成長し、その上にn-In<sub>0.5</sub>Al<sub>0.5</sub>P/n-GaAsの積層構造からなる第1のDBR反射層78を成長する。続いて、0.6 $\mu$ m厚のn型In<sub>0.5</sub>Al<sub>0.5</sub>Pクラッド層72、ノンドープのIn<sub>0.5</sub>(Ga<sub>0.55</sub>Al<sub>0.45</sub>)<sub>0.5</sub>P/In<sub>0.5</sub>Ga<sub>0.5</sub>PのMQW活性層73、更に0.6 $\mu$ m厚のp型In<sub>0.5</sub>Al<sub>0.5</sub>Pクラッド層74を成長してダブルヘテロ構造部を形成する。続いて、p-In<sub>0.5</sub>Al<sub>0.5</sub>P/p-GaAsの積層構造からなる第2のDBR反射層79を成長した後に、1.0 $\mu$ m厚のp型In<sub>0.5</sub>Al<sub>0.5</sub>P層(第1電流拡散層)75、0.01 $\mu$ mのp型GaAs層76、5.0 $\mu$ mのp型In<sub>0.5</sub>Al<sub>0.5</sub>P層(第2電流拡散層)77、0.1 $\mu$ mのn型GaAsキャップ層(図示せず)を成長する。

10

【0037】

ここで、バッファ層71からキャップ層までのエピタキシャル膜は、MOCVD法を用いて同一バッチで成長し、用いるガスの種類や圧力は各層が良好に成長される条件にする。

【0038】

次いで、第1の実施形態と同様に、歯先端角70度を有するブレード装置にて表面に(111)面が出るように深さ5 $\mu$ m、間隔5.8 $\mu$ mでブレード加工を行う。これにより、第2電流拡散層57の表面は(111)面が露出した状態となる。続いて、第1の実施形態と同様に、HCl処理で(111)面にサブミクロンの凹凸を形成する。

20

【0039】

次いで、レジストパターンニング後、n型クラッド層72までエッチングしてレーザーリッジ形成を行う。続いて、0.5 $\mu$ m厚の絶縁膜(SiO<sub>2</sub>)81を堆積する。次いで、レジストマスクで電極部の絶縁膜81とキャップ層と第2電流拡散層77をエッチングする。次いで、p側電極83(Znを含むAu)を蒸着し、レジストマスクで上部電極を形成する。次いで、基板70を研磨し100 $\mu$ m厚にした後に、n側電極85(Geを含むAu)を形成する。次いで、Ar雰囲気中で450℃、15分の熱処理を行う。続いて、ウェハにスクライブを行いチップ化する。その後、樹脂パッケージに組立を行う。

【0040】

このように構成された面発光レーザにおいては、光取り出し面に(111)面が形成され、この(111)面にHCl処理を施すことにより、微小な凹凸を容易に形成することができる。従って、第1の実施形態と同様に、光取り出し効率の向上をはかることができる。本実施形態のレーザは赤色発光であるが、赤以外の半導体レーザにおいても上記効果を確認している。

30

【0041】

(変形例)

なお、本発明は上述した各実施形態に限定されるものではない。第1及び第2の実施形態では、緑色LEDについて説明したが、本発明は緑以外のLEDに適用しても同様の効果が得られる。そして、素子形成材料としては、InGaAlP以外にも、InGaAlAs系、GaAlAs系、GaP系などを用いることが可能である。さらに、各半導体層の組成、厚さ等の条件は、仕様に応じて適宜変更可能である。

40

【0042】

また、光取り出し面に露出させる面は、必ずしも(111)面丁度に限るものではなく、(111)面から少し傾いた面であってもよい。具体的には、(111)から $\pm 20$ 度程度の傾きの範囲内であればよい。さらに、(111)面に形成する凹凸は、高さ及び周期が発光波長以下であるのが最も望ましいが、必ずしもこの範囲に規定されるものではない。また、(111)面を有するパターンは必ずしもライン状である必要はなく、格子状であってもよい。格子状パターンを形成するには、ブレード装置を用いる場合は互いに交差する方向に加工すればよく、選択エッチングを利用する場合は、マスクの形状を格子状にすればよい。

50

## 【0043】

その他、本発明の要旨を逸脱しない範囲で、種々変形して実施することができる。

## 【0044】

## 【発明の効果】

以上詳述したように本発明によれば、基板上に発光層を含む半導体多層膜を積層し、基板と反対側の面から光を取り出す半導体発光素子において、半導体多層膜の光取り出し部に(111)面を有するパターン形成し、該(111)面に凹凸加工を施すことにより、半導体多層膜の最上層と透明樹脂との境界における全反射の影響で光取り出し効率が低下するのを防止することができ、光取り出し効率の向上をはかることができる。

## 【図面の簡単な説明】

【図1】第1の実施形態に係わる緑色LEDの素子構造を示す断面図。

【図2】第1の実施形態に係わる緑色LEDの製造工程を示す断面図。

【図3】実施形態構造の採用により光取り出し効率が向上する様子を示す図。

【図4】(111)面を形成するための例を示す断面図。

【図5】(111)面に形成した凹凸の例を示す断面図。

【図6】第2の実施形態に係わる緑色LEDの素子構造を示す断面図。

【図7】第3の実施形態に係わる面発光型半導体レーザの素子構造を示す断面図。

## 【符号の説明】

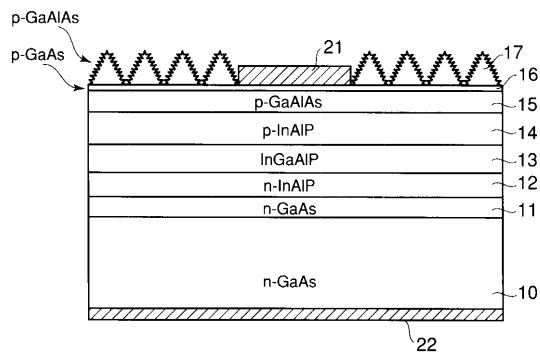
- |   |  |
|---|--|
| 10 ... n型GaAs基板   |  |
| 11 ... n型GaAs層(バッファ層)                                     |  |
| 12 ... n型In <sub>0.5</sub> Al <sub>0.5</sub> P層(第1クラッド層)  |  |
| 13 ... InGaAlP層(活性層)                                      |  |
| 14 ... p型In <sub>0.5</sub> Al <sub>0.5</sub> P層(第2クラッド層)  |  |
| 15 ... p型Ga <sub>0.5</sub> Al <sub>0.5</sub> As層(第1電流拡散層) |  |
| 16 ... p型GaAs層(エッチング停止層)                                  |  |
| 17 ... p型Ga <sub>0.5</sub> Al <sub>0.5</sub> As層(第2電流拡散層) |  |
| 18 ... n型GaAs層(キャップ層)                                     |  |
| 21 ... AuZn電極(p側電極)                                       |  |
| 22 ... AuGe電極(n側電極)                                       |  |
| 41 ... レジストマスク  |  |

10

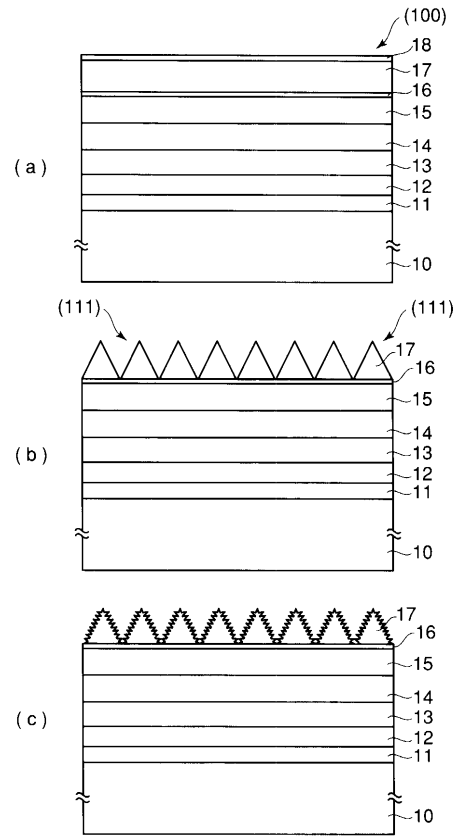
20

30

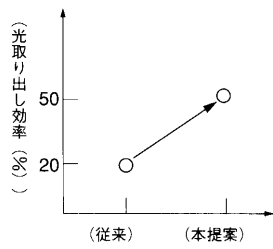
【 図 1 】



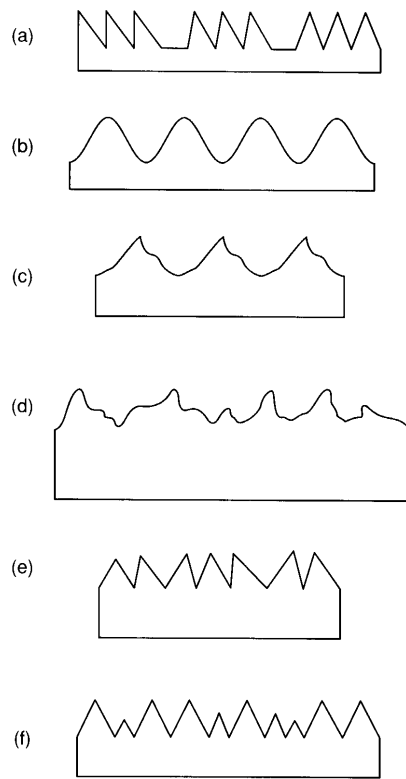
【 図 2 】



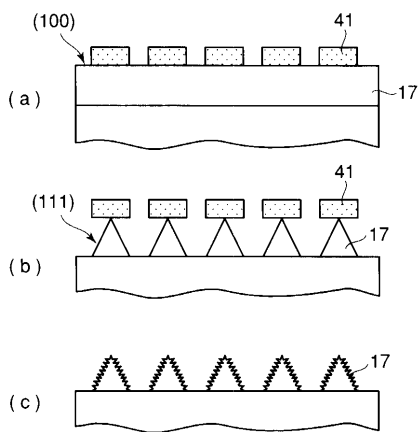
【 図 3 】



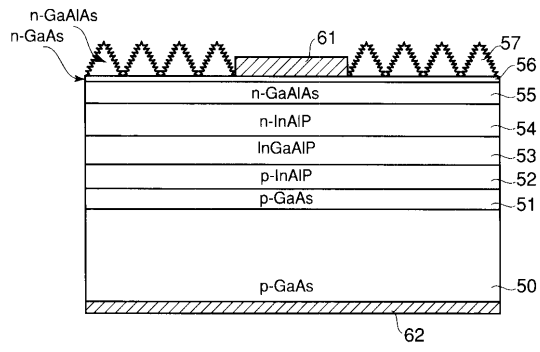
【 図 5 】



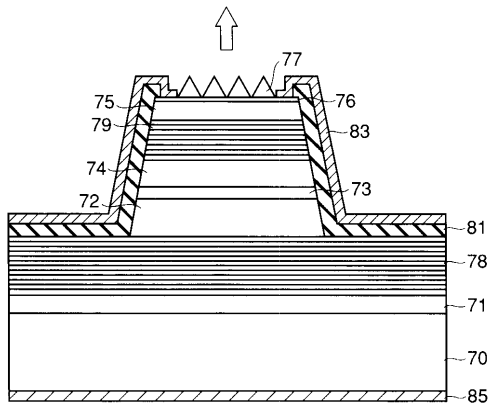
【 図 4 】



【 図 6 】



【 図 7 】



---

フロントページの続き

- (74)代理人 100070437  
弁理士 河井 将次
- (72)発明者 吉武 春二  
神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内
- (72)発明者 高橋 幸一  
神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内
- (72)発明者 布谷 伸仁  
神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内
- (72)発明者 大橋 健一  
神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内

審査官 土屋 知久

- (56)参考文献 特開平9 - 116191 (JP, A)  
特開昭51 - 23868 (JP, A)  
特開平10 - 200156 (JP, A)  
特開2000 - 196141 (JP, A)  
特開平7 - 162037 (JP, A)

- (58)調査した分野(Int.Cl., DB名)  
H01L 33/00