

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3762002号
(P3762002)

(45) 発行日 平成18年3月29日(2006.3.29)

(24) 登録日 平成18年1月20日(2006.1.20)

(51) Int. Cl.	F I
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 6 1 6 A
HO 1 L 29/786 (2006.01)	HO 1 L 29/78 6 1 7 J

請求項の数 12 (全 9 頁)

(21) 出願番号	特願平8-318957	(73) 特許権者	000003078
(22) 出願日	平成8年11月29日(1996.11.29)		株式会社東芝
(65) 公開番号	特開平10-163498		東京都港区芝浦一丁目1番1号
(43) 公開日	平成10年6月19日(1998.6.19)	(74) 代理人	100058479
審査請求日	平成15年11月18日(2003.11.18)		弁理士 鈴江 武彦
		(74) 代理人	100091351
			弁理士 河野 哲
		(74) 代理人	100088683
			弁理士 中村 誠
		(74) 代理人	100108855
			弁理士 蔵田 昌俊
		(74) 代理人	100084618
			弁理士 村松 貞男
		(74) 代理人	100092196
			弁理士 橋本 良郎

最終頁に続く

(54) 【発明の名称】 薄膜トランジスタ、及び液晶表示装置

(57) 【特許請求の範囲】

【請求項 1】

チャネル領域と、チャネル領域の両側に形成されたソース領域及びドレイン領域と、前記チャネル領域と前記ソース領域との間、前記チャネル領域と前記ドレイン領域との間の少なくとも一方に形成された低不純物濃度領域と、を有する半導体層と、

前記チャネル領域上にゲート絶縁膜を介して形成されたゲート電極と、を備えた薄膜トランジスタにおいて、

前記ゲート電極の側方で前記低不純物濃度領域上の少なくとも一部に形成されたサイドウォールと、

前記ゲート絶縁膜と前記サイドウォールとの間に形成されたエッチングストッパ層とを備え、前記エッチングストッパ層は金属材料であり前記ゲート電極と電氣的に接続されていることを特徴とする薄膜トランジスタ。

【請求項 2】

前記サイドウォールは、前記ゲート電極に対して自己整合的に形成され、且つ前記エッチングストッパ層は前記サイドウォールに対して自己整合的に形成されていることを特徴とする請求項 1 記載の薄膜トランジスタ。

【請求項 3】

前記金属材料は、Ti、Mo、W、Ta、Alのいずれか、もしくはそれらの合金からなることを特徴とする請求項 1 記載の薄膜トランジスタ。

【請求項 4】

前記半導体層は、多結晶シリコンからなり、前記ゲート絶縁膜と前記サイドウォールがともに酸化シリコンであることを特徴とする請求項 1 記載の薄膜トランジスタ。

【請求項 5】

前記サイドウォールは、体積密度で $1 \times 10^{18} / \text{cm}^3$ 以上 $1 \times 10^{21} / \text{cm}^3$ 以下の C を含有する酸化シリコンからなることを特徴とする請求項 1 記載の薄膜トランジスタ。

【請求項 6】

前記サイドウォールは、前記ゲート電極の側面に前記エッチングストッパ層を介して形成されていることを特徴とする請求項 1 記載の薄膜トランジスタ。

【請求項 7】

絶縁性基板上にマトリクス状に形成された走査線、及び信号線と、前記走査線と信号線との交点部近傍に形成された薄膜トランジスタと、前記薄膜トランジスタに接続された画素電極と、

を有するアレイ基板と、

前記アレイ基板に対向して配置された対向基板と、

前記アレイ基板と前記対向基板との間隙に挟持された液晶と、

を備えた液晶表示装置において、

前記薄膜トランジスタは、チャンネル領域と、チャンネル領域の両側に形成されたソース領域及びドレイン領域と、前記チャンネル領域と前記ソース領域との間、前記チャンネル領域と前記ドレイン領域との間の少なくとも一方に形成された低不純物濃度領域と、を有する半

導体層と、

前記チャンネル領域上にゲート絶縁膜を介して形成されたゲート電極と、

前記ゲート電極の側方で前記低不純物濃度領域上の少なくとも一部に形成されたサイドウォールと、

前記ゲート絶縁膜と前記サイドウォールとの間に形成されたエッチングストッパ層を備え、前記エッチングストッパ層は金属材料であり前記ゲート電極と電氣的に接続されていることを特徴とする液晶表示装置。

【請求項 8】

前記サイドウォールは、前記ゲート電極に対して自己整合的に形成され、且つ前記エッチングストッパ層は前記サイドウォールに対して自己整合的に形成されていることを特徴とする請求項 7 記載の液晶表示装置。

【請求項 9】

前記金属材料は、Ti、Mo、W、Ta、Alのいずれか、もしくはそれらの合金からなることを特徴とする請求項 7 記載の液晶表示装置。

【請求項 10】

前記半導体層は、多結晶シリコンからなり、前記ゲート絶縁膜と前記サイドウォールがともに酸化シリコンであることを特徴とする請求項 7 記載の液晶表示装置。

【請求項 11】

前記サイドウォールは、体積密度で $1 \times 10^{18} / \text{cm}^3$ 以上 $1 \times 10^{21} / \text{cm}^3$ 以下の C を含有する酸化シリコンからなることを特徴とする請求項 7 記載の液晶表示装置。

【請求項 12】

前記サイドウォールは、前記ゲート電極の側面に前記エッチングストッパ層を介して形成されていることを特徴とする請求項 7 記載の液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は薄膜トランジスタ、薄膜トランジスタの製造方法、及び液晶表示装置に係り、詳しくは LDD (Lightly Doped Drain) 構造を有する薄膜トランジスタに関する。

【0002】

10

20

30

40

50

【従来の技術】

現在、液晶表示装置は駆動回路をアレイ基板上に一体に作り込むという要求に応えるべく、多結晶シリコン (p - S i) 系の半導体層を用いた薄膜トランジスタ (T F T) の研究開発が進められている。

【0003】

この p - S i T F T は、単結晶シリコン薄膜トランジスタと同様にソース・ドレイン間に大きな電圧を印加すると、ブレイクダウンや T F T 特性の劣化を引き起こすことが知られている。これらの現象はドレイン近傍への電界の集中により、ホットキャリアが発生することなどが主要因と考えられ、T F T の微細化が進むにつれ、益々大きな問題となっていく。

10

【0004】

この問題を解決するために L D D 構造が有効であり、単結晶シリコン T F T では盛んに使われている。

しかしながら液晶表示装置のように、大型のガラス基板等の上ではエッチングの異方性や、低温プロセスの要求等から、単結晶シリコン T F T のプロセスをそのまま用いることができない。

【0005】

そこで単結晶シリコンのプロセスとは異なる手法で L D D 構造の T F T を形成するアイデアが検討され、例えば、特開平 6 - 1 0 4 2 7 9 号公報にはゲート電極の陽極酸化を利用してサイドウォールを形成する方法、特開平 5 - 1 7 5 2 3 0、特開平 5 - 2 7 5 4 5 0 号公報にはゲート電極のサイドエッチングを利用する方法、特開平 7 - 3 0 7 4 7 7 号公報には斜め方向からのドーピングを利用する方法、等が開示されている。

20

【0006】**【発明が解決しようとする課題】**

しかしながら、これらの方法は、サイドウォール幅の制御が充分でなかったり、工程が複雑になるなど、必ずしも満足のいく手法とは言えなかった。

本発明は上記問題点に鑑みなされたもので、簡単に作成でき精度のよい L D D 構造を有する薄膜トランジスタ、薄膜トランジスタの製造方法、及び液晶表示装置を提供することを目的とする。

【0007】**【課題を解決するための手段】**

本発明は、L D D 領域上にサイドウォールを備えた L D D 構造を有する薄膜トランジスタにおいて、L D D 領域とサイドウォールとの間にエッチングストッパ層を有し、エッチングストッパ層は金属材料であり、ゲート電極と電氣的に接続されていることを特徴とする薄膜トランジスタである。

30

【0008】

また、本発明は、上記した薄膜トランジスタを画素スイッチング、または駆動回路に用いた液晶表示装置である。

【0009】**【発明の実施の形態】**

以下に、本発明の実施例を図面を参照して詳細に説明する。

40

(実施例 1)

図 1 にトップゲート型の薄膜トランジスタ 10 の構成を示す。絶縁性基板 1 上に、島状に加工された半導体層 2 が形成されている。この半導体層 2 は、中央部にノンドープのチャネル領域 2 a、チャネル領域 2 a に隣接して不純物が低濃度にドーピングされた低不純物濃度 (L D D : L i g h t l y D o p e d D r a i n) 領域 2 b、さらに L D D 領域 2 b に隣接して不純物が高濃度にドーピングされた低抵抗領域 (ソース・ドレイン領域) 2 c、を有している。そしてその半導体層 2 を覆うようにゲート絶縁膜 3 が全面に形成されている。さらにゲート絶縁膜 3 上には、チャネル領域 2 a に対応する領域にゲート電極 4 が形成されており、L D D 領域 2 b に対応する領域とゲート電極 4 を覆うようにエッチ

50

ングストップパ層 5 が形成されている。そして、ゲート電極 4 の側方にエッチングストップパ層 5 を介してサイドウォール 6 が形成されている。さらに、この上全面に層間絶縁膜 7 が形成され、ソース電極 8、ドレイン電極 9 が形成されている。ソース電極 8 とドレイン電極 9 は、層間絶縁膜 7 とゲート絶縁膜 3 に形成されたコンタクトホールを介して低抵抗領域 2 c にそれぞれ接続されている。

【0010】

次に、この薄膜トランジスタの製造方法を図 2 を参照しながら工程を追って順に説明する。

まず、ガラス等からなる絶縁性基板 1 の一主面上に非晶質シリコン (a - Si) をプラズマ CVD (Chemical Vapour Deposition) 法により 0.05 μm の厚さに成膜する。この a - Si 膜にレーザを照射して多結晶化し、多結晶シリコン (p - Si) 膜とする。次にこの p - Si 膜をフォトリソグラフィによって島状に加工し、半導体層 2 とする。

10

【0011】

そして、この半導体層 2 を覆うように酸化シリコンを 0.1 μm の厚さに成膜し、ゲート絶縁膜 3 とする。同図 (a)

続いて、スパッタリング法により MoW 合金を 0.3 μm の厚さに成膜し、フォトリソグラフィによりエッチング加工してゲート電極 4 を形成する。このエッチング加工には垂直エッチングができるように例えば反応性イオンを用いた異方性ドライエッチングを用いる。

20

【0012】

そして、このゲート電極 4 をマスクとして例えば P の低濃度ドーピングを行う。ドーピングにはイオン注入を用い、ドーズ量 $1 \times 10^{13} / \text{cm}^2$ 、加速電圧 65 kV 程度が適当である。同図 (b)

次に、ゲート電極 4 を覆うように、膜厚 0.05 μm の Ti をスパッタリング法で成膜し、さらに膜厚 0.4 μm の酸化シリコンをプラズマ CVD 法により成膜する。同図 (c) そして、例えば RIE (Reactive Ion Etching) によって酸化シリコンを異方性エッチングし、Ti の表面でエッチングを停止させ、サイドウォール 6 を形成する。このときエッチングガスとして CHF_3 等を用いると Ti に対してエッチング選択比 10 以上を確保することができる。同図 (d) さらに、Ti を異方性エッチングし、ゲート絶縁膜 3 の表面でエッチングを停止させ、エッチングストップパ層 5 を形成する。このときエッチングガスとして CF_4 等を用いるとゲート絶縁膜 3 を構成している酸化シリコンに対しエッチング選択比 5 以上を確保することができる。

30

【0013】

そして、ゲート電極 4、エッチングストップパ層 5、サイドウォール 6 をマスクとして、例えば P の高濃度ドーピングを行う。ドーピングにはイオン注入を用い、ドーズ量 $1 \times 10^{16} / \text{cm}^2$ 、加速電圧 65 kV 程度が適当である。同図 (e)

次に全面に酸化シリコンなどの層間絶縁膜 7 を成膜する。

【0014】

そして、低抵抗領域 2 c のうちの一部領域上のゲート絶縁膜 3 と層間絶縁膜 7 とをフォトリソグラフィによってエッチング除去しコンタクトホールを形成する。

40

【0015】

そして、スパッタリング法によって Al を 0.5 μm の膜厚に成膜する。このとき Al 膜はコンタクトホールを介して低抵抗領域 2 c に接続されている。そしてフォトリソグラフィによってパターニングしソース電極 8、ドレイン電極 9 を形成する。同図 (f)

このようにして所望の薄膜トランジスタ 10 を得ることができる。

【0016】

本発明の薄膜トランジスタ 10 はサイドウォールを形成するためにゲート絶縁膜 3 とサイドウォール 6 を形成する膜との間にサイドウォール 6 と異なる膜質のエッチングストップパ層 5 を設けることで、サイドウォール 6 を形成する際の異方性エッチングの際にゲート絶

50

縁膜 3 へのダメージを抑えることができる。ここで、「異なる膜質」とは、あるエッチング条件でエッチング選択比が異なることを意味し、たとえ膜を構成する材質が同じであっても、組成、不純物の濃度、その他成膜条件等によりエッチング選択比が異なるものであれば、「異なる膜質」の範中にはいる。

【 0 0 1 7 】

また、本実施例のようにエッチングストッパ層 5 に導電材料を用いゲート電極 4 に接続すると、エッチングストッパ層 5 が実効的にゲート電極の一部となり、LDD 領域 2 b にゲート電極 4 がオーバーラップする構造とすることができる。この構造では、通常の LDD 構造と同様にドレイン端での電界強度が緩和されると共に、LDD 領域 2 b でのシリーズ抵抗によるオン電流低下を軽減することができる。またエッチングストッパ層 5 は半導体材料でも同様の効果を得られるが、そのときは不純物をドーピングする等によって抵抗を下げた材料を用いると良い。

10

【 0 0 1 8 】

さらに、サイドウォール 6 の材料としては酸化シリコン、窒化シリコン、酸窒化シリコン等の中から、エッチングストッパ層 5 は Ti、Mo、W、Ta、Al 等の中から選ばれた材料を用いるとエッチングの選択比、形状制御、TFET 特性、等の面で良好である。さらに言えば、サイドウォール 6 の材料としては窒化シリコンよりも酸化シリコン、酸窒化シリコン等の方がより優れている。これらの膜はラジカルでの等方的なエッチング速度が、イオンを用いた異方性エッチングの速度に比べて遅い傾向にあるからである。特に有機シラン、例えばテトラエトキシシラン (TEOS) を用いて形成した酸化シリコン膜はゲート電極への等方的な被覆性に優れており、サイドウォールの形状制御性に優れている。

20

【 0 0 1 9 】

本実施例においては薄膜トランジスタの特性上、ゲート絶縁膜 3 にシリコン酸化膜を用いているが、本発明のエッチングストッパ層を介在させることで、サイドウォール 6 にも酸化シリコン膜を用いることが可能になるわけである。つまり、本発明によって、ゲート絶縁膜 3 に使われている材料と同じ材料もしくは選択比の小さい材料もサイドウォール 6 の材料として選定することが可能になる。

【 0 0 2 0 】

また、有機シランを用いて形成した酸化シリコン膜は C を含有することが特徴である。本発明のサイドウォールにこの膜を用いる場合、C の濃度が低いと被覆性が悪化する問題があり、C の濃度が高いと十分な絶縁性が得られないという問題がある。十分な被覆性と絶縁性を有する C の濃度は体積密度で $1 \times 10^{18} / \text{cm}^3$ 以上 $1 \times 10^{21} / \text{cm}^3$ 以下の範囲が好適であることを見出した。

30

なお、本実施例ではチャネル領域の両側に LDD 領域を形成したが、チャネル領域の片側 (ドレイン側) のみに LDD 領域を形成することもある。

【 0 0 2 1 】

(実施例 2)

次に、ボトムゲート型の薄膜トランジスタ 60 の構成を図 3 (e) を参照して説明する。絶縁性基板 61 上にゲート電極 62 がパターン形成されており、このゲート電極 62 を覆うようにゲート絶縁膜 63 が形成されている。

40

【 0 0 2 2 】

そしてゲート絶縁膜 63 上に半導体層 64 がパターン形成されている。この半導体層 64 中央部にチャネル領域 64 a、チャネル領域 64 a に隣接して不純物が低濃度にドーピングされた LDD 領域 64 b、さらに LDD 領域 64 b に隣接して不純物が高濃度にドーピングされた低抵抗領域 64 c を有している。

【 0 0 2 3 】

そしてこの低抵抗領域にソース電極 65、ドレイン電極 66 が接続されている。

また、半導体層のチャネル領域 64 a 上にはマスク材 67 が形成され、さらに LDD 領域 64 b 上にはエッチングストッパ層 68、及びサイドウォール 69 が形成されている。

【 0 0 2 4 】

50

次にこの薄膜トランジスタの製造方法を図 3 を参照して説明する。

まず、ガラス等からなる絶縁性基板 6 1 の一主面上に例えば MoW、MoTa、Cr、Al 等の金属膜を成膜し、パターニングしてゲート電極 6 2 とする。

【0025】

さらにこのゲート電極 6 2 を覆うように例えば窒化シリコンを全面に成膜してゲート絶縁膜 6 3 とする。

さらに、ゲート絶縁膜 6 3 上に半導体層 6 4 として多結晶シリコンをパターン形成する。多結晶シリコンは、非晶質シリコンを成膜した後に熱、及びエネルギービーム等により多結晶化する方法、又は元々多結晶シリコンを成膜する方法、等様々な方法がある。

【0026】

次に、マスク材 6 7 を均一に成膜し、半導体層のチャネル領域 6 4 a に対応する領域を残すようにパターニングを行う。このパターニングは垂直に近い方が好ましい。

【0027】

次にこのマスク材 6 7 をマスクとして半導体層 6 4 中に不純物をドーピングする。同図 (a)

そして、マスク材 6 7 を覆うようにエッチングストッパ層 6 8 を成膜し、さらにその上から例えば酸化シリコンを成膜する。同図 (b)

次に、例えば RIE によって酸化シリコンを異方性エッチングし、エッチングストッパ層の表面でエッチングを停止させ、サイドウォール 6 9 を形成する。同図 (c)

さらに、エッチングガスを変えることにより、サイドウォール 6 9 をマスクとしてエッチングストッパ層 6 8 をエッチング除去する。

【0028】

そして、マスク材 6 7、エッチングストッパ層 6 8、サイドウォール 6 9 をマスクとして再び不純物をドーピングし、低抵抗領域 6 4 c を形成する。同図 (d)

さらに低抵抗領域 6 4 c に接続するようにソース電極 6 5、ドレイン電極 6 6 を形成して所望の薄膜トランジスタ 6 0 を得る。同図 (e)

本実施例の薄膜トランジスタ 6 0 においては、マスク材 6 7、エッチングストッパ層 6 8、サイドウォール 6 9 等は低抵抗領域 6 4 c 形成のための不純物ドーピングを終えたら、取り除いてもかまわない。取り除かない場合には、これらの材質は絶縁体であることが好ましい。

【0029】

また、本実施例は半導体層 6 4 の上に直接マスク材 6 7 を形成したが、半導体層 6 4 の上に絶縁膜を介してマスク材 6 7 を形成しても良い。

【0030】

(実施例 3)

次に本発明の液晶表示装置を図 4、及び図 5 を用いて詳細に説明する。

【0031】

図 4 は本実施例の液晶表示装置の断面図である。液晶表示装置はアレイ基板 3 1 と、このアレイ基板 3 1 に対向配置された対向基板 3 2 と、アレイ基板 3 1 と対向基板 3 2 とに挟持された液晶 3 3 とを備えている。

【0032】

アレイ基板 3 1 には、表示領域に画素スイッチング用の薄膜トランジスタ 5 0 a と、それに接続して画素電極 3 6 が形成されている。さらに非表示領域には駆動回路用の薄膜トランジスタ 5 0 b 群が形成されている。そしてそれらを覆うように配向膜 3 7 が形成されている。

【0033】

また、対向基板 3 2 には、表示領域にカラーフィルタ 3 8 が、表示領域の外周を囲むように遮光膜 3 9 が形成され、全面に対向電極 4 0、配向膜 4 1 が形成されている。

【0034】

そして、アレイ基板 3 1 と対向基板 3 2 とをそれぞれの電極が形成された面を対向させて

10

20

30

40

50

、シール材 4 2 によって貼り合わせている。

さらに、アレイ基板 3 1 と対向基板 3 2 とのそれぞれの外側の面には偏光板 4 3、4 4 が設けられている。

【0035】

また、図 5 は本実施例の液晶表示装置の平面図である。アレイ基板 3 1 の表示領域には、走査線 3 4 と信号線 3 5 がマトリクス状に配列され、その交点部近傍に上述した画素スイッチング用の薄膜トランジスタ 5 0 a が配置されている。そして走査線 3 4 と信号線 3 5 とで形成されるマトリクス状の開口部に対応して画素電極 3 6 が形成されている。

【0036】

また、アレイ基板 3 1 の非表示領域には駆動回路用の薄膜トランジスタ 5 0 b 群が作り込まれている。 10

上記した画素スイッチング用の薄膜トランジスタ 5 0 a と駆動回路用の薄膜トランジスタ 5 0 b に（実施例 1、2）で詳述した薄膜トランジスタ 1 0、または 6 0 を用いている。なお、駆動回路用の薄膜トランジスタ 5 0 b には p 型と n 型の薄膜トランジスタを用いて C-MOS 回路を採ることが一般的であり、電界集中に起因する劣化現象は n 型に比べて p 型の方が程度が軽いので、n 型の薄膜トランジスタのみに上述した LDD 構造を採用することもできる。

【0037】

また、本発明は、薄膜トランジスタの上に絶縁膜を介して画素電極を設ける、いわゆる画素上置き構造のアレイ基板や、カラーフィルタ、遮光膜等が形成されたアレイ基板を用いる液晶表示装置にも適用できる。 20

【0038】

【発明の効果】

本発明によれば、サイドウォールを形成する際のエッチングでサイドウォールの下層となる層にダメージを与えることなく、LDD 領域を有する薄膜トランジスタを作成することができる。

【0039】

また、本発明によれば、使用することのできるサイドウォール材料のバリエーションが増え、構造、プロセス等の条件により好適なサイドウォール材料を選ぶことが可能になる。

【図面の簡単な説明】

30

【図 1】本発明の実施例 1 における薄膜トランジスタの断面図である。

【図 2】本発明の実施例 1 における薄膜トランジスタの製造工程を示す図である。

【図 3】本発明の実施例 2 における薄膜トランジスタの製造工程を示す図である。

【図 4】本発明の実施例 3 における液晶表示装置の断面図である。

【図 5】本発明の実施例 3 における液晶表示装置の平面図である。

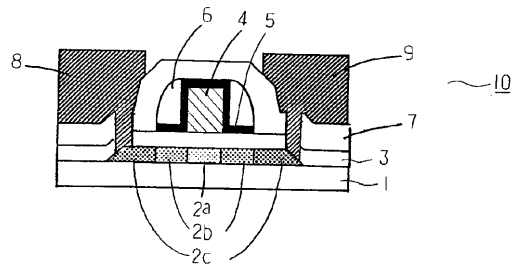
【符号の説明】

- 1、6 1 ... 絶縁性基板
- 2、6 4 ... 半導体層
- 3、6 3 ... ゲート絶縁膜
- 4、6 2 ... ゲート電極
- 5、6 8 ... エッチングストッパ層
- 6、6 9 ... サイドウォール
- 1 0、6 0 ... 薄膜トランジスタ
- 3 1 ... アレイ基板
- 3 2 ... 対向基板
- 3 3 ... 液晶
- 3 4 ... 走査線
- 3 5 ... 信号線
- 3 6 ... 画素電極
- 6 7 ... マスク材

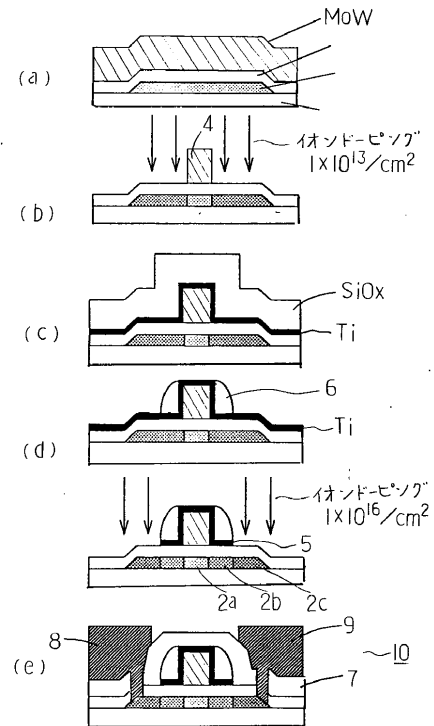
40

50

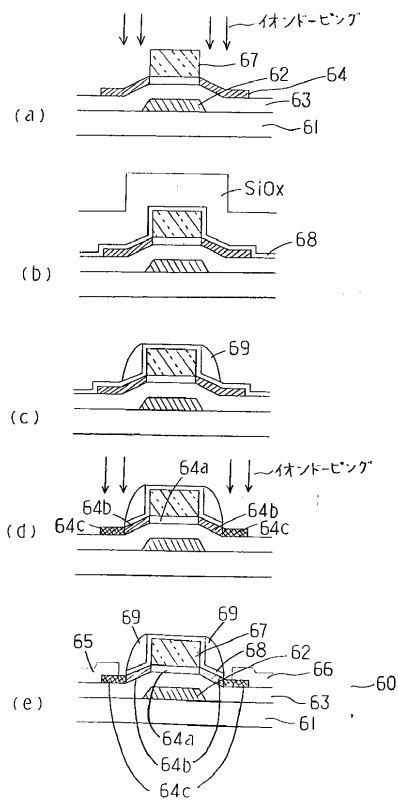
【図 1】



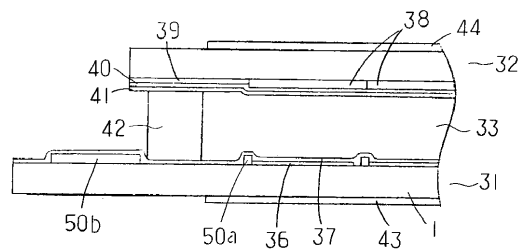
【図 2】



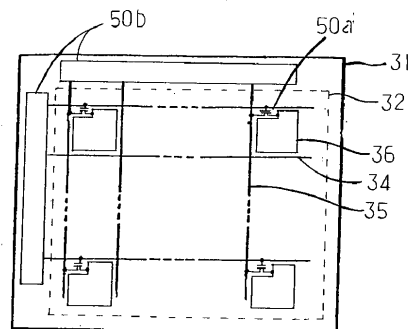
【図 3】



【図 4】



【図 5】



フロントページの続き

(74)代理人 100109900

弁理士 堀口 浩

(72)発明者 福田 加一

神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝 横浜事業所内

(72)発明者 上本 勉

神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝 横浜事業所内

(72)発明者 平山 秀雄

神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝 横浜事業所内

(72)発明者 河村 真一

神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝 横浜事業所内

(72)発明者 鳥山 重隆

神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝 横浜事業所内

審査官 松田 成正

(56)参考文献 特開平 07 - 321338 (JP, A)

特開平 07 - 321337 (JP, A)

特開平 06 - 224428 (JP, A)

特開平 02 - 273933 (JP, A)

特開平 04 - 343424 (JP, A)

特開平 08 - 023078 (JP, A)

特開平 07 - 307304 (JP, A)

特開平 05 - 181159 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/336

H01L 29/786