

## 【特許請求の範囲】

## 【請求項 1】

ゲートと、第 1 材料によってほぼ構成されるソース/ドレインコンタクト領域と、を有するトランジスタ素子のソース/ドレインコンタクト領域とのコンタクトを形成するための方法であって、

第 1 材料の原子の原子半径よりも大きい原子半径を有する原子を含む粒子をソース/ドレインコンタクト領域の或る領域にイオン注入する工程と、

ソース/ドレインコンタクト領域にイオン注入された粒子の原子を活性化させる工程と、

原子の活性化に続いて、ソース/ドレインドーパントをソース/ドレインコンタクトにイオン注入する工程と、

活性化の後に、金属シリサイドをソース/ドレインコンタクト領域を覆うように形成してコンタクトを形成する工程と、を備える方法。

## 【請求項 2】

原子を活性化させる処理では更に、原子を活性化させて原子をソース/ドレインコンタクト領域の格子の置換位置に取り込み、格子は第 1 材料の原子を有する、請求項 1 記載の方法。

## 【請求項 3】

原子を活性化させる処理では、ソース/ドレインコンタクト領域の格子の格子定数を大きくする、請求項 1 記載の方法。

## 【請求項 4】

前記第 1 材料はシリコンである、請求項 1 記載の方法。

## 【請求項 5】

イオン注入する原子はゲルマニウム原子を含む、請求項 4 記載の方法。

## 【請求項 6】

イオン注入する原子はゲルマニウム原子を含む、請求項 1 記載の方法。

## 【請求項 7】

活性化させる処理では、ソース/ドレインコンタクト領域を 550 超の或る温度にまで加熱する、請求項 1 記載の方法。

## 【請求項 8】

活性化させる処理では、ソース/ドレインコンタクト領域を 1000 超の或る温度にまで加熱する、請求項 1 記載の方法。

## 【請求項 9】

活性化させる処理では更に、ソース/ドレインコンタクト領域を約 900 ~ 1400 の範囲の或る温度にまで加熱する、請求項 1 記載の方法。

## 【請求項 10】

活性化させる処理では更に、高速熱アニール法による熱処理をソース/ドレインコンタクト領域に対して行なう、請求項 1 記載の方法。

## 【請求項 11】

活性化させる処理では更に、レーザアニールをソース/ドレインコンタクト領域に施す、請求項 1 記載の方法。

## 【請求項 12】

活性化させる処理では更に、アークランプによる加熱を用いたアニールをソース/ドレインコンタクト領域に対して行なう、請求項 1 記載の方法。

## 【請求項 13】

活性化させる処理では更に、ガス対流を利用したアニールをソース/ドレインコンタクト領域に対して行なう、請求項 1 記載の方法。

## 【請求項 14】

粒子のイオン注入は 25 ~ 600 の範囲の或る温度で行なう、請求項 1 記載の方法。

## 【請求項 15】

金属シリサイドはニッケルシリサイドであることを特徴とする、請求項 1 記載の方法。

【請求項 16】

金属シリサイドはコバルトシリサイドであることを特徴とする、請求項 1 記載の方法。

【請求項 17】

サイドウォールスペーサをゲートのサイドウォールに隣接して形成する工程をさらに備え、粒子のイオン注入はサイドウォールスペーサの形成の前に行なう、請求項 1 記載の方法。

【請求項 18】

サイドウォールスペーサの形成は、ソース/ドレインドーパントをイオン注入する前に行なう、請求項 17 記載の方法。

【請求項 19】

ゲートは半導体基板の上に位置し、ソース/ドレインコンタクト領域は半導体基板の中に位置し、かつソース/ドレインコンタクト領域はゲートから横方向に延びる形で配置される、請求項 1 記載の方法。

【請求項 20】

前記ソース/ドレインドーパントをイオン注入した後に、第 2 ソース/ドレインドーパントを半導体基板にイオン注入する工程をさらに備え、第 2 ソース/ドレインドーパントは前記ソース/ドレインドーパントよりも深くイオン注入される、請求項 19 記載の方法。

【請求項 21】

粒子のイオン注入では更に、少なくとも 3 KeV のエネルギーでイオン注入する、請求項 19 記載の方法。

【請求項 22】

粒子のイオン注入では更に、3 KeV ~ 50 KeV の範囲の或るエネルギーでイオン注入する、請求項 19 記載の方法。

【請求項 23】

粒子のイオン注入では更に、少なくとも  $1 \times 10^{13}$  原子/cm<sup>2</sup> のドーズ量でイオン注入する、請求項 19 記載の方法。

【請求項 24】

粒子のイオン注入では更に、 $1 \times 10^{13} \sim 1 \times 10^{17}$  原子/cm<sup>2</sup> の範囲の或るドーズ量でイオン注入する、請求項 19 記載の方法。

【請求項 25】

粒子のイオン注入は、25 ~ 600 の間の或る温度で行なう、請求項 19 記載の方法。

【請求項 26】

トランジスタは第 2 ソース/ドレインコンタクトを有し、

粒子のイオン注入では更に、粒子を第 2 ソース/ドレインコンタクト領域にイオン注入し、

原子を活性化させる処理では更に、第 2 ソース/ドレインコンタクト領域にイオン注入された粒子の原子を活性化させ、

ソース/ドレインドーパントのイオン注入では更に、ソース/ドレインドーパントを第 2 ソース/ドレインコンタクト領域にイオン注入し、

更に、第 2 金属シリサイドを第 2 領域の上に形成して第 2 コンタクトを形成する、請求項 1 記載の方法。

【請求項 27】

ソース/ドレインドーパントはボロンを含む、請求項 1 記載の方法。

【請求項 28】

ゲートは半導体基板の上に位置し、かつチャネルはゲート下の基板の中に位置し、更にソース/ドレインエクステンションを半導体基板のチャネルに隣接して形成する、請求項 1 記載の方法。

10

20

30

40

50

## 【請求項 29】

粒子はイオンを含み、イオンは原子を含む、請求項 28 記載の方法。

## 【請求項 30】

ソース/ドレインエクステンションの形成では、

第 2 ソース/ドレインドーパントを基板にイオン注入してソース/ドレインエクステンションを形成し、第 2 ソース/ドレインドーパントのイオン注入は、前記ソース/ドレインドーパントのイオン注入の前に行なう、請求項 28 記載の方法。

## 【請求項 31】

更に、前記ソース/ドレインドーパントを活性化させる、請求項 1 記載の方法。

## 【請求項 32】

原子を含む粒子は、ゲルマニウム、ガリウム、砒素、インジウム、錫、アンチモン、タリウム、鉛、ビスマス、亜鉛、カドミウム、水銀、セレンウム、テルリウム、及びポロニウムの内の一つのみを含む、請求項 1 記載の方法。

## 【請求項 33】

原子を含む粒子は、ガリウム、砒素、インジウム、錫、アンチモン、タリウム、鉛、ビスマス、亜鉛、カドミウム、水銀、セレンウム、テルリウム、ゲルマニウム、及びポロニウムの内の少なくとも一つを含む、請求項 1 記載の方法。

## 【請求項 34】

第 1 材料の原子からなる基板の或る領域に、第 1 材料の原子の原子半径よりも大きい原子半径を有する原子からなる粒子をイオン注入する工程と、

前記基板の或る領域にイオン注入された原子を、拡散を起こさない活性化プロセスによって活性化させる工程と、

活性化の後に、金属シリサイドを第 2 領域の上に形成する工程とを備える、半導体素子の製造方法。

## 【請求項 35】

拡散を起こさない活性化プロセスは、アークランプによる加熱を用いた高速熱アニールを或る領域に対して行なう処理、及びレーザアニールを或る領域に施す処理の内の一つの処理を含む、請求項 34 記載の方法。

## 【請求項 36】

ゲートを、或る格子定数を有する格子を有する半導体基板の上に形成する工程と、

ゲートを形成した後に、基板の或る領域の格子の格子定数を大きくする工程と、

格子定数を大きくした後に、ソース/ドレインドーパントを基板にイオン注入してソース/ドレイン領域の少なくとも一部分を基板の中に形成する工程と、

金属シリサイドを或る領域の一部分の上に形成する工程とを備える、半導体素子の製造方法。

## 【請求項 37】

前記第 1 材料はシリコンである、請求項 36 記載の方法。

## 【請求項 38】

金属シリサイドはニッケルシリサイドであることを特徴とする、請求項 36 記載の方法。

## 【請求項 39】

金属シリサイドはコバルトシリサイドであることを特徴とする、請求項 36 記載の方法。

## 【請求項 40】

金属シリサイドはソース/ドレイン領域の上に形成される、請求項 36 記載の方法。

## 【請求項 41】

ゲートはトランジスタのゲートであり、金属シリサイドはトランジスタのソース/ドレイン金属シリサイドである、請求項 36 記載の方法。

## 【請求項 42】

前記ソース/ドレインドーパントはボロンを含む、請求項 36 記載の方法。

10

20

30

40

50

**【請求項 4 3】**

前記ソース／ドレインドーパントは、ソース／ドレインエクステンションを基板の中に形成するためのソース／ドレインエクステンションドーパントを含む、請求項 3 6 記載の方法。

**【請求項 4 4】**

ゲートをシリコン半導体基板の上に形成する工程と、

ゲートを形成した後に、ゲルマニウムを含む粒子を基板の或る領域にイオン注入する工程と、

或る領域にイオン注入したゲルマニウムを活性化させる工程と、

ゲルマニウムの活性化に続いて、ソース／ドレインドーパントを基板にイオン注入してソース／ドレイン領域の少なくとも一部分を基板の中に形成する工程と、 10

活性化の後に、ニッケルシリサイドを或る領域の上に形成する工程とを備える、半導体素子の製造方法。

**【請求項 4 5】**

ゲート積層構造と、第 1 材料により主として構成され、かつ或る格子定数を有するソース／ドレインコンタクト領域と、を有するトランジスタ素子構造におけるコンタクト形成方法であって、

第 1 材料の原子の原子半径よりも大きい原子半径を有する原子を含む粒子をソース／ドレインコンタクト領域にイオン注入する工程と、

ソース／ドレインコンタクト領域にイオン注入された粒子の原子を活性化させて、ソース／ドレインコンタクト領域の格子定数を大きくする工程と、 20

原子の活性化の後に、金属シリサイドをソース／ドレインコンタクト領域の上に形成する工程とを備える、方法。

**【請求項 4 6】**

原子を活性化させた後に、かつ金属シリサイドを形成する前に、ソース／ドレインコンタクト領域に P 型材料をドーブする工程をさらに備える、請求項 4 5 記載の方法。

**【請求項 4 7】**

第 1 材料はシリコンを含み、原子はゲルマニウムを含み、かつ金属シリサイドはニッケルシリサイドを含む、請求項 4 6 記載の方法。

**【発明の詳細な説明】**

30

**【技術分野】****【0001】**

本発明は半導体素子に関し、特にシリサイドをソース／ドレインに用いた半導体素子に関する。

**【背景技術】****【0002】**

一般的な半導体の製造における半導体素子では、不純物濃度が非常に高いドレインをチャネルとの接合部に形成するとともに、非常に高い不純物濃度を有したドレイン領域を、コンタクトを取るために使用すべく形成する。ソースも同様な方法で形成される。ドレインとのコンタクトは金属シリサイドを使用して形成される。このコンタクトは、金属層を堆積させ、次に金属層を高不純物濃度ドレインコンタクト領域のシリコンと反応させて金属シリサイドコンタクト領域を形成することにより行なわれる。次に、シリコンが無い領域に位置する未反応金属を全て、金属シリサイドをエッチングしない選択性を示すエッチャントでエッチング除去する。このようにして、この金属シリサイドが半導体素子のソース及びドレインのコンタクトポイントとなる。 40

**【0003】**

一つの効果的な金属がコバルトであることが分かっている。コバルトは効果的であるが、寸法が非常に小さいポリシリコンに使用するのは難しいことが判明している。従って、コバルトに関しては、信頼性の高い連続的なコバルトシリサイドを幅の狭いポリシリコン配線の上に形成する必要があるという問題がある。これは「線幅依存性 (line wi 50

d t h e f f e c t ) 」とも呼ばれる。従って、この問題を解決するために他の金属が研究されている。有望な金属の一つがニッケルである。ニッケルシリサイドを形成するためにニッケルを使用すると、コバルトシリサイドの場合に可能であることが判明している。線幅よりも狭い線幅に対して効果的である。しかしながら、ニッケルシリサイドは、ニッケルシリサイドのスパイクが目標深さよりも深い位置にまで逆ピラミッド形で生じるので用いるのが難しい。ニッケル原子はドレインの下方に延びる下方経路に沿って継続的に拡散し易い。このスパイクが生じる場合、シリサイド構造がニッケルダイシリサイドであることが判明している。このニッケルダイシリサイドが形成されると、特にPチャネルトランジスタである半導体素子を制御するのが難しくなる。シリコン原子よりも小さいボロンのようなドーパント原子はシリコン格子の収縮を起こす。これにより、シリコン基板格子がニッケルダイシリサイドの格子に一致するので、収縮が生じない場合に形成されるニッケルモノシリサイド相ではなくニッケルダイシリサイド相の核形成が起こる。

#### 【0004】

従って、ニッケルシリサイドをソース/ドレイン上に、Pチャネルトランジスタの製造効率を高める形で形成することを可能にする方法が必要になる。

#### 【発明を実施するための最良の形態】

#### 【0005】

当業者であれば、これらの図における構成要素が説明を簡単かつ明瞭にするために示され、そして必ずしも寸法通りには描かれていないことが分かるであろう。例えば、これらの図における幾つかの構成要素の寸法を他の構成要素に対して誇張して描いて本発明の実施形態を理解し易くしている。

#### 【0006】

一の態様では、非常に深い位置へのゲルマニウムイオン注入及び注入ゲルマニウムの活性化を、ニッケルシリサイドを形成するために使用するニッケルの堆積の前に行なう。ゲルマニウムを活性化することによって、イオン注入領域の格子定数が、母体基板（好適にはシリコン）の格子定数よりも大きくなる。これによる効果は、このような変形が加えられた格子によってニッケルダイシリサイドの形成が阻止されることである。その結果、ニッケルシリサイドのスパイクの形成が阻止される。この様子は、添付の図及び次の記述を参照することにより一層明瞭に理解することができる。

#### 【0007】

図1に示すのは半導体素子10であり、この半導体素子は、半導体基板12と、ゲート誘電体16上のゲート14と、そしてゲルマニウムイオン注入が施されるゲート14の近傍のライナー膜18と、を備える。イオン注入及びそれに続くアニールを行なう結果、変形格子領域20, 22が形成される。半導体素子10は本例では、Pチャネルトランジスタに形成されている。基板12は好適にはシリコンであり、N型不純物をドーブしてNウェル領域が形成され得る。この処理は、P型バルク基板を使用し、そしてN型不純物を能動領域に選択的にドーブしてPチャネルトランジスタを形成することにより行なわれ、この場合、基板12は大きな基板の内部のウェル領域である。ライナー膜18は酸化工程によって形成される。他の理由により設けられる反射防止コーティング(ARC)によってゲート14上部の酸化を防止し、その後、反射防止コーティングを除去する。領域20, 22はゲート14に隣接する、というのは、ゲート14が、領域20, 22を形成するゲルマニウムイオン注入の間のマスクとして機能するからである。基板12の内、領域20と領域22との間に位置する領域は、Pチャネルトランジスタのチャンネルが設けられるべき領域である。アニール後の領域20, 22は、シリコンのみの格子構造よりも格子間隔が広がった格子を有する。格子間隔が広がった格子は、ニッケルダイシリサイドの格子間隔よりも広い間隔を有し、これによってニッケルダイシリサイドの形成が難しくなる。本実施形態におけるゲルマニウムイオン注入は、少なくとも3 KeVの注入エネルギーで、少なくとも $10^{10} \sim 10^{13}$  (1E13) 原子/cm<sup>2</sup>のドーズ量で行なうことが好ましい。一例は、10 KeVの注入エネルギー、1E15 原子/cm<sup>2</sup>のドーズ量である。好適にはエネルギーは50 KeVを超えてはならないが、50 KeVを超えることも可能

である。ドーズ量は  $1 \times 10^{17}$  原子 /  $\text{cm}^2$  を超えないことが好ましいが、それよりも大きくすることも可能である。ゲルマニウムを活性化させるアニールは、900 ~ 1400 の間の温度で行われることが好ましい。活性化は、更に低い、550 のような温度でも生じ得る。効果的なアニールの一例は、1050 で5秒間のアニールである。

#### 【0008】

図2に示すのは、サイドウォールスペーサ24をゲート14の周りに形成し、そしてボロンをソース/ドレインにイオン注入してソース/ドレイン領域26及び28を、ゲート14及びサイドウォールスペーサ24をマスクとして使用して形成した後の素子10である。ボロンイオン注入は2フッ化ボロンを使用して行なうことができる。後続の熱処理プロセスの間にボロンのほとんどが残り、そしてフッ素のほとんどはガスとして放出される。このイオン注入はエクステンションイオン注入と呼ばれる場合がある。このエクステンションイオン注入によってソース/ドレインエクステンション領域26及び28が形成され、これらの領域は形成される最終形態のPチャネルトランジスタのチャネルとの境界に位置する。これらのソース/ドレイン領域26及び28は、格子定数が変化した格子領域20及び22の内部にそれぞれ形成される。しかしながら、領域20及び22が存在する場合におけるエクステンション領域26及び28のこのような形成は、半導体処理技術分野では公知である。

#### 【0009】

図3に示すのは、サイドウォールスペーサ30をサイドウォールスペーサ24の周りに形成し、そしてボロンをソース/ドレインにイオン注入してソース/ドレインコンタクト領域34及び36を、ゲート14、サイドウォールスペーサ24、及びサイドウォールスペーサ30をマスクとして使用して形成した後の素子10である。サイドウォールスペーサ30は、2以上の層から成る複合層とすることができる。例えば、このサイドウォールスペーサは酸化膜層の上に窒化膜層が形成される構成とすることができる。この場合、領域34及び36は格子定数が変化した格子領域20及び22の下方に延びる。特にSOI基板においては、ソース/ドレインコンタクトイオン注入及びゲルマニウムイオン注入を半導体層と、半導体層下の絶縁層との境界で停止させることもできる。これらのソース/ドレインコンタクト領域34及び36はディープソース/ドレインとしても知られるが、格子定数が変化した格子領域20及び22が設けられる場合にソース/ドレインコンタクト領域34及び36を形成する処理は半導体処理技術分野において公知である。

#### 【0010】

図4に示すのは、図2及び3に示すソース/ドレインに注入されたイオンをアニールした後の半導体素子10である。このアニールにより、注入されたこれらのイオンを活性化させ、そして領域26, 28, 34, 及び36を拡散させる。エクステンション領域であるソース/ドレイン領域26及び28が拡散して、これらの領域の位置がゲート14の少なくともエッジの位置に揃うようになる。アニールによって、領域28及び36、及び領域26及び34は、これらの領域が設けられるとすると、これらの領域の不純物濃度が徐々に変化して、これらの領域が1つの領域に効果的に融合するようになる。しかしながら、格子定数が変化した格子領域20及び22が設けられる場合の、図4に関して記載されるプロセスは半導体製造分野においては公知である。

#### 【0011】

図5に示すのは、本例ではニッケルである金属層38を堆積させた後の半導体素子10である。この層38はソース/ドレイン領域26及び28、ゲート14、及びサイドウォールスペーサ30と直接接触する。

#### 【0012】

図6に示すのは、ニッケルシリサイドを、ニッケル層38がシリコンと接触する位置に形成する熱処理工程の後の半導体素子10である。その結果、ソース/ドレイン領域34上及びソース/ドレイン領域34中のシリサイド領域40、ソース/ドレイン領域36上及びソース/ドレイン領域36中のシリサイド領域42、及びゲート14上及びゲート14中のシリサイド領域44が形成される。これらのシリサイド領域40, 42, 及び44

10

20

30

40

50

は、所望通りの電気接続を形成するために効果的なコンタクトである。

【 0 0 1 3 】

図 7 に示すのは、層 3 8 の内、シリサイド化されなかった部分を除去した後の半導体素子 1 0 である。この処理は、本例ではニッケルである金属、及び本例ではニッケルシリサイドである金属シリサイドに対して選択性を示すピラニア (piranha:  $\text{H}_2\text{SO}_4$  /  $\text{H}_2\text{O}_2$ ) のようなエッチャントを使用して行なわれる。次に、素子に対してアニールを追加して、必要に応じてシリサイド形成を完了させる。しかしながら、この最後のアニールは行なう必要がある、または行なう必要がないが、いずれにするかは素子形成に使用するプロセス技術によって変わる。しかしながら、格子定数が変化した格子領域 2 0 及び 2 2 が設けられる場合の、図 5 ~ 7 に関して記載した工程は半導体製造分野においては公知である。

10

【 0 0 1 4 】

別の実施形態では、ディープソース/ドレインイオン注入に使用されるサイドウォールスペースを形成してコンタクト領域を形成してしまうまで、ゲルマニウムイオン注入の実施を遅らせる。このような場合においては、エクステンションイオン注入は、ソース/ドレインエクステンション領域を形成するゲルマニウムイオン注入の前に行ない、ディープソース/ドレインイオン注入に使用されるサイドウォールスペースを形成し、そしてゲルマニウムイオン注入を行なう。これにより、ゲルマニウムイオン注入領域が更に、図 2 の領域 2 0 及び 2 2 よりもチャンネルから遠くなる方向にずれる。ゲルマニウムイオン注入の後に、かつディープソース/ドレインイオン注入の前に、イオン注入ゲルマニウムを、拡散を起こさないアニールと考えることができる超短時間高温アニールで活性化させる。アニールの例として、フラッシュアニール及びレーザアニールが挙げられる。フラッシュアニールではアークランプを利用し、アークランプは非常に高速の昇降温を行って加熱を行なう。フラッシュアニールを行なうのは、チャンネル領域においてエクステンション領域が互いに向かって拡散することなく、ゲルマニウムイオン注入領域の格子定数を大きくするためである。格子定数が変化した格子領域を形成した後、ディープソース/ドレインイオン注入を行なう。次に、低不純物濃度領域及び高不純物濃度領域を、これらの領域に関連する標準の方法を使用して活性化させることができる。従って、後続のシリサイドは、格子定数が大きくなった領域の上に形成されるのでニッケルシリサイドスパイクが生じない。

20

30

【 0 0 1 5 】

従って、少なくともソース/ドレインコンタクト領域に一部分を有する領域 2 0 及び 2 2 のような格子定数が大きくなった領域は、ニッケルシリサイドのスパイクを防止するために有用であり、かつコバルトシリサイドのような他の金属シリサイドのスパイクまたは金属シリサイドによる浸食を防止するために効果的となり得る。本記載例における格子定数増大領域は約 4 0 0 オングストロームの深さである。この深さはシリサイドの深さよりも深いことが好ましい。従って、好適な最小深さは少なくともシリサイドの深さである。4 0 0 オングストロームよりも深い深さも効果的となり得る。ゲルマニウムを活性化させて格子定数が変化した格子領域 2 0 及び 2 2 を形成する処理は、シリサイド領域の形成の前であればどの時点で行っても良いが、この処理はソース/ドレイン領域 2 6 , 2 8 , 3 4 , 及び 3 6 のイオン注入の前に行なうことが好ましい。格子定数が変化した格子領域 2 0 及び 2 2 の活性化をソース/ドレインイオン注入の後まで遅らせると、ソース/ドレインイオン注入ドーパント原子との競合が格子サイトにおいて生じる。これによって、格子間隔が十分に变化せず、所望の効果が得られない。ゲルマニウムはスパイクを防止するために効果的であることが分かっているが、他のイオン注入材料も効果的である。例えば、効果的な他の材料として、ガリウム、砒素、インジウム、錫、アンチモン、タリウム、鉛、ビスマス、亜鉛、カドミウム、水銀、セレンウム、テルリウム、及びポロニウムを挙げることができる。これらの材料は全て、シリコンよりも大きな原子半径を有し、そして活性化が可能であり、かつシリコン格子の置換サイトに入り込むことができることが分かっている I I , I I I , I V , V , または V I 族元素に属する。格子定数を大きくするため

40

50



に、これらの元素のいずれか、またはこれらの元素のいずれかの組み合わせを使用して所望の結果を得ることができる。

【 0 0 1 6 】

これまでの明細書では、本発明について特定の実施形態を参照しながら記載してきた。しかしながら、この技術分野の当業者であれば、種々の変形及び変更をこれらの実施形態に、以下の請求項に示す本発明の技術範囲から逸脱しない範囲において加え得ることが理解できるであろう。例えば、必要な特性を有する基板の格子定数を変化させるためには他の方法を用いることができる。また、ソース/ドレインコンタクト領域は、基板の平面よりも上方に隆起した領域に位置させることができる。これらは隆起ソース/ドレインと呼ばれる。このような場合では、格子定数を大きくするためのソース/ドレインコンタクト領域へのイオン注入が隆起領域に入り込む形で行なわれ、シリサイドが隆起領域にも形成されることになる。従って、本明細書及び図は制限的な意味ではなく、例示として捉えられるべきであり、かつこのような変形は全て本発明の技術範囲に含まれるものである。

10

【 0 0 1 7 】

効果、他の利点、及び技術的問題に対する解決法について、特定の実施形態に関して上に記載してきた。しかしながら、効果、利点、及び問題解決法、及びこのような効果、利点、または問題解決法をもたらす、またはさらに顕著にし得る全ての要素（群）が、いずれかの請求項または全ての請求項の必須の、必要な、または基本的な特徴または要素であると解釈されるべきではない。本明細書で使用されるように、「*comprises*」、「*comprising*」という用語、または他の全てのこれらの変形は包括的な意味で適用されるものであり、一連の要素を備えるプロセス、方法、製品、または装置がこれらの要素のみを含むのではなく、明らかにには列挙されていない、またはそのようなプロセス、方法、製品、または装置に固有の他の要素も含むことができる。

20

【図面の簡単な説明】

【 0 0 1 8 】

【図 1】本発明の或る実施形態に従って処理するための連続する工程での半導体素子の断面図。

【図 2】本発明の或る実施形態に従って処理するための連続する工程での半導体素子の断面図。

【図 3】本発明の或る実施形態に従って処理するための連続する工程での半導体素子の断面図。

30

【図 4】本発明の或る実施形態に従って処理するための連続する工程での半導体素子の断面図。

【図 5】本発明の或る実施形態に従って処理するための連続する工程での半導体素子の断面図。

【図 6】本発明の或る実施形態に従って処理するための連続する工程での半導体素子の断面図。

【図 7】本発明の或る実施形態に従って処理するための連続する工程での半導体素子の断面図。

【図 1】

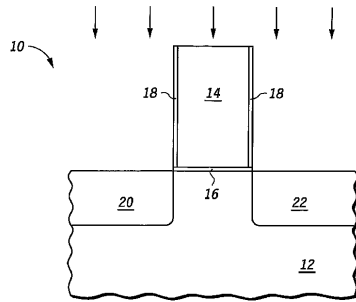


FIG. 1

【図 2】

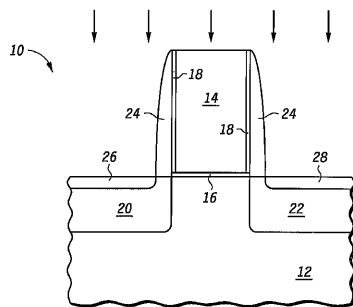


FIG. 2

【図 3】

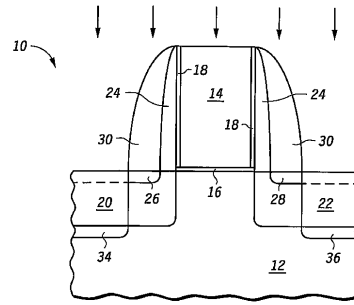


FIG. 3

【図 4】

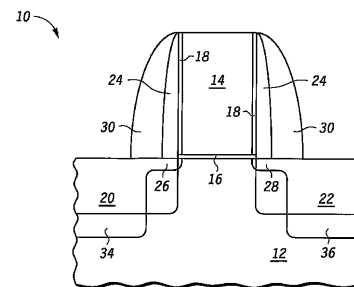


FIG. 4

【図 5】

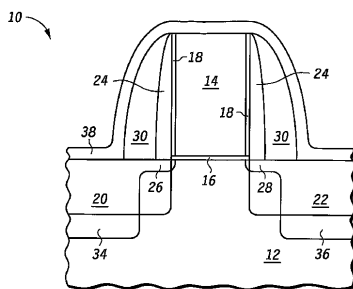


FIG. 5

【図 7】

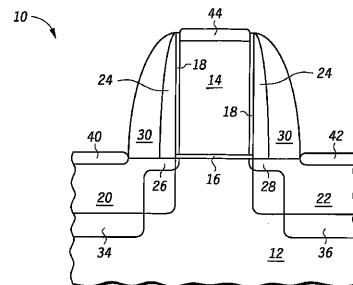


FIG. 7

【図 6】

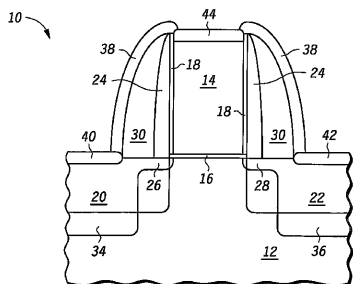


FIG. 6

## 【 国際調査報告 】

INTERNATIONAL SEARCH REPORT		International application No. PCT/US04/35546
<b>A. CLASSIFICATION OF SUBJECT MATTER</b> IPC(7) : H01L 21/336 US CL : 438/301, 592, 369, 373, 514, 527, 301, 660, 663, 664, 682 According to International Patent Classification (IPC) or to both national classification and IPC		
<b>B. FIELDS SEARCHED</b> Minimum documentation searched (classification system followed by classification symbols) U.S. : 438/301, 592, 369, 373, 514, 527, 301, 660, 663, 664, 682 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched None Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) Please See Continuation Sheet		
<b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b>		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US 4,243,433 A (GIBBONS et al) 06 January 1981 (06.01.1981), see column 1, lines 13-19; and column 4, lines 4-25.	35
Y	US 5,506,427 A (IMAI et al) 09 April 1996 (09.04.1996), see column 5, line 66; column 6, line 2 and column 6, lines 7-10.	12
Y/P	US 6,797,593 B2 (CHAKRAVARTHI et al) 28 September 2004 (28.09.2004), see entire document.	17-18, 20, 28-31
Y	US 6,486,062 B1 (KLUTH et al) 26 November 2002 (26.11.2002), see entire document.	15-16, 38, 39, 44, 47
Y	US 2002/0187614 A1 (DOWNEY et al) 12 December 2002 (12.12.2002), paragraph 0032 and paragraph 0031.	10, 11
Y	US 2003/0087504 A1 (EROKIN et al.) 08 May 2003 (08.05.2003), see entire document.	8, 14, 25
X	US 5,770,512 A (MURAKOSHI et al) 23 June 1998 (23.06.1998), see entire document.	1-7, 9, 19, 21-24, 26, 27, 32-34, 36, 37, 40-42, 46, 46
Y		13
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents:		
"A"	document defining the general state of the art which is not considered to be of particular relevance	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"B"	earlier application or patent published on or after the international filing date	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"L"	document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"O"	document referring to an oral disclosure, use, exhibition or other means	"&" document member of the same patent family
"P"	document published prior to the international filing date but later than the priority date claimed	
Date of the actual completion of the international search 19 July 2005 (19.07.2005)		Date of mailing of the international search report 22 JUL 2005
Name and mailing address of the ISA/US Mail Stop PCT, Attn: ISA/US Commissioner for Patents P.O. Box 1450 Alexandria, Virginia 22313-1450 Facsimile No. (703) 305-3230		Authorized officer Jose Deas Telephone No. 571-272-1569

Form PCT/ISA/210 (second sheet) (January 2004)

## INTERNATIONAL SEARCH REPORT

International application No.  
PCT/US04/35546

C. (Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X --- Y	US 5,296,387 A (ARONOWITZ et al) 22 March 1994 (22.03.1994), see entire document.	1-7, 9, 19, 21-24, 26, 27, 32-34, 40-42, 45- 46  8, 10-18, 20, 25, 28-31 35, 38, 39, 43, 44, 47

**INTERNATIONAL SEARCH REPORT**

International application No.  
PCT/US04/35546

Continuation of B. FIELDS SEARCHED Item 3:  
EAST (BRS) USPAT, USOCR, USPG-PUB, JPO, EPO, DERWENT, IBM, TDB  
Search Terms: anneal\$3 near5 gas near5 convect\$3 and @ad<="20031121"

## フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW

(72)発明者 ケイブ、ニゲル ジー .

アメリカ合衆国 7 8 7 3 5 テキサス州 オースティン マグデレナ ドライブ 5 3 1 5

(72)発明者 レンデン、マイケル

アメリカ合衆国 7 8 7 4 9 テキサス州 オースティン ジョン チザム レーン 6 3 1 0

Fターム(参考) 4M104 AA01 BB20 BB21 CC01 DD02 DD26 DD64 DD78 DD84 GG09

GG10 GG14 HH20

5F140 AA01 AA39 AC01 BA01 BF04 BF11 BF18 BG10 BG12 BG34

BG44 BG45 BG49 BH14 BH22 BJ01 BJ08 BK02 BK10 BK13

BK21 BK34 BK38 BK39 CB08 CF04 CF07