



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2013년08월13일
(11) 등록번호 10-1296572
(24) 등록일자 2013년08월07일

- (51) 국제특허분류(Int. C1..)
H01L 23/12 (2006.01)
- (21) 출원번호 10-2007-0057541
- (22) 출원일자 2007년06월13일
심사청구일자 2012년04월24일
- (65) 공개번호 10-2007-0119521
- (43) 공개일자 2007년12월20일
- (30) 우선권주장
JP-P-2006-00164822 2006년06월14일 일본(JP)
- (56) 선행기술조사문현
JP01050450 A
JP2002050715 A
KR101117848 B1
- 전체 청구항 수 : 총 7 항

- (73) 특허권자
르네사스 일렉트로닉스 가부시끼가이샤
일본 가나가와Ken 가와사끼시 나카하라구 시모누마
베 1753
- (72) 발명자
다노우에 테쓰하루
일본 도쿄도 지요다구 마루노우찌 2조메 4반 1고
가부시끼가이샤르네사스 테크놀로지 지페끼자이산
엔 도오까쓰부 내
- (74) 대리인
이중희, 장수길

심사관 : 이명진

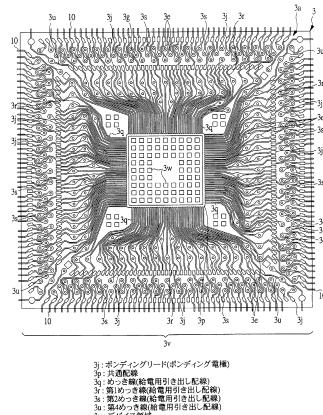
(54) 발명의 명칭 반도체 장치의 제조 방법

(57) 요 약

본 발명은 반도체 장치의 다핀화를 도모하면서 배선에 전해 도금을 실시하는 것을 가능하게 한다.

주요면(3a)의 디바이스 영역(3v) 내에 있어서 본딩 리드(3j)의 내측 영역에 급전용의 링 형상의 공통 배선(3p)이 형성된 패키지 기판(3)을 이용함으로써 공통 배선(3p)에 접속하는 복수의 급전용의 제1 도금선(3r) 및 제4 도금선(3u)을 배치할 수 있기 때문에, 이면의 모든 랜드부에 대해 전해 도금용의 급전선을 배치할 수 있다. 이에 의해, 패키지 기판(3)의 주요면(3a)과 상기 이면의 배선에 대해 전해 도금을 실시하는 것이 가능해지고, 상기 이면의 전체 주위에 걸쳐서 복수열의 상기 랜드부가 마련되어 있어도 모든 상기 랜드부에 전해 도금을 실시할 수 있어, 그 결과 반도체 장치의 다핀화를 도모하면서 배선에 전해 도금을 실시할 수 있다.

대 표 도 - 도9



특허청구의 범위

청구항 1

삭제

청구항 2

삭제

청구항 3

삭제

청구항 4

삭제

청구항 5

삭제

청구항 6

삭제

청구항 7

삭제

청구항 8

삭제

청구항 9

삭제

청구항 10

삭제

청구항 11

삭제

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

청구항 15

삭제

청구항 16

- (a) 상면과, 상기 상면에 형성된 복수의 본딩 전극과, 상기 상면과는 반대측의 하면과, 상기 하면에 형성된 복수의 랜드부와, 상기 상면과 상기 하면의 사이에 형성된 복수의 홀과, 상기 복수의 홀 내에 각각 형성된 복수의 홀 배선과, 평면시(平面視)에 있어서, 상기 복수의 홀로 둘러싸여진 영역 내에 형성된 공통 배선과, 상기 복수의 홀 배선과 각각 접속되는, 또한, 상기 복수의 홀 배선으로부터 상기 공통 배선을 향해서 각각 신장되는 복수의 제1 인출 배선과, 상기 복수의 본딩 전극의 각각에 형성된 도금막을 갖는 배선 기판을 준비하는 공정과,
- (b) 상기 (a) 공정의 후, 복수의 패드를 갖는 반도체 칩을, 상기 배선 기판의 상기 상면 위에 탑재하는 공정과,
- (c) 상기 (b) 공정의 후, 상기 반도체 칩의 상기 복수의 패드를, 복수의 도전성 부재를 통해서 상기 배선 기판의 상기 복수의 본딩 전극과 각각 전기적으로 접속하는 공정과,
- (d) 상기 (c) 공정의 후, 상기 반도체 칩을 수지로 밀봉하는 공정을 포함하고,

여기서, 상기 도금막을 형성한 후, 또한, 상기 (b) 공정의 전에, 상기 복수의 제1 인출 배선의 각각은, 상기 공통 배선으로부터 전기적으로 분리되어 있는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 17

제16항에 있어서, 상기 공통 배선은, 평면시에 있어서, 령 형상으로 형성되어 있고, 상기 배선 기판은, 평면시에 있어서, 사각형으로부터 이루어지고, 상기 복수의 홀은, 평면시에 있어서, 상기 배선 기판의 각 변을 따라 배치되어 있는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 18

제17항에 있어서, 복수의 더미 패턴은, 평면시에 있어서, 상기 공통 배선의 내측에 형성되어 있는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 19

제16항에 있어서, 복수의 더미 패턴은, 평면시에 있어서, 상기 복수의 홀로 둘러싸여진 영역 내에 형성되어 있는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 20

제19항에 있어서, 상기 복수의 더미 패턴은, 상기 상면 및 상기 하면의 양쪽에 형성되어 있는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 21

제16항에 있어서, 제2 인출 배선은, 상기 배선 기판의 주연부로부터 상기 공통 배선을 향해서 신장되고 있어, 상기 도금막을 형성한 후, 또한, 상기 (b) 공정의 전에, 상기 제2 인출 배선은, 상기 공통 배선으로부터 전기적으로 분리되어 있는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 22

- (a) 상면과, 상기 상면에 형성된 복수의 본딩 전극과, 상기 상면과는 반대측의 하면과, 상기 하면에 형성된 복수의 랜드부와, 상기 상면과 상기 하면의 사이에 형성된 복수의 홀과, 상기 복수의 홀 내에 각각 형성된 복수의 홀 배선과, 평면시에 있어서, 상기 복수의 홀로 둘러싸여진 영역 내에 형성된 공통 배선과, 상기 복수의 홀 배선과 각각 접속되는, 또한, 상기 복수의 홀 배선으로부터 상기 공통 배선을 향해서 각각 신장되는 복수의 제1 인출 배선과, 상기 복수의 랜드부의 각각에 형성된 도금막을 갖는 배선 기판을 준비하는 공정과,
- (b) 상기 (a) 공정의 후, 복수의 패드를 갖는 반도체 칩을, 상기 배선 기판의 상기 상면 위에 탑재하는 공정과,
- (c) 상기 (b) 공정의 후, 상기 반도체 칩의 상기 복수의 패드를, 복수의 도전성 부재를 통해서 상기 배선 기판의 상기 복수의 본딩 전극과 각각 전기적으로 접속하는 공정과,
- (d) 상기 (c) 공정의 후, 상기 반도체 칩을 수지로 밀봉하는 공정을 포함하고,

여기서, 상기 도금막을 형성한 후, 또한, 상기 (b) 공정의 전에, 상기 복수의 제1 인출 배선의 각각은, 상기 공통 배선으로부터 전기적으로 분리되어 있는 것을 특징으로 하는 반도체 장치의 제조 방법.

명세서

발명의 상세한 설명

발명의 목적

종래기술의 문헌 정보

[0060] [문헌 1] 일본 특허 공개 제2005-79129호 공보(도1)

[0061] [문헌 2] 일본 특허 공개 제2002-50715호 공보(도1)

발명이 속하는 기술 및 그 분야의 종래기술

[0062] 본 발명은 반도체 장치의 제조 기술에 관한 것으로, 특히 금전선이 마련된 배선 기판을 이용하는 반도체 장치의 제조에 적용하기에 유효한 기술에 관한 것이다.

[0063] 제품 부분에 제2 도체 배선 패턴의 복수를 단락시키기 위한 제1 인출 배선 및 이를 도중에 단락시키지 않고 접속시키기 위한 이음선이 마련되고, 제1 도체 배선 패턴을 통해 제2 도체 배선 패턴에 전해 도금 피막이 실시된 후, 이음선이 삭제되어 복수의 제2 도체 배선 패턴 사이가 단선되는 삭제부를 갖고 이루어지는 기술이 있다(예를 들어, 문헌 1 참조).

[0064] 또한, 기판의 일면측에 외측 비아군보다도 외측에 형성된 도금용 버스 라인과, 외측 비아군의 각 비아를 도체 패턴에 의해 접속하는 동시에, 기판의 다른 면측에 내측 비아군보다도 내측에 형성되고, 내측 비아군의 각 비아와 도체 패턴에 의해 접속된 도금용 공통 라인과, 기판의 다른 면측에서 또한 외측 비아군보다도 외측에 형성된 도금용 버스 라인으로부터 금전하여 전해 도금을 실시하는 기술이 있다(예를 들어, 문헌 2 참조).

발명이 이루고자 하는 기술적 과제

[0065] 배선 기판 상에 반도체 칩이 탑재된 BGA(Ball Grid Array) 등의 반도체 장치에서는, 그 고기능화에 수반하여 본딩 전극의 수가 증대되는 경향이 있다. 최근에는, 반도체 장치의 소형화도 동시에 요구되므로, 배선 기판의 주요면에 마련된 복수의 본딩 전극은 복수열로 배치되지 않으면, 배선 기판 사이즈를 저감하는 것은 곤란하다.

[0066] 여기서, 배선 기판 상의 배선에는 기판의 제조 단계에서 도금 형성이 행해진다. 이 도금 형성 공정은 후의 와이어 본딩 공정에 있어서의 와이어와 본딩 전극의 접합 강도를 향상시키기 위해, 본딩 전극의 표면 상에 도금막을 형성하는 것이다. 또한, 랜드부에 있어서도 땜납 볼과의 접합 강도를 향상시키기 위한 도금막을 형성하는 것이기도 한다. 도금은, 예를 들어 니켈과 금의 각각의 막으로 이루어진다. 도금 형성의 방법으로서는, 주로 전해 도금 방법과 무전해 도금 방법이 알려져 있지만, 전해 도금 방법에 의해 형성된 도금막쪽이 무전해 도금 방법에 비교하여 와이어 본딩에 대한 접합 강도가 높고, 또한 전해 도금 방법쪽이 도금의 막 두께를 제어하는 것이 용이하다는 등의 장점이 있다.

[0067] 따라서, 전해 도금 방법을 채용하는 것이 바람직하지만, 전해 도금 방법을 채용할 경우에는 배선 기판에 도금용의 금전선을 마련하는 것이 필요해진다.

[0068] 그런데, 소형화·다핀화가 도모된 BGA 등에서는, 상기한 바와 같이 배선 기판의 주요면측에 있어서 본딩 전극이 복수열에 걸쳐서 배치되어 있다. 그로 인해, 배선 기판의 외주를 따라 복수의 본딩 전극 및 복수의 본딩 전극과 복수의 금전용 인출 배선을 통해 연결되는 복수의 관통 훌부가 밀집되어 배치되어 있기 때문에, 내주(내측)에 배치된 복수의 본딩 전극에 전해를 공급하기 위한 금전선을 배선 기판의 단부(각 변)까지 연장시키는 것은 곤란하다. 한편, 배선 기판의 이면측에 있어서도 반도체 장치의 소형화·다핀화에 수반하여 땜납 볼이 마련되는 복수의 랜드부가 격자 형상으로 배치되고, 인접하는 랜드부 사이의 피치도 협피치화(예를 들어, 피치 0.4 mm)되므로, 인접한 랜드부 사이에 금전선을 통과시키는 것은 곤란한 상태이다. 즉, 배선 기판의 이면측에 있어서, 모든 랜드부(특히 배선 기판의 중심측에 배치된 랜드부)에 대해 기판의 단부까지 연장되는 전해 도금용의 금전선을 배치하는 것은 곤란하다는 문제가 발생된다.

[0069] 또한, 상기 문헌 1(일본 특허 공개 제2005-79129호 공보) 및 문헌 2(일본 특허 공개 제2002-50715호 공보)에는 전해 도금 방법에 의한 도금 형성이 개시되어 있고, 양자 모두 기판의 이면의 내측 부위(중앙부)에서 전해 도금 용의 인출 배선의 공통화를 행하고 있다.

- [0070] 이 구조에서 반도체 장치가 다핀인 경우, 예를 들어 기판의 이면에 전체 주위에 걸쳐서 5열로 랜드부가 마련되어 있을 경우에는, 내측으로부터 2열째 이후의 랜드부로부터는 공간이 없기 때문에 내측(중앙부)을 향해 급전용의 인출 배선을 배치할 수 없고, 중앙부에서의 전해 도금용의 인출 배선의 공통화가 도모되지 않는다. 마찬가지로, 기판의 이면에는 전체 주위에 걸쳐서 5열로 랜드부가 마련되어 있으므로, 중앙부의 공통 배선으로부터 기판 외측을 향해 전해 도금용의 인출 배선을 인출할 수도 없다(최외주열에 배치된 인접하는 랜드부 사이는 최외주열로부터 2열째에 배치된 랜드부와 연결되는 급전선을 통과시킬 수 있을 공간밖에 없음). 또한, 기판의 이면에 공통 배선이 마련되어 있으면, 레지스트(솔더 레지스트) 도포 후, 애칭에 의해 공통 배선을 분리한 후, 공통 배선의 단부가 레지스트로부터 노출된 상태가 되어 흡습의 문제나 도전성 이물질 부착에 의한 전기적 쇼트의 문제 등이 발생된다.
- [0071] 본 발명의 목적은 반도체 장치의 다핀화를 도모하면서, 배선에 전해 도금을 실시하는 것을 가능하게 할 수 있는 기술을 제공하는 데 있다.
- [0072] 또한, 본 발명의 다른 목적은 반도체 장치의 소형화를 도모하면서, 배선에 전해 도금을 실시하는 것을 가능하게 할 수 있는 기술을 제공하는 데 있다.
- [0073] 본 발명의 상기 및 그 밖의 목적과 신규인 특징은 본 명세서의 기술 및 첨부된 도면으로부터 명백하게 될 것이다.

발명의 구성 및 작용

- [0074] 본원에 있어서 개시되는 발명 중 대표적인 것의 개요를 간단하게 설명하면, 이하와 같다.
- [0075] 즉, 본 발명은 주요면에 형성된 복수의 본딩 전극과, 주요면의 본딩 전극의 내측 영역에 형성된 급전용의 공통 배선과, 공통 배선과 전기적으로 접속하는 복수의 급전용 인출 배선을 갖는 배선 기판의 디바이스 영역 내에 있어서, 급전용 인출 배선을 통해 급전을 행하여 각 배선 및 전극에 도금을 형성한 후, 공통 배선과 급전용 인출 배선을 분리하여 형성된 배선 기판을 준비하는 공정을 포함하는 것이다. 또한, 배선 기판의 주요면 상에 반도체 칩을 탑재하는 공정과, 반도체 칩의 전극과 배선 기판의 본딩 전극을 전기적으로 접속하는 공정과, 배선 기판의 이면의 랜드부에 외부 단자를 마련하는 공정을 포함하고 있다.
- [0076] 이하의 실시 형태에서는 특히 필요할 때 이외는 동일 또는 같은 부분의 설명을 원칙적으로 반복하지 않는다.
- [0077] 또한, 이하의 실시 형태에서는 편의상 그 필요가 있을 때에는 복수의 섹션 또는 실시 형태로 분할하여 설명하지만, 특별히 명시한 경우를 제외하고, 그들은 상호 무관한 것은 아니며, 한쪽은 다른 쪽의 일부 또는 전부의 변형예, 상세, 보충 설명 등의 관계가 있다.
- [0078] 또한, 이하의 실시 형태에 있어서 요소의 수 등(개수, 수치, 양, 범위 등을 포함함)에 언급할 경우, 특별히 명시한 경우 및 원리적으로 명백하게 특정한 수로 한정될 경우 등을 제외하고, 그 특정한 수로 한정되는 것은 아니며, 특정한 수 이상이나 이하라도 좋은 것으로 한다.
- [0079] 이하, 본 발명의 실시 형태를 도면을 기초로 하여 상세하게 설명한다. 또한, 실시 형태를 설명하기 위한 전체 도면에 있어서, 동일한 기능을 갖는 부재에는 동일한 부호를 붙여, 그 반복 설명은 생략한다.
- [0080] (실시 형태)
- [0081] 도1은 본 발명의 실시 형태의 반도체 장치의 구조의 일례를 도시하는 단면도, 도2는 도1에 도시한 A부의 구조를 도시하는 확대 부분 단면도, 도3은 도1에 도시한 반도체 장치의 내부 구조의 일례를 수지체를 투과하여 도시하는 확대 부분 평면도, 도4는 도1에 도시한 반도체 장치의 구조의 일례를 도시하는 이면도이다. 또한, 도5는 도1에 도시한 반도체 장치의 최외주의 랜드부와 접속하는 급전선의 일례를 도시하는 확대 부분 단면도, 도6은 외측으로부터 2열째의 랜드부와 접속하는 급전선의 일례를 도시하는 확대 부분 단면도, 도7은 외측으로부터 3열째와 4열째의 랜드부와 접속하는 배선의 일례를 도시하는 확대 부분 단면도, 도8은 도1에 도시한 반도체 장치의 최내주의 랜드부와 접속하는 급전선의 일례를 도시하는 확대 부분 단면도이다. 또한, 도9는 도1에 도시한 반도체 장치의 조립으로 이용되는 배선 기판의 주요면의 배선 패턴의 일례를 도시하는 평면도, 도10은 도9에 도시한 배선 기판의 이면의 배선 패턴의 일례를 도시하는 평면도, 도11은 도9에 도시한 배선 기판의 주요면측의 레지스트막의 개구부의 레이아웃의 일례를 도시하는 평면도, 도12는 도9에 도시한 배선 기판의 제조에 있어서의 에치백 시의 마스크 영역의 일례를 도시하는 평면도이다.
- [0082] 또한, 도13은 도9에 도시한 배선 기판의 제조에 있어서의 에치백 후의 구조의 일례를 도시하는 평면도, 도14는

도9에 도시한 배선 기판의 제조에 있어서의 에치백 전의 처리 순서의 일례를 도시하는 단면도, 도15는 도9에 도시한 배선 기판의 제조에 있어서의 에치백 전후의 처리 순서의 일례를 도시하는 단면도, 도16은 변형예의 배선 기판의 주요면의 배선 패턴을 도시하는 평면도이다. 또한, 도17은 도1에 도시한 반도체 장치의 조립에 있어서의 다이 본딩 후의 구조의 일례를 도시하는 단면도, 도18은 도17에 도시한 다이 본딩 후의 구조의 일례를 도시하는 평면도, 도19는 와이어 본딩 후의 구조의 일례를 도시하는 단면도, 도20은 수지 몰딩 후의 구조의 일례를 도시하는 단면도, 도21은 땜납 볼 탑재 후의 구조의 일례를 도시하는 단면도이다.

- [0083] 본 실시 형태의 반도체 장치는 배선 기판 상에 반도체 칩(1)이 탑재된 수지 밀봉형의 반도체 패키지이며, 본 실시 형태에서는 그 일례로서, 도1 내지 도4에 도시한 바와 같은 BGA(7)를 예를 들어 설명한다. 또한, BGA(7)는, 예를 들어 300핀 이상의 외부 단자를 갖고 있고, 비교적 편수가 많은 반도체 패키지이다. 도4에 도시한 바와 같이 배선 기판의 이면(3b)에 복수의 외부 단자인 땜납 볼(8)이 격자 형상으로 배치되어 설치되어 있다.
- [0084] 도1 내지 도4에 도시한 BGA(7)의 구조에 대해 설명하면 패키지 기판(배선 기판)(3)과, 패키지 기판(3)의 주요면(3a) 상에 탑재된 반도체 칩(1)과, 반도체 칩(1)의 패드(전극)(1c)와 패키지 기판(3)의 주요면(3a)의 본딩 리드(본딩 전극)(3j)를 전기적으로 접속하는 도전성의 와이어(4)와, 패키지 기판(3)의 이면(3b)의 랜드부(3d) 상에 마련된 복수의 땜납 볼(외부 단자)(8)과, 수지체(6)로 이루어진다.
- [0085] 반도체 칩(1)은, 예를 들어 실리콘 등에 의해 형성되고, 그 주요면(1a)에는 집적 회로가 형성되어 있다. 또한, 반도체 칩(1)에 있어서의 그 두께와 교차하는 평면 형상은 사각형이고, 본 실시 형태에서는 정방형이다. 또한, 도3에 도시한 바와 같이 주요면(1a)의 주연부에는 집적 회로와 전기적으로 접속되는 복수의 패드(1c)가 형성되어 있다. 또한, 이 패드(1c)와, 패키지 기판(3)의 주요면(3a) 상에 형성된 본딩 리드(3j)가 도전성의 와이어(4)에 의해 각각 전기적으로 접속되어 있다. 이 와이어(4)는, 예를 들어 금선 등이다.
- [0086] 또한, 반도체 칩(1)은, 도1에 도시한 바와 같이 그 이면(1b)이 페이스트제나 다이어테치 필름 등의 접착제(2)를 통해 패키지 기판(3)에 고정 부착되고, 주요면(1a)을 상방을 향한 상태로 패키지 기판(3)에 탑재되어 있다.
- [0087] 또한, 수지체(6)는, 예를 들어 에폭시계 수지 등으로 이루어지는 동시에, 패키지 기판(3)의 주요면(3a) 측에 형성되어 있고, 반도체 칩(1) 및 복수의 도전성의 와이어(4)를 수지 밀봉하는 것이다.
- [0088] 또한, 패키지 기판(3)의 이면(3b)에 마련된 복수의 외부 단자인 땜납 볼(8)은, 예를 들어 Pb-Sn 등의 땜납으로 이루어지고, 도4에 도시한 바와 같이 패키지 기판(3)의 이면(3b)에, 예를 들어 5열 배치로 격자 형상으로 마련되어 있다.
- [0089] 여기서, 패키지 기판(3)은 도1 및 도2에 도시한 바와 같이 주요면(3a)과, 주요면(3a)에 대향하는 이면(3b)과, 코어재(3c)와, 주요면(3a)에 형성된 복수의 도체 패턴과, 이면(3b)에 형성된 복수의 도체 패턴과, 상기 도체 패턴의 일부를 제외한 이 도체 패턴을 덮는 절연막인 솔더 레지스트막(3k)을 갖고 있다.
- [0090] 즉, 본 실시 형태의 패키지 기판(3)은 그 주요면(3a)과 이면(3b)에 상기 도체 패턴이 형성된 2층 배선 구조의 기판이다. 또한, 솔더 레지스트막(3k)은 주요면(3a) 및 이면(3b) 각각의 표면에 형성되어 있고, 주요면(3a) 측에서는 솔더 레지스트막(3k)의 개구부(3f)에 복수의 본딩 리드(3j)가 노출되어 있다. 한편, 이면(3b)에서는 각각의 랜드부(3d)가 솔더 레지스트막(3k)으로부터 노출되어 있다.
- [0091] 또한, 패키지 기판(3)의 주요면(3a)에는 도3 및 도9에 도시한 바와 같이 복수의 본딩 리드(3j)와, 각각의 본딩 리드(3j)에 배선부(3i)를 통해 접속된 복수의 비아부(관통 홀)가 형성되어 있다. 복수의 본딩 리드(3j)는 주요면(3a)의 주연부 및 그 내측에 2열로 나열하여 배치되어 있다.
- [0092] 한편, 패키지 기판(3)의 이면(3b)에는 도2 및 도10에 도시한 바와 같이 복수의 랜드부(3d)와, 복수의 랜드부(3d) 중 일부의 랜드부(3d)에 접속된 인출 배선(3h)과, 인출 배선(3h)에 접속된 비아부(관통 홀)가 각각 복수 형성되어 있다. 그때, 복수의 랜드부(3d)는 이면(3b)의 외주부에 따라 5열로 나열하여 형성되어 있다.
- [0093] 따라서, 주요면(3a)에 마련된 복수의 본딩 리드(3j)는, 각각 대응하는 비아부(관통 홀)를 통해 이면(3b)의 랜드부(3d)에 전기적으로 접속되어 있다. 또한, 주요면(3a)의 본딩 리드(3j), 배선부(3i), 비아부(관통 홀), 이면(3b)의 랜드부(3d), 배선부(3i) 및 비아부(관통 홀) 등의 도체 패턴은, 예를 들어 동합금에 의해 형성되어 있고, 상기 도체 패턴에는 전해 도금 처리가 실시되어 있다. 즉, 각 도체 패턴에는 금전선이 접속되어 있고, 금전선으로부터 금전을 행하여 각 도체 패턴에 있어서의 솔더 레지스트막(3k)으로부터 노출된 면(복수의 본딩 리드, 복수의 랜드부)에 도금막(3z)을 형성하고 있다. 도금막(3z)은, 예를 들어 금과 니켈의 각각의 막으로 이루어진다.

- [0094] 또한, 패키지 기판(3)에 있어서의 그 두께와 교차하는 평면 형상은 사각형이며, 본 실시 형태에서는 정방형이다.
- [0095] 또한, 본 실시 형태의 패키지 기판(3)에 형성된 복수의 비아부는, 도2에 도시한 바와 같이 랜드부(3d)에 접속하는 인출 배선(3h)에 의해 평면 방향으로 인출되어 배치된 제1 관통 홀부(제1 비아부)(3e)와, 랜드부(3d) 상[랜드부(3d)와 평면적으로 겹치는 위치]에 배치된, 소위 패드 온 비아라 호칭되는 제2 관통 홀부(제2 비아부)(3g)를 포함하고 있다. 즉, 패키지 기판(3)에는 랜드부(3d)로부터 평면 방향으로 인출되어 배치된 제1 관통 홀부(3e)와, 패드 온 비아인 제2 관통 홀부(3g)가 혼재되어 마련되어 있고, 각각이 복수개 마련되어 있다.
- [0096] 또한, 제1 관통 홀부(3e) 및 제2 관통 홀부(3g) 등의 상기 비아부는 코어재(3c)에 형성된 관통 구멍(3n)과, 관통 구멍(3n)의 내부에 배치된 도체막(3m)으로 형성되어 있다. 즉, 관통 구멍(3n)의 내벽에 도체막(3m)이 형성되어 있고, 이 도체막(3m)이 주요면(3a) 측의 도체 패턴 및 이면(3b) 측의 도체 패턴과 접속되어 있다. 또한, 관통 구멍(3n)의 내부에는 도체막(3m)만이 충전되어 있어도 좋고, 또한 도체막(3m)과 절연막이 배치되어 있어도 좋다.
- [0097] 여기서, 패드 온 비아[제2 관통 홀부(3g)]는 랜드부(3d) 상에 직접 배치하므로 인출 배선(3h)을 필요로 하지 않고, 따라서 좁게 한정된 영역이라도 배치할 수 있다. 즉, 패드 온 비아는 배선 밀도가 비교적 높은 영역에 형성하는 것이 보다 유효하다.
- [0098] 그러나 한편으로, 패드 온 비아는 인출 배선(3h)에 의해 인출되는 제1 관통 홀부(3e)와 비교하면, 그 내부에 배치되는 도체부의 강도가 낮다. 그로 인해, 와이어 본딩 시에는 부여되는 본딩 하중(캐필러리에 의한 하중)에 의해, 인출 배선(3h)을 통해 평면적으로 이격된 비아부와 접속되는 본딩 리드(3j)와 비교하여 도체막(3m)에 크랙이 쉽게 발생된다. 따라서, 패드 온 비아를 기판 내의 응력이 쉽게 집중되는 영역에 배치하는 것은 피하는 쪽이 바람직하고, 응력이 집중되기 어려운 영역에 배치하는 것이 바람직하다.
- [0099] 즉, 패키지 기판(3)에 있어서, 인출 배선(3h)에 의해 인출되는 제1 관통 홀부(3e)와, 패드 온 비아인 제2 관통 홀부(3g)의 혼재를 행할 때에는 패드 온 비아의 배치 위치를 고려하여 마련해야만 한다.
- [0100] 예를 들어, 패키지 기판(3)에 있어서는 패키지 기판(3)의 중심으로부터 면 위치일수록 응력이 쉽게 집중된다. 따라서, 패드 온 비아인 제2 관통 홀부(3g)는 인출 배선(3h)에 의해 인출되는 제1 관통 홀부(3e)에 비해 그 내부에 배치되는 도체막(3m)의 강도가 낮기 때문에, 최외주의 랜드부(3d)에는 제2 관통 홀부(3g)를 배치하지 않는 것이 바람직하다. 즉, 복수의 랜드부(3d) 중 최외주에 배치된 랜드부(3d)는 인출 배선(3h)을 통해 제1 관통 홀부(3e)에 접속되어 있는 쪽이 바람직하다.
- [0101] 또한, 도3에 도시한 바와 같이 패키지 기판(3)의 반도체 칩(1)의 대각선의 연장선 상에는 강도가 높은 제1 관통 홀부(3e)가 배치되어 있는 것이 바람직하다. 즉, 패키지 기판(3)의 대각선 상을 포함하는 모서리부 부근에는 응력이 쉽게 집중되므로, 비교적 내부의 도체막(3m)의 강도가 높은 제1 관통 홀부(3e)를 배치하고, 패드 온 비아[제2 관통 홀부(3g)]는 배치하지 않도록 하는 것이 바람직하다.
- [0102] 또한, 도2에 도시한 바와 같이 패키지 기판(3)의 주요면(3a)에 형성된 본딩 리드(3j)는 인출 배선(3h)을 통해 평면적으로 이격한 위치에 형성된 비아부[제1 관통 홀부(3e), 제2 관통 홀부(3g)]와 접속되는 것이 바람직하다. 이는, 상기한 바와 같이 비아의 직경이 본딩 리드(3j)의 배치 피치보다도 크기 때문에, 본딩 리드(3j)의 바로 아래에 비아부를 형성하여 패키지 기판(3)의 이면(3b) 측에 배치하고자 할 경우, 1개의 비아부가 복수의 본딩 리드(3j)에 걸쳐서 배치되어 버리므로, 인접한 본딩 리드끼리가 비아부를 통해 전기적으로 쇼트해 버린다. 이 쇼트를 억제하기 위해서는 본딩 리드(3j)의 배치 피치를 비아부의 직경보다도 크게 해야만 하고, 이에 의해 패키지 기판(3)의 소형화가 곤란해진다. 따라서, 본딩 리드(3j)에는 패드 온 비아[제2 관통 홀부(3g)]를 배치하지 않고, 인출 배선(3h)을 통해 평면적으로 이격한 위치에 형성된 비아부[제1 관통 홀부(3e), 제2 관통 홀부(3g)]를 접속하는 것이 바람직하다.
- [0103] 또한, 본 실시 형태의 BGA(7)에서는 패키지 기판(3)의 주요면(3a)에는, 도9에 도시한 바와 같이 복수의 본딩 리드(3j)가 주연부와 그 내측에 2열로 나열하여 배치되어 있다. 한편, 이면(3b)에는 도10에 도시한 바와 같이 복수의 랜드부(3d)가 외주부에 따라서 5열로 나열하여 형성되어 있다.
- [0104] 즉, 도9에 도시한 바와 같이 주요면(3a)의 최외주에는 복수의 본딩 리드[제1 본딩 리드(3j)]가 배치되어 있고, 또한 그 내측에 3열에 걸쳐서 제1 관통 홀부(3e) 및 제2 관통 홀부(3g) 등의 비아부가 배치되고, 그 내측에 복수의 본딩 리드[제2 본딩 리드(3j)]가 배치되어 있다. 따라서, 본딩 리드(3j)의 바로 아래에서, 또한 최외주에

는 패드 온 비아[제2 관통 홀부(3g)]는 배치하지 않는 것이 바람직하기 때문에, 이면(3b)의 최외주에는 인출 배선(3h)을 통해 제1 관통 홀부(3e)에 접속하는 랜드부(3d)가 배치되어 있다.

[0105] 또한, 내측의 본딩 리드(3j)는 외측으로부터 3열째의 랜드부(3d)와 4열째의 랜드부(3d) 사이에 대응하는 패키지 기판(3)의 주요면(3a) 측에 배치되어 있고, 본딩 리드(3j)의 바로 아래에는 패드 온 비아[제2 관통 홀부(3g)]를 배치하지 않는 것이 바람직하기 때문에, 주요면(3a)의 내측의 본딩 리드(3j)의 바로 아래에도 인출 배선(3h)을 통해 제1 관통 홀부(3e)에 접속하는 랜드부(3d)가 배치되어 있고, 이 열의 랜드부(3d)가 외측으로부터 3열째의 랜드부(3d)의 열로 되어 있다.

[0106] 따라서, 패키지 기판(3)의 이면(3b)에 있어서, 복수의 패드 온 비아[제2 관통 홀부(3g)]는 주요면(3a) 측의 최외주의 본딩 리드(3j)와 내측의 본딩 리드(3j) 사이의 영역에 대응하고, 5열의 랜드부(3d) 중의 외측으로부터 2열째의 랜드부(3d) 상에 배치되어 있다.

[0107] 그때, 이면(3b)에 있어서 최외주의 랜드부(3d)에 접속하는 인출 배선(3h)은 내측을 향해 인출되고, 그 단부에 제1 관통 홀부(3e)가 접속되어 있고, 또한 외측으로부터 3열째의 랜드부(3d)에 접속하는 인출 배선(3h)은 외측을 향해 인출되고, 그 단부에 제1 관통 홀부(3e)가 접속되어 있다.

[0108] 따라서, 외측으로부터 2열째의 랜드부(3d) 상에 배치된 패드 온 비아[제2 관통 홀부(3g)]는 외측으로부터 내측을 향하는 방향에 있어서 제1 관통 홀부(3e)에 의해 끼워져 배치되어 있다.

[0109] 즉, 최외주의 랜드부(3d)와 외측으로부터 3열째의 랜드부(3d) 사이의 영역에는 외측으로부터 2열째의 랜드부(3d)와, 덧붙여 그 주위에 제1 관통 홀부(3e)가 배치되어 있기 때문에, 매우 고밀도 배선의 영역으로 이루어진다. 따라서, 이 영역에 인출 배선(3h)을 필요로 하지 않는 패드 온 비아인 제2 관통 홀부(3g)를 배치하는 것은 배선 공간이 적다는 관점으로부터도 매우 유효하다.

[0110] 또한, 최외주의 본딩 리드(3j)로부터 외측으로 연장되는 도금선(10)은 디바이스 영역(3v)의 외주의 경계선을 걸쳐서 외측으로 더 연장되어 있다.

[0111] 여기서, 본 실시 형태의 BGA(7)의 패키지 기판(3)에서는, 전술한 바와 같이 주요면(3a)의 본딩 리드(3j), 배선부(3i), 비아부(관통 홀), 이면(3b)의 랜드부(3d), 배선부(3i) 및 비아부(관통 홀) 등의 도체 패턴에 전해 도금 처리가 실시되어 있다. 즉, 각 도체 패턴에는 금전선이 접속되어 있고, 금전선으로부터 금전을 행하여 각 도체 패턴의 표면에 도금을 형성하고 있다.

[0112] 단, 전술한 바와 같이 패키지 기판(3)의 이면(3b)에 있어서, 전체 주위에 걸쳐서 5열에 랜드부(3d)가 깔려져 있는 동시에, 최외주의 랜드부(3d)와 외측으로부터 3열째의 랜드부(3d) 사이의 영역에는 외측으로부터 2열째의 랜드부(3d)와, 덧붙여 그 주위에 제1 관통 홀부(3e)가 배치되어 있기 때문에, 매우 고밀도 배선의 영역으로 되어 있어, 각 도체 패턴에 단순하게 금전선을 접속하는 것은 곤란한 상태로 되어 있다.

[0113] 따라서, 본 실시 형태의 BGA(7)의 패키지 기판(3)에서는 금전선의 배치에 특징을 갖고 있다.

[0114] 도9에 도시한 바와 같이, 패키지 기판(3)의 디바이스 영역(3v)의 주요면(3a)에는 전체 주위에 걸쳐서 2열로 형성된 복수의 본딩 리드(3j)의 내측 영역에 금전용의 공통 배선(3p)이 형성되어 있다. 이 공통 배선(3p)은 링 형상으로 형성되어 있다. 즉, 패키지 기판(3)의 주요면(3a)에 있어서, 2열 배치로 형성된 복수의 본딩 리드(3j)의 내측 영역의 중앙 부근에 사각형을 이루는 링 형상의 금전용의 공통 배선(3p)이 형성되어 있다.

[0115] 또한, 사각형의 링 형상의 금전용의 공통 배선(3p)에는 그 4개의 변 각각에 대해 복수의 도금선(금전용 인출 배선)(3q)이 접속되고, 4방향의 기판 외측을 향해 각각 복수의 도금선(3q)이 연장되어 있고, 각 도금선(3q)은 2열 배치의 본딩 리드(3j) 중 내측의 본딩 리드(3j)나, 또한 그 내측에 배치된 제1 관통 홀부(3e)(비아부)에 접속되어 있다.

[0116] 따라서, 이면(3b)의 5열에 배치된 랜드부(3d) 중, 최내주와 내측으로부터 2열째의 랜드부(3d)는 비아부를 통해 주요면(3a)의 도금선(3q)[제1 도금선(3r)]에 접속되고, 이 제1 도금선(3r)이 공통 배선(3p)에 접속되어 있고, 또한 외측으로부터 2열째와 3열째의 랜드부(3d)는 비아부를 통해 주요면(3a)의 제2 도금선(3s)에 접속되고, 이 제2 도금선(3s)이 패키지 기판(3)의 단부까지 연장되어 있다. 또한, 최외주의 랜드부(3d)는 이면(3b)에 있어서 랜드부(3d)에 접속하는 제3 도금선(3t)이 패키지 기판(3)의 단부까지 직접 연장되어 있다. 여기서, 도9에 도시한 바와 같이 최외주의 랜드부(3d)에 있어서, 패키지 기판(3)의 외주의 본딩 리드[제1 본딩 리드(3j)]와 전기적으로 접속될 경우에는, 최외주의 랜드부(3d)는 비아부를 통해 패키지 기판(3)의 주요면(3a)의 외주의 본딩 리드

(3j)에 접속하고, 또한 외주의 본딩 리드(3j)로부터 외측으로 연장되는 도금선(10)에 접속해도 좋다.

[0117] 또한, 주요면(3a)의 2열의 본딩 리드(3j) 중 외측의 본딩 리드(3j)는 이와 접속하는 도금선(10)이 패키지 기판(3)의 단부까지 직접 연장되어 있고, 한편 내측의 본딩 리드(3j)에서는 제1 도금선(3r)에 의해 공통 배선(3p)에 접속되어 있는 것과, 제1 관통 홀부(3e)를 통해 이면(3b) 측에서 패키지 기판(3)의 단부까지 연장되어 있는 것이 혼재되어 있다.

[0118] 또한, 패키지 기판(3)의 주요면(3a)의 4개의 모서리부에는 공통 배선(3p)으로부터 기판 단부까지 연장되는 제4 도금선(3u)이 마련되어 있다.

[0119] 따라서, 본 실시 형태의 패키지 기판(3)에서는 이면(3b)의 최외주 내지 3열째까지의 랜드부(3d), 또한 주요면(3a)의 외측의 본딩 리드(3j) 및 일부 내측의 본딩 리드(3j)에 대해서는 기판의 단부까지 연장되는 급전선을 통해 직접 급전이 행해지고, 이면(3b)의 최내주 내지 2열째까지의 랜드부(3d) 및 주요면(3a)의 일부 내측의 본딩 리드(3j)에 대해서는 제4 도금선(3u), 공통 배선(3p) 및 제1 도금선(3r)을 통해 급전이 행해진다.

[0120] 여기서, 이면(3b)의 랜드부(3d)의 배선 배치의 상세에 대해 설명한다. 우선, 도5 및 도10에 도시한 바와 같이 패키지 기판(3)의 이면(3b)의 최외주의 각 랜드부(3d)에는 패키지 기판(3)의 단부까지 연장되는 제3 도금선(3t)이 각각 접속되어 있다. 즉, 최외주의 랜드부(3d)는 기판의 단부까지가 매우 가깝기 때문에, 직접 외부와 제3 도금선(3t)에 의해 접속되어 있다. 따라서, 도금 형성 시 최외주의 각 랜드부(3d)에 대한 급전은 외부로부터 이면(3b)의 제3 도금선(3t)을 통해 직접 행해진다.

[0121] 또한, 도6 및 도10에 도시한 바와 같이 패키지 기판(3)의 이면(3b)의 외측으로부터 2열째 및 3열째의 랜드부(3d)에는, 각각 제2 관통 홀부(3g)(도2 참조, 패드 온 바이)와 인출 배선(3h)이 접속되어 있다. 외측으로부터 2열째의 랜드부(3d)는 제2 관통 홀부(3g)를 통해 주요면(3a) 측으로 패키지 기판(3)의 단부까지 연장되는 제2 도금선(3s)과 접속되어 있다. 또한, 3열째의 랜드부(3d)는 인출 배선(3h)에 의해 평면 방향으로 인출되어 제1 관통 홀부(3e)와 접속하고, 또한 주요면(3a) 측으로 패키지 기판(3)의 단부까지 연장되는 제2 도금선(3s)과 접속되어 있다. 즉, 외측으로부터 2열째 및 3열째의 랜드부(3d)는 제2 관통 홀부(3g) 또는 제1 관통 홀부(3e)에 의해 주요면(3a) 측으로 인출되고, 주요면(3a) 측으로 제2 도금선(3s)에 의해 기판의 단부에 인출되어 있다.

[0122] 따라서, 도금 형성 시의 외측으로부터 2열째 및 3열째의 랜드부(3d)에 대한 급전은 외부로부터 주요면(3a)의 제2 도금선(3s)과, 제2 관통 홀부(3g) 또는 제1 관통 홀부(3e)와, 이면(3b)의 인출 배선(3h)을 통해 행해진다.

[0123] 또한, 도7, 도8 및 도10에 도시한 바와 같이 패키지 기판(3)의 이면(3b)의 최내주와 내측으로부터 2열째의 랜드부(3d)에는 인출 배선(3h)이 접속되고, 이 인출 배선(3h)에 의해 평면 방향으로 인출되어 제1 관통 홀부(3e)와 접속하고, 또한 주요면(3a) 측으로 내방에 연장되어 공통 배선(3p)에 접속하는 제1 도금선(3r)과 접속되어 있다. 즉, 최내주 및 내측으로부터 2열째의 랜드부(3d)는 제1 관통 홀부(3e)에 의해 주요면(3a) 측으로 인출되고, 주요면(3a) 측으로 제1 도금선(3r)에 의해 공통 배선(3p)에 접속되어 있다.

[0124] 또한, 도9에 도시한 바와 같이 패키지 기판(3)의 주요면(3a)의 4개의 모서리부에는 공통 배선(3p)에 접속하고, 또한 이 공통 배선(3p)으로부터 기판 단부까지 연장되는 제4 도금선(3u)이 마련되어 있다. 즉, 패키지 기판(3)의 주요면(3a)의 모서리부에는 본딩 리드(3j)의 2열의 배열 상, 공간이 약간 남겨져 있기 때문에, 거기에 기판의 단부로부터 공통 배선(3p)까지 연장되는 제4 도금선(3u)이 마련되어 있다. 이 공간이 남겨져 있는 이유에 대해 설명하면 도1에 도시한 바와 같이 패키지 기판(3)의 주요면(3a)의 내측의 본딩 리드(3j)의 열에 둘러싸여진 영역에는 반도체 칩(1)이 탑재된다. 반도체 칩(1)을 탑재한 후, 반도체 칩(1)의 패드(1c)와 패키지 기판(3)의 외측의 본딩 리드(3j) 및 내측의 본딩 리드(3j)를 각각 복수의 와이어(4)를 통해 전기적으로 접속한다. 이때, 반도체 칩(1)의 1번의 길이는 패키지 기판(3)의 1번의 길이보다도 짧기 때문에, 외측의 본딩 리드(3j)가 패키지 기판(3)의 모서리부 부근까지 배치되어 있으면, 패키지 기판(3)의 모서리부 부근의 본딩 리드(3j)와, 거기에 대응하는 반도체 칩(1)의 패드(1c)를 전기적으로 접속하는 와이어(4)의 길이가 길어지므로, 안정된 와이어(4)의 루프 형상을 형성하는 것이 곤란해진다. 이와 같은 이유로부터, 패키지 기판(3)의 모서리부 부근에는 본딩 리드(3j)가 배치되어 있지 않기 때문에, 패키지 기판(3)의 내측의 도금선(3q)을 배치하는 것이 가능하다. 한편, 패키지 기판(3)의 이면(3b) 측은 도4에 도시한 바와 같이 복수의 랜드부(3d)가 격자 형상으로 배치되어 있기 때문에, 패키지 기판(3)의 이면(3b)에 있어서의 모서리부 부근은 주요면(3a) 측의 모서리부 부근에 비하면 공간이 없다.

[0125] 따라서, 도금 형성 시의 최내주 및 2열째의 랜드부(3d)에 대한 급전은 외부로부터 주요면(3a)의 제4 도금선(3u)과 공통 배선(3p)과 제1 도금선(3r)과 제1 관통 홀부(3e)와 이면(3b)의 인출 배선(3h)을 통해 행해진다.

- [0126] 이와 같이 패키지 기판(3)의 이면(3b)에 있어서 그 전체 주위에 걸쳐서 5열에 랜드부(3d)가 깔려져 있고, 또한 최외주의 랜드부(3d)와 외측으로부터 3열째의 랜드부(3d) 사이의 영역이 고밀도 배선으로 되어 있는 다핀의 BGA(7)라도, 각 랜드부(3d)에 급전선용의 도금선(3q)을 접속할 수 있고, 도금용의 급전을 행하여 배선 및 전극 상에 금 및 니켈의 도금막을 형성하는 것이 가능하다.
- [0127] 또한, 도금 형성 후는 에칭(에치백)에 의해 림 형상의 공통 배선(3p)과, 이에 연결되는 복수의 제1 도금선(3r) 및 제4 도금선(3u)을 절단 분리하여 각각의 급전용 인출 배선을 절연한다.
- [0128] 또한, 공통 배선(3p)에 접속된 복수의 제1 도금선(3r)에 연결되는 각각의 랜드부(3d)는 신호용의 랜드부(3d)라도 좋고, 전원 혹은 그라운드용의 랜드부(3d)라도 좋다. 즉, 신호용의 랜드부(3d)일 경우에는 도금 형성 후, 에칭에 의해 공통 배선(3p)과 제1 도금선(3r)을 절단 분리함으로써 각각의 제1 도금선(3r) 및 이에 연결되는 랜드부(3d)가 절연되므로, 이러한 랜드부(3d)가 신호용의 것이라도 좋다. 또한, 전원 혹은 그라운드용의 랜드부(3d)일 경우에는, 이들의 랜드부(3d)가 제1 도금선(3r)을 통해 공통 배선(3p)에 접속하는 일부만을 에칭하지 않고 남김으로써, 전원 혹은 그라운드로서 공통화하는 것이 가능하고, 전원 혹은 그라운드의 안정화를 도모할 수 있다.
- [0129] 또한, 도9 및 도10에 도시한 바와 같이 패키지 기판(3)의 주요면(3a) 및 이면(3b)의 대략 중앙에는 복수의 작은 사각형의 더미 패턴(3w)이 마련되어 있다. 이러한 더미 패턴(3w)은 기판의 빈 공간에 대략 균등한 간격으로 복수 마련되어 있고, 이에 의해 기판에 있어서의 국소적인 응력 집중을 완화하여 기판의 휘어짐을 저감시킬 수 있다.
- [0130] 다음에, 도14 및 도15에 도시한 제조 흐름에 따라서, 급전용 인출 배선을 절단 분리하는 에치백을 포함하는 패키지 기판(3)의 형성 방법에 대해 설명한다.
- [0131] 우선, 도14의 단계 S1에 나타낸 바와 같이 양면 동장판(銅張板) 준비를 행한다. 즉, 코어재(3c)의 표리 양면에 동재(3y)가 부착된 판재를 준비한다. 그 후, 단계 S2에 나타낸 드릴 가공을 행하여 복수의 관통 구멍(3n)을 형성한다. 즉, 드릴 가공에 의해 소정의 위치에 복수의 관통 구멍(3n)을 형성한다.
- [0132] 그 후, 단계 S3에 나타낸 관통 홀 도금 형성을 행한다. 여기서는 전해 도금에 의해 상기 판재의 표리면 및 관통 구멍(3n) 내에 금과 니켈의 도금막(3z)을 각각 형성한다. 그때, 본 실시 형태의 패키지 기판(3)에서는 그각 랜드부(3d)에 급전선용의 도금선(3q)이 직접 혹은 공통 배선(3p)을 통해 전기적으로 접속되어 있기 때문에, 도금용의 급전을 행함으로써 각 배선 및 전극 상에 금 및 니켈의 도금막(3z)을 형성할 수 있다.
- [0133] 그 후, 단계 S4에 나타낸 레지스트 도포를 행한다. 여기서는 레지스트를 도포하여 표리면의 도금막(3z)을 덮도록 레지스트막(5)을 형성한다. 그 후, 단계 S5에 나타낸 패터닝을 행한다. 즉, 패턴에 정합하여 레지스트막(5)의 소정 부위를 개구시킨다.
- [0134] 그 후, 단계 S6에 나타낸 동(銅)에칭을 행한다. 여기서는, 단계 S5의 패턴에서 개구한 부위의 하부의 도금막(3z)과 동재(3y)를 에칭에 의해 제거한다. 그 후, 단계 S7에 나타낸 레지스트 제거를 행한다. 여기서는, 단계 S4에서 표리면에 형성한 레지스트막(5)을 제거한다.
- [0135] 이에 의해, 도9 및 도10에 나타낸 표리면의 배선 패턴이 형성된다.
- [0136] 그 후, 도15의 단계 S8에 나타낸 SR[솔더 레지스트막(3k)] 도포를 행한다. 즉, 도금막(3z)의 표리면과 개구된 부위에 솔더 레지스트막(3k)을 도포한다.
- [0137] 그 후, 단계 S9에 나타낸 노광 현상을 행한다. 여기서는, 최종적으로 에치백을 행하는 부위를 포함하는 소정의 복수 부위의 노광 현상을 행하고, 솔더 레지스트막(3k)에 도11에 도시한 바와 같이 개구부(3f)를 형성한다. 그 후, 단계 S10에 나타낸 필름 부착을 행한다. 여기서는, 에치백을 행하는 부위[기판의 주요면(3a) 측의 공통 배선(3p)의 주위]만 개구한 필름(9)을 솔더 레지스트막(3k) 상으로부터 부착한다. 즉, 도12에 도시한 바와 같이 에치백을 행하는 영역만을 림 형상으로 개구시키고, 그 밖의 영역을 필름(9)으로 덮는다.
- [0138] 그 후, 단계 S11에 나타낸 에칭(에치백)을 행한다. 여기서는, 에칭에 의해 소정 부위의 동재(3y)와 도금막(3z)을 제거한다. 즉, 도12에 도시한 바와 같이 마스크인 필름(9)으로 덮은 상태에서 에칭을 행하고[도12의 사선 부가 필름(9)], 이에 의해 공통 배선(3p)과, 제1 도금선(3r) 및 제4 도금선(3u)을 절단 분리한다.
- [0139] 그 후, 단계 S12에 나타낸 필름 박리를 행한다. 즉, 표리면의 필름(9)을 박리함으로써, 도13에 도시한 바와 같이 공통 배선(3p)의 주위에 림 형상으로 오목부(3x)가 형성되고, 그 결과 림 형상의 공통 배선(3p)과, 제1 도금

- 선(3r) 및 제4 도금선(3u)이 절단 분리된다.
- [0140] 그 후, 단계 S13에 나타낸 표면 처리를 행한다. 여기서는, 솔더 레지스트막(3k)의 불필요한 개구부(3f)를 매립하는 처리를 실시한다.
- [0141] 이에 의해, 패키지 기판(3)의 제조 완료가 된다.
- [0142] 다음에, 도16에 도시한 본 실시 형태의 변형예에 대해 설명한다.
- [0143] 도16의 변형예는, 도15의 단계 S11의 에치백으로, 링 형상의 공통 배선(3p)과 그 내측 영역 모두가 제거된 것이며, 이에 의해 공통 배선(3p)과 이에 연결되는 제1 도금선(3r) 및 제4 도금선(3u)을 분리한 것이다. 즉, 에치백의 영역으로서는 도13에 도시한 바와 같이 공통 배선(3p)의 주위를 링 형상으로 에칭하여, 공통 배선(3p)과 이에 연결되는 제1 도금선(3r) 및 제4 도금선(3u)을 절단 분리해도 좋고, 도16의 변형예에 도시한 바와 같이 링 형상의 공통 배선(3p)과 그 내측 영역 모두를 에칭하여, 공통 배선(3p)과 이에 연결되는 제1 도금선(3r) 및 제4 도금선(3u)을 분리해도 좋다.
- [0144] 단, 공통 배선(3p)의 내측의 더미 패턴(3w)은 남겨 둔 쪽이 바람직하다. 즉, 도13에 도시한 바와 같이 공통 배선(3p)의 주위를 링 형상으로만 에칭하고, 복수의 더미 패턴(3w)은 그대로 남김으로써, 기판의 휘어짐을 저감할 수 있다.
- [0145] 다음에, 본 실시 형태의 BGA(7)의 조립에 대해 설명한다.
- [0146] 우선, 패키지 기판(3)의 디바이스 영역(3v) 내에 있어서, 공통 배선(3p)과 도금선(3q)을 통해 급전을 행하여 각 배선 및 전극에 도금을 형성한 후, 공통 배선(3p)과 도금선(3q)[제1 도금선(3r) 및 제4 도금선(3u)]을 분리하여 형성된 패키지 기판(3)을 준비한다. 즉, 주요면(3a) 측의 디바이스 영역(3v) 내에 도13에 도시한 배선 패턴이 형성되고, 한편 이면(3b) 측의 디바이스 영역(3v) 내에 도10에 도시한 배선 패턴이 형성된 다중칩 접합[패키지 기판(3)]을 준비한다. 또한, 각 디바이스 영역에는 도2에 도시한 바와 같은 랜드부(3d)로부터 인출 배선(3h)에 의해 인출된 제1 관통 홀부(3e)와, 랜드부(3d) 상에 배치된 제2 관통 홀부(3g)(패드 온 비아)가 혼재되어 있는 다중칩 접합을 준비한다.
- [0147] 그 후, 다이 본딩을 행하여, 도17 및 도18에 도시한 바와 같이 패키지 기판(3)의 주요면(3a) 상에 접착제(2)를 통해 반도체 칩(1)을 고정 부착한다. 그때, 기판 제조 공정의 에칭(에치백)에 의해 형성된 오목부(3x)를 덮도록 반도체 칩(1)을 패키지 기판(3)의 주요면(3a) 상에 탑재하여 고정 부착한다. 또한, 도18은 반도체 칩(1)을 투과하여 칩 하부의 배선 패턴도 도시하는 도면으로 되어 있다.
- [0148] 그 후, 와이어 본딩을 행한다. 여기서는, 도19에 도시한 바와 같이 반도체 칩(1)의 주요면(1a)의 패드(1c)와, 이에 대응하는 패키지 기판(3)의 본딩 리드(3j)를 금선 등의 도전성의 와이어(4)에 의해 전기적으로 접속한다.
- [0149] 그 후, 수지 몰딩을 행한다. 여기서는, 패키지 기판(3)의 주요면(3a) 상에 있어서, 복수의 반도체 칩(1)이나 복수의 와이어(4)를 일괄하여 덮어 수지 밀봉한다. 이에 의해, 도20에 도시한 바와 같이 반도체 칩(1)이나 복수의 와이어(4)가 수지체(6)에 의해 덮여진다. 또한, 밀봉용 수지는, 예를 들어 열경화성의 애폴시계 수지 등이다.
- [0150] 그 후, 도21에 도시한 바와 같이 볼 마운트를 행하여 패키지 기판(3)의 이면(3b)의 각 랜드부(3d)에 외부 단자인 땀납 볼(8)을 접속한다.
- [0151] 그 후, 개편화를 행한다. 예를 들어, 다이싱에 의해 절단하여 각 BGA(7)에 개편화한다. 개편화에 의해, 디바이스 영역(3v)의 외주의 경계선을 결치고 있는 도금선(10)은, 상기 경계선에 의해 절단되므로, 절단 후(개편화 후)의 패키지 기판(3)으로부터는 외부에 돌출되지 않는다.
- [0152] 본 실시 형태의 BGA(반도체 장치)(7)의 제조 방법에 따르면, 주요면(3a)의 디바이스 영역(3v) 내에 있어서 본딩 리드(3j)의 내측 영역에 급전용의 링 형상의 공통 배선(3p)이 형성된 패키지 기판(3)을 이용함으로써 복수의 랜드부(3d)가 깔려진 이면(3b) 측에 비교하여 주요면(3a) 측은 공간이 있기 때문에, 공통 배선(3p)에 접속하는 복수의 급전용의 도금선(3q)[제1 도금선(3r) 및 제4 도금선(3u)]을 배치할 수 있다. 따라서, 비아부[제1 관통 홀부(3e) 또는 제2 관통 홀부(3g)]를 통해 이면(3b) 측의 모든 랜드부(3d)에 대해 전해 도금용의 급전선을 배치하는 것이 가능해진다.
- [0153] 즉, 주요면(3a) 측은 2열 배치의 본딩 리드(3j)만이므로, 어느 정도 공간이 있다. 특히, 모서리부에 공간이 있으므로, 공통 배선(3p)에 접속하고, 또한 기판의 단부까지 연장되는 제4 도금선(3u)을 모서리부에 배치함으로써

외부로부터 공통 배선(3p)에 대해 급전을 행할 때에도, 이 제4 도금선(3u)을 통해 행하는 것이 가능하다.

- [0154] 그 결과, 패키지 기판(3)의 주요면(3a)과 이면(3b)의 배선이나 전극에 대해 전해 도금을 실시하는 것이 가능해지고, 이면(3b)의 전체 주위에 걸쳐서 복수열의 랜드부(3d)가 깔려진 반도체 장치에 있어서도 모든 랜드부(3d)에 전해 도금을 실시할 수 있다.
- [0155] 그 결과, 반도체 장치[BGA(7)]의 다핀화를 도모하면서 배선이나 전극에 전해 도금을 실시하는 것이 가능해진다.
- [0156] 또한, 복수열의 랜드부(3d)가 협곡으로 배치되어 있어도 모든 랜드부(3d)에 전해 도금을 실시할 수 있기 때문에, 반도체 장치[BGA(7)]의 소형화를 도모하면서 배선이나 전해 도금을 실시하는 것이 가능해진다.
- [0157] 또한, 주요면(3a)에 공통 배선(3p)이 형성되고, 또한 전해 도금을 실시한 후, 공통 배선(3p)의 주위를 예치(에치백)하여 공통 배선(3p)과, 이에 연결되는 제1 도금선(3r) 및 제4 도금선(3u)을 절단 분리한 패키지 기판(3)임으로써, 예치백에 의해 형성된 오목부(3x)를 반도체 칩(1)의 탑재로 덮을 수 있고, 또한 반도체 칩(1)을 밀봉용수지[수지체(6)]에 의해 덮을 수 있다.
- [0158] 이에 의해, 급전용 인출 배선 절단에 의한 배선의 단부가 노출되는 것을 저지할 수 있고, 공통 배선(3p)의 주위를 예치백하여 형성된 오목부(3x)로부터의 흡습의 발생 혹은 도전성 이물질의 부착에 의한 전기적 쇼트의 발생을 방지할 수 있다.
- [0159] 이상, 본 발명자에 의해 이루어진 발명을 발명의 실시 형태를 기초로 하여 구체적으로 설명하였지만, 본 발명은 상기 발명의 실시 형태로 한정되는 것은 아니며, 그 요지를 일탈하지 않는 범위에서 여러 가지 변경 가능한 것은 물론이다.
- [0160] 예를 들어, 상기 실시 형태에서는 외부 단자가 땜납 볼(8)인 경우를 설명하였지만, 외부 단자는 땜납 볼(8) 이외인 경우라도 좋다. 즉, 공통 배선(3p)을 통한 급전에 의한 전해 도금 형성이 행해져 제조된 배선 기판을 이용하여 조립할 수 있는 다핀의 반도체 장치이면, LGA(Land Grid Array) 등의 반도체 장치라도 좋다. 그때, 외부 단자의 배열수는 5열 이외의 복수열이라도 좋다.
- [0161] 본 발명은 배선 기판을 갖는 전자 장치의 제조 기술에 적합하다.

발명의 효과

- [0162] 본원에 있어서 개시되는 발명 중 대표적인 것에 의해 얻을 수 있는 효과를 간단히 설명하면, 이하와 같다.
- [0163] 주요면의 디바이스 영역 내에 있어서 본딩 전극의 내측 영역에 급전용의 공통 배선이 형성된 배선 기판을 이용함으로써 공통 배선에 접속하는 복수의 급전용 인출 배선을 배치할 수 있어 모든 랜드부에 대해 전해 도금용의 급전선을 배치할 수 있다. 그 결과, 배선 기판의 이면의 전체 주위에 걸쳐서 복수열의 랜드부가 마련되어 있어도 모든 랜드부에 전해 도금을 실시할 수 있어 반도체 장치의 다핀화를 도모하면서 배선에 전해 도금을 실시할 수 있다.

도면의 간단한 설명

- [0001] 도1은 본 발명의 실시 형태의 반도체 장치의 구조의 일례를 도시하는 단면도.
- [0002] 도2는 도1에 도시한 A부의 구조를 도시하는 확대 부분 단면도.
- [0003] 도3은 도1에 도시한 반도체 장치의 내부 구조의 일례를 수지체를 투과하여 나타내는 확대 부분 평면도.
- [0004] 도4는 도1에 도시한 반도체 장치의 구조의 일례를 도시하는 이면도.
- [0005] 도5는 도1에 도시한 반도체 장치의 최외주의 랜드부와 접속하는 급전선의 일례를 도시하는 확대 부분 단면도.
- [0006] 도6은 도1에 도시한 반도체 장치의 외측으로부터 2열째의 랜드부와 접속하는 급전선의 일례를 도시하는 확대 부분 단면도.
- [0007] 도7은 도1에 도시한 반도체 장치의 외측으로부터 3열째와 4열째의 랜드부와 접속하는 배선의 일례를 도시하는 확대 부분 단면도.
- [0008] 도8은 도1에 도시한 반도체 장치의 최내주의 랜드부와 접속하는 급전선의 일례를 도시하는 확대 부분 단면도.
- [0009] 도9는 도1에 도시한 반도체 장치의 조립으로 이용되는 배선 기판의 주요면의 배선 패턴의 일례를 도시하는 평면

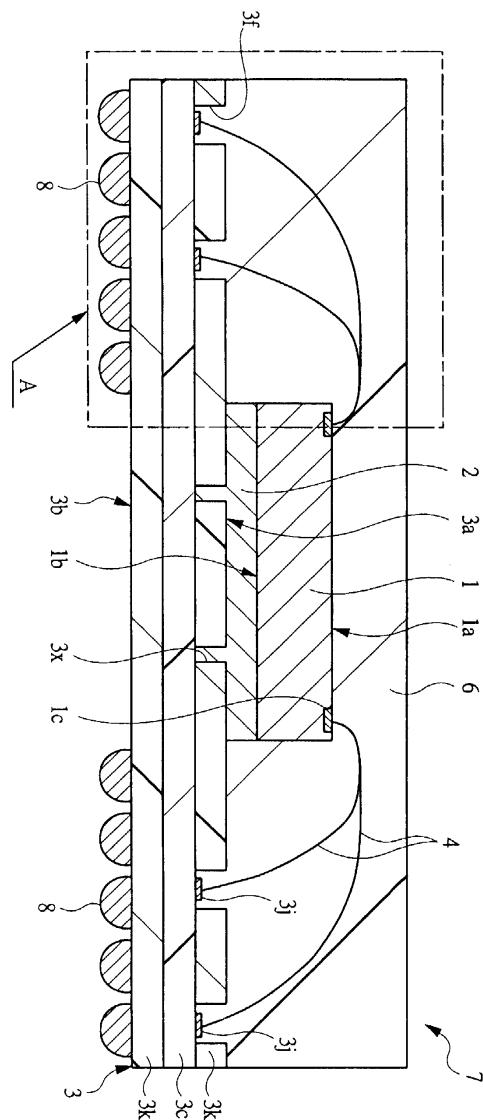
도.

- [0010] 도10은 도9에 도시한 배선 기판의 이면의 배선 패턴의 일례를 도시하는 평면도.
- [0011] 도11은 도9에 도시한 배선 기판의 주요면측의 레지스트막의 개구부의 레이아웃의 일례를 도시하는 평면도.
- [0012] 도12는 도9에 도시한 배선 기판의 제조에 있어서의 에치백 시의 마스크 영역의 일례를 도시하는 평면도.
- [0013] 도13은 도9에 도시한 배선 기판의 제조에 있어서의 에치백 후의 구조의 일례를 도시하는 평면도.
- [0014] 도14는 도9에 도시한 배선 기판의 제조에 있어서의 에치백 전의 처리 순서의 일례를 도시하는 단면도.
- [0015] 도15는 도9에 도시한 배선 기판의 제조에 있어서의 에치백 전후의 처리 순서의 일례를 도시하는 단면도.
- [0016] 도16은 변형예의 배선 기판의 주요면의 배선 패턴을 도시하는 평면도.
- [0017] 도17은 도1에 도시한 반도체 장치의 조립에 있어서의 다이 본딩 후의 구조의 일례를 도시하는 단면도.
- [0018] 도18은 도17에 도시한 다이 본딩 후의 구조의 일례를 도시하는 평면도.
- [0019] 도19는 도1에 도시한 반도체 장치의 조립에 있어서의 와이어 본딩 후의 구조의 일례를 도시하는 단면도.
- [0020] 도20은 도1에 도시한 반도체 장치의 조립에 있어서의 수지 몰딩 후의 구조의 일례를 도시하는 단면도.
- [0021] 도21은 도1에 도시한 반도체 장치의 조립에 있어서의 땜납 볼 탑재 후의 구조의 일례를 도시하는 단면도.
- [0022] <도면의 주요 부분에 대한 부호의 설명>
- [0023] 1 : 반도체 칩
- [0024] 1a : 주요면
- [0025] 1b : 이면
- [0026] 1c : 패드(전극)
- [0027] 2 : 접착제
- [0028] 3 : 패키지 기판(배선 기판)
- [0029] 3a : 주요면
- [0030] 3b : 이면
- [0031] 3c : 코어재
- [0032] 3d : 랜드부
- [0033] 3e : 제1 관통 홀부(제1 비아부)
- [0034] 3f : 개구부
- [0035] 3g : 제2 관통 홀부(제2 비아부)
- [0036] 3h : 인출 배선
- [0037] 3i : 배선부
- [0038] 3j : 본딩 리드(본딩 전극)
- [0039] 3k : 솔더 레지스트막
- [0040] 3m : 도체막
- [0041] 3n : 관통 구멍
- [0042] 3p : 공통 배선
- [0043] 3q : 도금선(급전용 인출 배선)
- [0044] 3r : 제1 도금선(급전용 인출 배선)

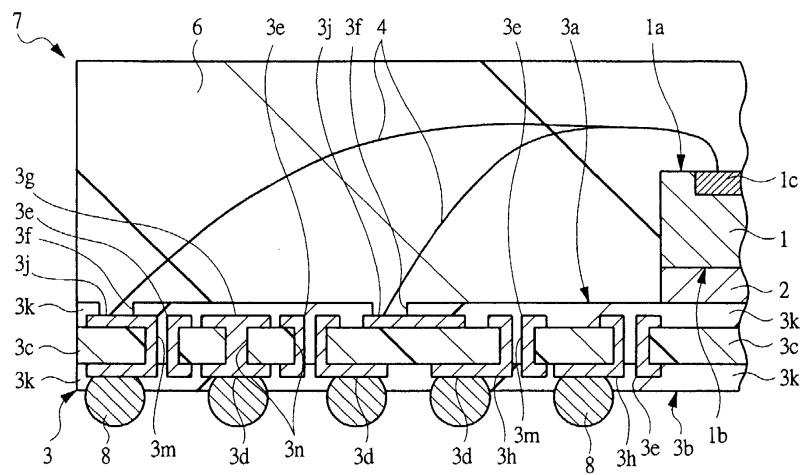
- [0045] 3s : 제2 도금선(급전용 인출 배선)
- [0046] 3t : 제3 도금선(급전용 인출 배선)
- [0047] 3u : 제4 도금선(급전용 인출 배선)
- [0048] 3v : 디바이스 영역
- [0049] 3w : 더미 패턴
- [0050] 3x : 오목부
- [0051] 3y : 동재
- [0052] 3z : 도금막
- [0053] 4 : 와이어
- [0054] 5 : 레지스트막
- [0055] 6 : 수지체
- [0056] 7 : BGA(반도체 장치)
- [0057] 8 : 땜납 볼(외부 단자)
- [0058] 9 : 필름
- [0059] 10 : 도금선

도면

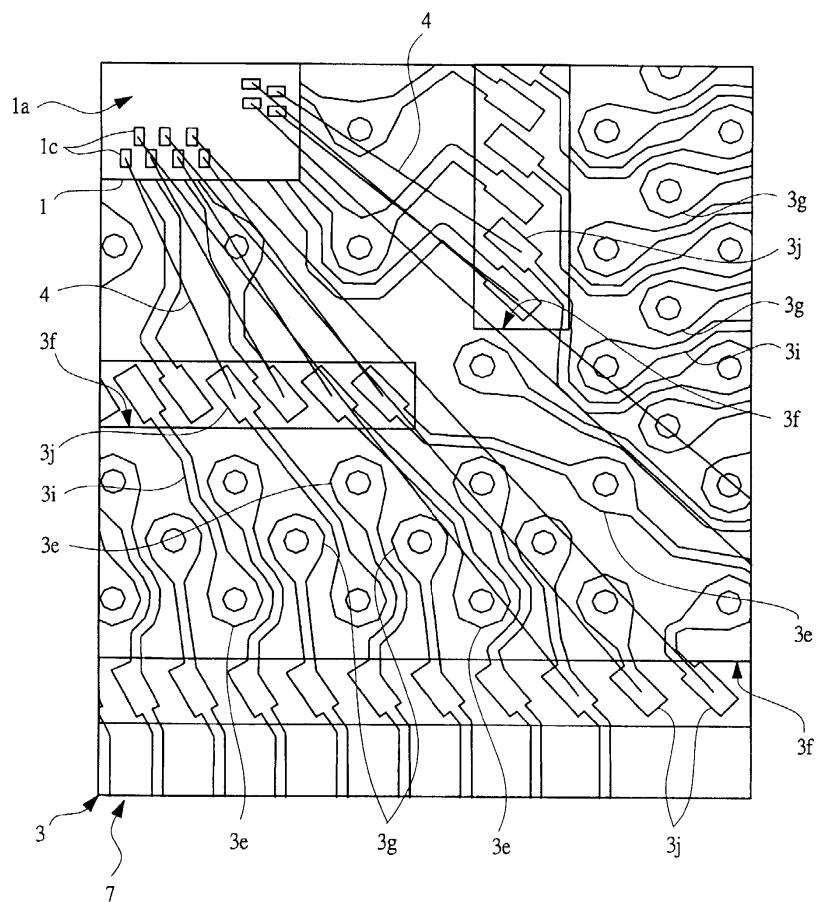
도면1



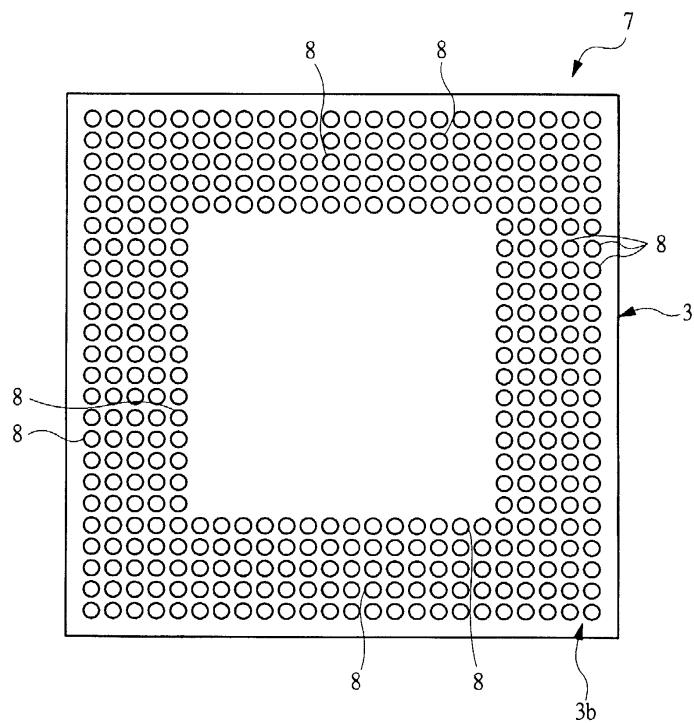
도면2



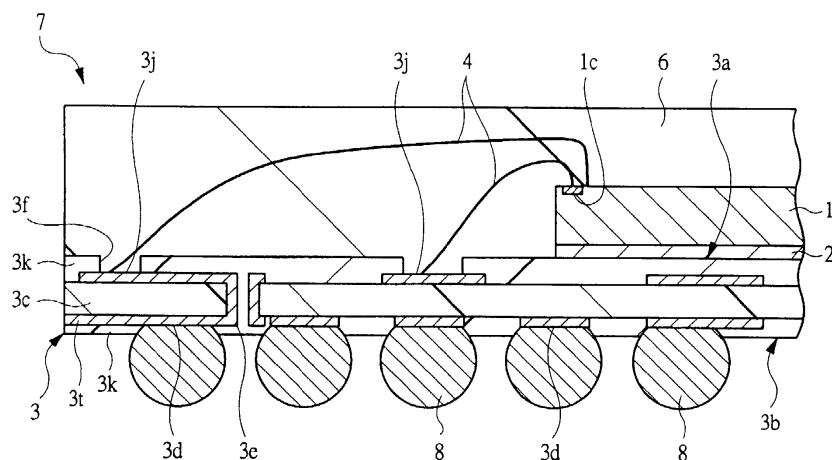
도면3



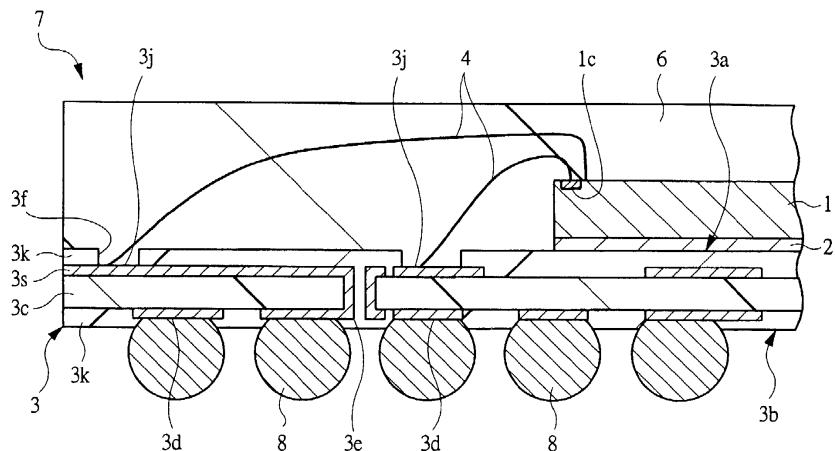
도면4



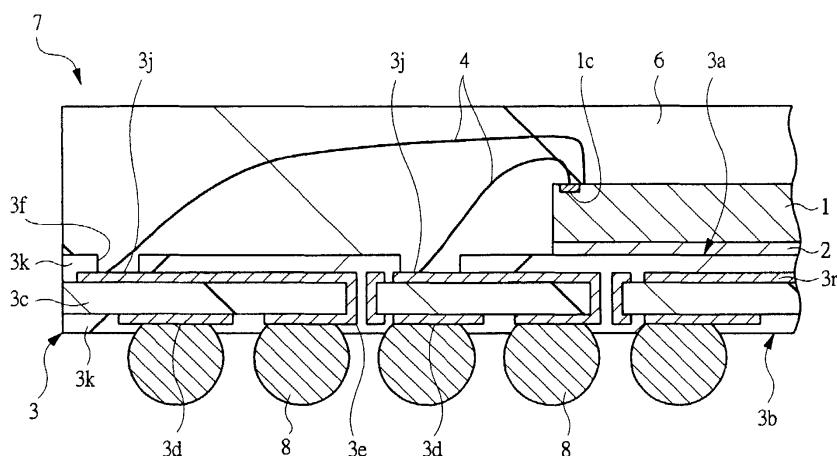
도면5



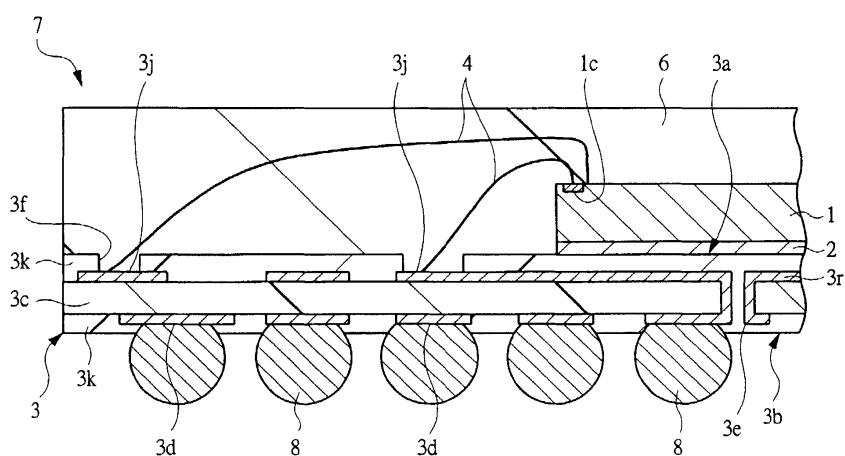
도면6



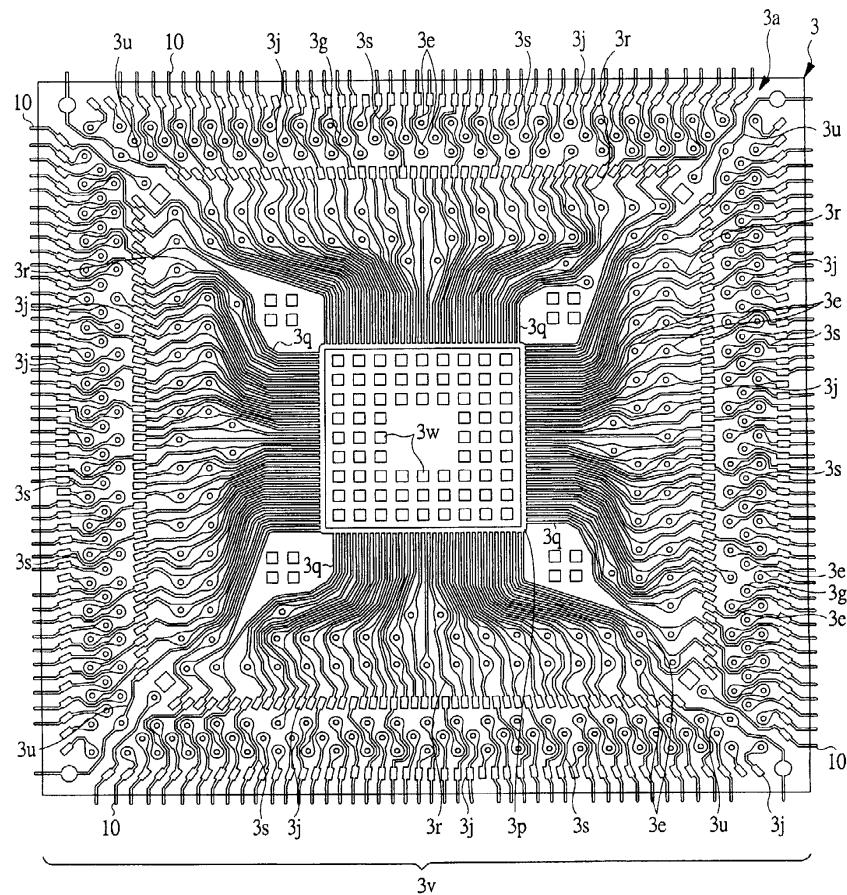
도면7



도면8

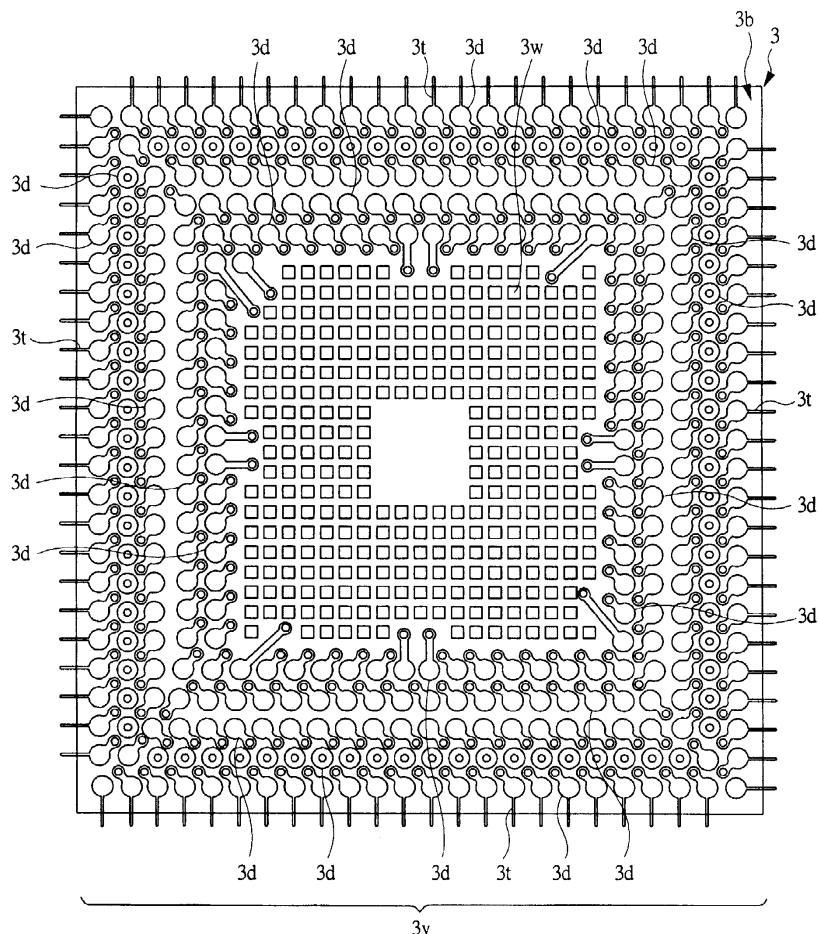


도면9

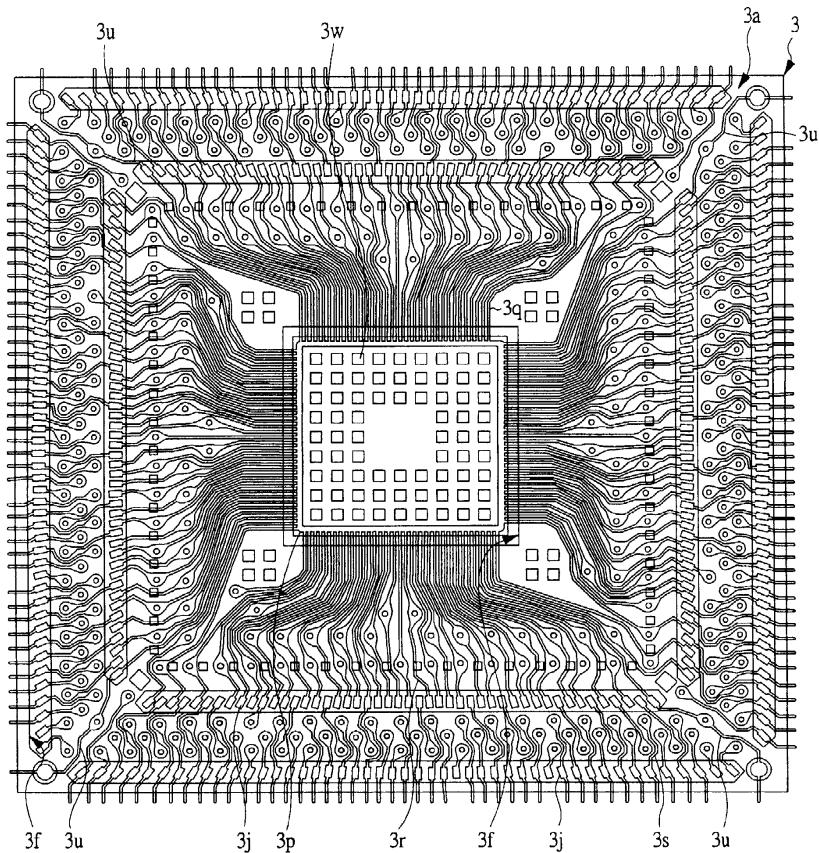


- 3j : ボンディングリード(ボンディング電極)
 3p : 共通配線
 3q : めっき線(給電用引き出し配線)
 3r : 第1めっき線(給電用引き出し配線)
 3s : 第2めっき線(給電用引き出し配線)
 3u : 第4めっき線(給電用引き出し配線)
 3v : デバイス領域

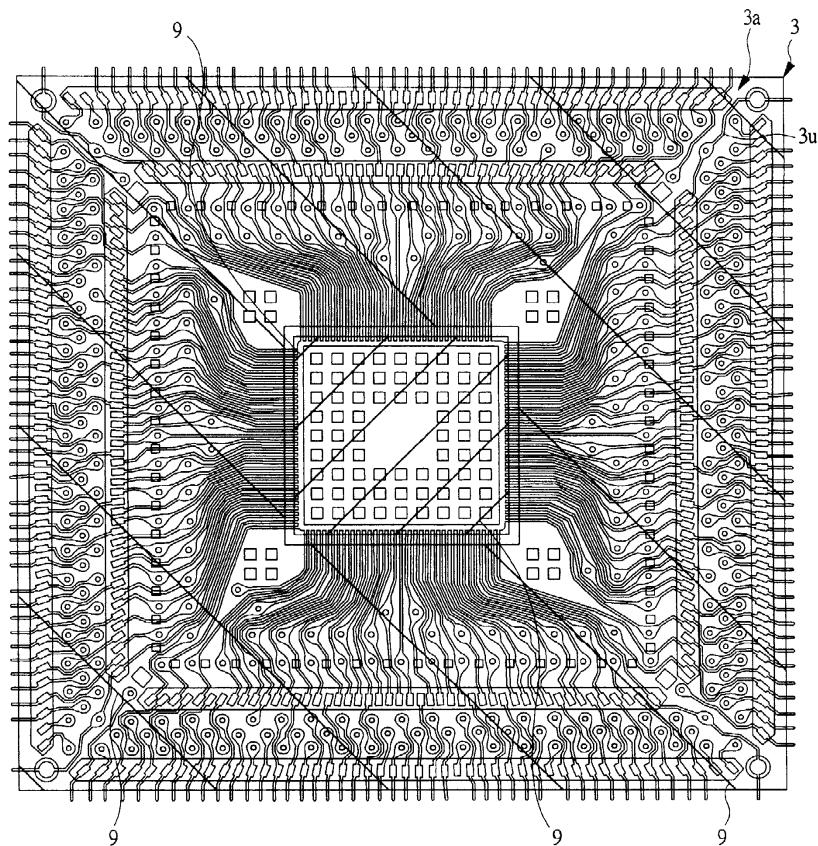
도면10



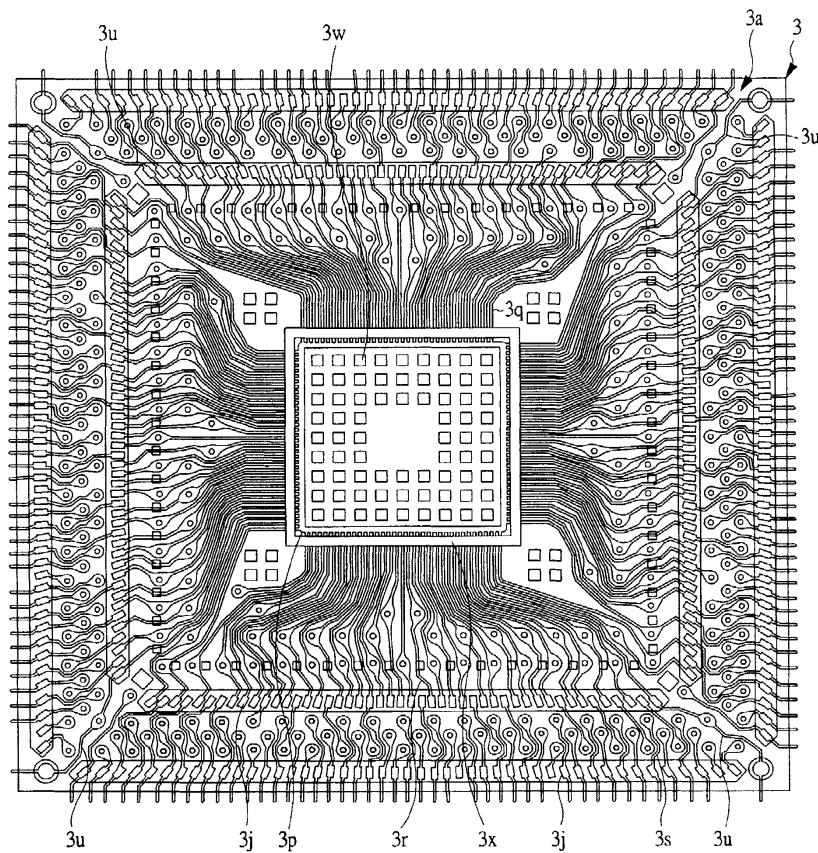
도면11



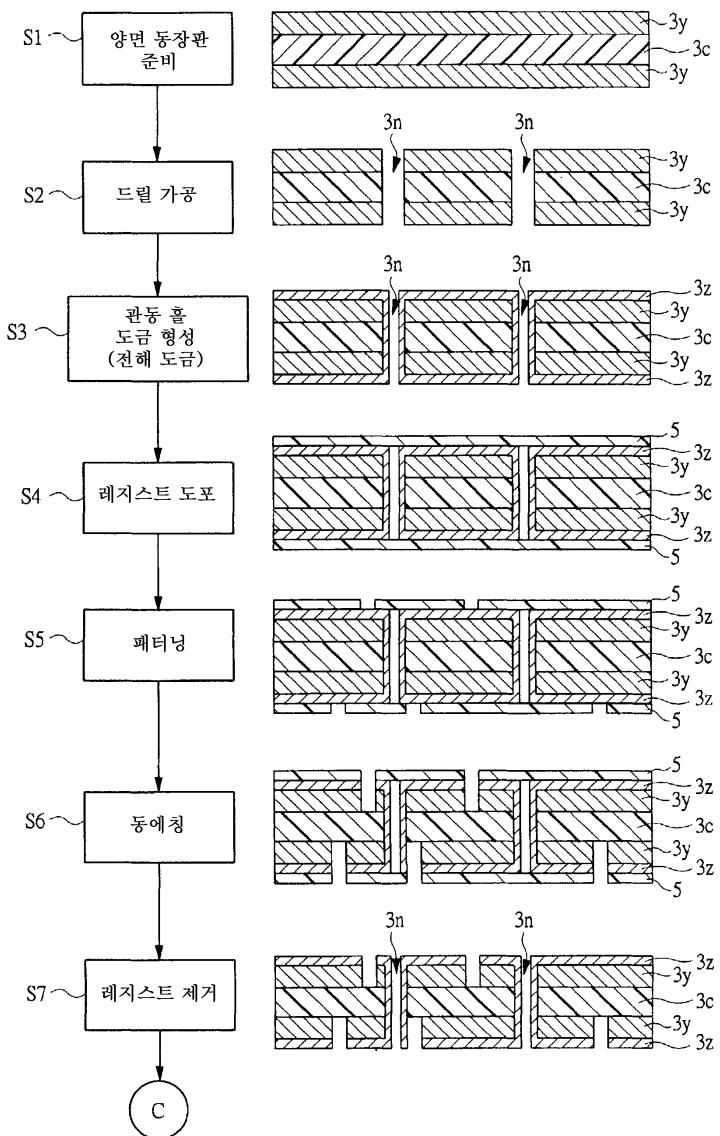
도면12



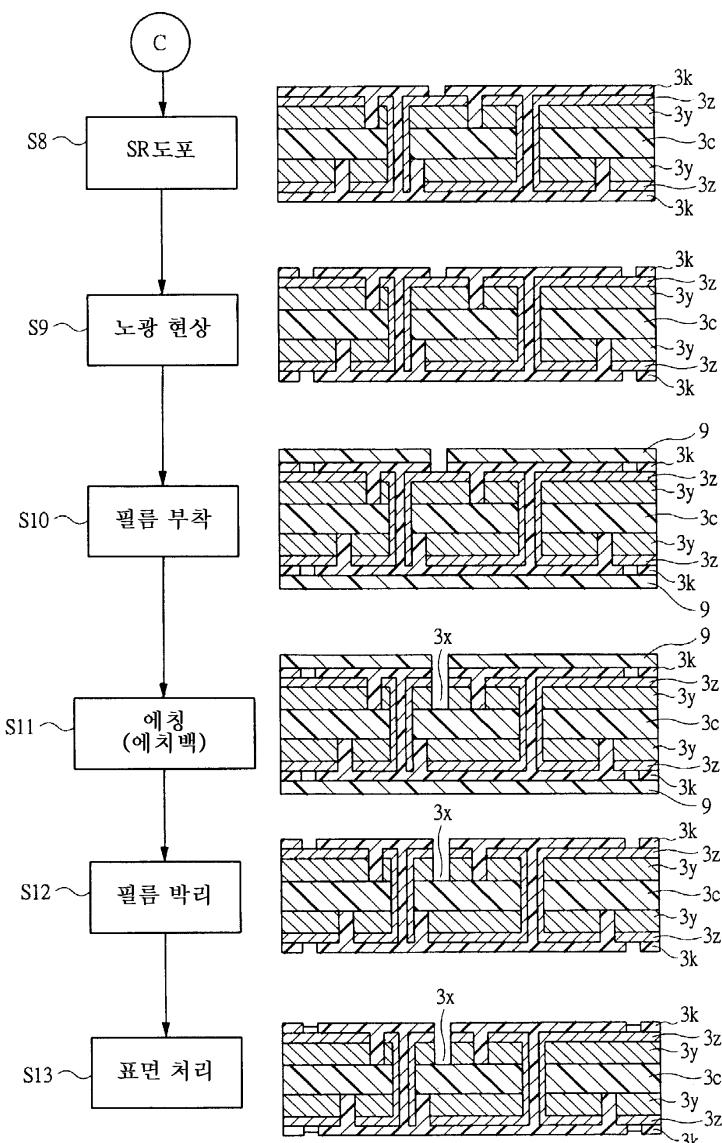
도면13



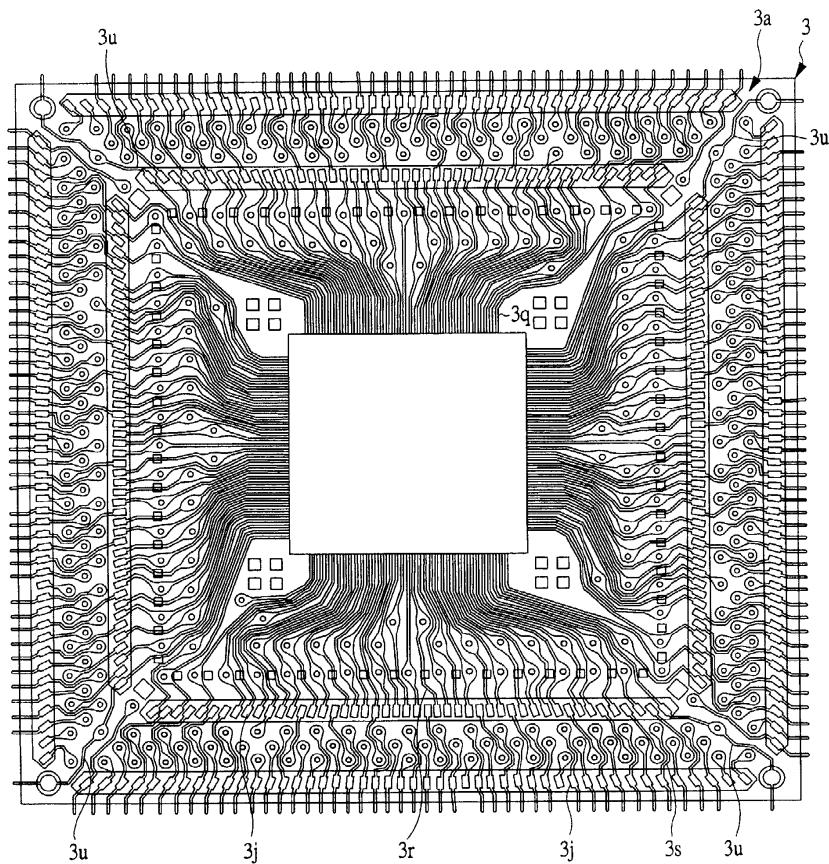
도면14



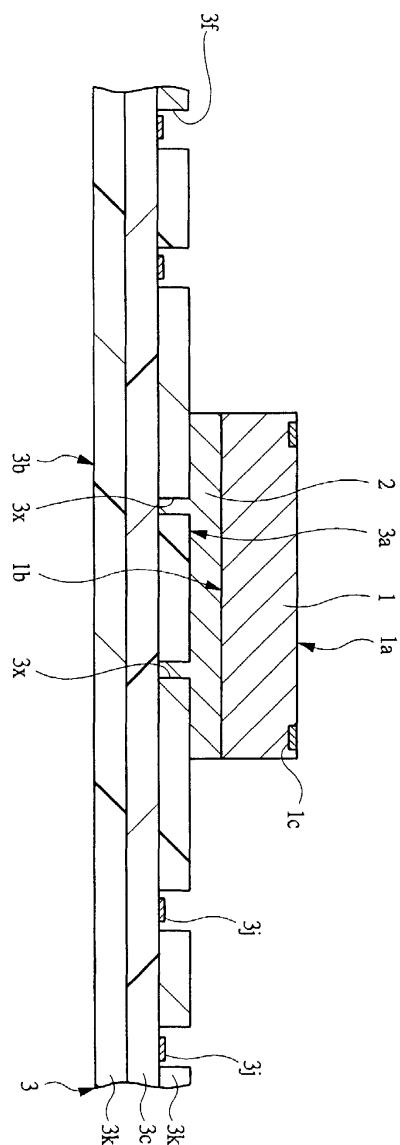
도면15



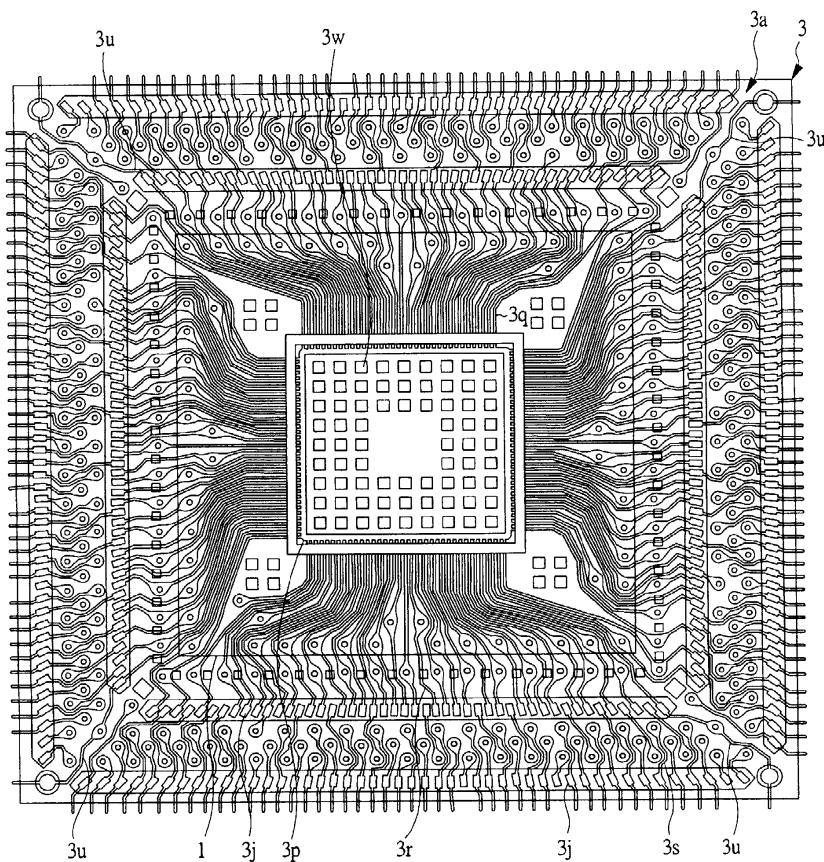
도면16



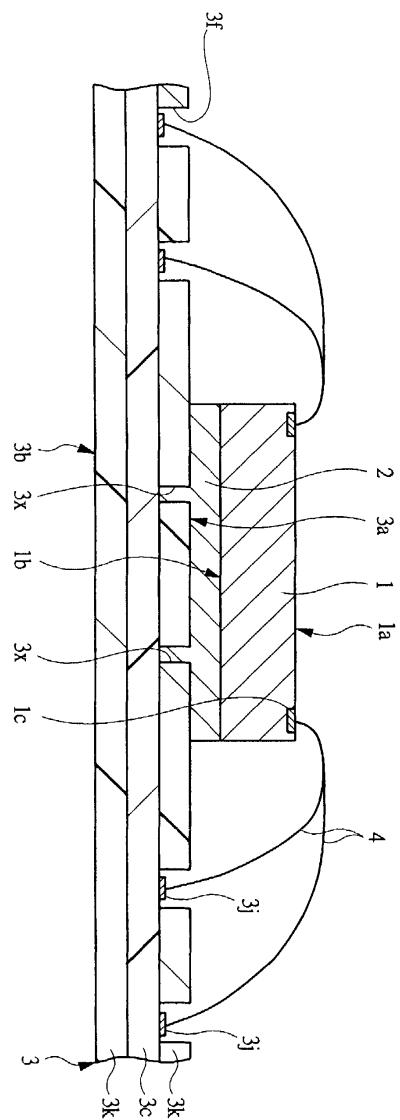
도면17



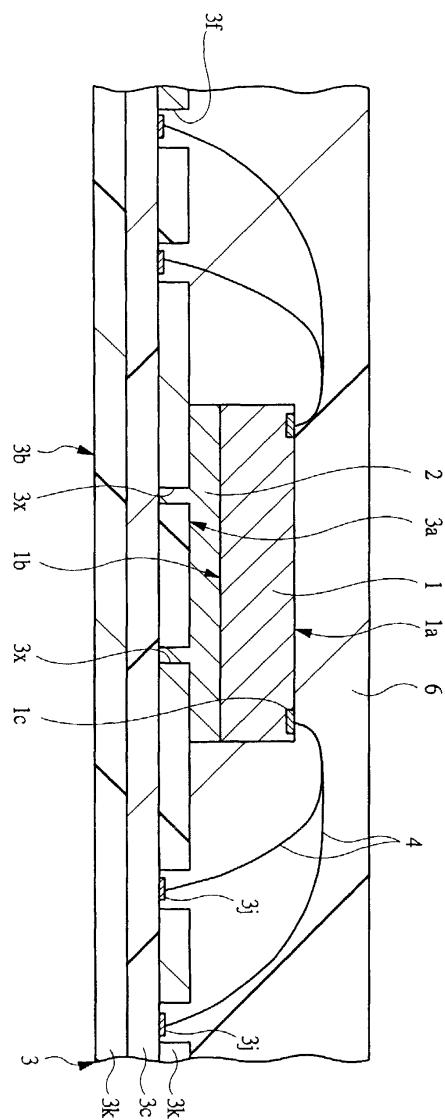
도면18



도면19



도면20



도면21

