



(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告書

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ,

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

路と異なる動作電圧で動作する内部回路同士で信号レベルの変換を行う第1レベル変換回路を持つ半導体集積回路に、上記複数の電源電圧を受けてそれぞれ一定の回路動作を行う複数の論理回路とそれぞれの上記一定の回路動作の判定を行う複数の判定回路と、上記第1レベル変換回路と同等の回路からなり、異なる動作電圧で動作する判定回路同士で出力信号レベルを合わせる第2レベル変換回路を設け、上記複数の判定回路の全ての出力信号と上記第2レベル変換回路の出力信号が形成されたことを条件として、上記複数の内部回路の動作を制御する。

明 細 書

半導体集積回路装置

技術分野

- [0001] 本発明は、半導体集積回路装置に関し、例えば複数の動作電圧を持つシステムLSI(大規模集積回路)に搭載されるパワーオンリセット回路等に用いられる動作電圧検出回路に利用して有効な技術に関するものである。

背景技術

- [0002] 異電位または同電位の複数の電源系統をもつLSIにおいて、従来のパワーオンリセット回路は、電圧レベルの判定の際、単純な容量充電や抵抗の分圧比等を用いる回路を使用している。すなわち、複数の電源電圧のうちの任意の電源電圧に対し電源投入検出回路を設け、それぞれ電源電圧で動作する回路のためのパワーオンリセット信号を生成する。例えば、異電位を使用する内部回路に対し、先のパワーオンリセット信号の少なくとも一つが活性状態(リセット中)の間主電源投入検出回路が別のパワーオンリセット信号を生成する例として、特開2002-042459公報があり、外部電源電圧が低い期間、内部電源電圧の代わりに外部電源電圧を供給し、その期間をリセット信号発生回路(抵抗の分圧比によりMOSのゲート電圧で判定)の生成するパワーオンリセット信号で規定するものとして特開2001-210076公報がある。

特許文献1:特開2002-042459公報

特許文献2:特開2001-210076公報

発明の開示

発明が解決しようとする課題

- [0003] 従来のように電源電圧のレベルを判定するものでは、設定された電源電圧レベルにより論理回路等の内部回路が正常に動作する保障はないという問題を有する。また、電源電圧の立ち上がり時間が極端に遅い時、時定数回路を構成するキャパシタの充電期間が終了しても実際に電源が上記動作下限電圧以上に立ち上がっていない可能性や、電源電圧を抵抗の分圧比により分圧した電圧をモニタする回路の場合には、パワーオンリセット期間が終了しても、分圧抵抗に定常的に直流電流が流れた

り、かかる直流電流を減らすためには大きな抵抗値の抵抗素子を半導体集積回路に形成する必要があり、パワーオンリセット回路が占める占有面積が大きくなる等の問題がある。

- [0004] この発明の目的は、複数電源電圧に適合し、高い精度の動作電圧検出回路を備えた半導体集積回路装置を提供することにある。この発明の他の目的は、複数電源電圧に適合し、低消費電力で実際の回路性能に則した動作電圧発生回路を備えた半導体集積回路装置を提供することにある。この発明の前記ならびにそのほかの目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

課題を解決するための手段

- [0005] 本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記の通りである。すなわち、第1電源電圧を動作電圧とする第1回路と、上記第1電源電圧とは異なる第2電源電圧を動作電圧とする第2回路と、動作電圧の低い方の回路の信号レベルを高い方の回路の信号レベルに変換する第1レベル変換回路を持つ半導体集積回路に、上記第1電源電圧を受けて一定の回路動作を行う第1論理回路と上記一定の回路動作の判定を行う第1判定回路と、上記第2電源電圧を受けて一定の回路動作を行う第2論理回路と、その一定の回路動作の判定を行う第2判定回路と、上記第1レベル変換回路と同等の回路からなる第2レベル変換回路を設け、上記第1判定回路と第2判定回路のうち高い方の判定回路の出力信号と第2レベル変換回路の出力信号が形成されたことを条件として、上記第1回路と第2回路の動作を制御する。

- [0006] 本願において開示される発明のうち他の代表的なものの概要を簡単に説明すれば、下記の通りである。すなわち、複数の電源電圧をそれぞれ動作電圧とする複数の内部回路と異なる動作電圧で動作する内部回路同士で信号レベルの変換を行う第1レベル変換回路を持つ半導体集積回路に、上記複数の電源電圧を受けてそれぞれ一定の回路動作を行う複数の論理回路とそれぞれの上記一定の回路動作の判定を行う複数の判定回路と、上記第1レベル変換回路と同等の回路からなり、異なる動作電圧で動作する判定回路同士で出力信号レベルを合わせる第2レベル変換回路を設け、上記複数の判定回路の全ての出力信号と上記第2レベル変換回路の出力信

号が形成されたことを条件として、上記複数の内部回路の動作を制御する。

発明の効果

- [0007] 複数電源電圧に適合し、低消費電力で半導体集積回路に形成される内部回路の異電位間回路の信号伝達を含めた回路性能に則した動作電圧の検出を行うことができる。

発明を実施するための最良の形態

- [0008] 図1には、この発明に係る半導体集積回路装置の一実施例のブロック図が示されている。同図の各回路ブロックは、公知の半導体集積回路の製造技術によって、単結晶シリコンのような1個の半導体基板上に形成される。この実施例の半導体集積回路装置(以下、単にLSIという)2000は、特に制限されないが、中央処理装置(以下、単にCPUという)1080を中心として構成されるシステムLSIに向けられている。つまり、システムLSIは、CPU1080を中心にして、代表として例示的に示されているように外部との信号の授受を行う入出力回路(以下、I/O回路ともいう)1050、1051、ユーザーロジック(Logic)1060、PLL回路やA/D変換回路あるいはD/A変換回路のようなアナログ回路(Analog)1090を備えている。また、図示しないが、必要に応じてメモリ回路(スタティック型RAM、ダイナミック型RAM、マスクROM又はフラッシュEPROM)等も設けられる。
- [0009] この実施例では、外部電源電圧 V_{ext} とオンチップレギュレータ1000より降圧した内部電源電圧 V_{int} との2種類の動作電圧を使用するシステムLSI2000に、この発明に係る動作電圧検出回路が適用されたパワーオンリセット回路1100が設けられる。パワーオンリセット回路1100は、電源投入時、外部電源電圧 V_{ext} と内部電源電圧 V_{int} の立ち上がりを前記従来技術のように電圧レベルそのものとは異なり一定の回路動作により間接的に判定し、パワーオンリセット信号 pon 及び $prstn$ を生成する。上記 pon 信号は、特に制限されないが、電源投入時に上記I/O回路1050、1051の入出力電圧レベルの固定やアップシフタ(、以下USともいう)1070、1071の出力レベル固定等に利用される。
- [0010] 上記 $prstn$ 信号は pon 信号とともにレギュレータ1000に入力され、パワーオンリセット期間中にメインシリーズレギュレータ(以下、MAINSEという)1030またはサブシリ

ーズレギュレータ(以下、SUBSEともいう)1040の活性化の選択、基準電圧発生回路(以下、BGRともいう)1010やレファレンス電圧設定回路(以下、VREFBUFともいう)1020に起因する内部電源電圧 V_{int} レベルの跳ね上がり防止等に利用される。上記MAINSE1030とSUBSE1040は、上記レファレンス電圧設定回路1020で形成された出力電圧 V_{ref} を電力増幅して上記内部電源電圧 V_{int} を形成する。

[0011] 上記MAINSE1030は、CPU1080等の内部回路が動作状態のときの負荷電流に対応した大きな電流能力を持つようにされる。上記SUBSE1040は、CPU1080等の内部回路が動作しないスタンバイ状態のときのリーク電流に対応した小さな電流能力を持つようにされる。これにより、スタンバイ状態のときに上記SUBSE1040を動作状態として上記MAINSE1030を非動作状態にしてレギュレータ1000での消費電力を必要最小にすることができる。

[0012] 図2には、図1のシステムLSIの電源投入時の動作を説明するための波形図が示されている。外部電源電圧 V_{ext} と同時にパワーオンリセット期間を規定する第1のパワーオンリセット信号 pon が立ち上がり、またパワーオンリセット回路1100内の後述するような容量充電時間により生ずる一定時間経過後に第2のパワーオンリセット信号 $prstn$ が立ち上がる。この $prstn$ 信号の立ち上がりと同時にレギュレータ1000内のメインシリーズレギュレータ1030が活性化されて内部電源電圧 V_{int} を生成する。

[0013] ところで、基準電圧発生回路(BGR)1010の出力電圧である定電圧 V_{bgr} やレファレンス電圧設定回路(VREFBUF)1020の出力電圧 V_{ref} は外部電源電圧 V_{ext} の立ち上がりと同時にBGR1010やVREFBUF1020が活性化されるため、回路内の容量カップリングなどの影響で跳ね上がり部分が生じるが、上記のようなパワーオンリセット信号 $prstn$ を用いることにより、メインシリーズレギュレータ1030が活性化されて内部電源電圧 V_{int} が立ち上がる時点では電圧 V_{bgr} や V_{ref} のレベルが安定状態になっているため内部電源電圧 V_{int} に跳ね上がりが生じることはない。上記 $prstn$ 信号の立ち上がりから後述するように一定時間経過後 pon 信号が立ち下がり、パワーオンリセット期間は終了する。

[0014] 図3には、図1のパワーオンリセット回路1100の一実施例のブロック図が示されている。パワーオンリセット回路1100は、外部電源電圧 V_{ext} の立ち上がりを検出する

Vext 系ロジックレプリカ回路100、内部電源電圧Vint の立ち上がりを検出するVint 系ロジックレプリカ回路101及びアップシフタレプリカ回路400より構成される。なお、特に制限されないが、上記ロジックレプリカ回路100, 101は、リングオシレータ(RO SC) 200, 201と容量充電回路(CP) 300, 301から構成され、リングオシレータ(RO SC) 200, 201が安定発振するまでの時間規定は容量充電回路(CP) 300, 301で行う。また、容量充電回路(CP) 300, 301で形成される判定信号hfix0、hfix1及びdis0 はパワーオンリセット回路自身の初期化及びパワーオンリセット期間後の貫通電流防止のための信号である。

[0015] 図4には、上記図3のパワーオンリセット回路1100の一実施例の具体的回路図が示されている。奇数段(図では3段)のリングオシレータ200, 201は多段のインバータチェーンを模したロジック回路のレプリカであり、これらのリングオシレータの発振動作が十分安定した時点でそれぞれのリングオシレータの使用する電源電圧Vext、Vint でロジック回路が動作する下限電圧レベルに到達したと判定する。発振動作が安定するまでの時間規定は容量充電回路300, 301の充電時間で行う。Vext 系のリングオシレータ200と容量充電回路300のVext 電圧レベル判定後、prstn信号を生成する。

[0016] 上記リングオシレータ200は、外部電源電圧Vext がソースに供給されたPチャンネルMOSFETpm10〜pm12と、回路の接地電位gndがソースに供給されたNチャンネルMOSFETnm10〜nm12とからなるCMOSインバータ回路をリング状に接続し、上記MOSFETpm12とnm12とからなるCMOSインバータ回路の出力信号が同様なPチャンネルMOSFETとNチャンネルMOSFETからなるCMOSインバータ回路inv100、inv101により波形整形されて出力される。上記MOSFETpm12とnm12の相互接続点と外部電源電圧Vext との間には、発振動作を停止させるプルアップ用のPチャンネルMOSFETpm13が設けられている。

[0017] 上記容量充電回路300は、次のようなチャージポンプ回路から構成される。ソースに外部電源電圧Vext が供給され、ゲートに回路の接地電位が与えられたPチャンネルMOSFETpm20は、定電源としての動作を行う。上記リングオシレータ200の発振パルスは、CMOSインバータ回路inv102を介してPチャンネルMOSFETpm21の

ゲートに伝えられる。MOSFETpm21は、上記MOSFETpm20で形成された定電流によりキャパシタc20の充電動作を行う。キャパシタc20の充電電圧は、CMOSインバータ回路inv102の出力信号を受けるCMOSインバータ回路inv103の出力信号によりスイッチ制御されるPチャネルMOSFETpm22を介してキャパシタc21に伝えられる。

[0018] つまり、発振パルスがハイレベルの期間には、上記MOSFETpm21がオン／MOSFETpm22がオフとなり、キャパシタc20を外部電源電圧Vext に充電する。発振パルスがロウレベルの期間には、上記MOSFETpm21がオフ／MOSFETpm22がオンとなり、キャパシタc20とキャパシタc21との間で電荷移送を行う。上記キャパシタc20に対してキャパシタc21の容量値を大きくすること、例えば約20倍程度に設定することにより、キャパシタc20の上記1回の電荷移送により、キャパシタc21の保持電圧は、外部電源電圧Vext の約20分の1程度の上昇する。

[0019] 上記キャパシタc21の保持電圧は、電圧判定回路としての縦列形態のCMOSインバータ回路inv104と105に伝えられる。つまり、CMOSインバータ回路inv104の論理しきい値電圧を参照電圧とし、上記キャパシタc21の保持電圧を判定する。上記CMOSインバータ回路inv104の論理しきい値電圧を、上記外部電源電圧Vext の1／2に設定すると、上記発振パルスにより10回程度の電荷移送によりキャパシタc21の保持電圧をVext ／2程度まで高くすることができる。上記インバータ回路inv105の出力信号は、パワーオンリセット信号prstnとして出力されるとともに、Vint 系のリングオシレータ201の動作制御信号としても用いられる。また、上記インバータ回路inv104の出力信号のロウレベルにより、プルアップ用のPチャネルMOSFETpm13がオン状態となり、リングオシレータ200の発振動作が停止させられる。

[0020] PチャネルMOSFETpm24とpm25は、インバータ回路inv104にいわばヒステリシス特性を持たせるものであり、キャパシタc21の保持電圧が上記論理しきい値電圧に到達し、インバータ回路inv104の出力信号によりPチャネルMOSFETpm25がオン状態となり、MOSFETpm24による定電流によりキャパシタc21をチャージアップするという正帰還がかかり、上記インバータ回路inv104の出力信号は急激にロウレベルに変化させられる。

- [0021] Vint 系リングオシレータ201及び容量充電回路301は、前記Vext 系リングオシレータ200及び容量充電回路300と同様な回路により構成される。Vint 系リングオシレータ201には、2つのプルアップ用PチャネルMOSFETpm33とpm34が設けられており、MOSFETpm33のゲートには、上記パワーオンリセット信号prstnが供給される。これにより、Vint 系リングオシレータ201は、上記Vext 系リングオシレータ200及び容量充電回路300により形成されるパワーオンリセット信号prstnのハイレベルにより、上記プルアップMOSFETpm33がオフ状態となって発振動作が可能とされる。
- [0022] 上記Vint 系のリングオシレータ201と容量充電回路301とによるVint 電圧レベルの前記同様な判定後、つまり、前記容量充電回路301における前記同様な電圧判定回路としてのCMOSインバータ回路inv114、inv115を通した出力信号は、アップシフタのレプリカ回路400に入力されて、低い電源電圧レベル(Vint)から高い電源電圧レベル(Vext)へレベル変換した信号伝達が可能であるかの判定が行われる。つまり、アップシフタ(US)のレプリカ回路400は、システムLSI2000内で使用されるアップシフタのなかで、最後に立ち上がると考えられるアップシフタまたは同じ回路構成をとりそのアップシフタより立ち上がり時間が遅くなるように設計したものである。
- [0023] 上記レプリカ回路400は、上記外部電源電圧Vext で動作し、PチャネルMOSFETpm50〜pm53と、NチャネルMOSFETnm50、nm51及びインバータ回路inv30と、信号dis0を受けて、出力信号をロウレベルにリセットさせるNチャネルMOSFETnm51により構成される。かかるレプリカ回路400によるレベル変換出力信号と上記Vext 系リングオシレータ200及び容量充電回路300で形成されたパワーオンリセット信号prstnをナンドゲート回路nand100に入力し、その出力信号をインバータ回路inv110、120を通して前記パワーオンリセット信号ponをロウレベルにさせる。つまり、これら全ての判定終了後パワーオンリセット信号ponを初期状態に戻しパワーオンリセット期間を終了する。
- [0024] なお、容量充電回路300には、MOSFETnm20、pm23、nm21及びnm22とキャパシタc22からなるオートリセット回路が設けられており、電源遮断ときにキャパシタc21をディスチャージさせる。容量充電回路301にも、上記同様なMOSFETnm40、pm43、nm41及びnm42とキャパシタc42からなるオートリセット回路が設けられている。

これらの回路については後に説明する。

[0025] 図5には、前記図1の半導体集積回路装置の電源系統を一般化した応用例を示すブロック図が示されている。この実施例は、外部より供給される電源電圧 $V_1 \sim V_n$ でそれぞれ動作する内部回路 $MOD_1 \sim MOD_n$ と、内部回路 $MOD_1 \sim MOD_n$ 同士のレベル変換を行うアップシフタ $US_{21} \sim US_{n1}$ 、 $US_{31} \sim US_{n2}$ 、 $US_{31} \sim US_{n3}$ 、 US_{nn-1} をもつLSI2001に、この発明に係るパワーオンリセット回路(POR)1101を搭載したものである。パワーオンリセット回路1101は、電源電圧 $V_1 \sim V_n$ の電源電圧レベルをそれぞれ前記のような内部回路 $MOD_1 \sim MOD_n$ のレプリカ回路としてのリングオシレータと容量充電回路及びアップシフタ US_{21} 、 US_{32} 、 US_{43} 、 US_{nn-1} 等のレプリカ回路により検知し、全ての検知出力信号が前記のように形成されるまではパワーオンリセット信号 pon を解除せずアップシフタ US_{21} 、 US_{32} 、 US_{43} 、 US_{nn-1} 等の出力電圧レベルの固定やI/Oの入出力レベルの固定を行う。

[0026] 図6には、前記図5の変形例のブロック図が示されている。この実施例では、チップ外部より供給される電源電圧 V_1 からオンチップレギュレータ($REG_1 \sim REG_{n-1}$)1001～1004より降圧した電源電圧 $V_2 \sim V_n$ を生成し、それぞれの電源電圧 $V_1 \sim V_n$ で動作する内部回路 $MOD_1 \sim MOD_n$ と内部回路 $MOD_1 \sim MOD_n$ 同士のレベル変換を行うアップシフタ $US_{01} \sim US_{n1}$ 、 $US_{31} \sim US_{n2}$ 、 $US_{31} \sim US_{n3}$ 、 US_{nn-1} をもつLSI2002に、この発明に係るパワーオンリセット回路(POR)1102が搭載されるものである。パワーオンリセット回路1102は、アップシフタ $US_{21} \sim US_{n1}$ 、 $US_{31} \sim US_{n2}$ 、 $US_{31} \sim US_{n3}$ 、 US_{nn-1} やI/Oの電圧レベルを固定する第1のパワーオンリセット信号 pon とオンチップレギュレータ1001～1004の出力電圧レベルの跳ね上がり等を防止する第2のパワーオンリセット信号 $prstn$ を生成する。

[0027] 図7には、前記図6の変形例のブロック図が示されている。この実施例では、オンチップレギュレータ($REG_1 \sim REG_{n-1}$)1002～1004で使用している電源電圧は $V_2 \sim V_{n-1}$ は、外部電源電圧 V_1 から直接降圧するのではなく1つ前の降圧電圧を形成するオンチップレギュレータ1001～1003の出力電圧を利用している。このため、電源電圧は $V_1 > V_2 > V_3 > \dots > V_n$ の関係にある。他の構成は、前記図6の実施例と同様である。

- [0028] 図8には、前記図7の変形例のブロック図が示されている。この実施例では、この発明に係るパワーオンリセット回路(POR)110より生成する第1のパワーオンリセット信号pon(V1)〜pon(Vn-1)及び第2のパワーオンリセット信号prstn(V1)〜prstn(Vn-1)はI/O40〜43、内部回路30〜33、オンチップレギュレータ(REG1〜REGn-1)1001〜1004等で使用する電源電圧と対応するように同じ電圧レベルで伝達される。これらの電圧レベルの異なるpon及びprstn信号はLSI内の異なる電源電圧で動作する回路に伝達される際、信号のレベルダウン等考慮する必要がない。他の構成は、前記図7の実施例と同様である。
- [0029] 図9には、前記図6の変形例のブロック図が示されている。この実施例では、前記のようなオンチップレギュレータ(REG1〜REGn-1)1001〜1004より降圧した電源電圧V2〜Vnを生成し、それぞれの電源電圧V1〜Vnで動作する内部回路MOD1〜MODnと内部回路MOD1〜MODn同士のレベル変換を行うアップシフタUS21〜USn1、US31〜USn2、US31〜USn3、USnn-1の他にチップ外部より供給される電源電圧V1からオンチップレギュレータ(REG1p)1005により昇圧した電源電圧V1pを生成し、その電源電圧で動作する内部回路MOD1pとそれに対応したアップシフタUS11p〜USn1pを設けたLSI2005である。他の構成は、前記図6の実施例と同様である。
- [0030] 図10には、前記図3のパワーオンリセット回路の変形例のブロック図が示されている。LSIにおいて使用する電源系統がn系統に分かれている場合、その各々の電源系統に対しリングオシレータ202〜205と容量充電回路302〜305から構成されるロジックレプリカ回路を持たせる。個々のロジックレプリカ回路はいもずる式に縦列に接続され、最後にアップシフタのレプリカ回路401につながる。この実施例では、高い方の電源電圧により順次にレプリカ回路の動作が行われて、最も低い電源電圧のレプリカ回路としての容量充電回路305において、前記検知信号を形成されることは、それよりも高いレプリカ回路は全て検知信号を形成している関係にある。
- [0031] 図11には、前記図10のパワーオンリセット回路の動作を説明するための波形図が示されている。同図には、上段側に電源電圧V1、V2、…と高い電源電圧から順番に電源投入を行った場合の電圧波形が示され、下段側にVn、Vn-1、…と低い電

源電圧から順番に電源投入を行った場合の電圧波形が示されている。上段側及び下段側のようにいずれの電源投入順序においても、それに関係なく全ての電源系統のロジックレプリカ回路による電源電圧レベルの判定とアップシフタのレプリカ回路の判定が終了しない限りパワーオンリセット信号ponは解除されない。なお、図10及び図11において、hfixやdisのようなパワーオンリセット回路自身の初期化及びパワーオンリセット期間後の貫通電流防止のための信号は省略されている。

[0032] 図12には、前記図10の変形例のブロック図が示されている。この実施例では、リングオシレータ(RSOC1〜RSOCn)202〜205と容量充電回路(CP1〜CPn)302〜305から構成される個々のロジックレプリカ回路の検知信号は、並列形態にアンドゲート回路(and20)に入力され、その論理積出力がアップシフタのレプリカ回路401に伝えられてパワーオンリセット信号ponが形成される。なお、アンドゲート回路and20は、最も低い電源電圧Vnで動作し、かかる出力電圧はアップシフタのレプリカ回路401により最も高い電源電圧V1までレベルシフトされ、かかる電源電圧V1で動作するインバータ回路inv40を介して上記パワーオンリセット信号ponが出力される。

[0033] 図13には、前記図12のパワーオンリセット回路の動作を説明するための電圧波形図が示されている。前記図11と同じく、上段側に電源電圧V1、V2、・・・と高い電源電圧から順番に電源投入を行った場合の電圧波形が示され、下段側にVn、Vn-1、・・・と低い電源電圧から順番に電源投入を行った場合の電圧波形が示されている。上段側及び下段側のようにいずれの電源投入順序においても、それに関係なく全ての電源系統のロジックレプリカ回路による電源電圧レベルの判定とアップシフタのレプリカ回路の判定が終了しない限りパワーオンリセット信号ponは解除されない。

[0034] 図14には、前記図10の変形例のブロック図が示されている。この実施例では、電源電圧V1で動作するロジックレプリカ回路の出力信号を第2のパワーオンリセット信号prstnとして使用する。prstn信号は、前記のように降圧電圧V2〜Vnを形成する図示しないオンチップレギュレータ等に伝達され、前記説明したようなオンチップレギュレータの降圧電圧の跳ね上がり防止等に利用される。

[0035] 図15には、前記図12の変形例のブロック図が示されている。この実施例でもは、前記同様に電源電圧V1で動作するロジックレプリカ回路の出力信号を第2のパワーオ

ンリセット信号prstnとして使用する。prstn信号は、前記のように降圧電圧 $V_2 \sim V_n$ を形成する図示しないオンチップレギュレータ等に伝達され、前記説明したようなオンチップレギュレータの降圧電圧の跳ね上がり防止等に利用される。

[0036] 図16には、前記図10の変形例のブロック図が示されている。アップシフタレプリカ回路をパワーオンリセット回路に組み込む際、前記図10の実施例のように一番低い電源電圧 V_n から直接一番高い電圧 V_1 にレベルアップするのではなく、アップシフタレプリカ回路 $US_{nn-1} \cdots US_{43}$ 、 US_{32} 、 US_{21} のように使用している電源電圧の低い方 V_n から順番に一つ高い電源電圧 V_{n-1} のようにレベルアップするレプリカ回路を複数段が設けられる。これにより、前記のような内部回路 $MOD_1 \sim MOD_n$ 同士のレベル変換を行うアップシフタ $US_{21} \sim US_{n1}$ 、 $US_{31} \sim US_{n2}$ 、 $US_{31} \sim US_{n3}$ 、 US_{nn-1} の全ての動作をモニタすることができる。

[0037] 図17には、前記図12の変形例のブロック図が示されている。アップシフタレプリカ回路をパワーオンリセット回路に組み込む際、前記図12の実施例のように一番低い電源電圧 V_n により動作するアンドゲート回路and20の出力信号から直接一番高い電圧 V_1 にレベルアップするのではなく、アップシフタレプリカ回路 $US_{nn-1} \cdots US_{43}$ 、 US_{32} 、 US_{21} のように使用している電源電圧の低い方 V_n から順番に一つ高い電源電圧 V_{n-1} のようにレベルアップするレプリカ回路を複数段が設けられる。これにより、前記のような内部回路 $MOD_1 \sim MOD_n$ 同士のレベル変換を行うアップシフタ $US_{21} \sim US_{n1}$ 、 $US_{31} \sim US_{n2}$ 、 $US_{31} \sim US_{n3}$ 、 US_{nn-1} の全ての動作をモニタすることができる。

[0038] 図18には、前記図16の変形例のブロック図が示されている。この実施例では、第1のパワーオンリセット信号ponは、それぞれの電源電圧 $V_n \sim V_1$ に適合した個々のアップシフタレプリカ回路の出力から取り出し、第2のパワーオンリセット信号prstnは、上記同様にそれぞれに適合した電源電圧で動作するリングオシレータ202～205と容量充電回路302～305からなるロジックレプリカ回路から生成される。これらのそれぞれ電圧レベルの異なる複数のpon及びprstn信号はLSI内の対応する内部回路 $MOD_1 \sim MOD_n$ に伝達される際、信号のレベルダウン等考慮する必要がない。

[0039] 図19には、前記図17の変形例のブロック図が示されている。この実施例でもは、前

記同様に第1のパワーオンリセット信号ponは、それぞれの電源電圧 $V_n \sim V_1$ に適合した個々のアップシフトレプリカ回路の出力から取り出し、第2のパワーオンリセット信号prstnは、上記同様にそれぞれに適合した電源電圧で動作するリングオシレータ202～205と容量充電回路302～305からなるロジックレプリカ回路から生成される。これらのそれぞれ電圧レベルの異なる複数のpon及びprstn信号はLSI内の対応する内部回路MOD1～MODnに伝達される際、信号のレベルダウン等考慮する必要がない。

[0040] 図20には、図12の変形例のブロック図が示されている。前記図12のアンドゲート回路and20出力側にアップシフトのレプリカ回路401を設ける代わりに、ナンドゲート回路nand20を最も高い電源電圧 V_1 で動作させ、その入力側にアップシフトのレプリカ回路(US21、US31、USn1)410～412を使用している。

[0041] 図21には、図12の変形例のブロック図が示されている。前記同様に前記図12のアンドゲート回路and20出力側にアップシフトのレプリカ回路401を設ける代わりに、ナンドゲート回路nand20を最も高い電源電圧 V_1 で動作させ、その入力側にアップシフトのレプリカ回路が設けられる。この実施例では、前記図20の実施例のように1段のレベルアップレプリカ回路で行うのではなく、それぞれのレベルに電源電圧に適応して複数段のレベルアップレプリカ回路が設けられる。

[0042] 例えば、2番目に低い電源電圧 V_2 で動作する容量充電回路(CP2)303は、1つのレプリカ回路(US21)420より最も高い電源電圧 V_1 に対応したレベルまでレベル変換される。これに対して、3番目に低い電源電圧 V_2 で動作する容量充電回路(CP3)303は、まず2番目に低い電源電圧 V_2 に対応したレベルまでレベル変換するレプリカ回路(US32)421と、上記同様なレプリカ回路(US21)422より最も高い電源電圧 V_1 に対応したレベルまでレベル変換される。以下、ある電源電圧で動作する容量充電回路の出力信号は、それよりも1段高い電源電圧にレベル変換させ、いか順次にレベル変換して最終的には上記最も高い電源電圧 V_1 に対応したレベルまでレベル変換される。

[0043] 図22には、前記図10の変形例のブロック図が示されている。この実施例では、電源電圧 $V_1 \sim V_n$ において、それぞれ同電位であるが互いにa～zのように電源分離さ

れた複数の図示しない内部回路MOD1(a-z)〜MODn(a-z)が存在する場合に、例えば、電源電圧V1ではリングオシレータROSC1a〜ROSC1zと容量充電回路CP1a〜CP1zからなるロジックレプリカ回路を、電源電圧V2ではリングオシレータROSC2a〜ROSC2zと容量充電回路CP2a〜CP2zからなるロジックレプリカ回路を、以下同様に電源電圧V2ではリングオシレータROSCna〜ROSCnzとCPna〜CPnzからなるロジックレプリカ回路がそれぞれに設けられる。各電源電圧V1〜Vn毎に、その電圧レベル内の同電位の電源電圧a-zの全てが立ち上がったかどうか判定するアンドゲート回路(and10〜and1n)が設けられる。このアンドゲート回路and10〜and1nの出力信号は、それよも1つ下の電源電圧のリングオシレータROSCの動作許可電圧として用いて、前記同様にいもずる式に縦列接続させる。アンドゲート回路and10〜and1nの動作に用いる電源電圧はa-zのいずれかひとつを使用する。

[0044] 図23には、前記図12の変形例のブロック図が示されている。前記図22と同様に同電位・異電位問わずそれぞれの電源系統毎にリングオシレータと容量充電回路からなるロジックレプリカ回路がパワーオンリセット回路内に設けられる。なお、各異電位の電源電圧V1〜Vnのそれぞれにおいて、その電圧レベル内の同電位の電源電圧の全てが立ち上がったかどうか判定しているアンドゲート回路(and10〜and1n)に用いる電源電圧は電源電圧a-zのいずれかひとつを使用する。また、各異電位の電源電圧の全てが立ち上がったか判定しているアンドゲート回路and20の動作に用いる電源電圧もVn内のa-zの何れかの電源電圧を使用する。

[0045] 図24には、前記図22の変形例のブロック図が示されている。この実施例では、一番高い電源電圧V1においてa-zの全ての電源系統が立ち上がったことを判定するアンドゲート回路and11の出力を前記第2のパワーオンリセット信号prstnとして使用する。他の構成は、前記図22の実施例と同様である。

[0046] 図25には、前記図23の変形例のブロック図が示されている。この実施例では、前記図24と同様に一番高い電源電圧V1においてa-zの全ての電源系統が立ち上がったことを判定するアンドゲート回路and11の出力を第2のパワーオンリセット信号prstnとして使用する。他の構成は、前記図23と同様である。

[0047] 図26には、この発明に用いられるリングオシレータの他の一実施例の回路図が示

されている。この実施例のリングオシレータは、前記図4のパワーオンリセット回路で使用されるリングオシレータ200及び201を $n+1$ 段($n+1$: 奇数)に一般化したものである。PチャネルMOSFETpm90はリングオシレータ外部より与えられる制御信号hfix90信号によりリングオシレータの最終段を電源電圧Vaにハイレベル固定するプルアップMOSFETである。このように、リングオシレータは、前記図4の実施例のように3段の他に5段、7段等の多数段にすることにより、3段のリングオシレータに比べて、各段に設けられたキャパシタc1〜cnを省略しても安定的な発振動作を行うようにすることができる。ただし、同図のキャパシタc1〜cnは、各インバータ回路の入力容量や寄生容量を含まない。

[0048] 図27には、前記図26の変形例の回路図が示されている。この実施例では、各インバータ段にたて積みされているPチャネルMOSFETpm91〜pm9kは、インバータに流入する電流を制限するために使用している。このような電流制限を行うことにより、前記図26のインバータ回路に比べてインバータ回路での遅延時間が長くなるため、容量c1〜ck値が小さく又は省略することができ、前記のような安定動作を行いつつインバータの段数を削減出来るなど面積削減も可能となる。なお、電源電圧Vaに対して上記MOSFETpm91〜pm9kのしきい値電圧分だけインバータ回路の動作電圧が低下してしまう。そこで、出力部には、PチャネルMOSFETpm502〜505とNチャネルMOSFETnm500、nm501からなるレベルシフト回路が設けられて、発振パルスのハイレベルを上記電源電圧Vaまで回復させる。

[0049] 図28には、前記図26の変形例の回路図が示されている。この実施例では、各インバータ段にたて積みされているNチャネルMOSFETnm91〜nm9kが設けられる。制御信号hfix90は、プルアップMOSFETpm90のゲートに供給されて最終段の出力信号をハイレベル固定に利用するだけでなく、前記各インバータ段のたて積みされているNチャネルMOSFETnm91〜nm9nのゲートに供給される。これにより、制御信号hfix90がロウレベルにされるリングオシレータの動作停止状態では、MOSFETnm91〜nm9nがオフ状態となって電流パスをカットしてリーク電流を低減させることができる。

[0050] 図29には、この発明に用いられる容量充電回路の他の一実施例の回路図が示さ

れている。この実施例の容量充電回路は、前記図4のパワーオンリセット回路で使用する容量充電回路を一般化して表したものである。この実施例の容量充電回路cp800は、入力inからのパルス信号に従ったキャパシタc800とc801との間でのチャージポンプ動作によってキャパシタc801の保持電圧を電源電圧Vaに向かって徐々に充電していく。かかるキャパシタc801の充電電圧がインバータ回路inv802の論理しきい値電圧に到達すると、その出力が反転してハイレベル固定用PチャネルMOSFETpm804をオン状態とし、PチャネルMOSFETpm803を通した電流によって容量c801を電源電圧Vaまでチャージアップしてかかる電圧に固定する。これにより、上記インバータ回路inv802の出力信号を受けるインバータ回路inv803の出力信号outがハイレベルとして検知信号が形成される。

[0051] 上記キャパシタc801には、放電用NチャネルMOSFETnm800が並列に設けられる。このMOSFETnm800は、容量充電回路cp800の外部より与えられる制御信号dis80によりオン状態となり、キャパシタc801に蓄えられた電荷を放電し、容量充電回路cp800を初期化するためのものである。制御信号dis80はCPUやチップ外部からのパワーダウン信号を利用する方法や、オンチップレギュレータの基準電圧発生回路等を参照電圧とし、電源電圧Vaが動作下限電圧以下に低下したことを検出する電圧レベル検出回路の検出信号が使用される。

[0052] 図30には、前記図29の変形例の回路図が示されている。この実施例の容量充電回路cp801は、前記図4に示した容量充電回路300と同様である。この実施例では、放電用NチャネルMOSFETnm800は、充電回路内のNチャネルMOSFETnm801、nm802、PチャネルMOSFETpm805及びキャパシタc803より構成された自己初期化回路によりスイッチ制御される。つまり、NチャネルMOSFETnm801は、電源電圧Vaがゲートに供給されており、電源電圧Vaが立ち上がるとオン状態となってキャパシタc803をチャージアップさせる。PチャネルMOSFETpm805とNチャネルMOSFETnm802は、上記キャパシタc803の保持電圧を動作電圧とするCMOSインバータ回路を構成し、入力には上記電源電圧Vaが供給されている。このCMOSインバータ回路の出力信号は上記放電用NチャネルMOSFETnm800のゲートに伝えられる。

- [0053] 電源電圧 V_a が立ち上がる際は、NチャネルMOSFETnm801がオン状態となりPチャネルMOSFETpm805とNチャネルMOSFETnm802で構成されるインバータの出力はロウレベル固定され、NチャネルMOSFETnm800はオフ状態にされる。一方、電源電圧 V_a が低下するとNチャネルMOSFETnm801はオフ状態となるがキャパシタc803に蓄えられた電荷によりPチャネルMOSFETpm805とNチャネルMOSFETnm802で構成されるCMOSインバータ回路の出力はハイレベルに変化し、NチャネルMOSFETnm800をオン状態にする。その結果、キャパシタc801の電荷は放電され容量充電回路cp801が初期化される。
- [0054] 図31には、前記図29の変形例の回路図が示されている。この実施例では、自己初期化機能をもつ放電用PチャネルMOSFETpm806が使用される。このPチャネルMOSFETpm806のゲートには、電源電圧 V_a が供給される。電源電圧 V_a が立ち上がる時、PチャネルMOSFETpm806はオフ状態となるが、電源電圧 V_a が低下するとPチャネルMOSFETpm806はオン状態となり、キャパシタc801の電荷は放電され容量充電回路cp802が初期化される。
- [0055] 図32には、前記図29の応用例の回路図が示されている。この実施例では、前記図29に示した容量充電回路cp800に供給される初期化信号dis80として、基準電圧発生回路BGRの出力電圧 V_{bgr} と電源電圧 V_a を抵抗により分圧した V_a/n の電圧レベルをアンプAMP800により比較した出力が使用される。同図に示すうよに、電源電圧 V_a が低下すると、分圧電圧 V_a/n も低下して V_a/n がBGRの出力電圧 V_{bgr} より低くなる区間が存在し、それをアンプAMP800が検出してインバータ回路inv810～inv812を通して初期化信号dis80をハイレベルにする。上記区間に放電用NチャネルMOSFETnm800をオン状態となり、キャパシタc801の電荷を放電することで容量充電回路を初期化する。
- [0056] 図33には、前記図32の変形例の回路図が示されている。この実施例では、前記図1のレファレンス電圧設定回路が利用される。レファレンス電圧設定回路は、次の回路により構成される。BGRで形成された定電圧 V_{bgr} がアンプAMP820の反転入力(－)に供給される。このアンプAMP820の出力信号は、Pチャネル型の増幅MOSFETpm830のゲートに供給される。このMOSFETpm830のソースには、電源電圧 V

aが供給され、ドレインには直列接続されて分圧回路を構成する抵抗R820〜R824が設けられる。上記分圧回路の分圧電圧が上記アンプAMP820の非反転入力(+)に供給される。これにより、上記アンプAMP820の非反転入力(+)に供給される分圧電圧と上記定電圧Vbgrが等しくなるような定電流が流れる。これにより、電圧Vrefは、上記定電流が抵抗R822とR821に流れて発生される定電圧に上記定電圧Vbgrを加えた電圧とすることができる。

[0057] 電源電圧Vbは電源電圧Vaより低い電源電圧である。同図に示すように、電源電圧Vaはそのままの電圧レベルで電源電圧Vbの電圧レベルが低下した時、電源電圧Vbが電圧レベルVref/nより低くなる区間が存在する。それをアンプAMP830が検出してインバータ回路inv830〜inv832を通して初期化信号dis80をハイレベルにする。上記区間に放電用NチャネルMOSFETnm800をオン状態となり、キャパシタc801の電荷を放電することで容量充電回路を初期化する。

[0058] 図34には、前記図4のパワーオンリセット回路で使用されているアップシフトレプリカ回路400を一般化して回路図が示されている。アップシフトレプリカ回路は、LSI内で使用されるアップシフトのなかで、最後に立ち上がると考えられるアップシフトそのものを利用するかまたは同じ回路構成をとりそのアップシフトより立ち上がり時間が遅くなるように設計したものである。NチャネルMOSFETnm100〜nm120は、ロウレベル固定用のスイッチMOSFETであり、アップシフトレプリカ回路内に少なくともひとつ存在し、LSI内に存在する電源の少なくともひとつの電圧レベルが低下した時にアップシフトレプリカ回路の出力を初期化するためのものである。

[0059] これらのNチャネルMOSFETnm100〜nm120をオン／オフを制御する信号dis50〜dis52は、CPUやチップ外部からのパワーダウン信号を利用する方法や、前記図30に示したような容量充電回路内に搭載した初期化回路のPチャネルMOSFETpm805とNチャネルMOSFETnm802で構成されるインバータの出力を利用する方法がある。なお、NチャネルMOSFETnm50とnm51及びインバータ回路inv41は、電源電圧Vnで動作するのに十分なデバイス耐圧のMOSFETを使用し、レベルシフトされる電源電圧に対応した他の電源電圧Vaで動作するデバイス耐圧のMOSFETとは異なるものを使用する。つまり、同図において、チャネル部を太い黒線とした

MOSFETは、相対的に高耐圧MOSFETを表している。

[0060] 図35には、前記図34の変形例の回路図が示されている。この実施例では、電源電圧 V_a 〜 V_n の電圧レベルの低下を検知しアップシフトレプリカ回路を初期化するために、PチャネルMOSFET $pm100$ 〜 $pm123$ を利用する。なお、これらのPチャネルMOSFET $pm100$ 〜 $pm123$ はそれぞれ検知する電源電圧 V_a 〜 V_n に応じて、その電源電圧 V_a 〜 V_n で使用されるデバイス耐圧の異なるPチャネルMOSFETを使用する。そのため、低い電源電圧 V_n で使用されるMOSFET $pm120$ 〜 $pm123$ は、最も高い電源電圧 V_a を分担させるように直列回路から構成される。低い電源電圧 V_b で使用されるMOSFET $pm110$ 、 $pm111$ も同様に最も高い電源電圧 V_a を分担させるように直列形態にされる。

[0061] 図36には、前記図4の変形例の回路図が示されている。外部電源電圧(V_{ext})で動作するリングオシレータROSC(V_{ext})と容量充電回路CP(V_{ext})で使用されるMOSFETと、降圧された内部電源電圧(V_{int})で動作するリングオシレータROSC(V_{int})と容量充電回路CP(V_{int})で使用されるMOSFETとは、実際にLSI内で使用されているそれぞれの電源電圧 V_{ext} と V_{int} で動作するのに十分なデバイス耐圧のMOSFETが使用される。各電源電圧 V_{ext} 、 V_{int} に合わせた耐圧のMOSFETを使用することで、ロジックレプリカ回路において、前記図4の実施例のようにすべて同じデバイス耐圧のMOSで構成する場合よりも、その電源電圧で動作するロジック回路動作に近いレプリカ回路となる。

[0062] 前記図4の実施例では、前記説明したように最も高い電圧である外部電源電圧 V_{ext} に適合した高耐圧のMOSFETにより V_{int} 系リングオシレータ201及び容量充電回路301を構成するMOSFETも前記 V_{ext} 系リングオシレータ200及び容量充電回路300と同じ高耐圧MOSFETにより構成される。この構成は、厳密には V_{int} 系回路がその電源電圧で動作するロジック回路動作とは異なるものとなるが、逐一使用する複数通りの電源電圧に応じたMOSFET回路を用いた回路設計をする必要がないから、パワーオンリセット回路PORをセル化又はスタンダード化しておいて、多種多様なシステムLSIに組み込むことができる。

[0063] 図37には、前記第1のパワーオンリセット信号 pon の応用例を示す回路図が示され

ている。オンチップレギュレータ内のレファレンス電圧設定回路1020において、パワーオンリセット期間中は、pon信号によってレファレンス電圧選択信号vset70、vset71に関係なく予め決められたVdefの電圧レベルがデフォルトの出力電圧Vrefとして一時的に出力される。つまり、電源投入時の不安定期間に出力電圧Vrefが予期しない電圧となってしまうのを防ぐことができる。

[0064] 図38には、前記第1のパワーオンリセット信号ponと第2のパワーオンリセット信号prstnの応用例を示すオンチップレギュレータのブロック図が示されている。この実施例では、図1のオンチップレギュレータの制御に第1のパワーオンリセット信号ponと第2のパワーオンリセット信号prstnが用いられる。この実施例のオンチップレギュレータ1001は、前記図1と同様に基準電圧発生回路(BGR)1010とレファレンス電圧設定回路(VREFBUF)1020で形成された電圧Vrefを電力増幅するメインシリーズレギュレータ(以下、MAINSEという)1030と、サブシリーズレギュレータ(以下、SUBSEともいう)1040と、その制御を行う制御回路から構成される。制御回路は、MAINSE1030と、SUBSEの活性化信号pd10、pd11を受けるアップシフタUSba3、USba4の出力部に、ナンドゲート回路nand10、ノアゲート回路nor11及びナンドゲート回路nand11、nand12及びインバータ回路inv10、inv11から構成される。

[0065] 第1のパワーオンリセット信号ponは、インバータ回路inv10とinv11を通して伝えられる。インバータ回路inv10の出力信号は、ナンドゲート回路nand10のゲート制御に用いられ、インバータ回路inv11の出力信号は、ノアゲート回路nor11のゲート制御に用いられる。ナンドゲート回路nand10の出力信号は上記ナンドゲート回路nand11に入力され、ノアゲート回路nor11の出力信号は上記ナンドゲート回路nand12に入力される。これらのナンドゲート回路nand11とnand12のゲート制御をする信号として上記第2のパワーオンリセット信号prstnが用いられる。

[0066] 図39には、前記図38のオンチップレギュレータ1001の動作説明のための電圧波形図が示されている。電源電圧Vaの立ち上がりと同時に基準電圧発生回路BGRとレファレンス電圧設定回路VREFBUFは動作状態となり、回路内の容量カップリングなどの影響で図のように跳ね上がりが生じた後に所望の電圧レベルに落ち着く。一方、MAINSE1030はprstn信号のロウレベル(論理0)によりパワーオンリセット期間

の初めの一定期間はパワーダウンしており、prstn信号の立ち上がった後に電源電圧Vaより降圧した内部電源電圧Vbを生成する。パワーオンリセット期間中のMAINSE1030とSUBSE1040の選択はpon信号により、活性化信号pd10、pd11に寄らずMAINSE1030が選択されている。つまり、比較的大きな内部回路の負荷容量を高速に充電して内部電圧Vbの立ち上がりを速くする。パワーオンリセット終了後は、活性化信号(パワーダウン信号)pd10、pd11に対応してMAINSE1030とSUBSE1040がそれぞれ動作／非動作状態にされる。

[0067] 図40には、前記図38のオンチップレギュレータの変形例のブロック図が示されている。図38と異なる部分は、第2のパワーオンリセット信号prstnがレファレンス電圧設定回路VREFBUFにも供給されて、その動作を制限する。他の構成は、前記図38の実施例と同様に基準電圧発生回路(BGR)1010とレファレンス電圧設定回路(VREFBUF)1021で形成された電圧Vrefを電力増幅するメインシリーズレギュレータ(以下、MAINSEという)1030と、サブシリーズレギュレータ(以下、SUBSEともいう)1040と、その制御を行う制御回路から構成される。

[0068] 図41には、前記図40のオンチップレギュレータの動作説明のための電圧波形図が示されている。電源電圧Vaの立ち上がりと同時に基準電圧発生回路BGRは動作状態となり、定電圧Vbgrが同図に示すように跳ね上がった後に所望の電圧レベルに落ち着く。一方、VREFBUF1021とMAINSE1030は、上記第2パワーオンリセット信号prstnによりパワーオンリセット期間の初めの一定期間が非活性状態(パワーダウン)とされており、上記信号prstnの立ち上がった後に電源電圧Vaより降圧した内部電源電圧Vbを生成する。これにより、VREFBUF1021の出力電圧Vrefの跳ね上がりも防止することができる。

[0069] 図42には、前記図38のオンチップレギュレータの変形例のブロック図が示されている。図38と異なる部分は、第2のパワーオンリセット信号prstnがレファレンス電圧設定回路VREFBUF及び基準電圧発生回路BGRにも供給されて、それらの動作を制限する。他の構成は、前記図38の実施例と同様に基準電圧発生回路(BGR)1010とレファレンス電圧設定回路(VREFBUF)1021で形成された電圧Vrefを電力増幅するメインシリーズレギュレータ(以下、MAINSEという)1030と、サブシリーズレギュ

レータ(以下、SUBSEともいう)1040と、その制御を行う制御回路から構成される。

[0070] 図43には、前記図42のオンチップレギュレータの動作説明のための電圧波形図が示されている。電源電圧 V_a の立ち上がってもBGR1010とVREFBUF1021及びMAINSE1030は、上記prstn信号によりパワーオンリセット期間の初めの一定期間はパワーダウン(非動作状態)しており、prstn信号の立ち上がった後に電源電圧 V_a より降圧した内部電源電圧 V_b を生成する。上記のような動作制限によってBGR1010とVREFBUF1021で形成される電圧 V_{bgr} 、 V_{ref} の跳ね上がりをするのが防止できる。

[0071] 図44には、前記図38のオンチップレギュレータの変形例のブロック図が示されている。この実施例では、スイッチングレギュレータMAINSWまたはスイッチトキャパシタレギュレータMAINSCが併用される。これらのスイッチングレギュレータMAINSWまたはスイッチトキャパシタレギュレータMAINSCにあっては、電源電圧 V_a の立ち上がりと同時に動作状態にすると大きな突入電流が降圧した内部電源電圧 V_b に流れてしまう。

[0072] 図45には、前記図44のオンチップレギュレータの動作説明のための電圧波形図が示されている。スイッチングレギュレータMAINSWまたはスイッチトキャパシタレギュレータMAINSCにおける大きな突入電流を防止するために、パワーオンリセット期間、つまりは第2のパワーオンリセット信号prstnのハイレベルに立ち上がるとシリーズレギュレータMAINSEを動作状態にして前記のような電圧 V_{bgr} 、 V_{ref} の跳ね上がり影響を回避しつつ降圧電源電圧 V_b を生成する。後に第1のパワーオンリセット信号ponのロウレベルによりスイッチングレギュレータMAINSWまたはスイッチトキャパシタレギュレータMAINSCに切り替える。この構成では、電圧変換効率のよいスイッチングレギュレータMAINSWまたはスイッチトキャパシタレギュレータMAINSCを用いることによりオンチップレギュレータの消費電力を小さくすることができる。

[0073] 図46には、前記第1のパワーオンリセット信号ponの応用例の回路図が示されている。この実施例では、図1のアップシフタUSの制御に第1のパワーオンリセット信号ponが用いられる。パワーオンリセット期間中はアップシフタの出力が不定になる期間が存在するため、出力部にナンドゲート回路nand30が設けられて、上記pon信号で

ゲート制御を行う。つまり、pon信号がハイレベルのパワーオンリセット期間にはインバータ回路inv32の出力信号がロウレベル(論理0)となり、ナンドゲート回路nand30の出力信号を、アップシフタの出力には無関係にハイレベルに固定する。

[0074] 図47には、前記第1のパワーオンリセット信号ponの応用例の回路図が示されている。この実施例では、図1のアップシフタUSの制御に第1のパワーオンリセット信号ponが用いられる。パワーオンリセット期間中はアップシフタの出力が不定になる期間が存在するため、出力部にノアゲート回路nor40が設けられて、上記pon信号でゲート制御を行う。つまり、pon信号がハイレベル(論理1)のパワーオンリセット期間にはノアゲート回路nor40の出力信号を、アップシフタの出力には無関係にロウレベルに固定する。なお、図46及び図47において、アップシフタUSの回路そのものは、前記図5のアップシフタ400と同様である。

[0075] 図48には、前記第1のパワーオンリセット信号ponの応用例の回路図が示されている。この実施例では、図1のI/O回路1051の制御に第1のパワーオンリセット信号ponが用いられる。I/O回路1051に設けられる出力回路は、アップシフタLSを含んでおり、前記同様にレベルシフタの出力が不定になる期間が存在するため、アップシフタUSba7の出力部にナンドゲート回路nand50が設けられて、上記pon信号でゲート制御を行う。つまり、pon信号がハイレベルのパワーオンリセット期間にはインバータ回路inv50の出力信号がロウレベル(論理0)となり、ナンドゲート回路nand50の出力信号を、アップシフタUSba7の出力には無関係にハイレベルに固定する。したがって、インバータ回路inv51、バッファbuf50から構成される出力回路は、上記パワーオンリセット期間にロウレベルを出力する。

[0076] 図49には、前記第1のパワーオンリセット信号ponの応用例の回路図が示されている。この実施例では、図1のI/O回路1051の制御に第1のパワーオンリセット信号ponが用いられる。I/O回路1051に設けられる出力回路は、アップシフタLSを含んでおり、前記同様にレベルシフタの出力が不定になる期間が存在するため、アップシフタUSba7の出力部にノアゲート回路nor50が設けられて、上記pon信号でゲート制御を行う。つまり、pon信号がハイレベル(論理1)のパワーオンリセット期間にはノアゲート回路nor50の出力信号を、アップシフタUSba7の出力には無関係にロウレ

ベルに固定する。したがって、インバータ回路inv52、バッファbuf51から構成される出力回路は、上記パワーオンリセット期間にハイレベルを出力する。

[0077] 図50には、前記第1のパワーオンリセット信号ponの応用例の回路図が示されている。この実施例では、図1の基準電圧発生回路1010として用いられるワイドラー型電流源回路CMに第1のパワーオンリセット信号ponが用いられる。パワーオンリセット期間中に抵抗R610の両端をNチャネルMOSFETnm602でショートすることで、ワイドラー型電流源回路CMに流れる電流が大きくすることができる。この結果、電源投入時におけるワイドラー型電流源cmp, cmnの立ち上がり時間が早くなり、その電流源を使用する後段のアナログ回路の立ち上がり時間も早めることが出来る。ワイドラー型電流源回路CMでは、MOSFETnm600とnm601のしきい値電圧差に対応した定電圧を抵抗R600, R610に流して定電流を形成するものである。

[0078] 図51には、前記図1の基準電圧発生回路BGRの一実施例の回路図が示されている。BGR1010は、抵抗R1〜R3が正の温度依存性をもつことと、バイポーラトランジスタpnp0〜pnpmが負の温度依存性をもつことを利用し、定電圧Vbgr が約1.2近傍で温度依存性の小さい基準電圧を得ることが出来る回路である。つまり、トランジスタpnp0のエミッタ電流密度と、トランジスタpnp1〜pnpmにそれぞれ分散して流れるエミッタ電流密度の差に対応したシリコンバンドギャップ電圧を抵抗R3に流して定電流を形成する。この定電流を基に上記温度補償された定電圧Vbgr が形成される。

[0079] 図52には、前記図1のシリーズレギュレータMAINSE、SUBSEの一実施例の回路図が示されている。シリーズレギュレータSEはアンプAMP80によりレファレンス電圧Vref と出力電圧Vbを比較し、上記両電圧Vref とVbが等しくなるようにドライバとしてのPチャネルMOSFETpm80のコンダクタンスを制御して電源電圧Vaより降圧した内部電源電圧Vbを生成する。活性化信号(パワーダウン)信号pd80がハイレベルになると、上記アンプAMP80を非動作状態にし、インバータ回路inv80の出力信号をロウレベルにしてプルアップMOSFETmp81をオン状態にして、ドライバMOSFETpm80をオフ状態に、NチャネルMOSFETnm81をオフ状態にして、出力ハイインピーダンス状態にする。

[0080] 図53には、前記図44のスウィッチングレギュレータMAINSWの一実施例の回路図

が示されている。スイッチングレギュレータSWは、アンプAMP40によりレファレンス電圧Vrefと出力電圧Vbを比較した結果を元に、スイッチングレギュレータ制御部SCcontによりドライバを構成するPチャネルMOSFETpm82、NチャネルMOSFETnm82のオン／オフ制御を行う。ドライバより出力される電源電圧Vaに対応した振幅のパルス信号のパルスデューティを上記スイッチングレギュレータ制御部SCcontで制御して、コイルL80とキャパシタC80より構成したローパスフィルタにより直流電圧に変換する。

[0081] 図54には、前記図44のスイッチトキャパシタレギュレータMAINSCの一実施例の回路図が示されている。スイッチトキャパシタレギュレータSCは、アンプAMP50によりレファレンス電圧Vrefと出力電圧Vbを比較した結果を元に、スイッチトキャパシタ制御部SCcontによりドライバを構成するPチャネルMOSFETpm83、NチャネルMOSFETnm83、nm84及びnm85に接続された容量c81とc82の接続を直列・並列と交互に切り替える。このスイッチング動作により容量c81とc82の充放電を繰り返し、上記両VbがVrefと同じ電圧レベルになるように調整することが出来る。なお、図54のような容量c81とc82の2つの接続を切り替える場合は、最大電源電圧Vaの1/2以下の電圧しか出力することが出来ない。

[0082] 図55には、前記図9の昇圧用電源回路REG1pの一実施例の回路図が示されている。昇圧用電源回路PCPは、リングオシレータROSCにより生成した電源電圧Vaの振幅のパルス信号を利用して、ダイオード接続したNチャネルMOSFETnm86を介してキャパシタc84に徐々に電源電圧Vaより高い電源電圧Vppを蓄積することでVppの供給が可能となる。なお、パワーダウン信号pd83は、図示しない電圧モニタ比較回路により電源電圧Vppが所望の昇圧レベルに到達したときにリングオシレータの動作を止めるものである。

[0083] 以上のような本願実施例においては、それぞれの電源電圧で動作する論理回路を模した動作電圧検出回路を設けることによりLSI内部のロジック回路動作可能な電源電圧レベルを検出し、その上で異電位間の信号伝達も保証できるので、安定的にしかも精度の高いパワーオンリセット動作を実現できる。そして、パワーオンリセット回路の自己消費電流を低減ないし実質的にゼロにすることができる。上記異電位の電源

電圧のうち特定の電源電圧から順番に立ち上げなければLSIが正常動作しないといった電源投入シーケンスの制約をなくすることができる。内部レギュレータを持つ場合、定電圧(BGR)又は電圧設定回路(VREFBUF)で生成される電源電圧の跳ね上がり防止し、デバイスに耐圧以上の電位がかかるのを防止することができる。そして、前記のように電源投入時のレベルシフタの誤動作も防止することができる。

[0084] リングオシレータの動作の安定時間で電源電圧レベルを判定することにより、ロジック回路の動作が十分行える電源電圧レベルに到達したことを保障することができる。LSI回路内で最後に動作可能となるように設計したレベルアップ回路のレプリカの動作が可能であるか判定することで他のレベルアップ回路がすでに信号伝達可能であることを保障することができる。パワーオンリセット回路の動作中は容量充電等のアナログ的動作を行うが、パワーオンリセット期間後は、パワーオンリセット回路内のすべてのノードがH/Lのどちらか一方に決まるため自己消費電流はリーク電流程度にすることができる。

[0085] 全ての電源電圧が所望の電圧レベルに到達し、かつ異電位間の信号伝達が可能になるまでパワーオンリセット期間が終了しないため、LSIが誤動作することはない。パワーオンリセット回路は個々の電源電圧の遮断を検知し自分自身を初期化する回路をもつため、遮断復帰後自動的にパワーオンリセットのシーケンスに移行することができる。パワーオンリセット期間中にパワーオンリセット回路より生成するパワーオンリセット信号によりレギュレータのパワーダウン制御することでレギュレータの生成電圧の跳ね上がりを防止することができる。

[0086] 以上本発明者によってなされた発明を、前記実施形態に基づき具体的に説明したが、本発明は、前記実施形態に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能である。例えば、動作電圧検出回路は、前記のようなリングオシレータで形成されたパルス信号を前記のようなアナログ的な計数回路である容量充電回路に代えて2進のカウンタ回路等より一定パルス数を計数するものであってもよい。また、上記リングオシレータに代えて、非安定マルチバイブレータ等を利用するものであってもよい。更に、加算、減算や掛け算等のような演算回路を用い、その演算結果を予め登録された期待値と比較して演算回路が正常に動作しているか否か

検出するものであってもよい。この発明は、複数の電源を有するLSI(例:マイコン、システムLSI等)あるいは、それに電源電圧を供給する電源管理用LSI等のように広く利用することができる。

図面の簡単な説明

- [0087] [図1]この発明に係る半導体集積回路装置の一実施例を示すブロック図である。
- [図2]図1のシステムLSIの電源投入時の動作を説明するための波形図である。
- [図3]図1のパワーオンリセット回路1100の一実施例を示すブロック図である。
- [図4]図3のパワーオンリセット回路1100の一実施例を示す具体的回路図である。
- [図5]図1の半導体集積回路装置の電源系統を一般化した応用例を示すブロック図である。
- [図6]図5の変形例を示すブロック図である。
- [図7]図6の変形例を示すブロック図である。
- [図8]図7の変形例を示すブロック図である。
- [図9]図6の変形例を示すブロック図である。
- [図10]図3のパワーオンリセット回路の変形例を示すブロック図である。
- [図11]図10のパワーオンリセット回路の動作を説明するための波形図である。
- [図12]図10の変形例を示すブロック図である。
- [図13]図12のパワーオンリセット回路の動作を説明するための電圧波形図である。
- [図14]図10の変形例を示すブロック図である。
- [図15]図12の変形例を示すブロック図である。
- [図16]図10の変形例を示すブロック図である。
- [図17]図12の変形例を示すブロック図である。
- [図18]図16の変形例を示すブロック図である。
- [図19]図17の変形例を示すブロック図である。
- [図20]図12の変形例を示すブロック図である。
- [図21]図12の変形例を示すブロック図である。
- [図22]図10の変形例を示すブロック図である。
- [図23]図12の変形例を示すブロック図である。

[図24]図22の変形例を示すブロック図である。

[図25]図23の変形例を示すブロック図である。

[図26]この発明に用いられるリングオシレータの他の一実施例を示す回路図である。

[図27]図26の変形例を示す回路図である。

[図28]図26の変形例を示す回路図である。

[図29]この発明に用いられる容量充電回路の他の一実施例を示す回路図である。

[図30]図29の変形例を示す回路図である。

[図31]図29の変形例を示す回路図である。

[図32]図29の応用例を示す回路図である。

[図33]図32の変形例を示す回路図である。

[図34]図4のパワーオンリセット回路で使用されているアップシフトレプリカ回路400を一般化して示した回路図である。

[図35]図34の変形例を示す回路図である。

[図36]図4の変形例を示す回路図である。

[図37]この発明に係る第1のパワーオンリセット信号ponの応用例を示す回路図である。

[図38]この発明に係る第1のパワーオンリセット信号ponと第2のパワーオンリセット信号prstnの応用例を示すブロック図である。

[図39]図38のオンチップレギュレータ1001の動作説明のための電圧波形図である。

[図40]図38のオンチップレギュレータの変形例を示すブロック図である。

[図41]図40のオンチップレギュレータの動作説明のための電圧波形図である。

[図42]図38のオンチップレギュレータの変形例を示すブロック図である。

[図43]図42のオンチップレギュレータの動作説明のための電圧波形図である。

[図44]図38のオンチップレギュレータの変形例を示すブロック図である。

[図45]図44のオンチップレギュレータの動作説明のための電圧波形図である。

[図46]この発明に係る第1のパワーオンリセット信号ponの応用例を示す回路図である。

[図47]この発明に係る第1のパワーオンリセット信号ponの応用例を示す回路図であ

る。

[図48]この発明に係る第1のパワーオンリセット信号ponの応用例を示す回路図である。

[図49]この発明に係る第1のパワーオンリセット信号ponの応用例を示す回路図である。

[図50]この発明に係る第1のパワーオンリセット信号ponの応用例を示す回路図である。

[図51]図1の基準電圧発生回路BGRの一実施例を示す回路図である。

[図52]図52には、前記図1のシリースレギュレータMAINSE、SUBSEの一実施例を示す回路図である。

[図53]図44のスイッチングレギュレータMAINSWの一実施例を示す回路図である。

[図54]図44のスイッチトキャパシタレギュレータMAINSCの一実施例を示す回路図である。

[図55]図9の昇圧用電源回路REG1pの一実施例を示す回路図である。

符号の説明

- [0088] 1000〜1004…オンチップレギュレータ(REG)、2000…システムLSI、1100…パワーオンリセット回路(POR)、1010…基準電圧発生回路(BGR)、1020…レファレンス電圧設定回路(BREFBUF)、1030…メインシリースレギュレータ(MAINSE)、1040…サブシリースレギュレータ(SUBSE)、1050, 1051…I/O回路、1070, 1071…アップシフタ(US)、1060…ユーザーロジック(Logic)、1080…中央処理装置(CPU)、1090…アナログ回路(Analog)、200〜205…リングオシレータ(ROSC)、300〜305…容量充電回路(CP)、400〜405…レプリカ回路(アップシフタ)、30〜33…内部回路(MOD)、20〜23…アップシフタ(US)、pm…PチャネルMOSFET、nm…NチャネルMOSFET、c…キャパシタ、inv…インバータ回路、R…抵抗、nand…ナンドゲート回路、nor…ノアゲート回路、buf…出力バッファ、AMP…アンプ、npn…トランジスタ、L…インダクタンス。

請求の範囲

- [1] 第1電源電圧を動作電圧とする第1回路と、
上記第1電源電圧とは異なる第2電源電圧を動作電圧とする第2回路と、
上記第1回路と第2回路のうち動作電圧の低い方の回路の信号レベルを動作電圧の
高い方の回路の信号レベルに変換する第1レベル変換回路と、
動作電圧検出回路とを含み、
上記動作電圧検出回路は、
上記第1電源電圧を受けて一定の回路動作を行う第1論理回路と、
上記第1電源電圧を受けて動作し、第1論理回路の上記一定の回路動作の判
定を行う第1判定回路と、
上記第2電源電圧を受けて一定の回路動作を行う第2論理回路と、
上記第2電源電圧を受けて動作し、上記第2論理回路の上記一定の回路動作
の判定を行う第2判定回路と、
上記第1レベル変換回路と同等の回路からなり、第1判定回路と第2判定回路の
うち低い方の判定回路の出力信号を高い方の判定回路の出力信号に合わせる第2
レベル変換回路とを含み、
上記第1判定回路と第2判定回路のうち高い方の判定回路の出力信号と第2レ
ベル変換回路の出力信号が形成されたことを条件として、上記第1回路と第2回路の
動作を制御してなることを特徴とする半導体集積回路装置。
- [2] 請求項1において、
上記第1論理回路は第1パルスを形成する第1リングオシレータであり、上記第1パ
ルスを上記第1判定回路に供給し、
上記第2論理回路は第2パルスを形成する第2リングオシレータであり、上記第2パ
ルスを上記第2判定回路に供給するものであることを特徴とする半導体集積回路装
置。
- [3] 請求項1において、
上記第1判定回路は第1パルスの第1期間に第1キャパシタに第1電源電圧により
充電動作を行い、上記第1パルスの第2期間に上記第1キャパシタの電荷を第2キャ

パシタに電荷転送する第1チャージポンプ回路と、上記第2キャパシタの保持電圧を参照電圧により判定する第1電圧判定回路からなり、

上記第2判定回路は第2パルスの第1期間に第3キャパシタに第2電源電圧により充電動作を行い、上記第2パルスの第2期間に上記第3キャパシタの電荷を第4キャパシタに電荷転送する第2チャージポンプ回路と、上記第4キャパシタの保持電圧を参照電圧により判定する第2電圧判定回路からなることを特徴とする半導体集積回路装置。

[4] 請求項3において、

上記第2キャパシタの容量値は、上記第1キャパシタの容量値に対して十分に大きく設定され、

上記第4キャパシタの容量値は、上記第2キャパシタの容量値に対して十分に大きく設定されてなることを特徴とする半導体集積回路装置。

[5] 請求項4において、

上記第1論理回路は、上記第1パルスを形成する第1リングオシレータであり、

上記第2論理回路は、上記第2パルスを形成する第2リングオシレータであることを特徴とする半導体集積回路装置。

[6] 請求項4において、

上記第1判定回路及び第2判定回路の上記第2キャパシタ及び第4キャパシタには、上記第1又は第2電源電圧が遮断されたときに上記第2キャパシタ及び第4キャパシタを放電させる放電回路がそれぞれに設けられてなることを特徴とする半導体集積回路装置。

[7] 請求項6において、

上記放電回路は、

上記第1電源電圧で充電される第5キャパシタと、

上記第5キャパシタの充電電圧をソースに受け、ゲートに上記第1電源電圧が供給された第1PチャネルMOSFETと、

上記第1PチャネルMOSFETを通してゲートに上記第5キャパシタの電荷が伝えられて上記第2キャパシタの放電経路を形成する第1NチャネルMOSFETと、

上記第2電源電圧で充電される第6キャパシタと、

上記第6キャパシタの充電電圧をソースに受け、ゲートに上記第2電源電圧が供給された第2PチャネルMOSFETと、

上記第2PチャネルMOSFETを通してゲートに上記第6キャパシタの電荷が伝えられて上記第4キャパシタの放電経路を形成する第2NチャネルMOSFETとからなることを特徴とする半導体集積回路装置。

[8] 請求項7において、

上記第1回路、第1論理回路、第1判定回路は第1製造形態で形成された第1MOSFETにより構成され、

上記第2回路、第2論理回路、第2判定回路は第2製造形態で形成された第2MOSFETにより構成され、

上記第1及び第2レベル変換回路は、第1製造形態で形成された第1MOSFET又はそれと第2製造形態で形成された第2MOSFETとの組み合わせにより構成されることを特徴とする半導体集積回路装置。

[9] 請求項7において、

上記第1回路は、第1製造形態で形成された第1MOSFETにより構成され、

上記第2回路は、第2製造形態で形成された第2MOSFETにより構成され、

上記第レベル変換回路は、第1製造形態で形成された第1MOSFET又はそれと第2製造形態で形成された第2MOSFETとの組み合わせにより構成され、

上記第1論理回路、第1判定回路及び第2論理回路、第2判定回路並びに第2レベル変換回路は、上記第1製造形態で形成された第1MOSFET、上記第2製造形態で形成された第2MOSFET、又は上記第1MOSFETと第2MOSFETの組み合わせにより構成されてなることを特徴とする半導体集積回路装置。

[10] 請求項7において、

上記第1電源電圧は外部端子から供給された電圧であり、

上記第2電源電圧は、上記第1電源電圧を受けて動作する内部降圧回路で形成された電圧であることを特徴とする半導体集積回路装置。

[11] 請求項10において、

上記内部降圧回路は、定電圧を形成する基準電圧発生回路と、かかる定電圧を上記第2電源電圧に対応した電圧に変換するレファレンス電圧設定回路とを含み、

上記第1判定回路と第2判定回路のうち高い方の判定回路の出力信号により上記基準電圧発生回路で形成された定電圧が上記レファレンス電圧設定回路に伝えられることを特徴とする半導体集積回路装置。

[12] 請求項10において、

上記第2論理回路及び上記第2判定回路は、上記第1判定回路の判定出力により動作が有効とされ、上記第2レベル変換回路により、上記第1回路と第2回路の制御信号を形成することを特徴とする半導体集積回路装置。

[13] 請求項10において、

上記第1判定回路の出力信号と上記第2レベル変換回路を通した出力信号とは上記第1電源電圧で動作する論理積回路に入力されて、上記第1回路と第2回路の制御信号を形成することを特徴とする半導体集積回路装置。

[14] 複数の電源電圧をそれぞれ動作電圧とする複数の内部回路と、

上記複数の内部回路のうち異なる動作電圧で動作する内部回路同士で信号レベルの変換を行う第1レベル変換回路と、

動作電圧検出回路とを含み、

上記動作電圧検出回路は、

上記複数の電源電圧を受けてそれぞれ一定の回路動作を行う複数の論理回路と、

上記複数の電源電圧を受けて動作し、上記複数の論理回路のそれぞれの上記一定の回路動作の判定を行う複数の判定回路と、

上記第1レベル変換回路と同等の回路からなり、異なる動作電圧で動作する判定回路同士で出力信号レベルを合わせる第2レベル変換回路とを含み、

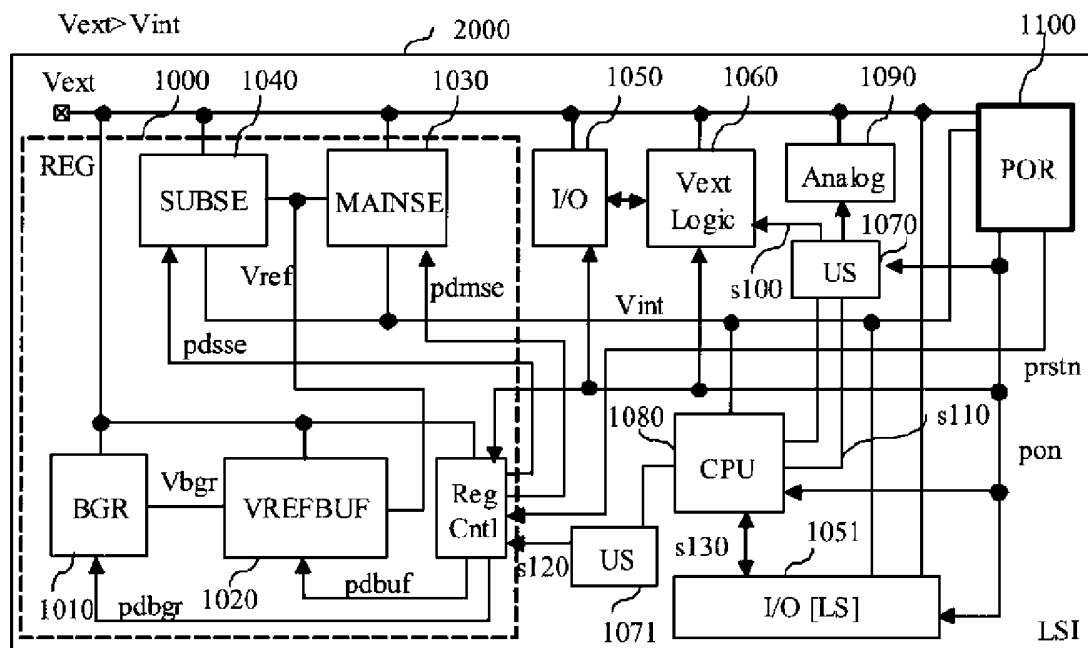
上記複数の判定回路の全ての出力信号と上記第2レベル変換回路の出力信号が形成されたことを条件として、上記複数の内部回路の動作を制御してなることを特徴とする半導体集積回路装置。

[15] 請求項14において、

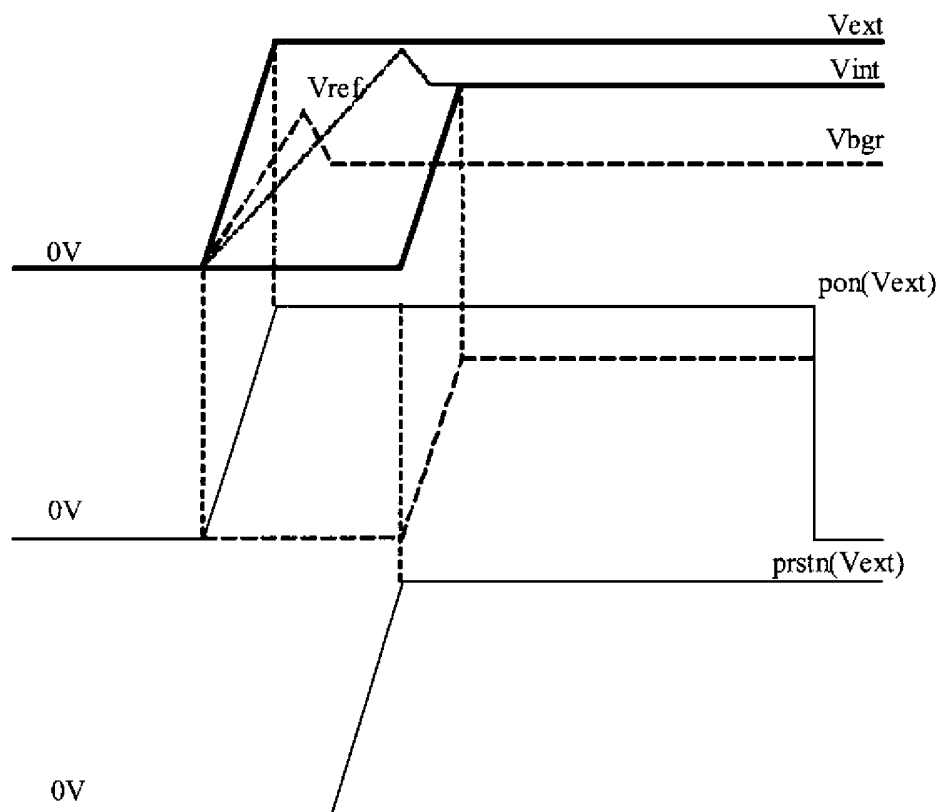
上記複数の論理回路は発振パルスを形成するリングオシレータであり、それぞれ対応する判定回路に上記発振パルスを供給し、

上記複数の判定回路は上記発振パルスの第1期間に第1キャパシタにそれぞれの電源電圧により充電動作を行い、上記発振パルスの第2期間に上記第1キャパシタの電荷を第2キャパシタに電荷転送するチャージポンプ回路と、上記第2キャパシタの保持電圧を参照電圧により判定する電圧判定回路からなることを特徴とする半導体集積回路装置。

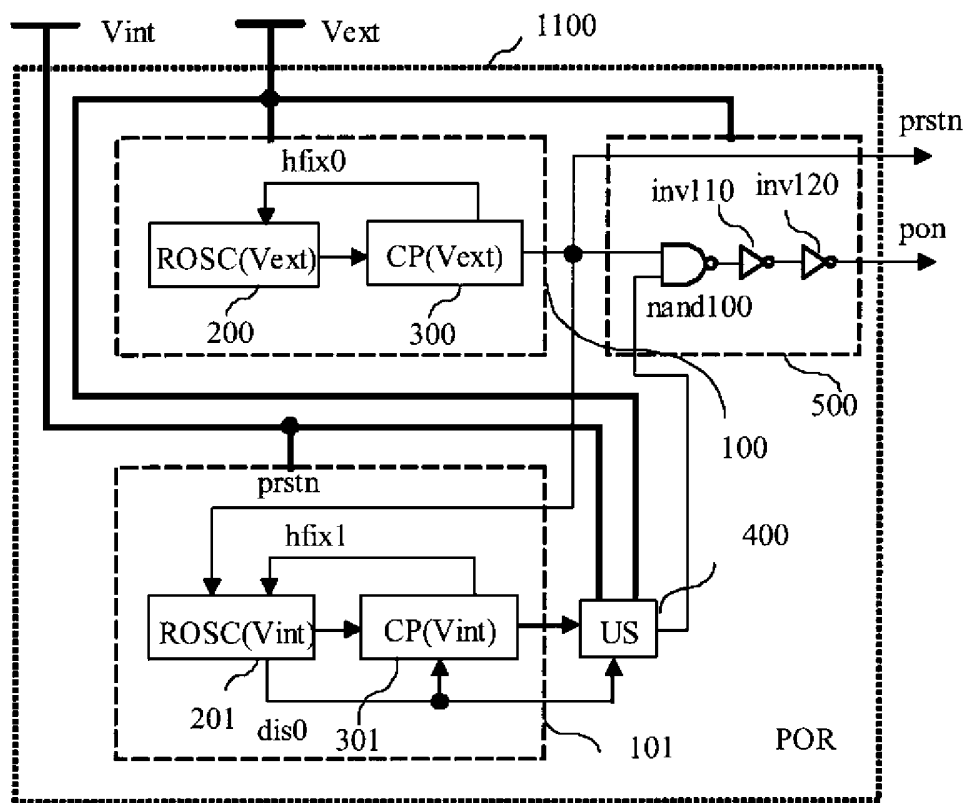
[図1]



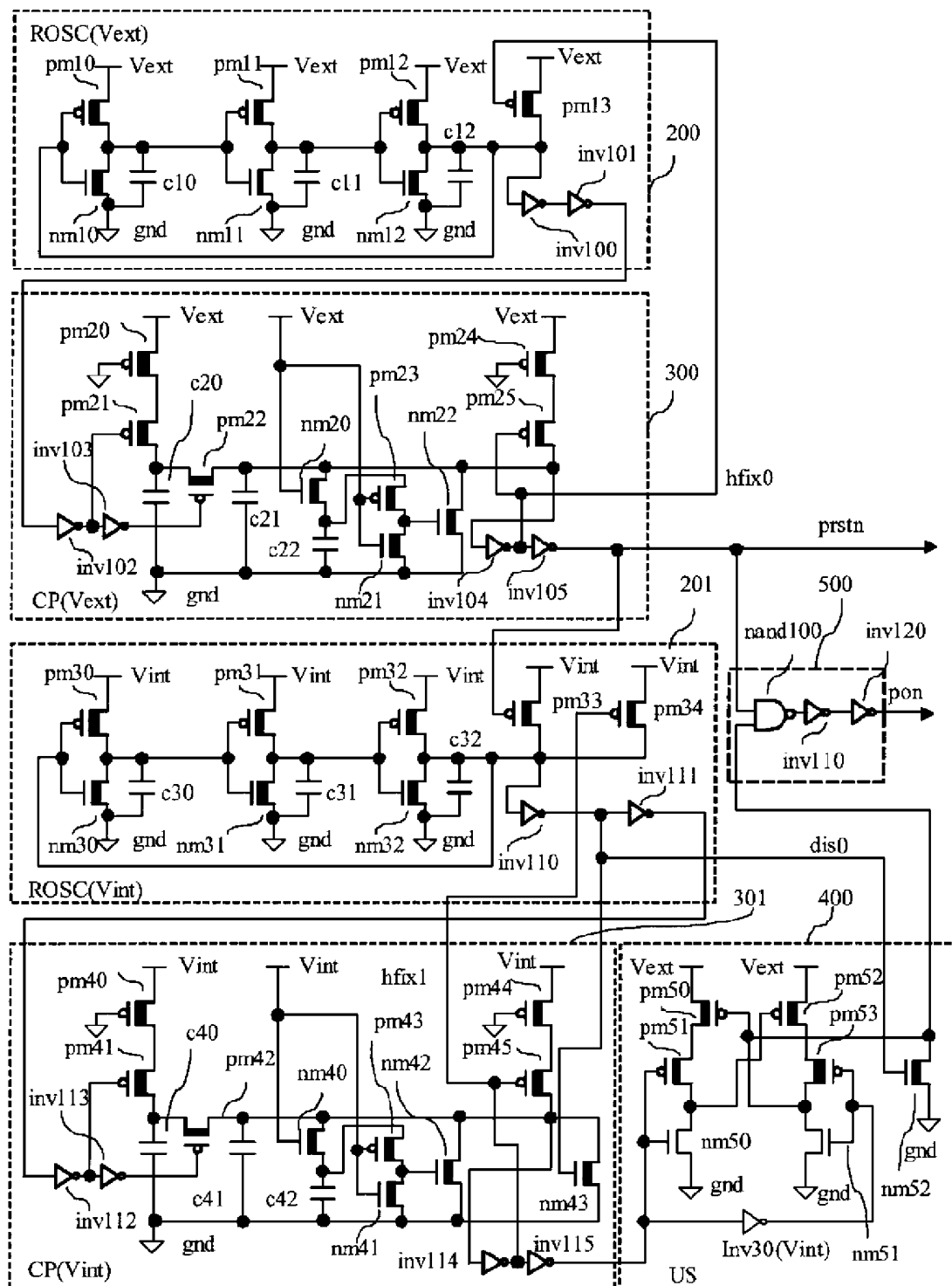
[図2]



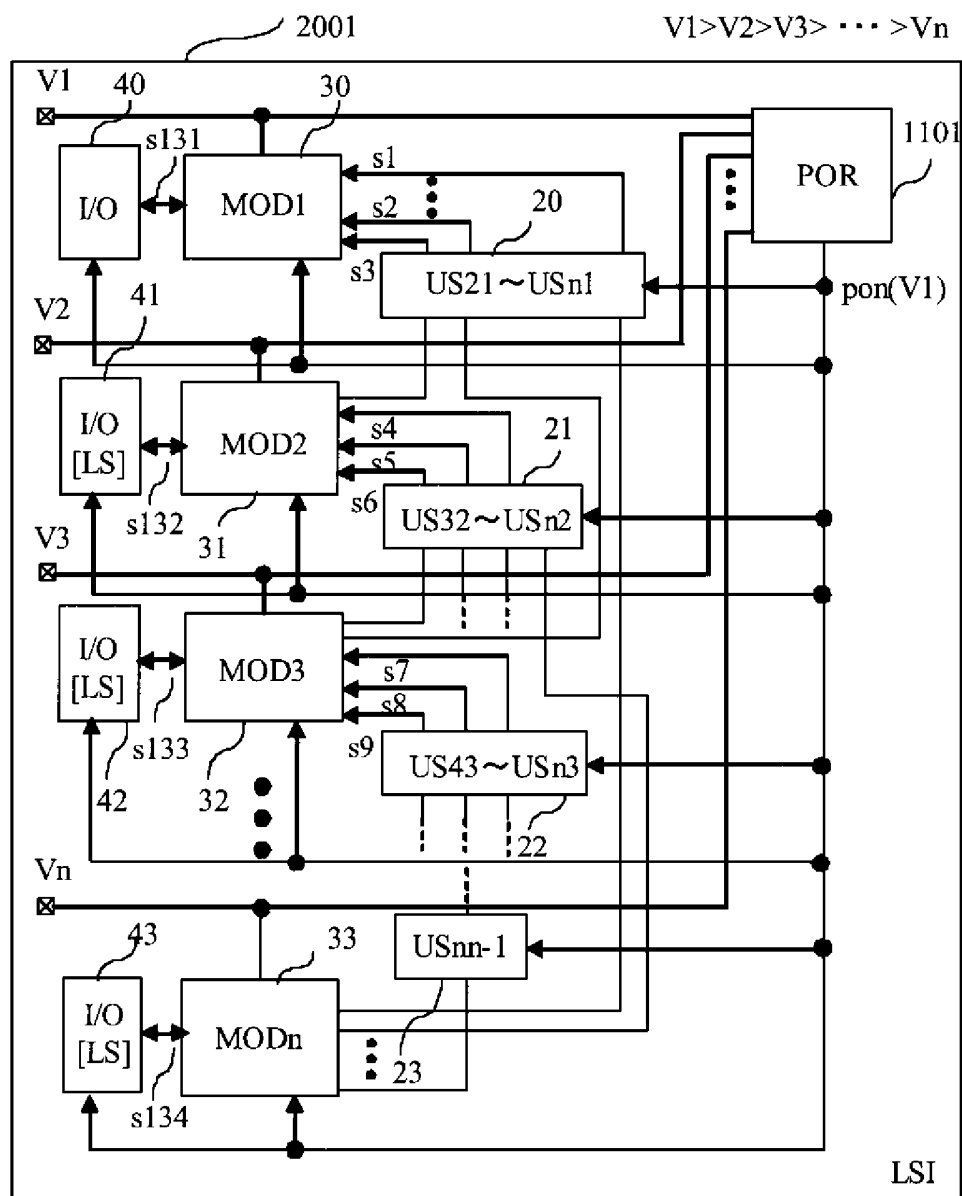
[図3]



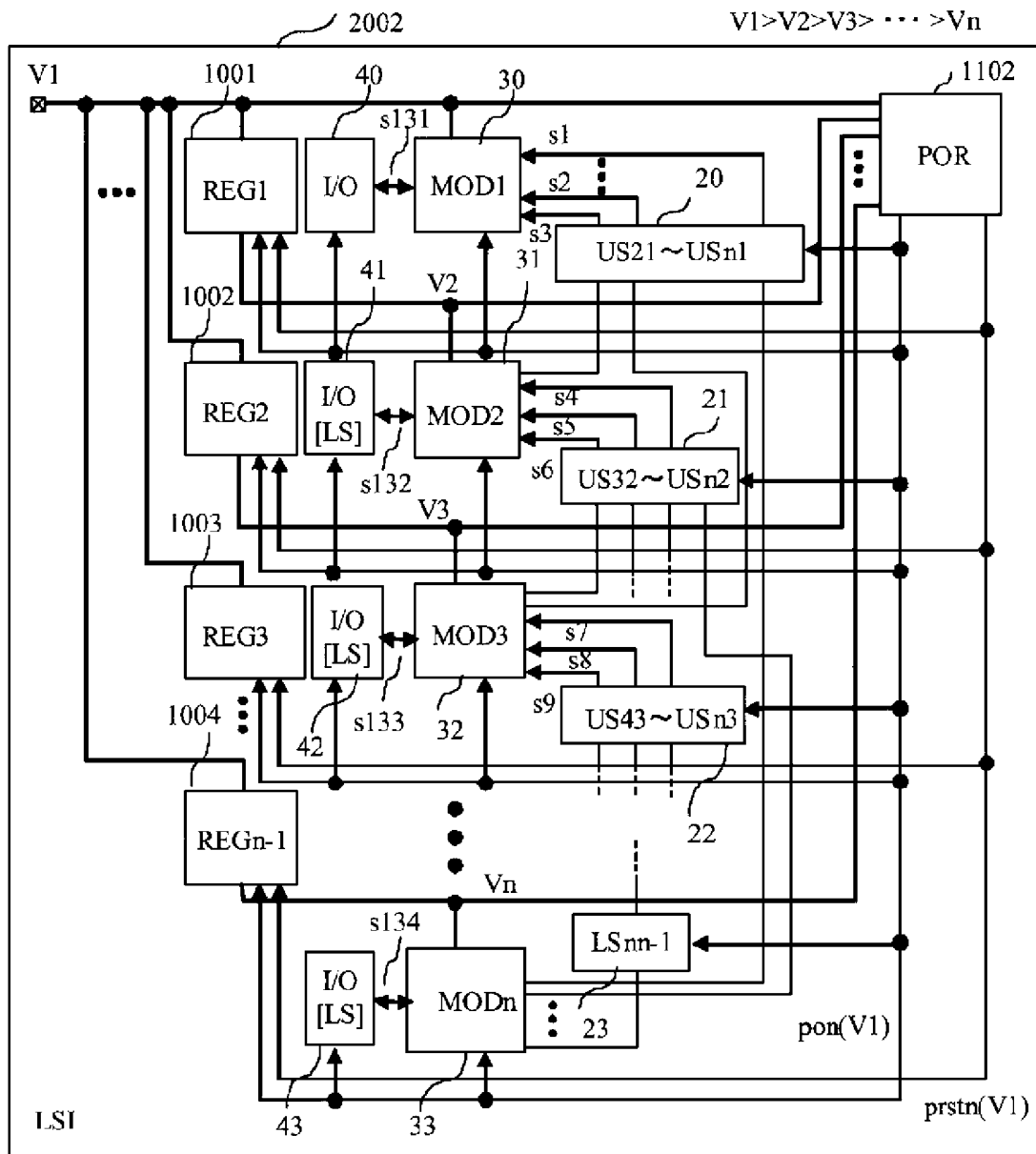
[図4]



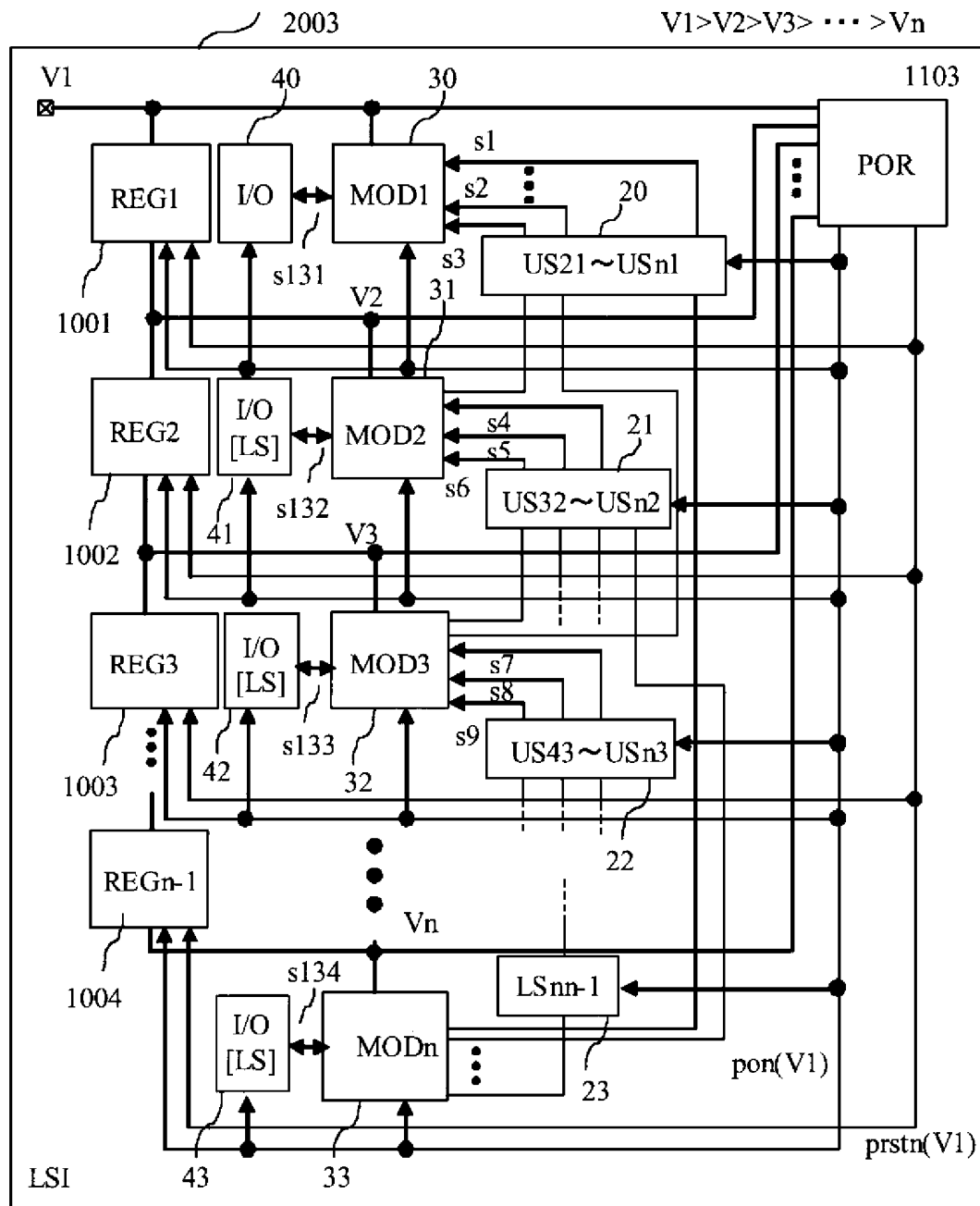
[図5]



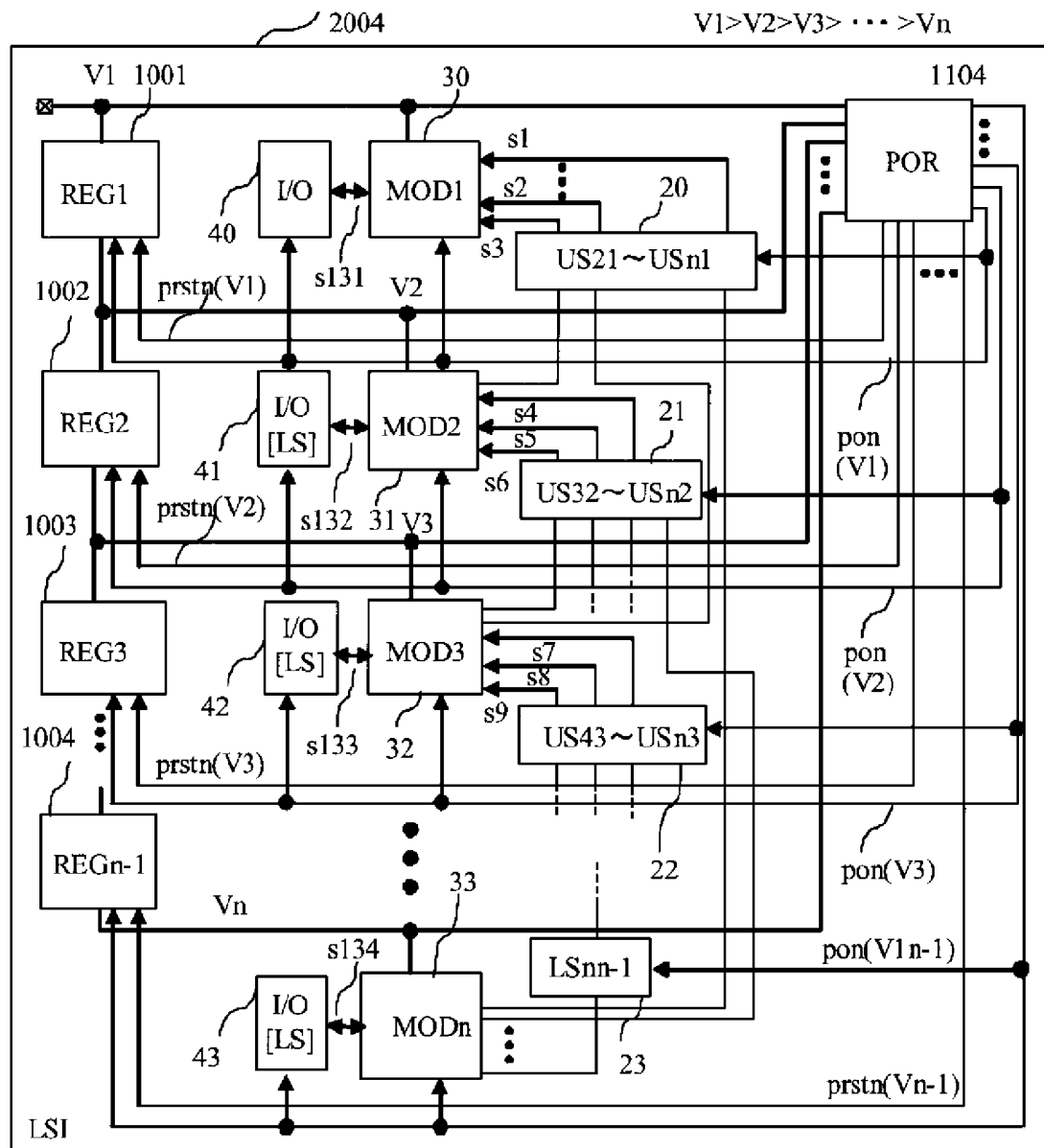
[図6]



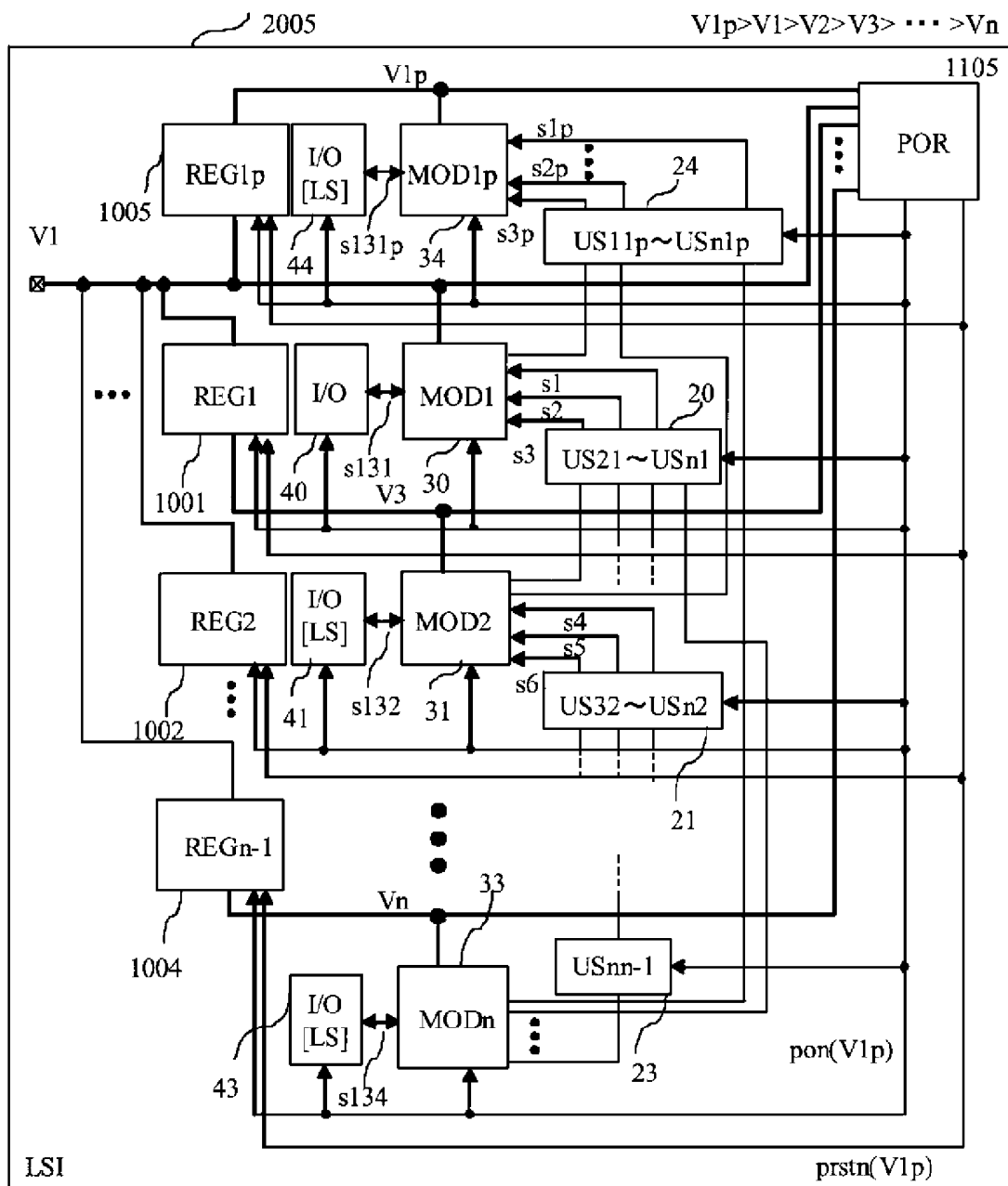
[図7]



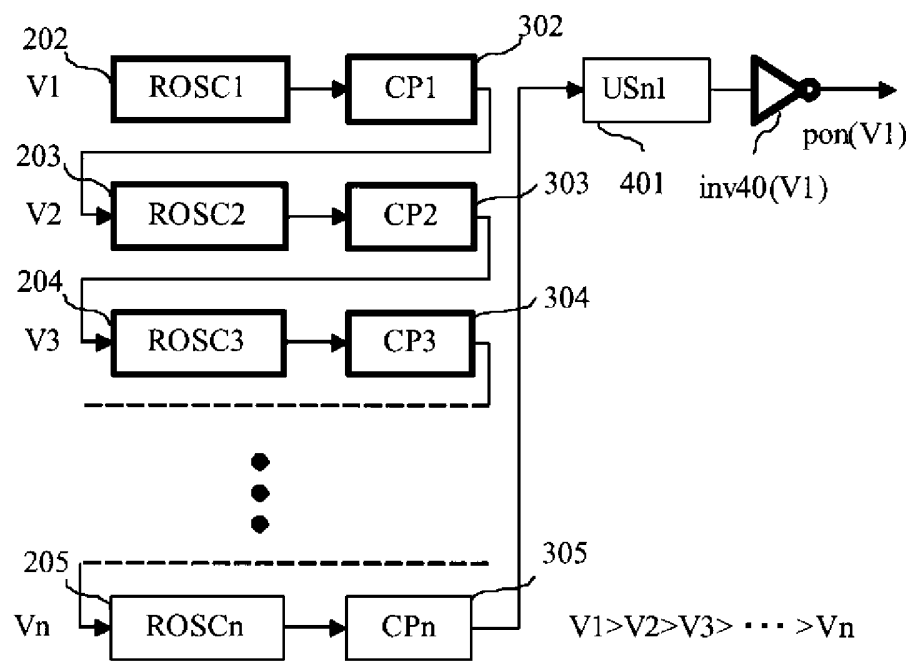
[図8]



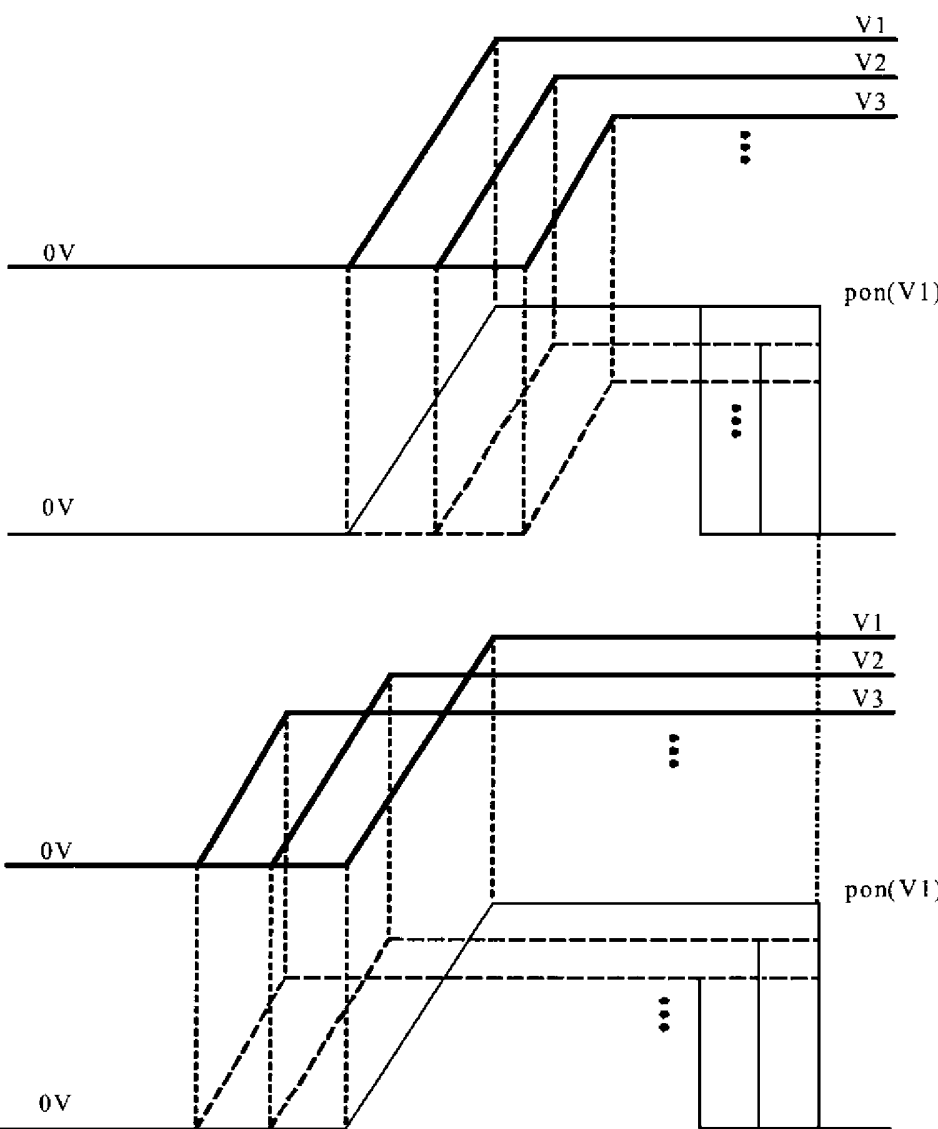
[図9]

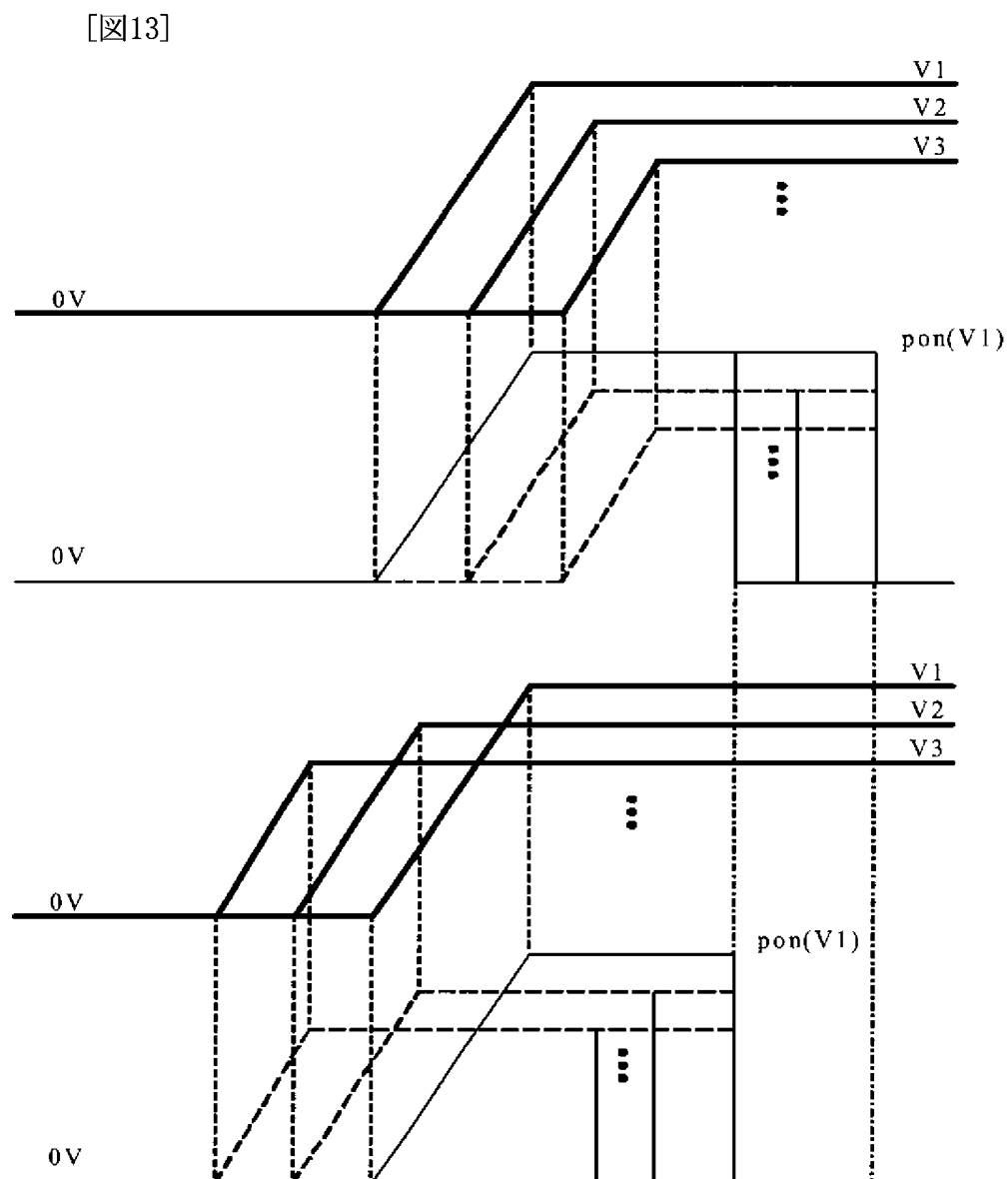
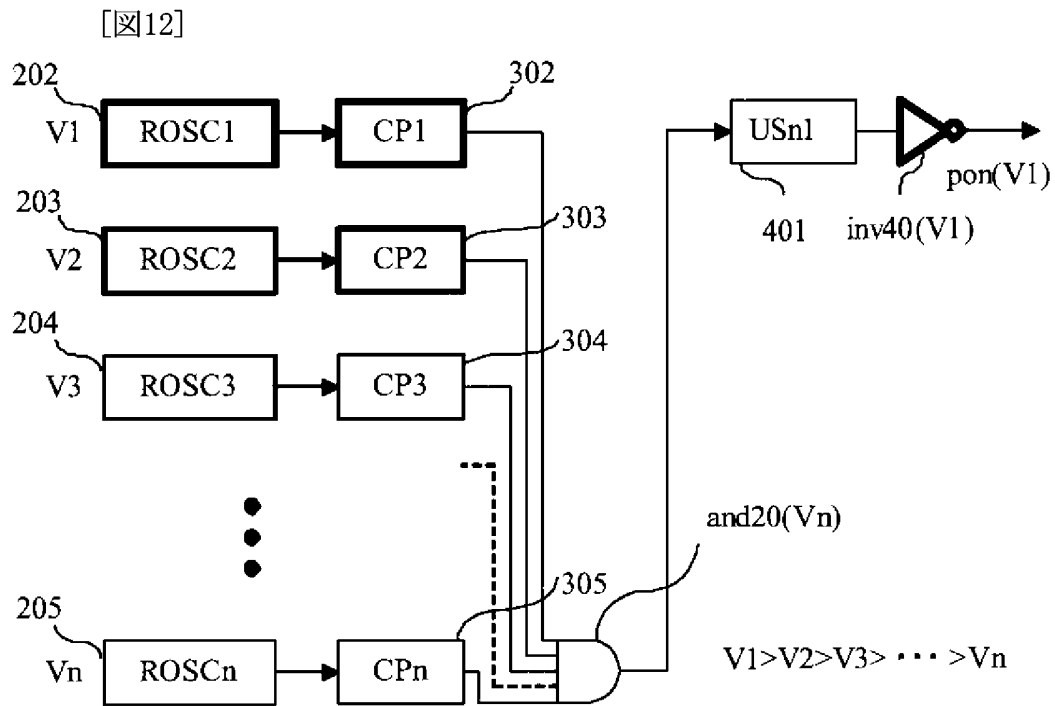


[図10]

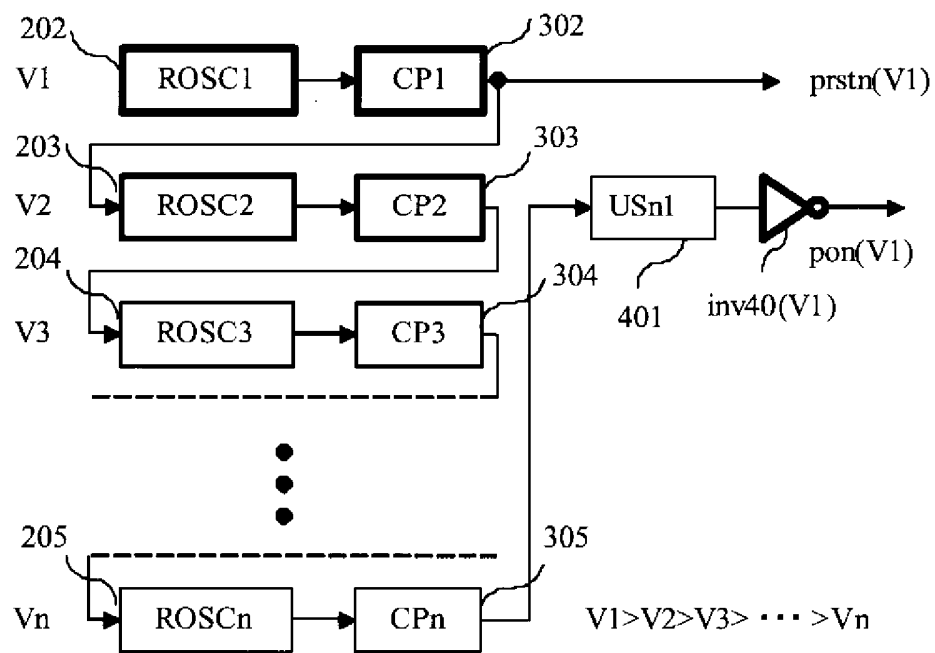


[図11]

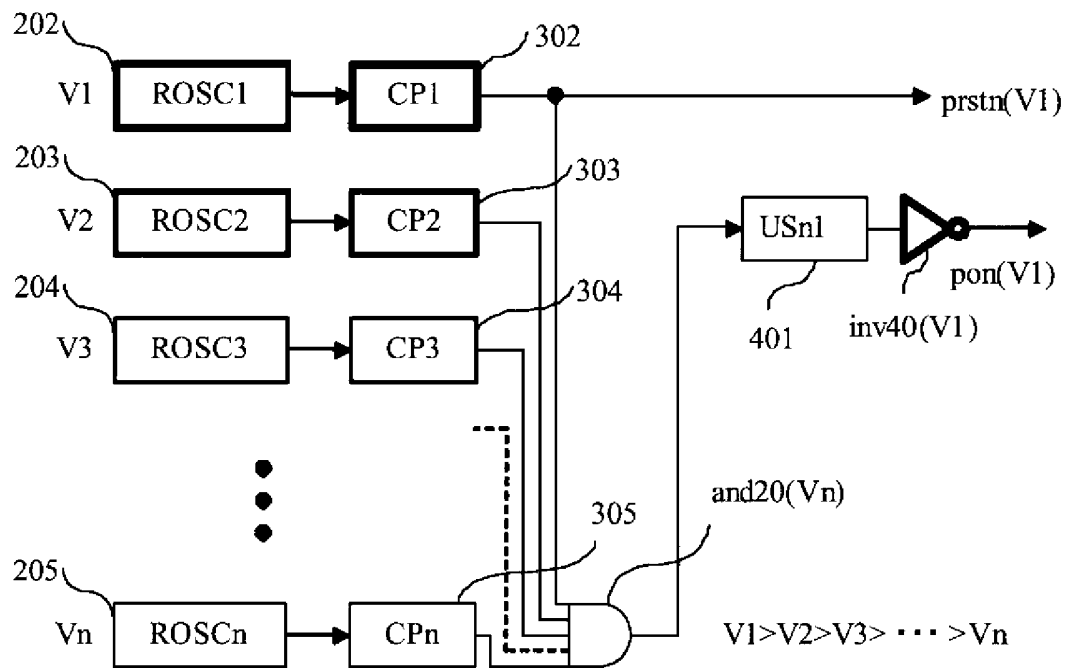




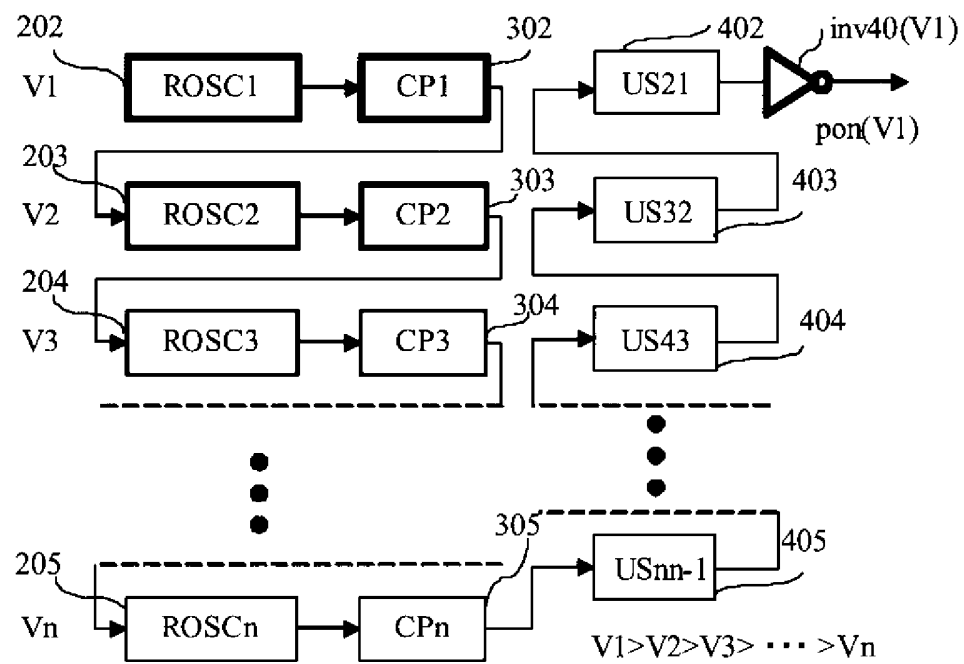
[図14]



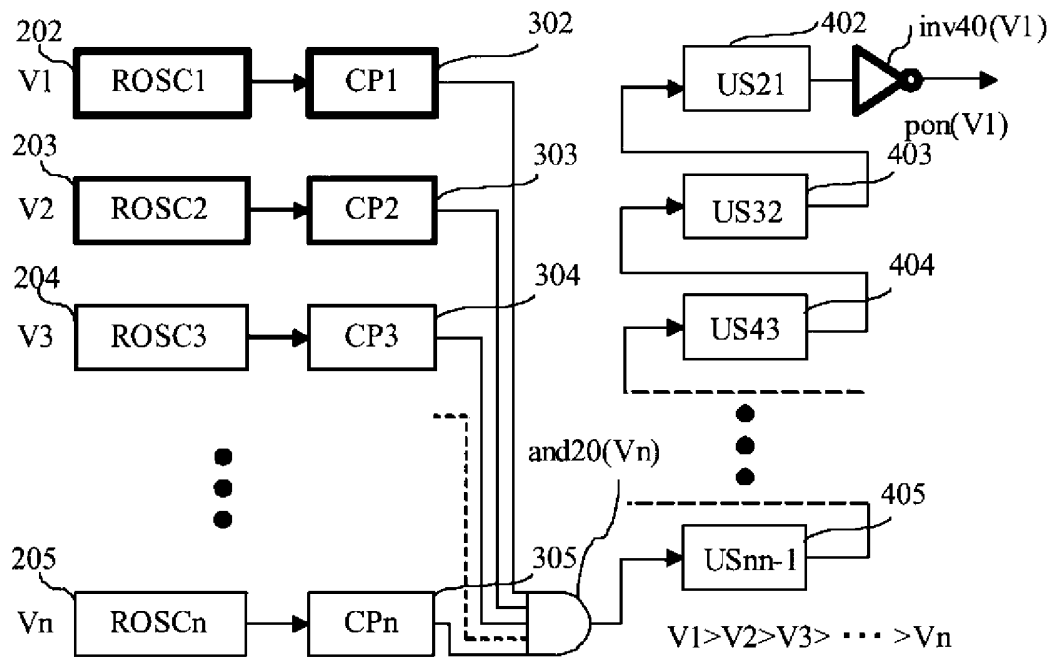
[図15]



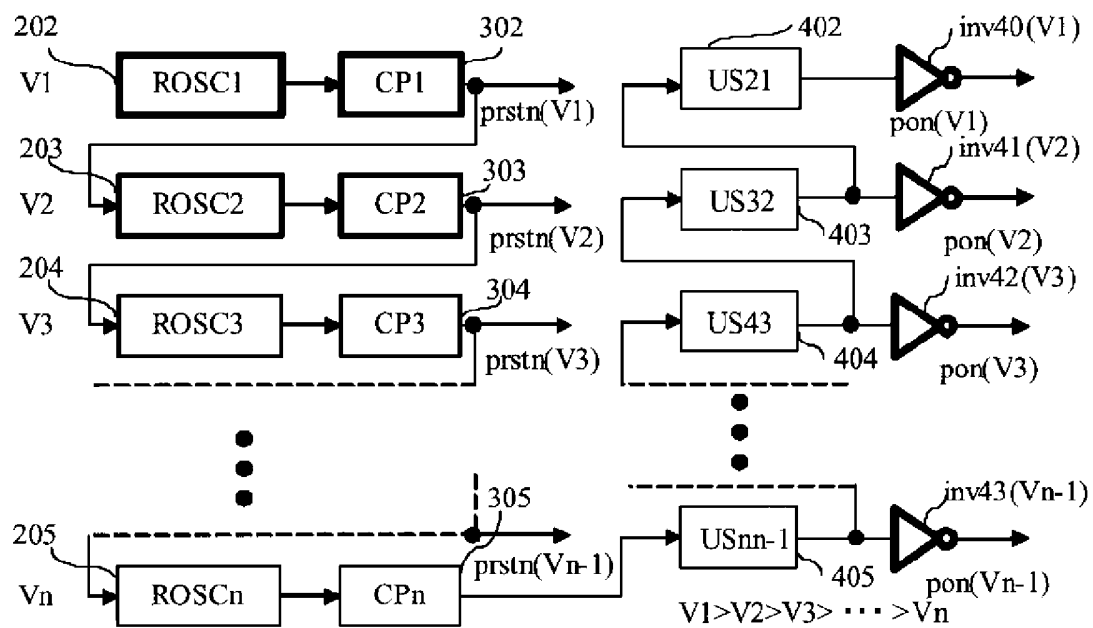
[図16]



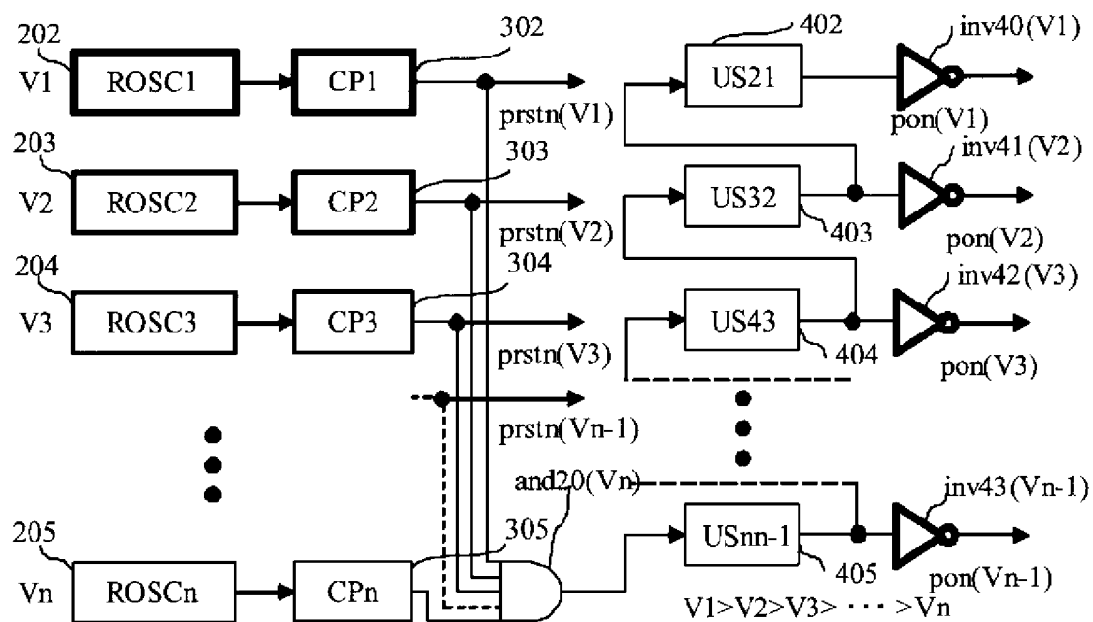
[図17]



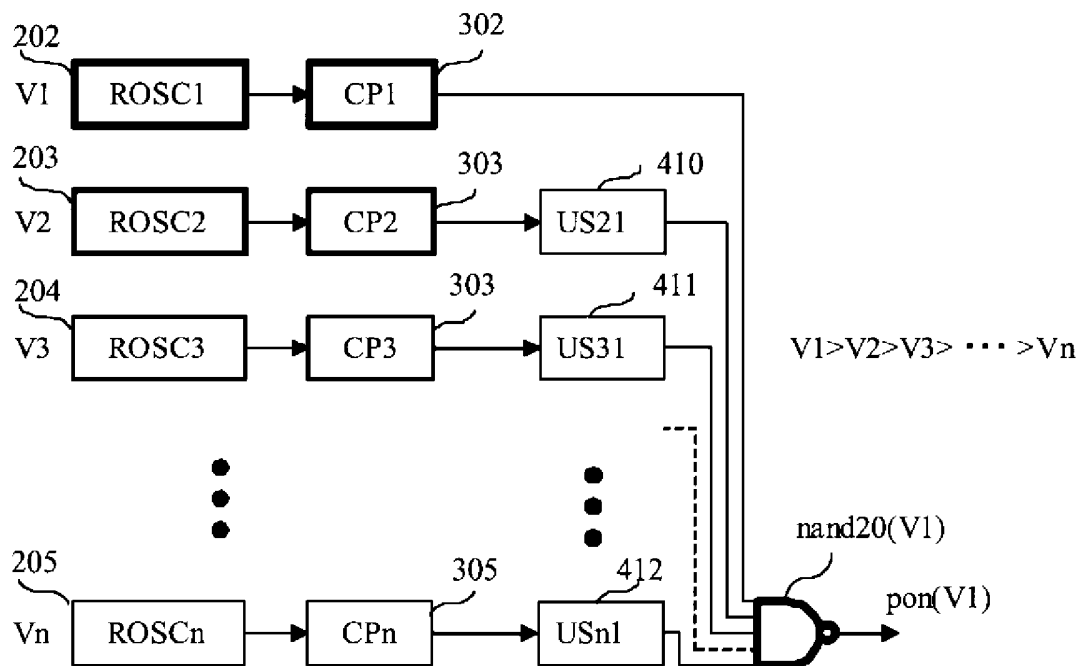
[図18]



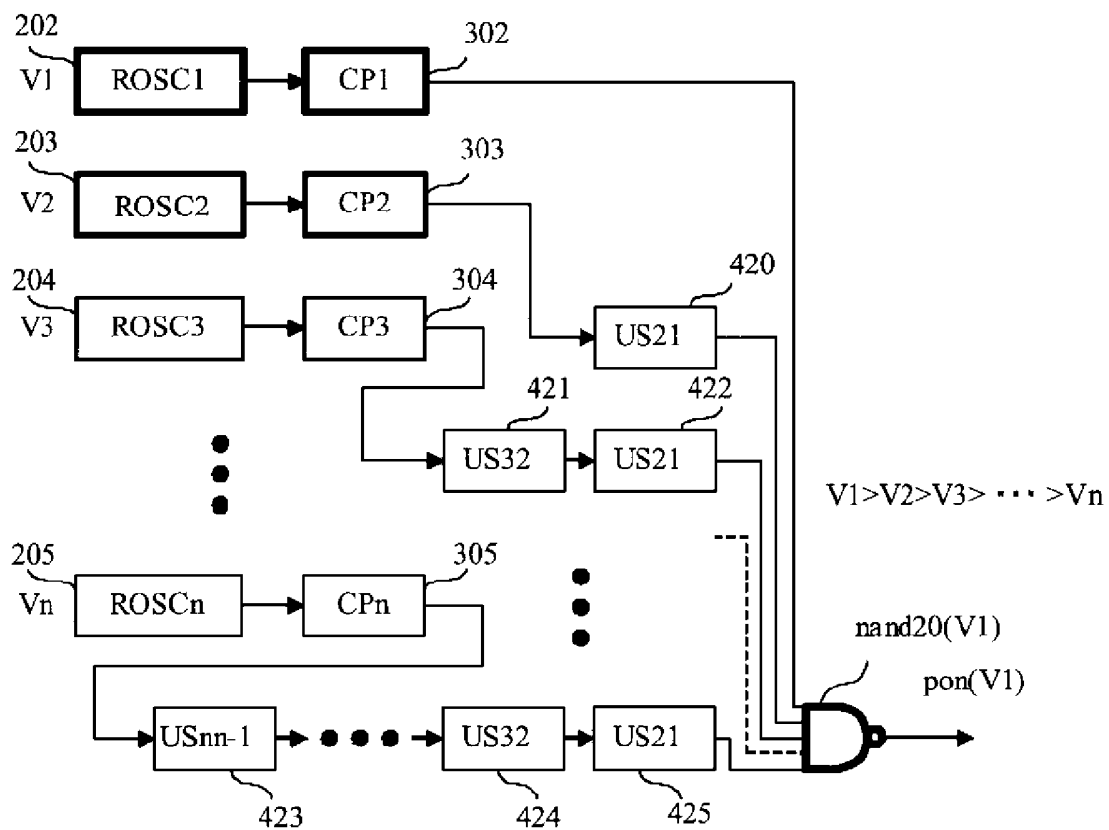
[図19]



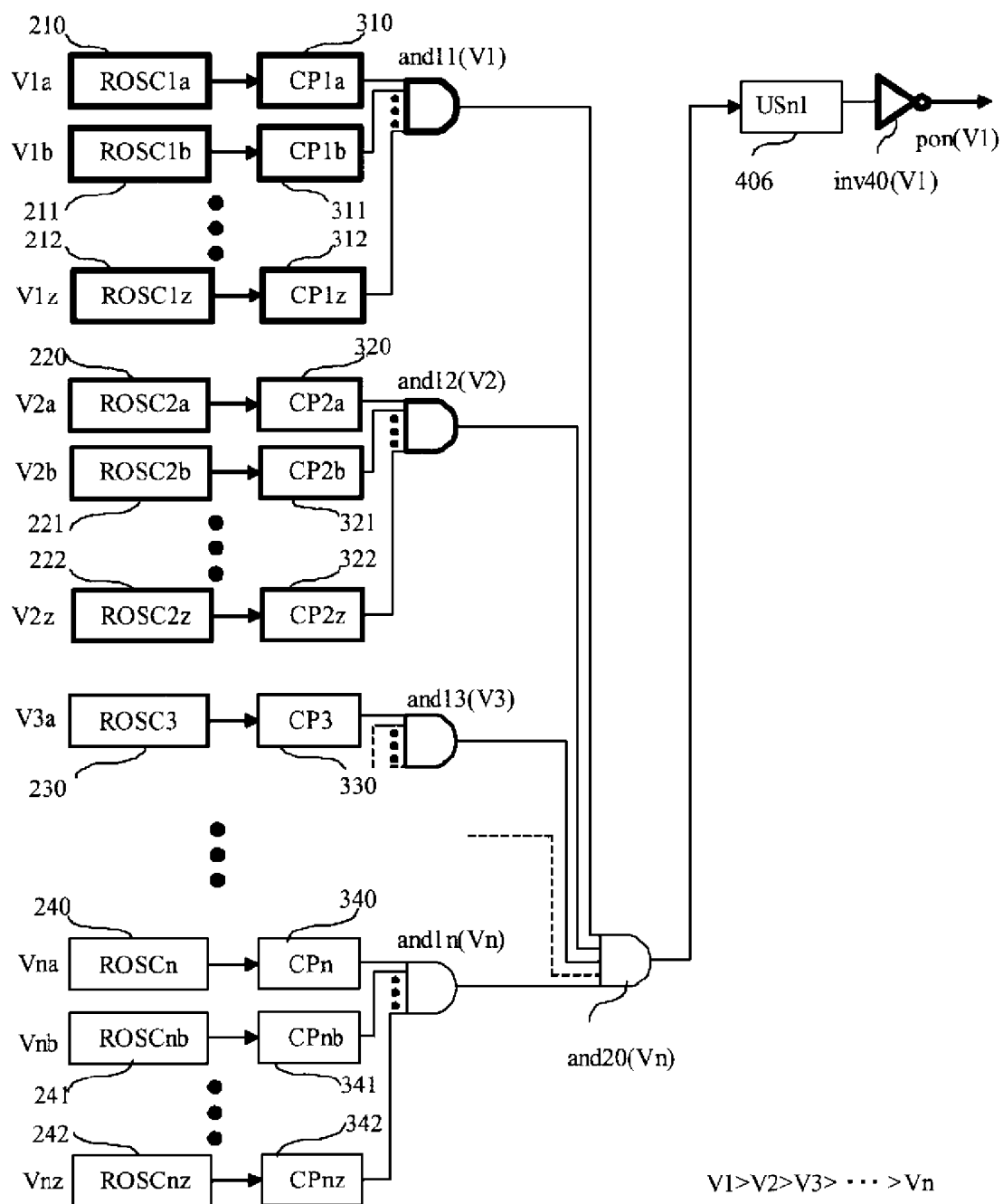
[図20]



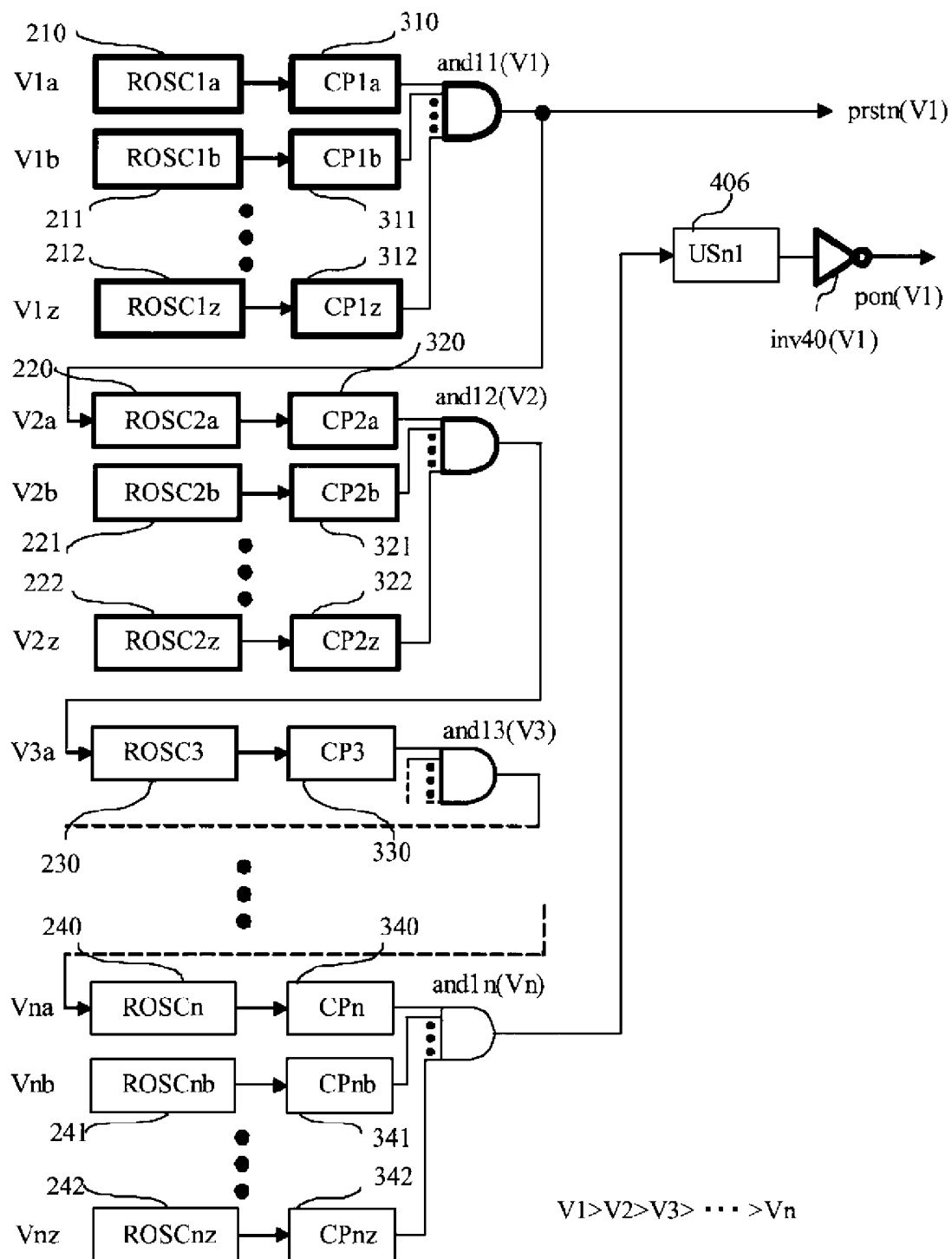
[図21]



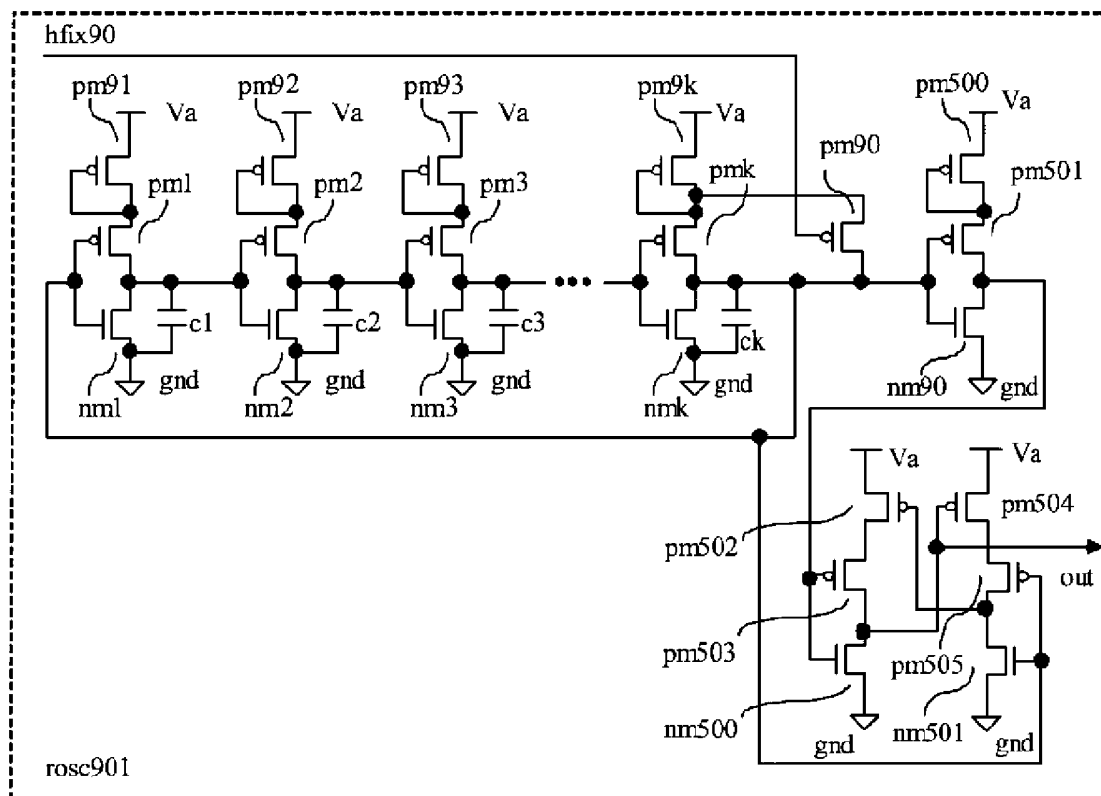
[図23]



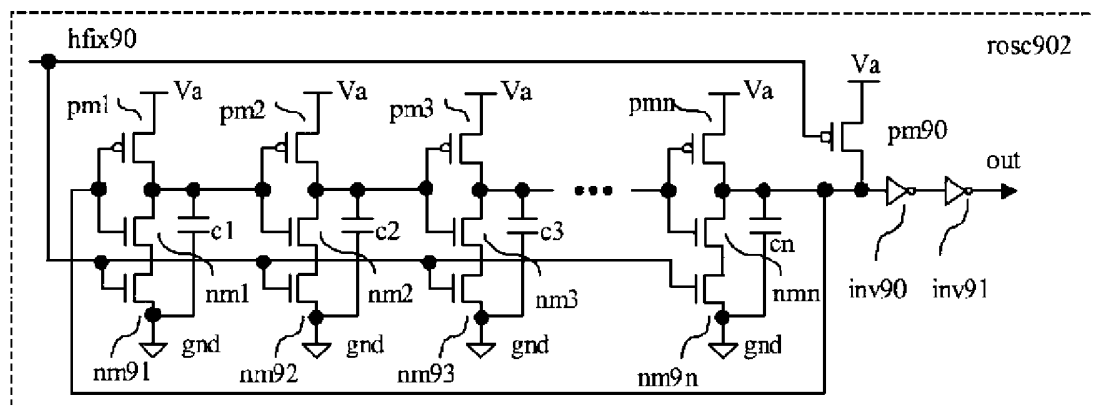
[図24]



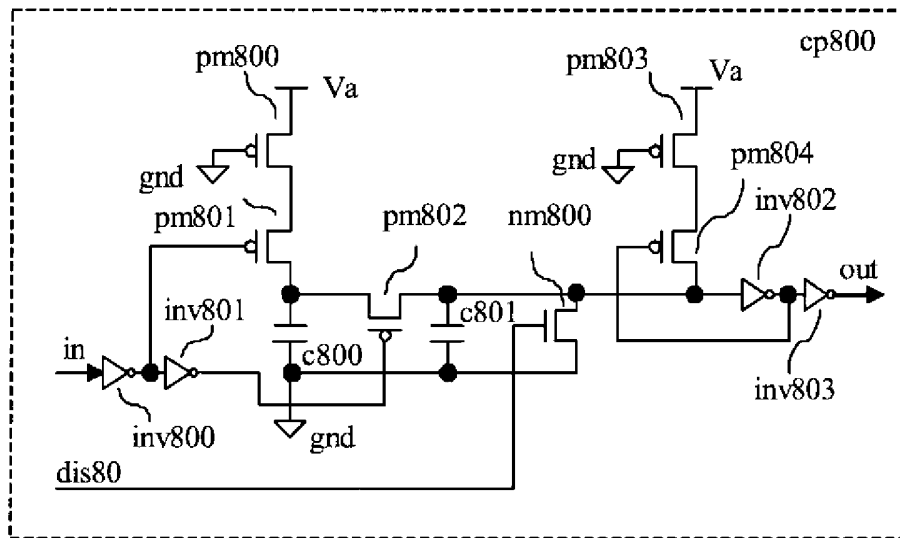
[図27]



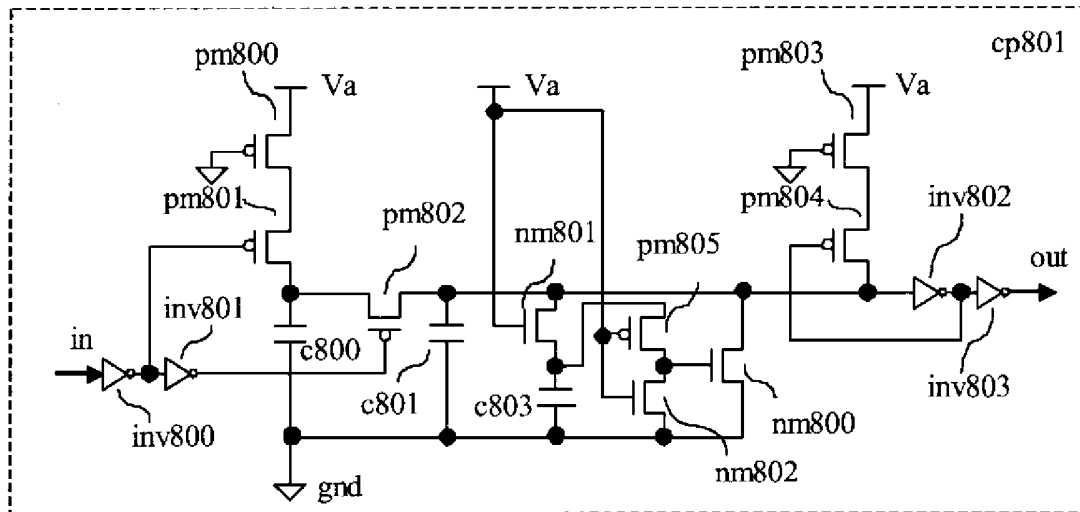
[図28]



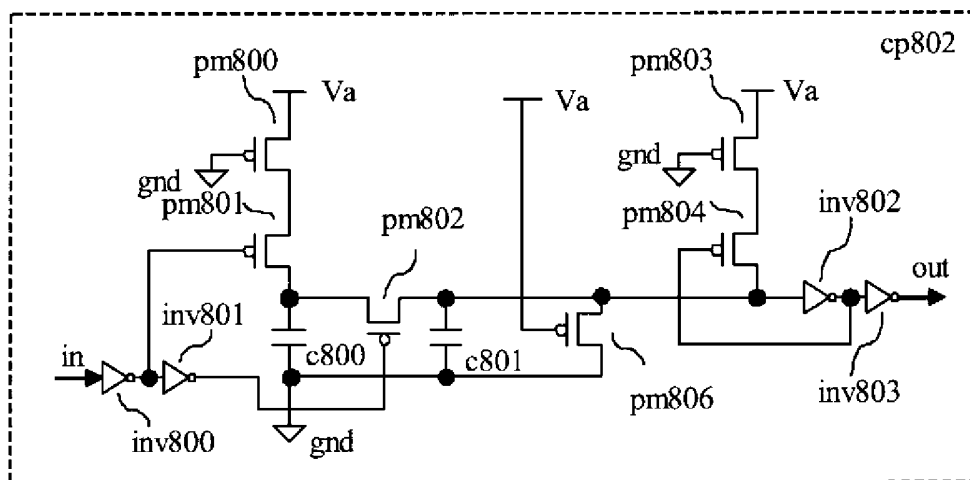
[図29]



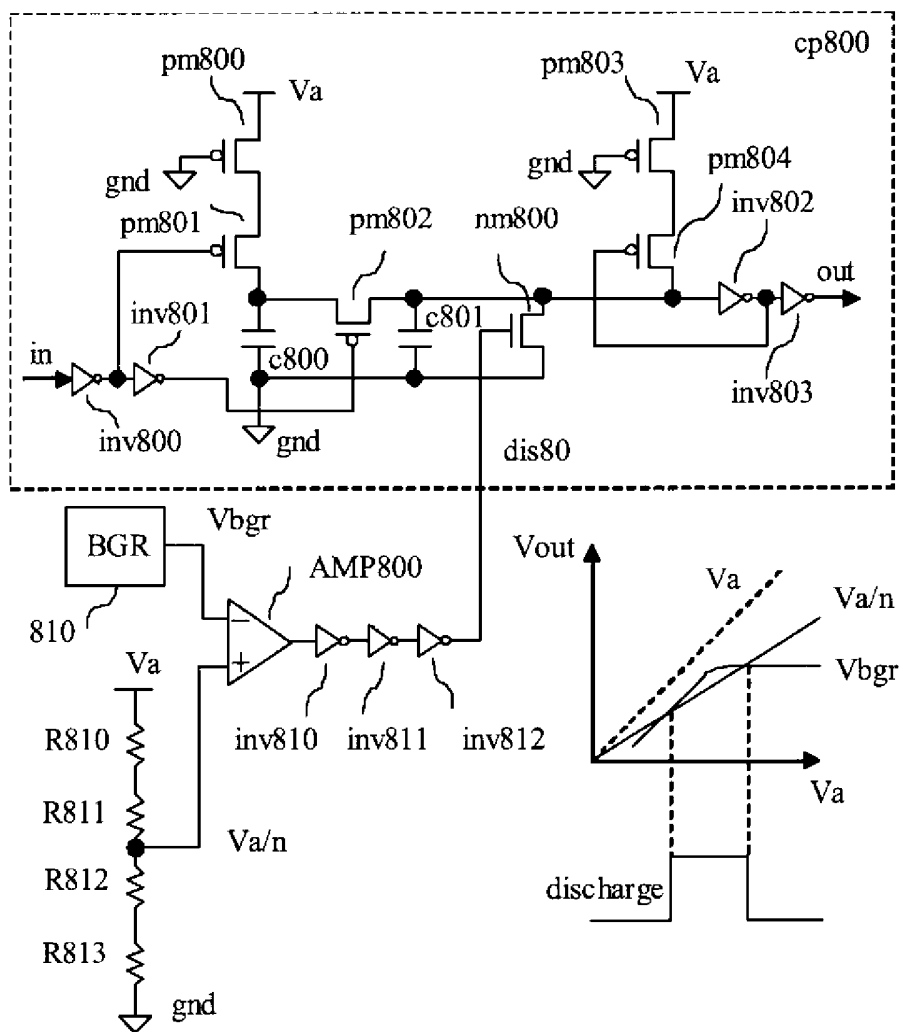
[図30]



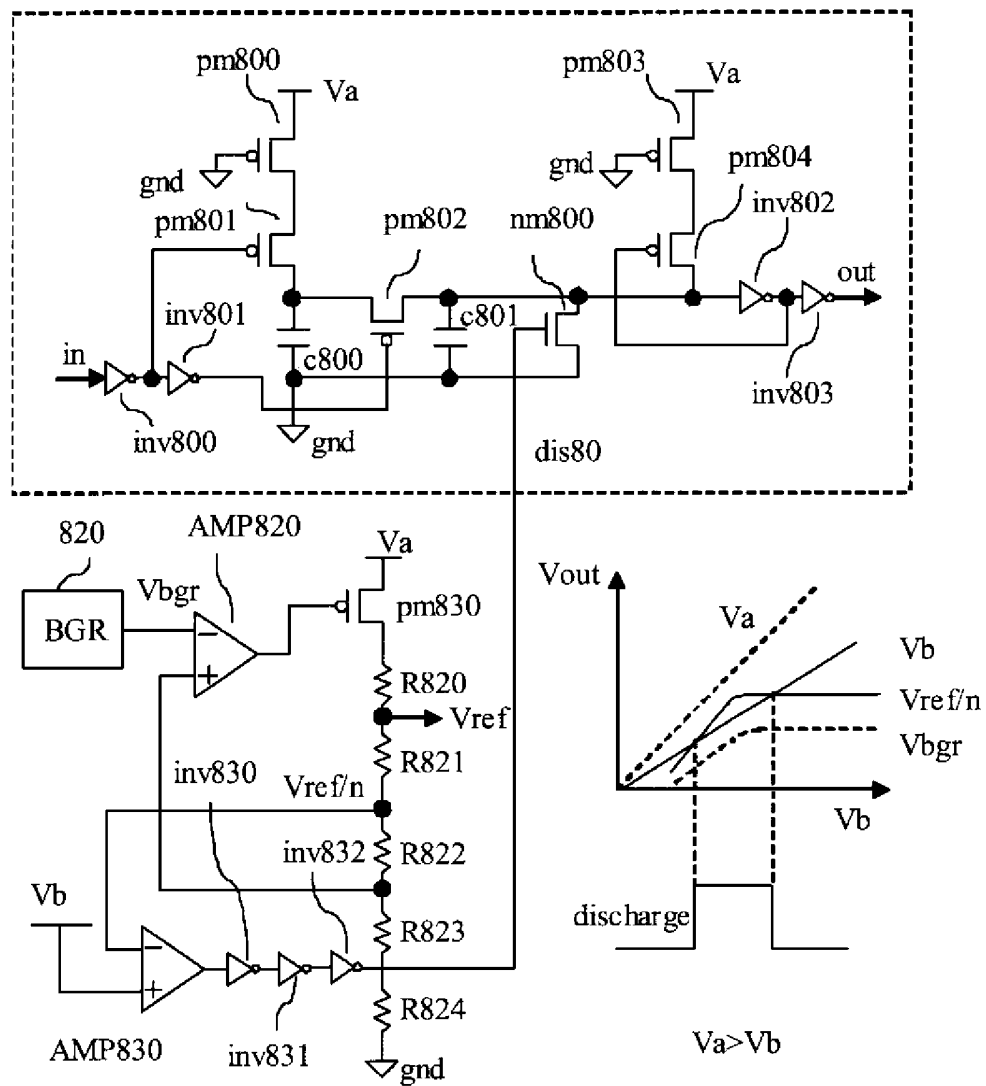
[図31]



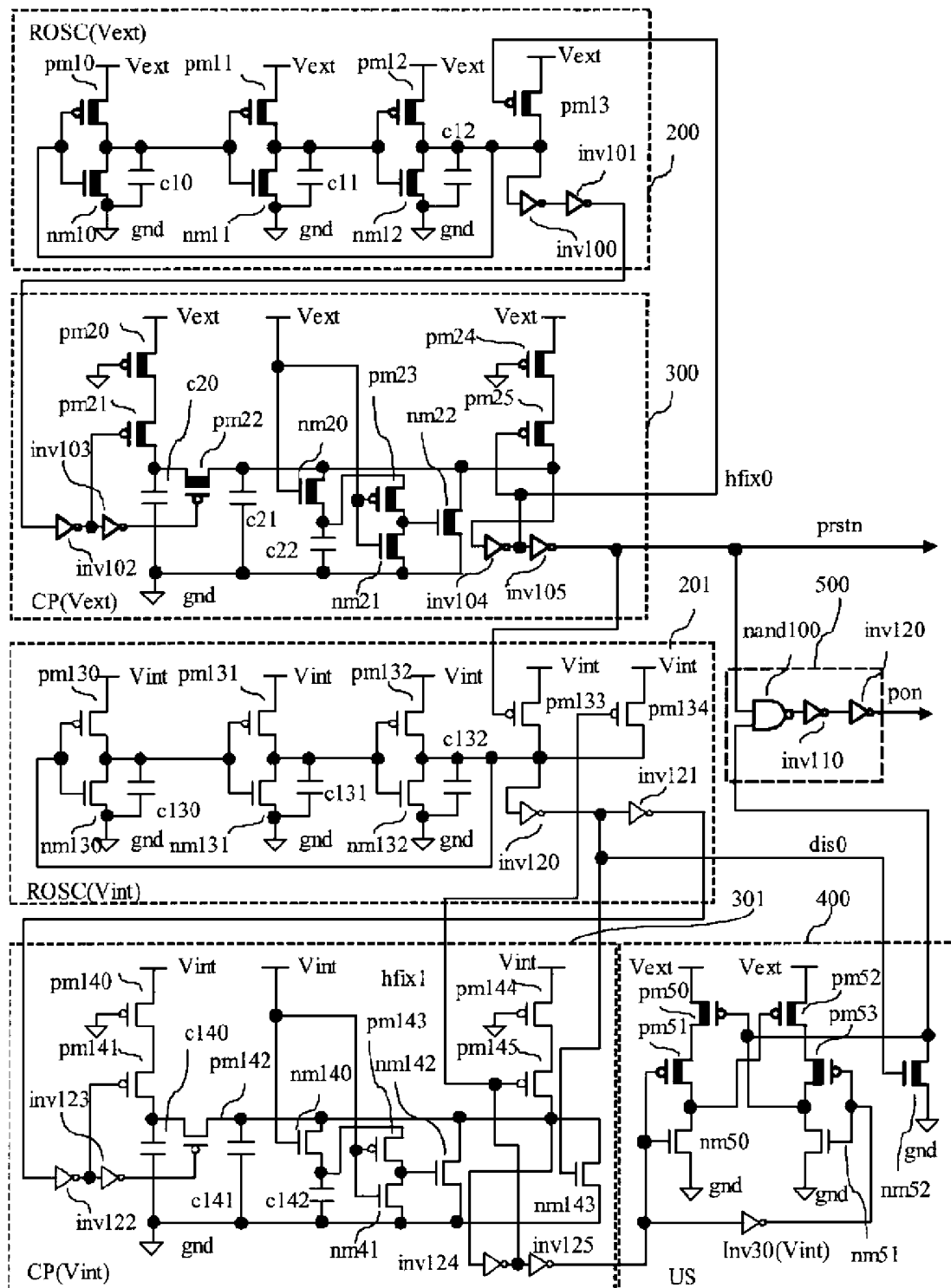
[図32]



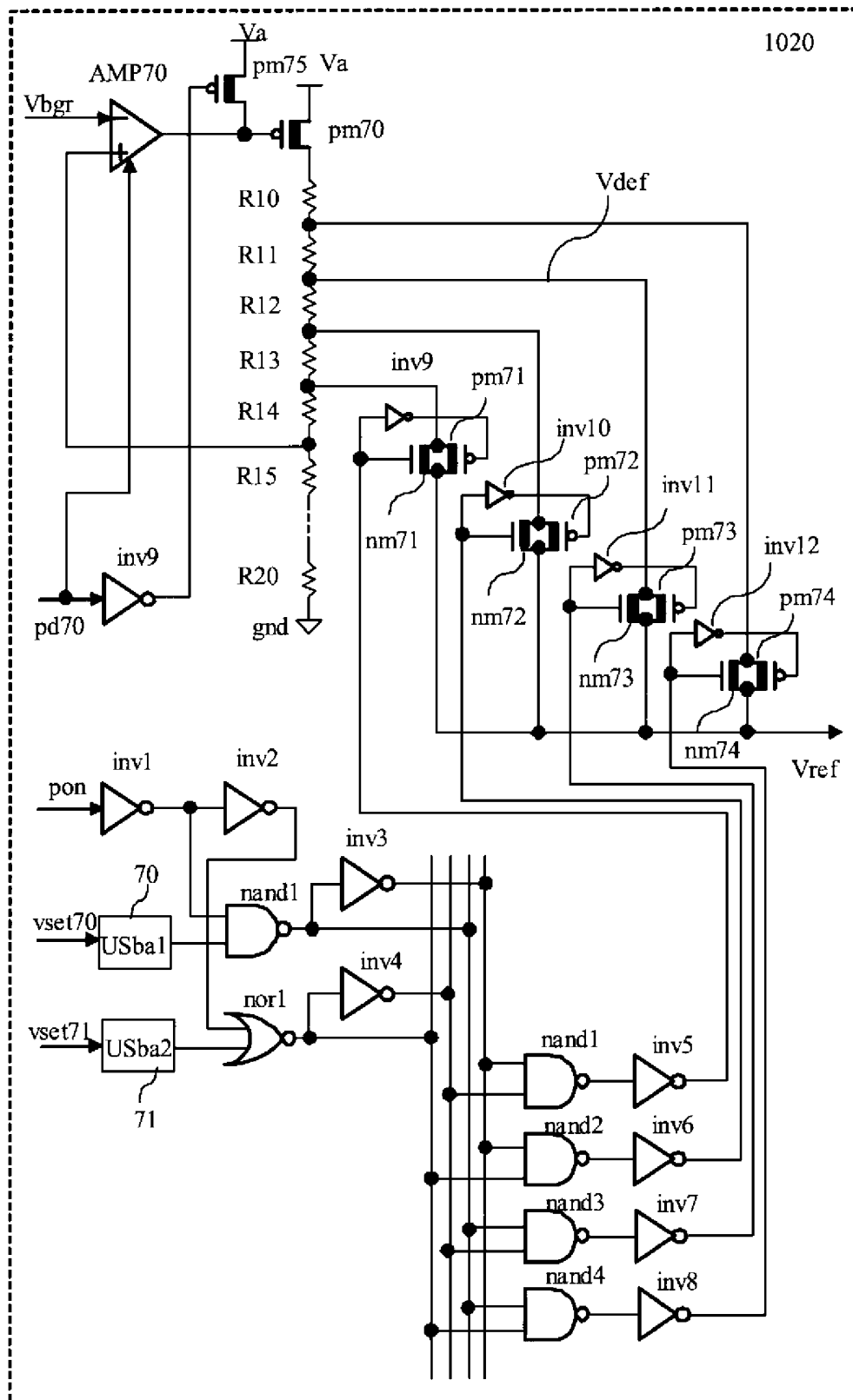
[図33]



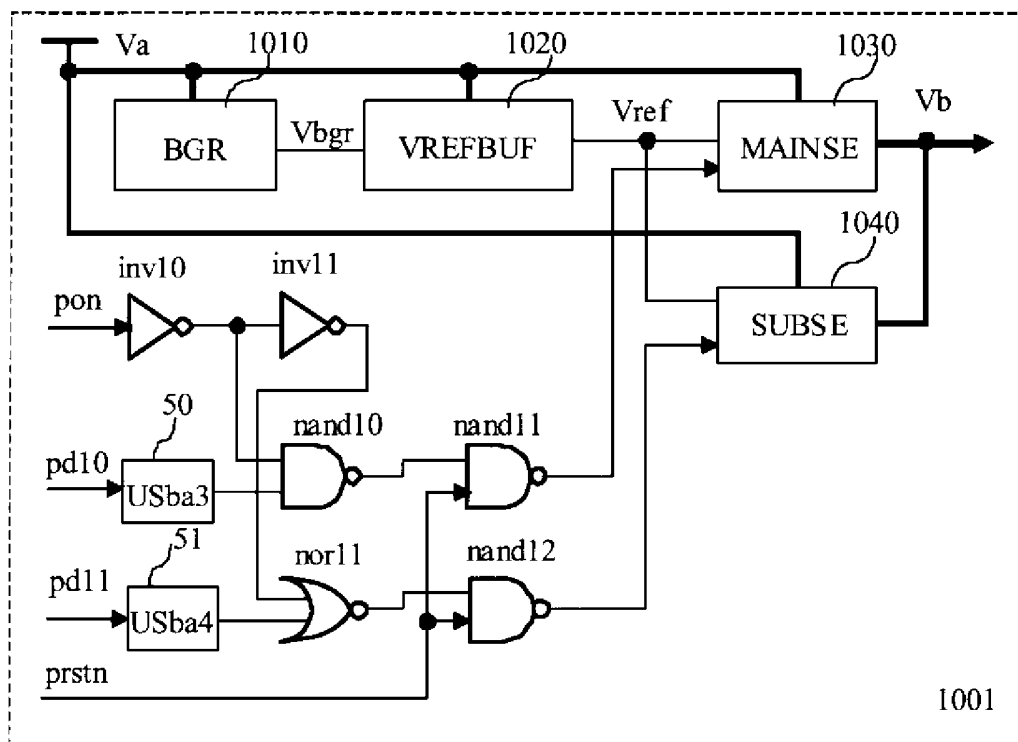
[図36]



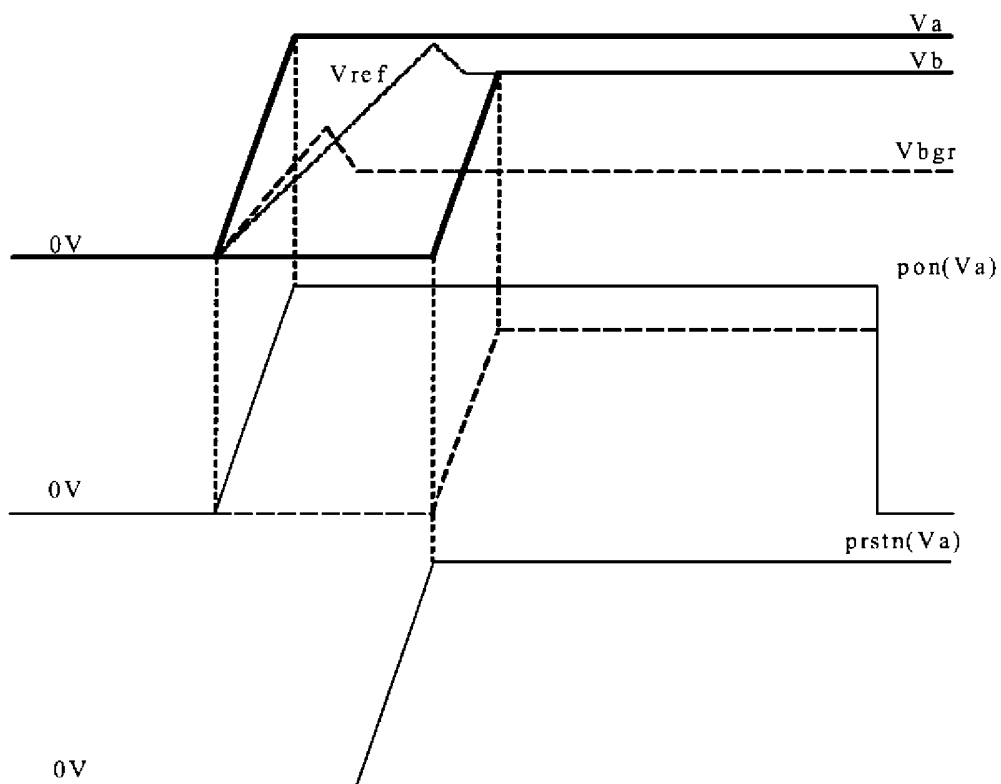
[図37]



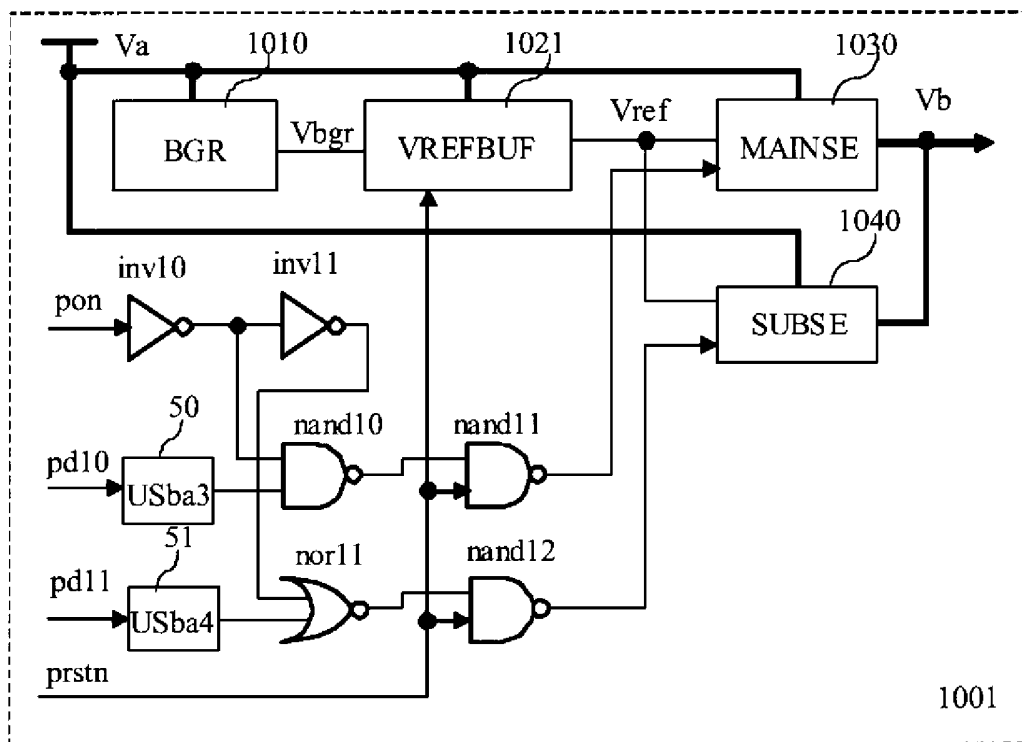
[図38]



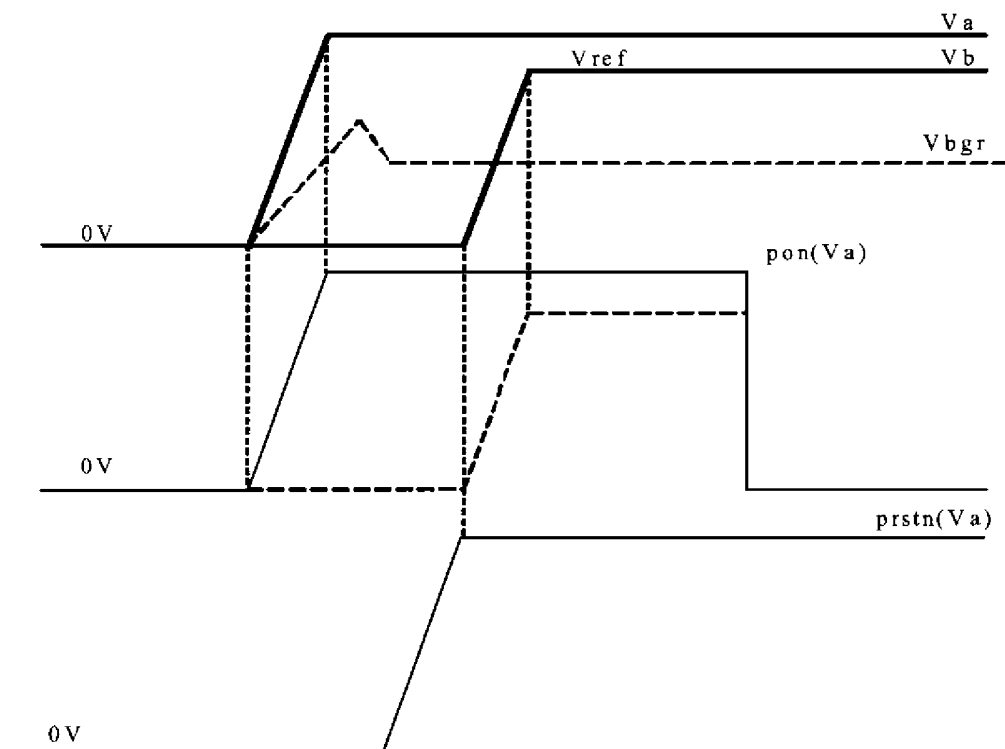
[図39]



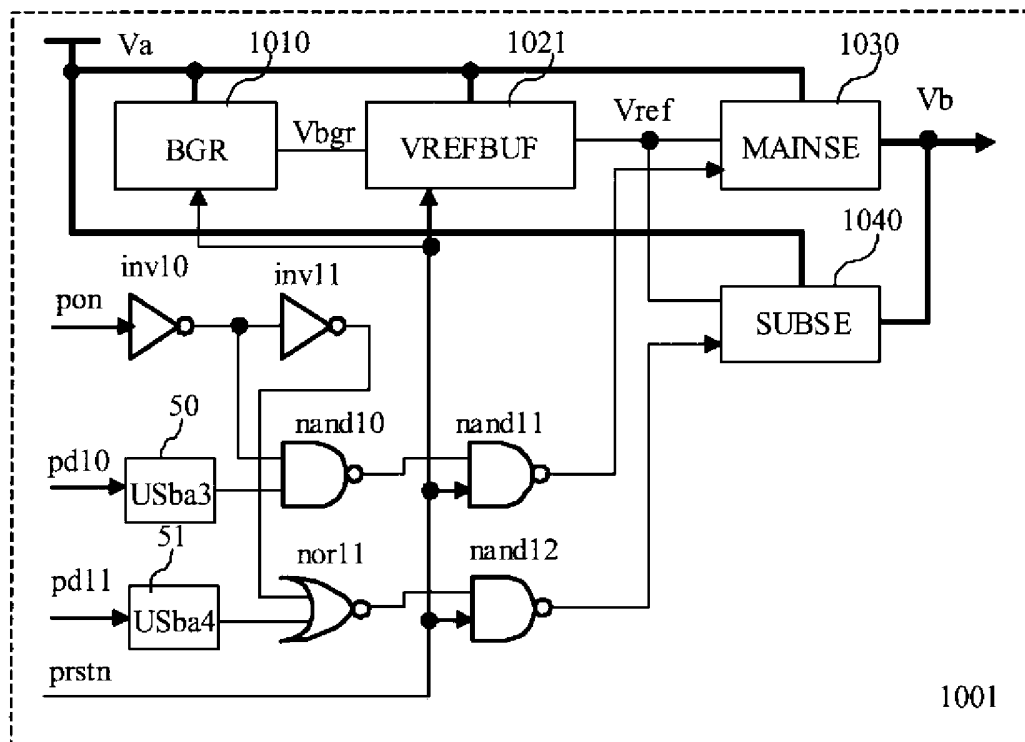
[図40]



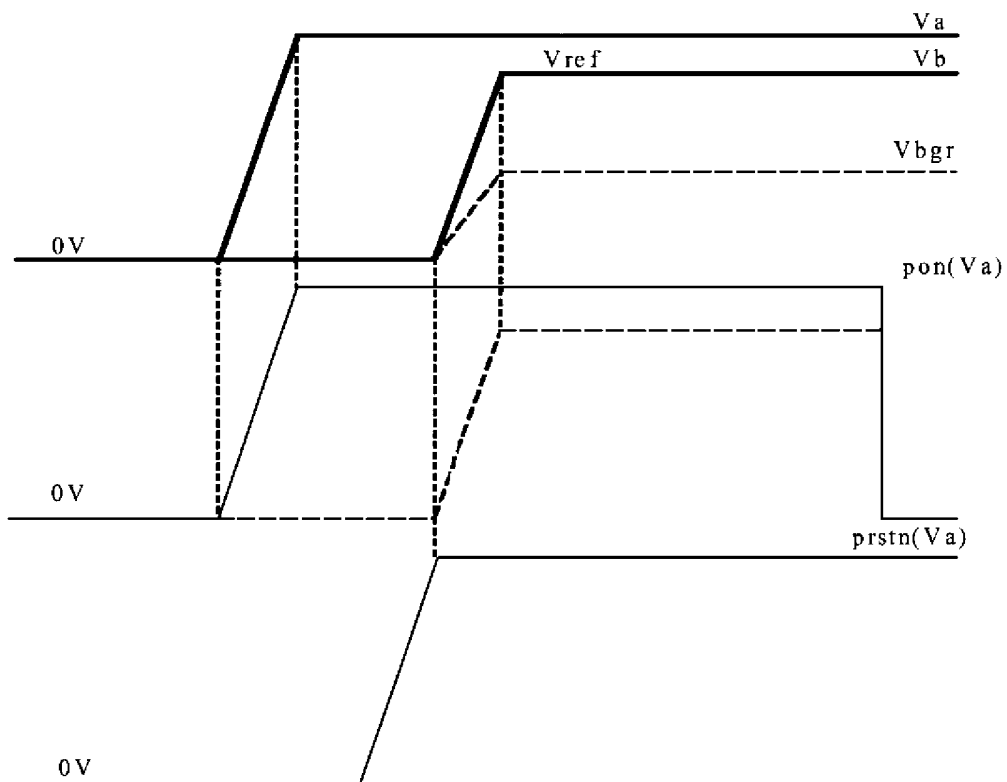
[図41]



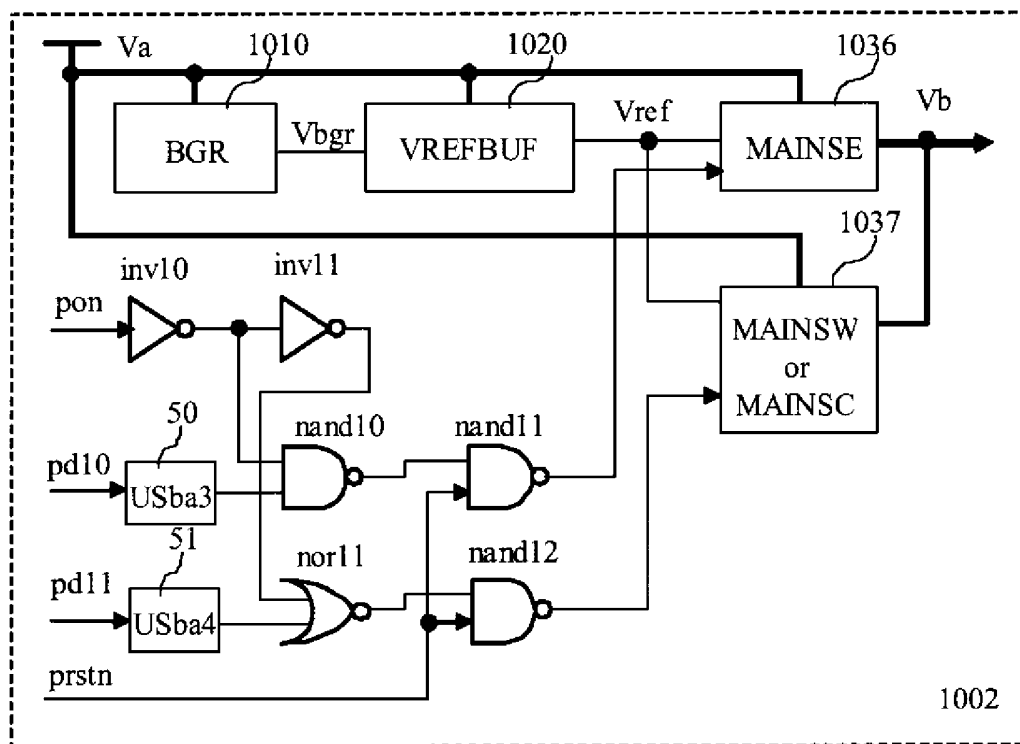
[図42]



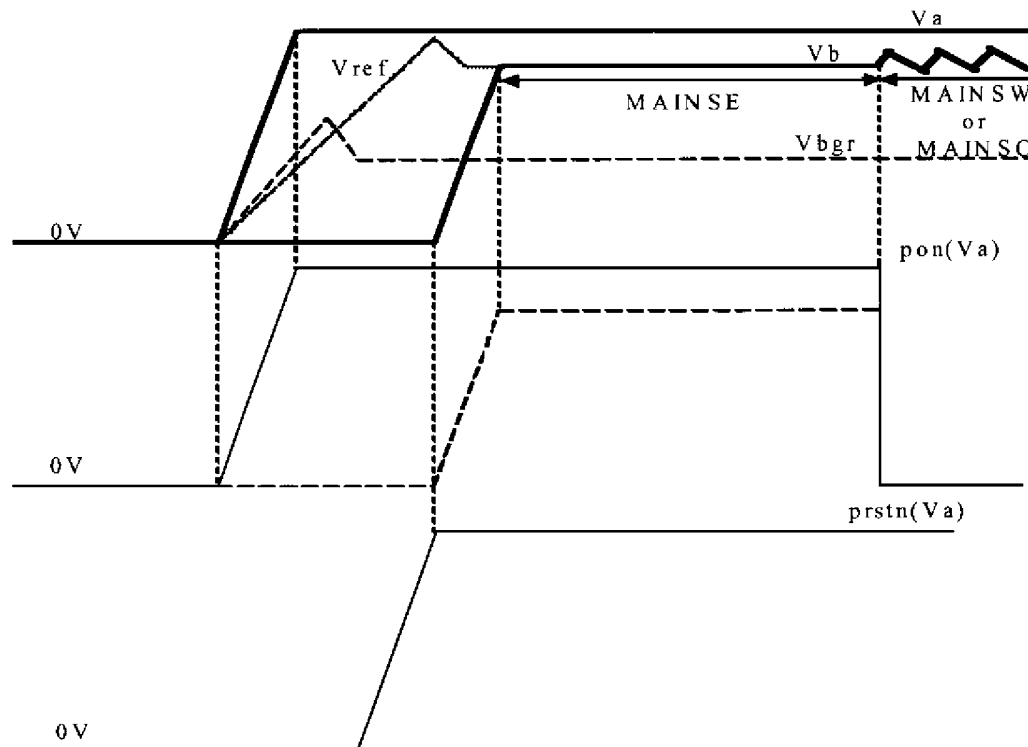
[図43]



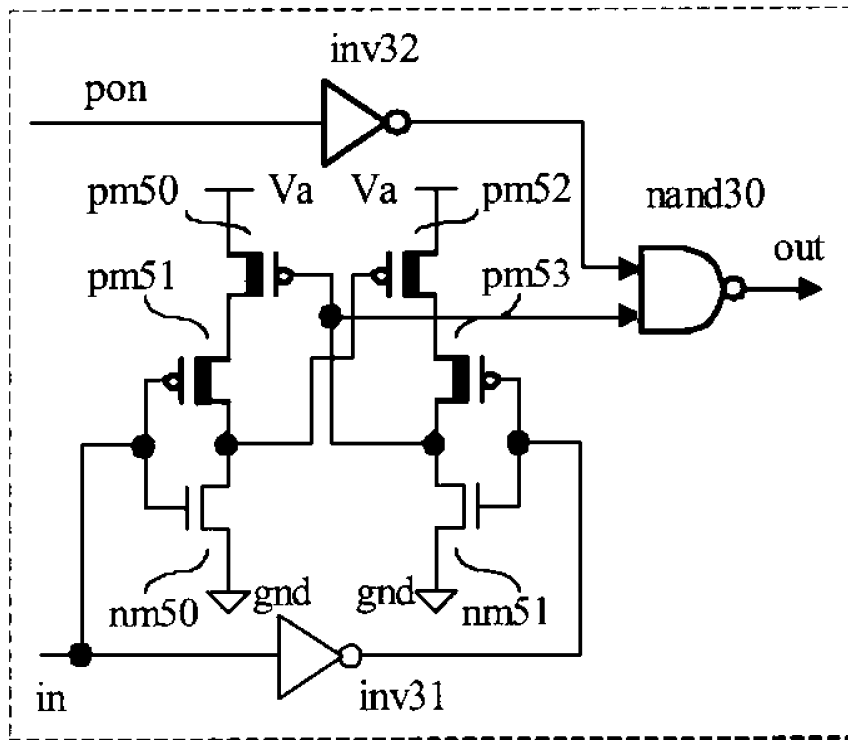
[図44]



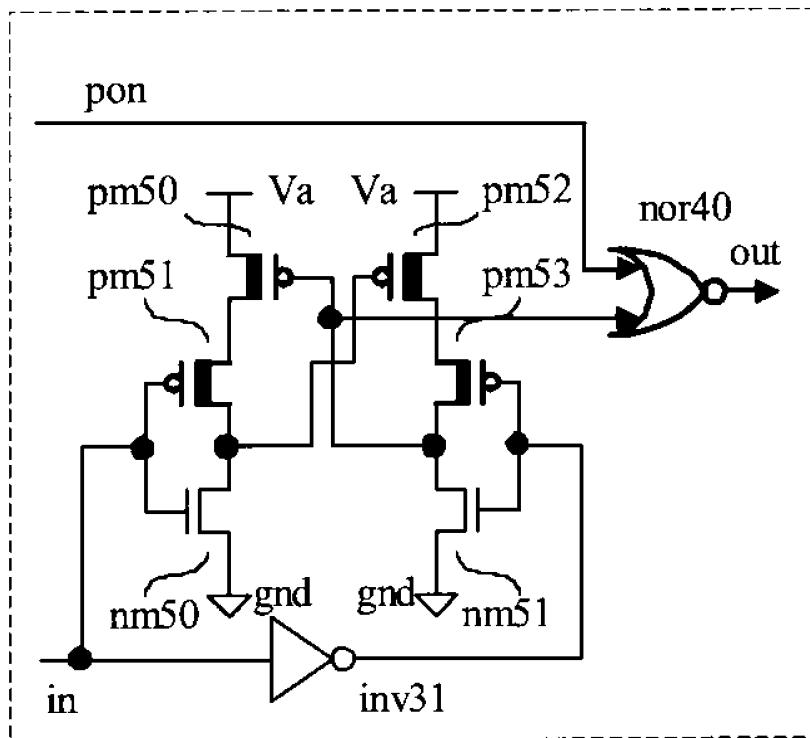
[図45]



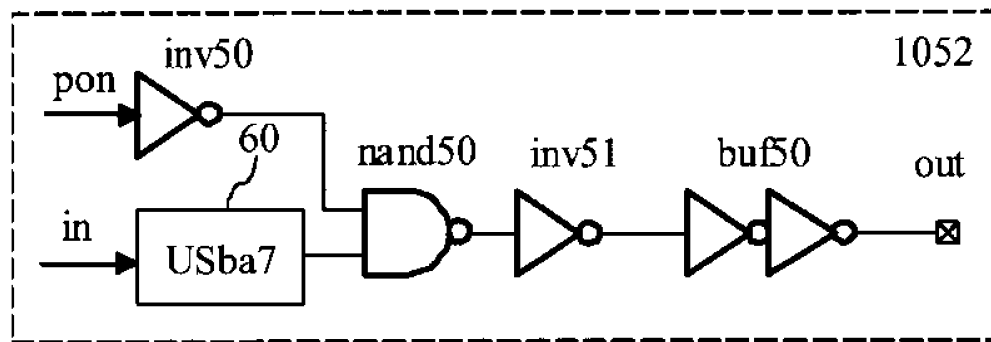
[図46]



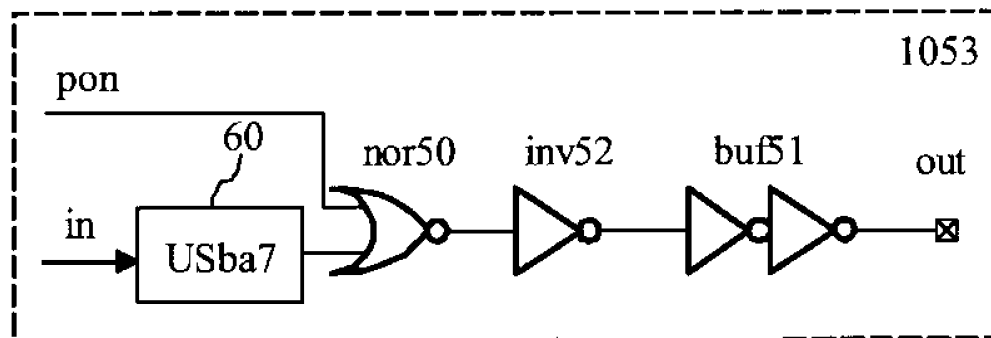
[図47]



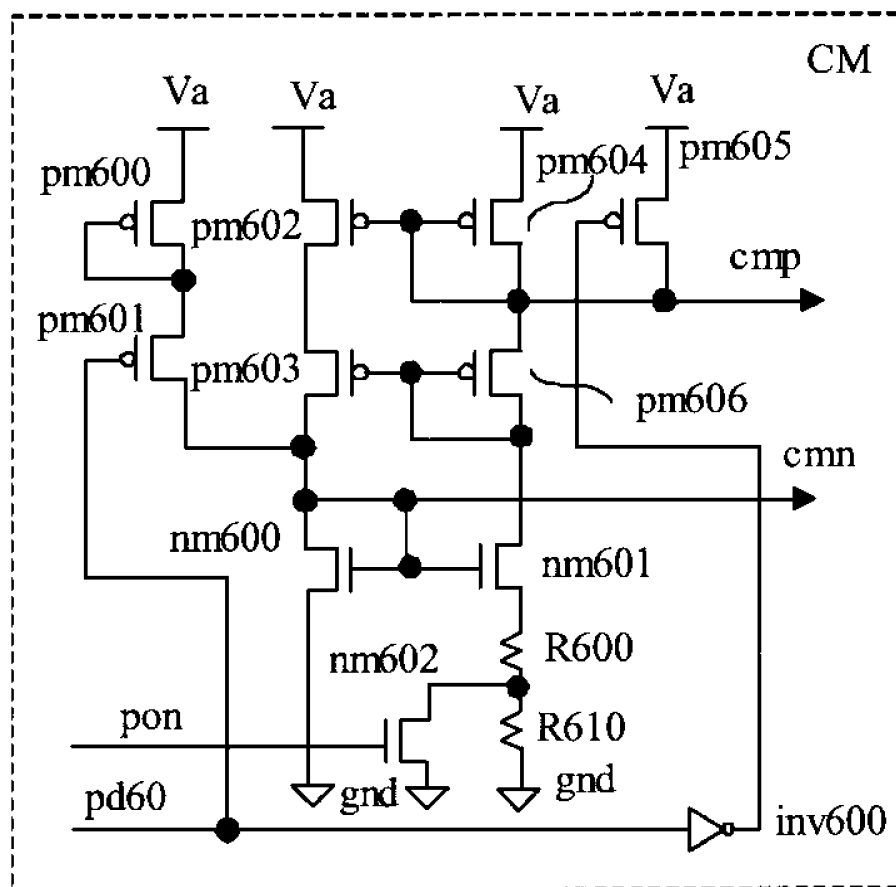
[図48]



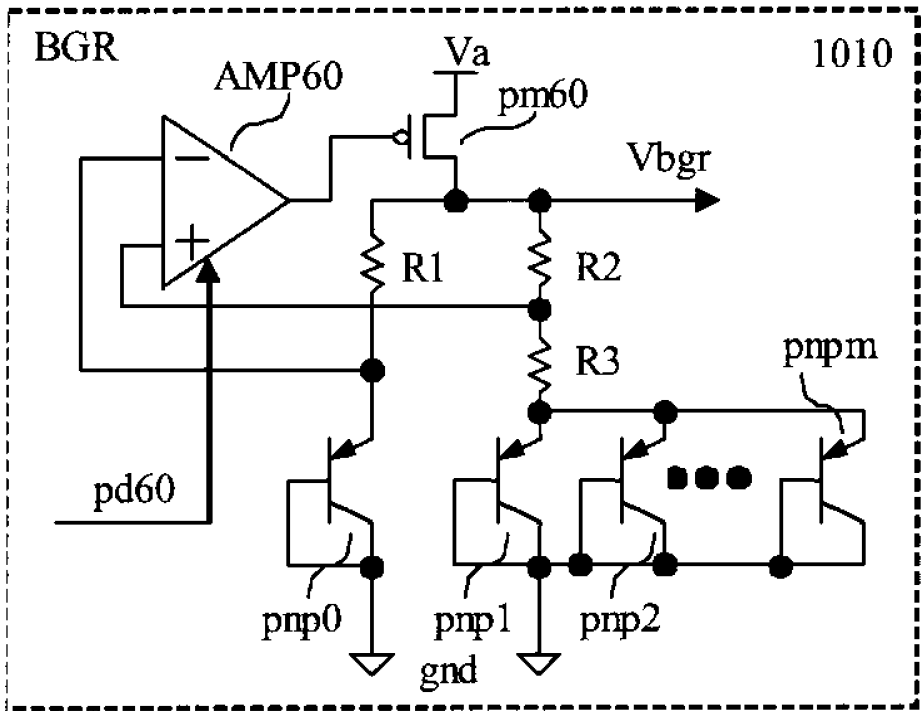
[図49]



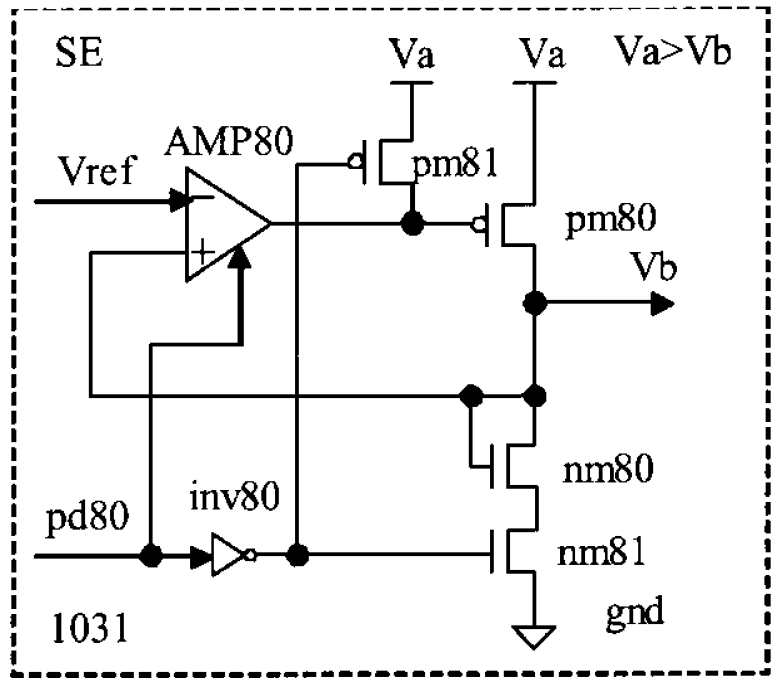
[図50]



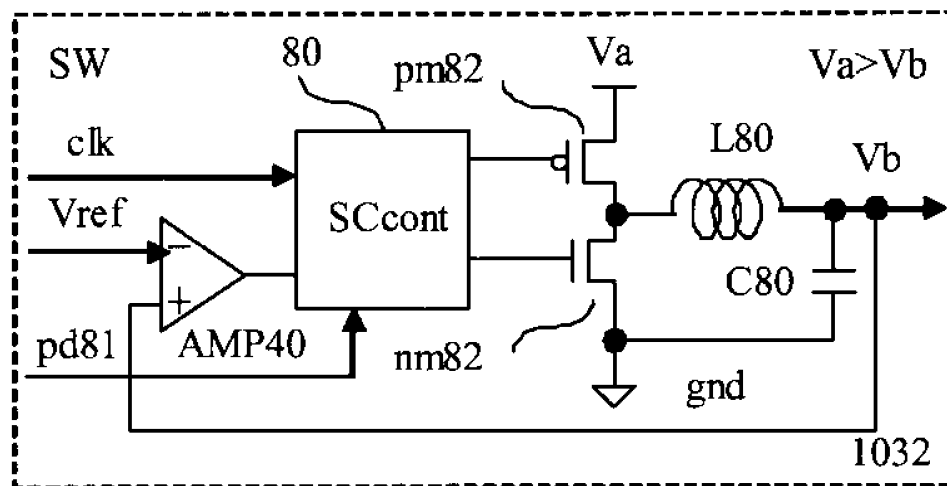
[図51]



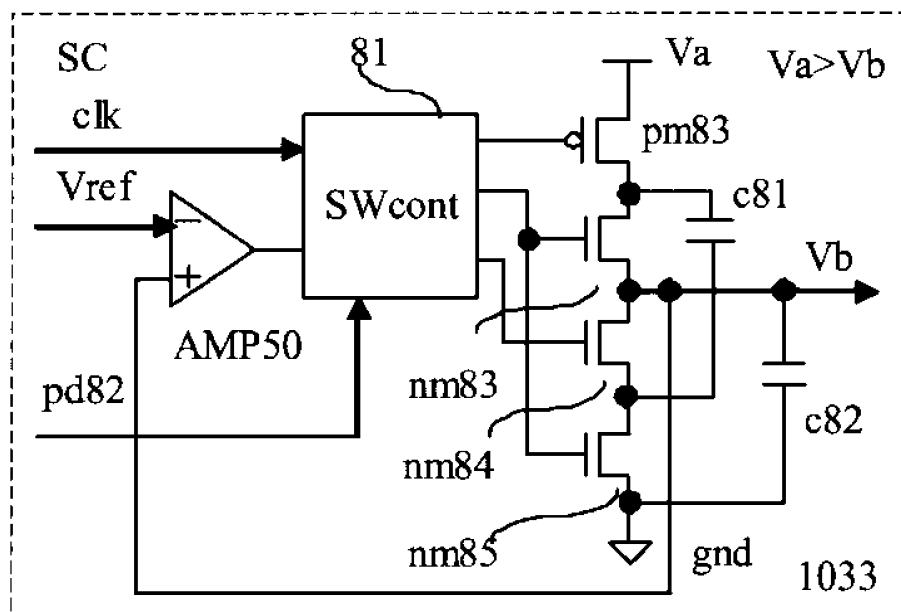
[図52]



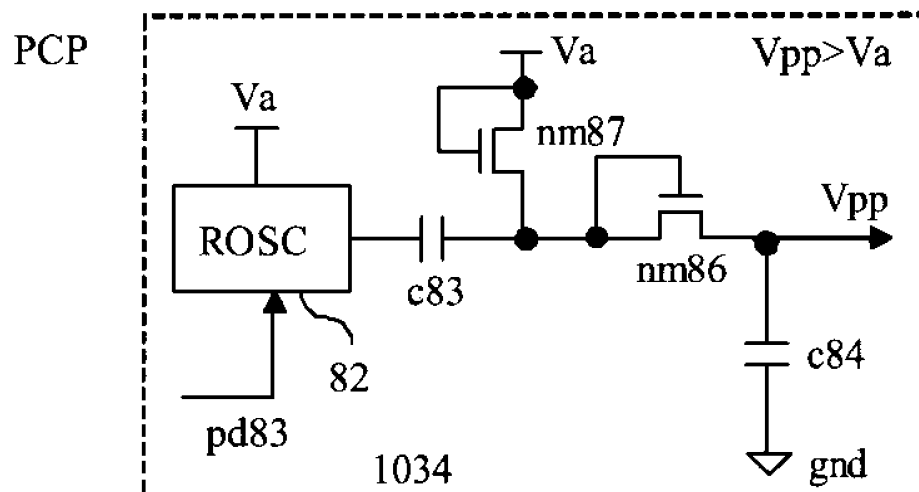
[図53]



[図54]



[図55]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/018455

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ H03K17/22, G06F1/24, G05F3/24

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H03K17/00-17/70, G06F1/24, G05F3/24

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Toroku Jitsuyo Shinan Koho	1994-2005
Kokai Jitsuyo Shinan Koho	1971-2005	Jitsuyo Shinan Toroku Koho	1996-2005

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2001-210076 A (Fujitsu Ltd. et al.), 03 August, 2001 (03.08.01), Par. Nos. [0020], [0022], [0036]; Fig. 1 & US 2001/010480 A1	1-6, 14, 15 7-13
Y A	JP 2002-043527 A (Denso Corp.), 08 February, 2002 (08.02.02), Par. No. [0006]; Fig. 4 & US 2002/021597 A1	1-6, 14, 15 7-13
Y	JP 57-111120 A (Canon Inc.), 10 July, 1982 (10.07.82), Page 2, upper right column, line 1 to page 3, upper left column, line 5; Fig. 1 (Family: none)	2-6, 15

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
01 March, 2005 (01.03.05)

Date of mailing of the international search report
15 March, 2005 (15.03.05)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/018455

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2000-040950 A (Seiko Epson Corp.), 08 February, 2000 (08.02.00), Par. No. [0003]; Fig. 5 (Family: none)	4-6
Y	JP 64-012719 A (Matsushita Electric Industrial Co., Ltd.), 17 January, 1989 (17.01.89), Page 3, upper left column, lines 10 to 15; Fig. 1 (Family: none)	6

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl.⁷ H03K 17/22
G06F 1/24
G05F 3/24

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl.⁷ H03K 17/00-17/70
G06F 1/24
G05F 3/24

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年
日本国公開実用新案公報 1971-2005年
日本国登録実用新案公報 1994-2005年
日本国実用新案登録公報 1996-2005年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y A	JP 2001-210076 A (富士通株式会社 外1名) 2001. 08. 03 段落【0020】、【0022】、【0036】及び図1 & US 2001/010480 A1	1~6、14、15 7~13
Y A	JP 2002-043527 A (株式会社デンソー) 20 02. 02. 08 段落【0006】、図4 & US 2002 /021597 A1	1~6、14、15 7~13

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日

01. 03. 2005

国際調査報告の発送日

15. 3. 2005

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

彦田 克文

5 X

3363

電話番号 03-3581-1101 内線 3556

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	J P 57-111120 A (キヤノン株式会社) 1982.07.10 第2頁右上欄第1行～第3頁左上欄第5行、第1図 (ファミリーなし)	2～6、15
Y	J P 2000-040950 A (セイコーエプソン株式会社) 2000.02.08 段落【0003】、図5 (ファミリーなし)	4～6
Y	J P 64-012719 A (松下電器産業株式会社) 1989.01.17 第3頁左上欄第10～15行、第1図 (ファミリーなし)	6