

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-227901

(P2007-227901A)

(43) 公開日 平成19年9月6日(2007.9.6)

(51) Int. Cl.	F I	テーマコード (参考)
HO 1 L 21/76 (2006.01)	HO 1 L 21/76 L	5FO32
HO 1 L 21/8247 (2006.01)	HO 1 L 27/10 434	5FO83
HO 1 L 27/115 (2006.01)	HO 1 L 29/78 371	5F101
HO 1 L 29/792 (2006.01)		
HO 1 L 29/788 (2006.01)		

審査請求 未請求 請求項の数 16 OL (全 9 頁)

(21) 出願番号 特願2007-5304 (P2007-5304)
 (22) 出願日 平成19年1月15日 (2007.1.15)
 (31) 優先権主張番号 10-2006-0017723
 (32) 優先日 平成18年2月23日 (2006.2.23)
 (33) 優先権主張国 韓国 (KR)

(71) 出願人 591024111
 株式会社ハイニックスセミコンダクター
 HYNIX SEMICONDUCTOR
 INC.
 大韓民国京畿道利川市夫鉢邑牙美里山136-1
 San 136-1, Ami-Ri, Bubaal-Eup, Ichon-Shi, Kyoungki-Do, Korea

(74) 代理人 100095315
 弁理士 中川 裕幸

(72) 発明者 金 相 徳
 大韓民国 ソウル市 蘆原区 下溪2洞
 現代 宇成アパートメント 101-101

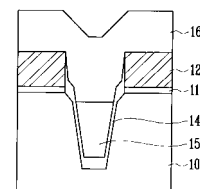
最終頁に続く

(54) 【発明の名称】 半導体素子の素子分離膜形成方法

(57) 【要約】 (修正有)

【課題】 トレンチ素子分離膜のギャップフィルマージン (gap fill margin) を向上させるための半導体素子の素子分離膜形成する製造方法を提供する。

【解決手段】 半導体基板 10 上にトンネル酸化膜 11 及びフローティングゲート用導電膜 12 を形成する段階; 上記導電膜 12、トンネル酸化膜 11 及び半導体基板 10 の一部を除去してトレンチを形成する段階; 上記トレンチを形成した後に全体構造の表面に沿って第1のHDP酸化膜 14 を形成する段階; 上記トレンチが満たされるように上記HDP酸化膜形成後の全体構造の上部にSOD絶縁膜 15 を形成する段階; 上記導電膜が露出されるように上記SOD絶縁膜を平坦化する段階; 上記SOD絶縁膜の一部を除去してリセスを形成する段階; 及び上記リセスを含む全体構造の上部に第2のHDP酸化膜 16 を形成する段階を含む。



【選択図】 図 1 E

【特許請求の範囲】

【請求項 1】

素子分離用トレンチが形成された半導体基板を提供する段階；

上記素子分離用トレンチを含む全表面上に第1の絶縁膜を形成する段階；

上記素子分離用トレンチが埋め込まれるように全面にSOD(Spin On Dielectric)絶縁膜を形成する段階；

上記半導体基板が露出されるように上記SOD絶縁膜を平坦化する段階；

上記SOD絶縁膜を一定の厚さ除去して上記素子分離用トレンチの上部を露出させる段階；及び

上記素子分離用トレンチを含む全面に第2の絶縁膜を形成する段階を含む半導体素子の素子分離膜形成方法。 10

【請求項 2】

上記第1の絶縁膜と上記第2の絶縁膜をHDP酸化膜で形成する請求項1に記載の半導体素子の素子分離膜形成方法。

【請求項 3】

上記第1の絶縁膜を100～2000 の厚さで形成する請求項1に記載の半導体素子の素子分離膜形成方法。

【請求項 4】

上記SOD絶縁膜は、流れ性を有するPSZ(Ploysilazae)膜をコーティングする段階；及び

上記PSZ膜を熱処理する段階を通じて形成する請求項1に記載の半導体素子の素子分離膜形成方法。 20

【請求項 5】

上記PSZ膜を1000～8000 の厚さでコーティングする請求項4に記載の半導体素子の素子分離膜形成方法。

【請求項 6】

上記熱処理をH₂OまたはO₂ガス雰囲気中で300～1200 の温度で実施する請求項4に記載の半導体素子の素子分離膜形成方法。

【請求項 7】

上記SOD絶縁膜エッチング時に湿式エッチング工程を用いる請求項1に記載の半導体素子の素子分離膜形成方法。 30

【請求項 8】

上記エッチングされるSOD絶縁膜の厚さが300～2000 である請求項1に記載の半導体素子の素子分離膜形成方法。

【請求項 9】

上記第2の絶縁膜を1000～6000 の厚さで形成する請求項1に記載の半導体素子の素子分離膜形成方法。

【請求項 10】

半導体基板上にトンネル酸化膜及びフローティングゲート用導電膜を形成する段階；

上記導電膜、トンネル酸化膜及び半導体基板の一部を除去してトレンチを形成する段階； 40

上記トレンチを形成した後に全体構造の表面に沿って第1のHDP酸化膜を形成する段階；

上記トレンチが満たされるように上記HDP酸化膜の形成後の全体構造の上部にSOD絶縁膜を形成する段階；

上記導電膜が露出されるように上記SOD絶縁膜を平坦化する段階；

上記SOD絶縁膜の一部を除去してリセスを形成する段階；及び

上記リセスを含む全体構造の上部に第2のHDP酸化膜を形成する段階を含む半導体素子の素子分離膜形成方法。

【請求項 11】

上記SOD絶縁膜は、PSZ物質を形成した後、熱処理して形成される請求項10に記載の半導体素子の素子分離膜形成方法。 50

【請求項 1 2】

上記熱処理は、 H_2O または O_2 ガス雰囲気で行われる請求項11に記載の半導体素子の素子分離膜形成方法

【請求項 1 3】

上記リセスは、湿式エッチャントにより形成される請求項10に記載の半導体素子の素子分離膜形成方法。

【請求項 1 4】

上記湿式エッチャントは、BOEまたはHFを含む請求項13に記載の半導体素子の素子分離膜形成方法。

【請求項 1 5】

上記SODは、CMP工程により平坦化される請求項10に記載の半導体素子の素子分離膜形成方法。

【請求項 1 6】

上記CMP工程時に酸化膜対シリコン選択比が大きいスラリーを用いる請求項15に記載の半導体素子の素子分離膜形成方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体素子の素子分離膜形成方法に関するものであり、特に、トレンチ素子分離膜のギャップフィルマージン(gap fill margin)を向上させるための半導体素子の素子分離膜形成方法に関するものである。

【背景技術】

【0002】

一般に、半導体素子は個々の回路パターンを電気的に分離するための素子分離領域を含む。半導体素子が高集積化され、微細化されるにつれて各個別素子のサイズを縮小させるだけでなく、素子分離領域の縮小に関する研究が活発に進行している。その理由は、素子分離領域の形成は、全ての半導体素子の製造の初期段階として活性領域のサイズ及び後工程段階の工程マージン(margin)を左右するためである。

【0003】

最近まで半導体素子の製造に広く用いられるロコス(LOCOS)素子分離方法は、比較的広い面積の素子分離領域を形成するため、半導体素子が高集積化及び微細パターン化されるにつれてその限界点に至った。これにより、半導体基板の一部に対するエッチングによりトレンチ(trench)を形成し、トレンチに絶縁膜をギャップフィル(gap-fill)して素子を分離するトレンチ素子分離方法が提案された。

【0004】

トレンチ素子分離方法においてトレンチをギャップフィルする絶縁膜として主にHDP(High Density Plasma)酸化膜を用いている。しかし、高集積化によりトレンチのアスペクト比が増加するにつれてHDP酸化膜でトレンチをギャップフィル(gapfill)することが困難になった。実際に、現在用いているHDP装置では、アスペクト比が4以上の場合、ギャップフィルが困難な状況であるが、現在開発中の60nmナンドフラッシュデバイス(nandflash device)の場合、素子分離用トレンチのアスペクト比が5.5程度になるため、現実的にHDP酸化膜を利用したトレンチギャップフィルが困難な状況である。

【0005】

このような問題を解決するために、HDP蒸着工程に対する多くの研究を進行しているが、よい結果が得られていないのが現状である。

【発明の開示】

【発明が解決しようとする課題】

【0006】

本発明は、前述した従来技術の問題を解決するために案出したものであり、素子分離用トレンチギャップフィルマージンを向上させることができる半導体素子の素子分離膜形成

10

20

30

40

50

方法を提供することにその目的がある。

【課題を解決するための手段】

【0007】

本発明の一側面による半導体素子の素子分離膜形成方法は、素子分離用トレンチが形成された半導体基板を提供する段階；上記素子分離用トレンチを含む全表面上に第1の絶縁膜を形成する段階；上記素子分離用トレンチが埋め込まれるように全面にSOD(SpinOn Dielectric)絶縁膜を形成する段階；上記半導体基板が露出されるように上記SOD絶縁膜を平坦化する段階；上記SOD絶縁膜を一定の厚さ除去して上記素子分離用トレンチの上部を露出させる段階；及び上記素子分離用トレンチを含む全面に第2の絶縁膜を形成する段階を含む。

【0008】

本発明の他の側面による半導体素子の素子分離膜形成方法は、半導体基板上にトンネル酸化膜及びフローティングゲート用導電膜を形成する段階；上記導電膜、トンネル酸化膜及び半導体基板の一部を除去してトレンチを形成する段階；上記トレンチを形成した後に全体構造の表面に沿って第1のHDP酸化膜を形成する段階；上記トレンチが満たされるように上記HDP酸化膜形成後の全体構造の上部にSOD絶縁膜を形成する段階；上記導電膜が露出されるように上記SOD絶縁膜を平坦化する段階；上記SOD絶縁膜の一部を除去してリセスを形成する段階；及び上記リセスを含む全体構造の上部に第2のHDP酸化膜を形成する段階を含む。

10

【発明の効果】

【0009】

上述した通り、本発明は次のような効果がある。

20

【0010】

第1に、素子特性に悪影響を及ぼす素子分離膜内のボイドの発生を容易に、また完全に防止することができるため、素子フェイルの様相を減らすことができ、歩留まりを向上させることができる。

【0011】

第2に、今後、デバイスが継続して微細パターン化しても、新たな装備を用いる必要がなく、既存の装備を用いて優れた特性を有する素子分離膜を形成することができるため、装備の投資費用を節減することができる。

【0012】

第3に、後続工程でSOD絶縁膜が露出されないため、SOD絶縁膜の損失が防止され、素子分離特性を確保することができる。

30

【0013】

第4に、トンネル酸化膜の側面に厚い第1の絶縁膜を形成して湿式エッチャントからトンネル酸化膜を保護することができる。従って、ボイドの発生を根本的に防止することができる。

【0014】

第5に、SOD絶縁膜を形成した後にCMP工程を実施してSOD絶縁膜の厚さを均一に形成することができるため、後続の絶縁膜ギャップフィルマーを向上させることができ、実効フィールド高(EFH)の変異(variation)を減らすことができる。

40

【発明を実施するための最良の形態】

【0015】

以下、添付した図面を参照して本発明の望ましい実施例を説明する。しかし、本発明は、以下で開示される実施例により限定されるものではなく、互いに異なる多様な形態で具現することができる。本発明の範囲が次に詳述する実施例により限定されるものではない。単に、本実施例は本発明の開示が完全であるようにし、通常の知識を有する者に発明の範囲を完全に知らせるために提供されるものであり、本発明の範囲は、本願の特許請求の範囲により理解されなければならない。

【0016】

図1A~図1Eは、本発明の実施例による半導体素子の素子分離膜形成工程の断面図であり

50

、ナンドフラッシュメモリ素子のSA-STI(Self Aligned Shallow Trench Isolation)スキームに適用した場合である。

【0017】

まず、図1Aで示されるように、半導体基板(10)上にトンネル酸化膜(11)とフローティングゲート用ポリシリコン膜(12)を順次形成し、写真食刻工程でフローティングゲート用ポリシリコン膜(12)とトンネル酸化膜(11)及び半導体基板(10)の一定の深さをエッチングして素子分離用トレンチ(13)を形成する。次いで、素子分離用トレンチ(13)を含む全表面上に第1の絶縁膜(14)を形成する。第1の絶縁膜(14)としては、HDP(High Density Plasma)酸化膜を100~2000 の厚さで形成することが望ましい。この時、第1の絶縁膜(14)は、トレンチ(13)を含む全表面上に薄く蒸着されるが、A部分に示されたようにトンネル酸化膜(11)の側面には他の部分に比べて厚く形成される。

【0018】

次いで、図1Bで示されるように、トレンチ(13)を含む全面にSOD(Spin On Dielectric)方法で流れ性を有するPSZ(polysilazane)物質をコーティングする、SOD方法でコーティング工程を実施する時は、物質自体の粘度が低く、流れる性質があるため、トレンチ(13)をボイドなしに埋め込むことができる。この時、PSZ物質のコーティングの厚さは1000~8000 になるようにする。その後、 H_2O 及び O_2 雰囲気中で300~1200 で湿式熱処理工程を実施し、PSZ物質を固形化させてSOD絶縁膜(15)を形成する。

【0019】

即ち、図2で示されるように、PSZ物質はSi、H及びNからなっているが H_2O または O_2 ガス雰囲気中で熱処理すれば、 SiO_2 からなるSOD絶縁膜(15)が形成される。そして、副産物として NH_3 及び H_2 が発生するが、これらは気体状態で排出される。

【0020】

SOD絶縁膜(15)は、HDP酸化膜に比べて埋め込み特性は非常に良好であるが、湿式エッチャント(wet etchant)に対してエッチング速度が速いため、後続工程で用いられる湿式エッチャントに露出されれば、急激に損失するようになり、素子的な問題が誘発される短所がある。これに対し、後続工程でSOD絶縁膜(15)が露出されないようにSOD絶縁膜(15)の厚さを低くする必要がある。

【0021】

一方、PSZ物質は、セル領域の中央部分に比べてセル領域のエッジ(edge)部分及び周辺回路の領域で薄くコーティングされ、PSZ物質を熱処理して形成するSOD絶縁膜(15)もPSZ物質と同一のプロファイルを有する。このような状態でSOD絶縁膜(15)の厚さを低くするためのエッチング工程を実施すれば、セル領域の中央部分に比べてセル領域のエッジ部分と周辺回路領域がさらに低い高さまでエッチングされ、これにより後続絶縁膜の埋め込み時にギャップフィルマージンが減るようになり、最終実効フィールド高(Effective Field Height : EFH)の変化幅が増加する問題が発生する。

【0022】

これに対し、図1Cで示されるように、SOD絶縁膜(15)に対する平坦化工程を実施し、トレンチ(13)以外の部分に形成された第1の絶縁膜(14)とSOD絶縁膜(15)を除去する。

【0023】

平坦化工程では、CMP(Chemical Mechanical Polishing)工程を用いるのが望ましく、CMP工程のスラリー(slurry)としては、酸化膜対比ポリシリコン膜の選択比が大きいHSS(High Selective Slurry)を用いる。このようにHSSを用いれば、SOD絶縁膜(15)の厚さに関係なくポリシリコン膜(12)が露出された時点でCMP工程が止まる。

【0024】

その後、図1Dで示されるように、湿式エッチャント(wet etchant)を用いてSOD絶縁膜(15)を300~2000 程度エッチングしてトレンチ(13)の上部を露出させる。湿式エッチャントとしては、BOE(Buffer Oxide Etchant)やHFを用いる。

【0025】

この時、トンネル酸化膜(11)が湿式エッチャントによりエッチングされれば、後続の絶

縁膜埋め込み時のボイド発生の原因になる。しかし、トンネル酸化膜(11)の側面に第1の絶縁膜(14)が厚く形成された状態であるため、SOD絶縁膜(15)のエッチング工程時にトンネル酸化膜(11)は露出されず、第1の絶縁膜(14)により保護されるようになり、ボイドの発生が根本的に防止される。

【0026】

以後、図1Eで示されるように、トレンチ(13)を含む全面に第2の絶縁膜(16)を形成する。第2の絶縁膜(16)としては、1000~6000 の厚さのHDP酸化膜を用いて形成する。SOD絶縁膜(15)により、トレンチ(13)がある程度埋め込まれた状態であるため、第2の絶縁膜(16)により埋め込まなければならないトレンチ(13)深さは非常に浅い。従って、トレンチ(13)のギャップフィルマージンは十分である。

10

【0027】

以後、示されていないが、ポリシリコン膜(12)が露出されるように第2の絶縁膜(16)に対する平坦化工程を実施して素子分離膜を形成する。

【0028】

前述した実施例では、本発明を半導体基板(10)上にトンネル酸化膜(11)とフローティングゲート用ポリシリコン膜(12)を形成した後にトレンチ(13)を形成し、これに絶縁膜を埋め込んで素子分離膜を形成するSA-STIスキームに適用した場合について言及したが、本発明は、これに限定されず、トレンチを形成し、これに絶縁膜を埋め込んで素子分離膜を形成する全ての半導体素子製造方法に適用可能であることを明確にして置く。

【図面の簡単な説明】

20

【0029】

【図1A】本発明の実施例による半導体素子の素子分離膜形成工程の断面図。
【図1B】本発明の実施例による半導体素子の素子分離膜形成工程の断面図。
【図1C】本発明の実施例による半導体素子の素子分離膜形成工程の断面図。
【図1D】本発明の実施例による半導体素子の素子分離膜形成工程の断面図。
【図1E】本発明の実施例による半導体素子の素子分離膜形成工程の断面図。
【図2】PSZ物質の分子結合まの構造及び熱処理工程による固形化された絶縁膜形成の過程を示した図面。

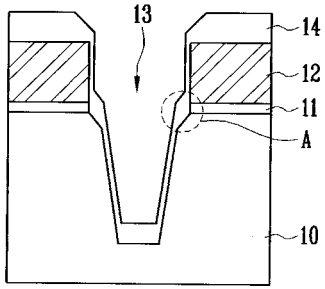
【符号の説明】

【0030】

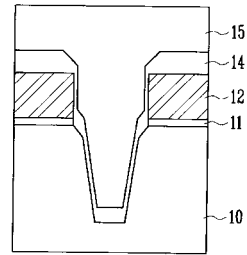
30

- 10 :半導体基板
- 11 :トンネル酸化膜
- 12 :ポリシリコン膜
- 13 :トレンチ
- 14 :第1の絶縁膜
- 15 : SOD絶縁膜
- 16 :第2の絶縁膜

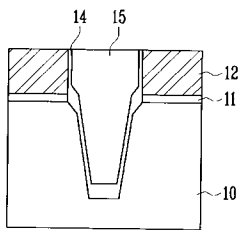
【図 1 A】



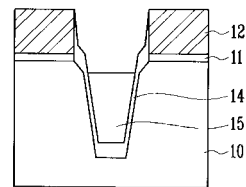
【図 1 B】



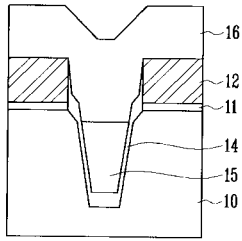
【図 1 C】



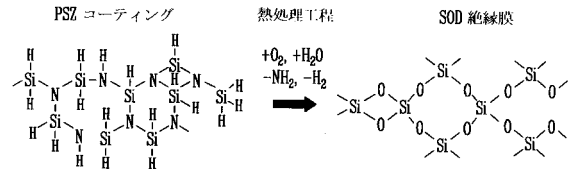
【図 1 D】



【 図 1 E 】



【 図 2 】



フロントページの続き

(72)発明者 朴 寶 旻

大韓民国 ソウル市 東大門區 踏十里 1洞 195 - 35

Fターム(参考) 5F032 AA34 AA36 AA44 AA45 AA50 AA70 AA77 AA78 CA17 DA04
DA10 DA24 DA28 DA33 DA34 DA53 DA78
5F083 EP02 EP22 EP76 NA01 NA06 PR05 PR33 PR40
5F101 BA01 BB02 BD34 BD35 BH15 BH16