

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2015-109634

(P2015-109634A)

(43) 公開日 平成27年6月11日(2015.6.11)

(51) Int.Cl.			F I			テーマコード (参考)
HO4R	19/00	(2006.01)	HO4R	19/00	330	3C081
B81B	3/00	(2006.01)	B81B	3/00		5D019
B81C	3/00	(2006.01)	B81C	3/00		
HO4R	31/00	(2006.01)	HO4R	31/00	330	

審査請求 未請求 請求項の数 18 O L (全 14 頁)

(21) 出願番号 特願2014-168305 (P2014-168305)
 (22) 出願日 平成26年8月21日 (2014.8.21)
 (31) 優先権主張番号 10-2013-0150162
 (32) 優先日 平成25年12月4日 (2013.12.4)
 (33) 優先権主張国 韓国 (KR)

(71) 出願人 390019839
 三星電子株式会社
 Samsung Electronics
 Co., Ltd.
 大韓民国京畿道水原市靈通区三星路129
 129, Samsung-ro, Yeon
 gtong-gu, Suwon-si, G
 yeonggi-do, Republic
 of Korea

(74) 代理人 100110364
 弁理士 実広 信哉

(72) 発明者 沈 東植
 大韓民国京畿道水原市靈通区三星路130
 三星綜合技術院内

最終頁に続く

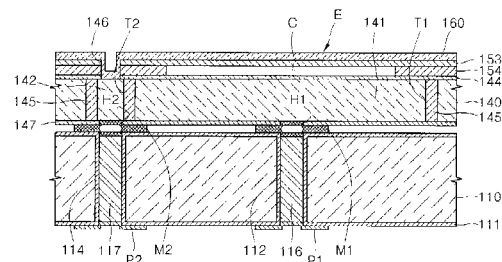
(54) 【発明の名称】 静電容量微細加工超音波変換器及びその製造方法

(57) 【要約】

【課題】 静電容量微細加工超音波変換器及びその製造方法を提供する。

【解決手段】 本発明は静電容量微細加工超音波変換器及びその製造方法に係る。該超音波変換器は、複数のエレメントに対応する複数の第1部分であって、互いに絶縁された複数の第1部分を限定する第1トレンチと、複数の第1部分と隔離された第2部分を限定する第2トレンチと、を含むデバイス基板と、デバイス基板上で、複数のエレメントの各々に対応する複数のキャビティを限定する支持部と、支持部上で、複数のキャビティを覆うメンブレンと、及びメンブレン上で、メンブレン及び支持部を貫通するビアホールを介して、第2トレンチ内の前記第2部分と電氣的に接続された上部電極と、デバイス基板の下面に設けられたTSV基板であって、複数の第1部分と接続される複数の第1ビアメタルと、第2部分に接続される第2ビアメタルと、を含む。

【選択図】 図2



【特許請求の範囲】

【請求項 1】

複数のエレメントに対応する複数の第 1 部分であって、互いに絶縁された複数の第 1 部分を限定する第 1 トレンチと、前記複数の第 1 部分と離隔された第 2 部分を限定する第 2 トレンチと、を含むデバイス基板と、

前記デバイス基板上で、前記複数のエレメントの各々に対応する複数のキャビティを限定する支持部と、

前記支持部上で、前記複数のキャビティを覆うメンブレンと、

前記メンブレン上で、前記メンブレン及び前記支持部を貫通するビアホールを介して、

前記第 2 トレンチ内の前記第 2 部分と電氣的に接続された上部電極と、

前記デバイス基板の下面に設けられた T S V 基板であって、前記複数の第 1 部分と接続される複数の第 1 ピアメタルと、前記第 2 部分に接続される第 2 ピアメタルと、を含む T S V 基板と、を具備する静電容量微細加工超音波変換器。

【請求項 2】

前記第 1 トレンチは、格子状であることを特徴とする請求項 1 に記載の超音波変換器。

【請求項 3】

前記デバイス基板は、低抵抗シリコン基板であることを特徴とする請求項 1 に記載の超音波変換器。

【請求項 4】

前記デバイス基板は、 $10\ \mu\text{m} \sim 50\ \mu\text{m}$ の厚みを有することを特徴とする請求項 3 に記載の超音波変換器。

【請求項 5】

前記第 1 トレンチと前記第 2 トレンチとは、同一の第 1 幅を有することを特徴とする請求項 4 に記載の超音波変換器。

【請求項 6】

前記第 1 幅は、 $1\ \mu\text{m} \sim 10\ \mu\text{m}$ であることを特徴とする請求項 5 に記載の超音波変換器。

【請求項 7】

前記第 1 トレンチ及び前記第 2 トレンチは、絶縁物で充填されていることを特徴とする請求項 1 に記載の超音波変換器。

【請求項 8】

前記第 1 部分と前記第 1 ピアメタルとの間に形成された第 1 ボンディングメタルと、前記第 2 部分と前記第 2 ピアメタルとの間に形成された第 2 ボンディングメタルと、をさらに含むことを特徴とする請求項 1 に記載の超音波変換器。

【請求項 9】

前記デバイス基板及び前記支持部の間に形成され、前記ビアホールによって貫通され、前記第 2 部分と、前記上部電極とを接触させる絶縁層をさらに含むことを特徴とする請求項 1 に記載の超音波変換器。

【請求項 10】

前記メンブレン及び前記支持部の間に形成され、前記ビアホールによって貫通され、前記第 2 部分と、前記上部電極とを接触させる絶縁層をさらに含むことを特徴とする請求項 1 に記載の超音波変換器。

【請求項 11】

デバイス基板の上面に、または順次積層された第 1 シリコン層、埋込み酸化物層、及び第 2 シリコン層を含む S O I 基板の前記第 2 シリコン層上に、複数のキャビティを限定する絶縁層からなる支持部を形成する段階と、

前記 S O I 基板を前記デバイス基板の前記上面にボンディングし、前記 S O I 基板と前記デバイス基板との間に前記複数のキャビティを形成する段階と、

前記デバイス基板の下面から、各エレメントに対応する複数の第 1 部分を絶縁させる第 1 トレンチと、前記複数の第 1 部分と離隔された第 2 部分を限定する第 2 トレンチと、を

10

20

30

40

50

形成する段階と、

前記第 1 部分と接続される第 1 ピアメタルと、前記第 2 部分と接続される第 2 ピアメタルと、を含む T S V 基板を、前記デバイス基板の前記下面にボンディングする段階と、

前記 S O I 基板の前記埋込み酸化物層と、前記埋込み酸化物層上の前記第 1 シリコン層と、を除去し、前記支持部上に、前記第 2 シリコン層を残す段階と、

前記第 2 シリコン層と前記支持部とを貫通するピアホールを形成し、前記第 2 部分を露出させる段階と、

前記第 2 シリコン層上に、前記ピアホールを介して、前記第 2 部分と接触する上部電極を形成する段階と、を含む静電容量微細加工超音波変換器の製造方法。

【請求項 1 2】

前記 S O I 基板と前記デバイス基板との間に前記複数のキャビティを形成する前記段階において、前記デバイス基板と前記 S O I 基板とはシリコン直接ボンディング法によってボンディングされることを特徴とする請求項 1 1 に記載の超音波変換器の製造方法。

【請求項 1 3】

前記デバイス基板は、低抵抗シリコンからなることを特徴とする請求項 1 1 に記載の超音波変換器の製造方法。

【請求項 1 4】

前記第 1 トレンチ及び前記第 2 トレンチを形成する段階は、前記デバイス基板を $10 \mu\text{m} \sim 50 \mu\text{m}$ の厚みにシンニングする段階を含むことを特徴とする請求項 1 1 に記載の超音波変換器の製造方法。

【請求項 1 5】

前記第 1 トレンチ及び前記第 2 トレンチを形成する段階は、同一の第 1 幅を有する第 1 トレンチ及び第 2 トレンチを形成することを特徴とする請求項 1 1 に記載の超音波変換器の製造方法。

【請求項 1 6】

前記第 1 幅は、 $1 \mu\text{m} \sim 10 \mu\text{m}$ の幅であることを特徴とする請求項 1 5 に記載の超音波変換器の製造方法。

【請求項 1 7】

前記第 1 トレンチ及び前記第 2 トレンチを絶縁物で充填する段階をさらに含むことを特徴とする請求項 1 1 に記載の超音波変換器の製造方法。

【請求項 1 8】

前記 T S V 基板を前記デバイス基板の前記下面にボンディングする前記段階は、

前記デバイス基板の前記下面に第 3 絶縁層を形成する段階と、

前記第 3 絶縁層に、前記第 1 部分と対応する第 1 ホールと、前記第 2 部分に対応する第 2 ホールと、を形成する段階と、

前記第 1 ホールと前記第 2 ホールとに、それぞれ第 1 ボンディングパッドと第 2 ボンディングパッドとを形成する段階と、

前記 T S V 基板の前記第 1 ピアメタル上に、第 3 ボンディングパッドと、前記第 2 ピアメタル上に、第 4 ボンディングパッドと、を形成する段階と、

前記第 1 ボンディングパッドと前記第 2 ボンディングパッドとを、前記第 3 ボンディングパッドと前記第 4 ボンディングパッドとにそれぞれ接触させた後、共晶接合を行う段階と、を含むことを特徴とする請求項 1 1 に記載の超音波変換器の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、トレンチによって限定された導電性物質層を下部電極として利用する静電容量微細加工超音波変換器及びその製造方法に関する。

【背景技術】

【0002】

微細加工超音波変換器 (M U T : m i c r o m a c h i n e d u l t r a s o n i c

10

20

30

40

50

transducer)は、電気的信号を超音波信号に変換したり、あるいは反対に、超音波信号を電気的信号に変換したりすることができる装置である。かような微細加工超音波変換器は、その変換方式により、圧電微細加工超音波変換器(PMUT: piezoelectric micromachined ultrasonic transducer)、静電容量微細加工超音波変換器(CMUT: capacitive micromachined ultrasonic transducer)、磁気型微細加工超音波変換器(MMUT: magnetic micromachined ultrasonic transducer)などに区分される。

【0003】

従来、静電容量微細加工超音波変換器においては、低抵抗ウェーハに形成された貫通ビアを利用して、上部電極に電気が供給される。上記の貫通ビアを形成する過程で、貫通ビアホールのコナー部分で、上記の貫通ビアのための金属層が、フォトレジストによって完全に塗布されず、上記の貫通ビアが上記の低抵抗ウェーハと接触して短絡するという問題が生じていた。また、上記の貫通ビアを充填したフォトレジストが熱膨脹によってスウェリングするような不良が生じていた。また、上記の貫通ビア形成のためのマスク工程が必要であった。

10

【先行技術文献】

【特許文献】

【0004】

【特許文献1】米国特許出願公開第2005/0177045号明細書

20

【特許文献2】米国特許出願公開第2009/0140609号明細書

【特許文献3】特開2008-093214号公報

【特許文献4】韓国公開特許第10-2013-0021200号公報

【特許文献5】特許第4839176号明細書

【特許文献6】米国特許第8324006号明細書

【発明の概要】

【発明が解決しようとする課題】

【0005】

本発明が解決しようとする課題は、低抵抗ウェーハを利用して、貫通ビアなしに、上部電極に電流を供給する静電容量微細加工超音波変換器を提供することである。

30

【0006】

本発明が解決しようとする課題はまた、上記の静電容量微細加工超音波変換器を製造する方法を提供することである。

【課題を解決するための手段】

【0007】

前記課題を解決するために、本発明の一実施形態による静電容量微細加工超音波変換器は、複数のエレメントに対応する複数の第1部分であって、互いに絶縁された複数の第1部分を限定する第1トレンチと、前記複数の第1部分と離隔された第2部分を限定する第2トレンチと、を含むデバイス基板と、前記デバイス基板上で、前記複数のエレメントの各々に対応する複数のキャビティを限定する支持部と、前記支持部上で、前記複数のキャビティを覆うメンブレンと、前記メンブレン上で、前記メンブレン及び前記支持部を貫通するビアホールを介して、前記第2トレンチ内の前記第2部分と電気的に接続された上部電極と、前記デバイス基板の下面に設けられたTSV(through-silicon via)基板であって、前記複数の第1部分と接続される複数の第1ビアメタルと、前記第2部分に接続される第2ビアメタルと、を含むTSV基板と、を具備する。

40

【0008】

前記第1トレンチは、格子状であることができる。

【0009】

前記デバイス基板は、低抵抗シリコン基板からなることができる。

【0010】

50

前記デバイス基板は、 $10\ \mu\text{m} \sim 50\ \mu\text{m}$ の厚みを有することができる。

【0011】

前記第1トレンチと前記第2トレンチは、同一の第1幅を有することができる。

【0012】

前記第1幅は、 $1\ \mu\text{m} \sim 10\ \mu\text{m}$ であることができる。

【0013】

前記第1トレンチ及び前記第2トレンチは、絶縁物で充填されることができる。

【0014】

前記第1部分と前記第1ビアメタルとの間に形成された第1ボンディングメタルと、前記第2部分と前記第2ビアメタルとの間に形成された第2ボンディングメタルと、をさらに含むことができる。

10

【0015】

前記デバイス基板及び前記支持部の間に形成され、前記ビアホールによって貫通され、前記第2部分と、前記上部電極とを接触させる絶縁層をさらに含むことができる。

【0016】

前記メンブレン及び前記支持部の間に形成され、前記ビアホールによって貫通され、前記第2部分と、前記上部電極とを接触させる絶縁層をさらに含むことができる。

【0017】

前記課題を解決するために、本発明の他の実施形態による静電容量微細加工超音波変換器の製造方法は、デバイス基板の上面に、または順次積層された第1シリコン層、埋込み酸化層、及び第2シリコン層を含むSOI (silicon on insulator) 基板の前記第2シリコン層上に、複数のキャビティを限定する絶縁層からなる支持部を形成する段階と、前記SOI基板を前記デバイス基板の前記上面にボンディングし、前記SOI基板と前記デバイス基板との間に前記複数のキャビティを形成する段階と、前記デバイス基板の下面から、各エレメントに対応する複数の第1部分を絶縁させる第1トレンチと、前記複数の第1部分と離隔された第2部分を限定する第2トレンチと、を形成する段階と、前記第1部分と接続される第1ビアメタルと、前記第2部分と接続される第2ビアメタルと、を含むTSV基板を、前記デバイス基板の前記下面にボンディングする段階と、前記SOI基板の前記埋込み酸化層と、前記埋込み酸化層上の前記第1シリコン層と、を除去し、前記支持部上に、前記第2シリコン層を残す段階と、前記第2シリコン層と前記支持部とを貫通するビアホールを形成し、前記第2部分を露出させる段階と、前記第2シリコン層上に、前記ビアホールを介して、前記第2部分と接触する上部電極を形成する段階と、を含むことができる。

20

30

【0018】

前記SOI基板と前記デバイス基板との間に前記複数のキャビティを形成する前記段階において、前記デバイス基板と前記SOI基板とはシリコン直接ボンディング (silicon direct bonding) 法によってボンディングされることができる。

【0019】

前記第1トレンチ及び前記第2トレンチを形成する段階は、前記デバイス基板を $10\ \mu\text{m} \sim 50\ \mu\text{m}$ の厚みにシンニングする段階を含むことができる。

40

【0020】

前記第1トレンチ及び前記第2トレンチを形成する段階は、同一の第1幅を有する第1トレンチ及び第2トレンチを形成する段階であることができる。

【0021】

前記TSV基板を前記デバイス基板の前記下面にボンディングする前記段階は、前記デバイス基板の前記下面に第3絶縁層を形成する段階と、前記第3絶縁層に、前記第1部分と対応する第1ホールと、前記第2部分に対応する第2ホールと、を形成する段階と、前記第1ホールと前記第2ホールとに、それぞれ第1ボンディングパッドと第2ボンディングパッドとを形成する段階と、前記TSV基板の前記第1ビアメタル上に、第3ボンディングパッドと、前記第2ビアメタル上に、第4ボンディングパッドと、を形成する段階と

50

、前記第 1 ボンディングパッドと前記第 2 ボンディングパッドとを、前記第 3 ボンディングパッドと前記第 4 ボンディングパッドとにそれぞれ接触させた後、共晶接合を行う段階と、を含むことができる。

【発明の効果】

【0022】

本発明による静電容量微細加工超音波変換器は、低抵抗デバイス基板を上部電極用電気通路として使用するので、構造が簡単になる。

【0023】

本発明による超音波変換器の製造方法は、デバイスウェーハにおいて、エレメント絶縁用トレンチを形成するとき、上部電極のためのトレンチを共に形成するので、工程が単純化される。また、従来のデバイス基板のバックビア工程時、ビアメタルとエレメントの下部電極とが短絡するという問題が防止される。

【図面の簡単な説明】

【0024】

【図 1】一実施形態による静電容量微細加工超音波変換器の構造を概略的に示す底面図である。

【図 2】図 1 の I I - I I ' 線断面である。

【図 3 A】他の実施形態による静電容量微細加工超音波変換器の製造方法について段階別で説明する断面図である。

【図 3 B】他の実施形態による静電容量微細加工超音波変換器の製造方法について段階別で説明する断面図である。

【図 3 C】他の実施形態による静電容量微細加工超音波変換器の製造方法について段階別で説明する断面図である。

【図 3 D】他の実施形態による静電容量微細加工超音波変換器の製造方法について段階別で説明する断面図である。

【図 3 E】他の実施形態による静電容量微細加工超音波変換器の製造方法について段階別で説明する断面図である。

【図 3 F】他の実施形態による静電容量微細加工超音波変換器の製造方法について段階別で説明する断面図である。

【図 3 G】他の実施形態による静電容量微細加工超音波変換器の製造方法について段階別で説明する断面図である。

【図 3 H】他の実施形態による静電容量微細加工超音波変換器の製造方法について段階別で説明する断面図である。

【図 3 I】他の実施形態による静電容量微細加工超音波変換器の製造方法について段階別で説明する断面図である。

【発明を実施するための形態】

【0025】

以下、添付された図面を参照し、本発明の実施形態について詳細に説明する。この過程で、図面に図示された層や領域の厚みは、明細書の明確性のために誇張されて図示されている。以下で説明する実施形態は、単に例示的なものに過ぎず、かような実施形態から多様な変形が可能である。以下で、「上部」または「上」と記載されたものは、接触してすぐ上にあるものだけでなく、非接触で上にあるものを含んでもよい。明細書を通じて実質的に同一の構成要素には、同一の参照番号を使用して、詳細な説明は省略する。

【0026】

図 1 は、一実施形態による静電容量微細加工超音波変換器 100 の構造を概略的に示す底面図である。図 2 は、図 1 の I I - I I ' 線断面である。

【0027】

図 1 は、デバイス基板の底面図である。図 1 を参照すれば、静電容量微細加工超音波変換器 100 は、複数のエレメント E を含む。例えば、超音波変換器 100 は、16 × 16 マトリックスに配列されたエレメント E を含んでもよく、図 1 では、便宜上 4 個のエレメ

10

20

30

40

50

ントEを図示している。超音波変換器100は、超音波変換器チップとも称する。

【0028】

各エレメントEの周囲には、絶縁トレンチである第1トレンチT1が形成され、エレメントE間のクロストークを防止する。第1トレンチT1は、格子状にも形成される。各エレメントEには、第1ボンディングメタルM1が形成されている。

【0029】

エレメントEの一侧には、第2トレンチT2が形成されている。第2ボンディングメタルM2は、第2トレンチT2に取り囲まれた第2部分142(図2)と接続されるように形成されている。第2トレンチT2は、図1に図示されているように、第1トレンチT1と接続されるように形成される。

10

【0030】

図2を参照すれば、超音波変換器100は、TSV(through-silicon via)基板110と、TSV基板110に結合したデバイス基板140を含んでもよい。デバイス基板140は、TSV基板110上に結合させられる。TSV基板110及びデバイス基板140は、共晶接合(eutectic bonding)によって結合する。

【0031】

TSV基板110は、シリコン基板からなり、複数の貫通ホール(through hole)112が形成される。各超音波変換器100には、各エレメントEに対応する貫通ホール112と、上部電極用貫通ホール114とが形成される。貫通ホール112、114、及びTSV基板110の表面には、絶縁層111が形成され、貫通ホール112には、第1ビアメタル116が充填されており、貫通ホール114には、第2ビアメタル117が充填されている。

20

【0032】

デバイス基板140には、複数のエレメントEを限定する格子状の第1トレンチT1と、上部電極用第2トレンチT2とが形成されている。デバイス基板140は、第1トレンチT1に取り囲まれた第1部分141と、第2トレンチT2に取り囲まれた第2部分142と、を含む。

【0033】

デバイス基板140は、導電性材質から形成され、その厚みは、数十 μm である。デバイス基板140の厚みは、10 μm から50 μm であってよい。デバイス基板140は、不純物が高濃度にドーピングされた低抵抗シリコンからなる。

30

【0034】

デバイス基板140の第1部分141及び第2部分142は、導電性領域である。デバイス基板140の第1部分141は、下部電極として使用される。

【0035】

第1トレンチT1及び第2トレンチT2には、絶縁物質145が充填される。絶縁物質145は、シリコン酸化物からなる。

【0036】

デバイス基板140は、その上面に形成された絶縁層144と、キャピティCを形成する支持部154と、支持部154上でキャピティCを覆うメンブレン153と、を含んでもよい。メンブレン153上には、上部電極160が形成される。メンブレン153は、シリコンから形成される。支持部154は、絶縁体から形成される。支持部154は、例えば、酸化物、窒化物などを含み、例えば、シリコン酸化物からなる。

40

【0037】

上部電極160は、Au、Cu、Sn、Ag、Al、Pt、Ti、Ni、Crまたはそれらの混合物などからなる。

【0038】

絶縁層144は、例えば、酸化物、窒化物などを含み、例えば、シリコン窒化物から形成される。

【0039】

50

図2は、1つのエレメントEに、1つのキャビティCが形成されたところを図示しているが、本開示は、それに限定されるものではない。例えば、1つのエレメントEに、5×5アレイ状のキャビティCが形成されてもよい。

【0040】

メンブレン153、支持部154及び絶縁層144には、それらを貫通し、第2トレンチT2に取り囲まれたデバイス基板140の第2部分142を露出させるピアホール146が形成されている。上部電極160は、ピアホール146を介して、デバイス基板140の第2部分142と電氣的に接続される。

【0041】

デバイス基板140の下部には、絶縁層147が形成されている。絶縁層147には、デバイス基板140の第1部分141を露出させる第1ホールH1と、第2部分142を露出させる第2ホールH2と、が形成されている。第1ホールH1は、第1ピアメタル116と対応した位置に形成され、第2ホールH2は、第2ピアメタル117と対応した位置に形成される。

10

【0042】

第1ホールH1には、第1部分141と接続された第1ボンディングメタルM1が形成され、第2ホールH2には第2部分142と接続された第2ボンディングメタルM2が形成される。第1ボンディングメタルM1は、ホール112内の第1ピアメタル116と接続され、第2ボンディングメタルM2は、ホール114内の第2ピアメタル117と接続されるように形成される。第1ボンディングメタルM1と第2ボンディングメタルM2とは、それぞれデバイス基板140及びTSV基板110の間で、互いに対応する部分に形成された共晶接合メタルが共晶接合されて形成されたものである。

20

【0043】

TSV基板110の下部には、第1ピアメタル116と接続された第1電極パッドP1と、第2ピアメタルM2と接続された第2電極パッドP2と、が形成されている。第2電極パッドP2には、グラウンド電圧が印加され、第1電極パッドP1には、駆動信号電圧が印加される。

【0044】

第1電極パッドP1に印加された駆動信号電圧は、第1ピアメタル116及び第1ボンディングメタルM1を介して、下部電極である第1部分141に供給される。

30

【0045】

第2電極パッドP2に印加されたグラウンド電圧は、第2ピアメタル117、第2ボンディングメタルM2、及び第2部分142を介して、上部電極160に供給される。

【0046】

以下では、他の実施形態による超音波変換器の製造方法について説明する。

【0047】

図3Aから図3Iは、他の実施形態による静電容量微細加工超音波変換器の製造方法について段階別に説明する断面図である。図3Aから図3Iは、図1のII-II'線断面を基準に図示したものである。

【0048】

図1及び図2の構成要素と、実質的に同一の構成要素には、同一の参照番号を使用する。

40

【0049】

図3Aを参照すれば、第1ウェーハ150上に、第1絶縁層154を形成した後、第1絶縁層154をパターンニングし、開口部154aを形成する。第1ウェーハ150は、SOI(silicon on insulator)ウェーハでもある。SOIウェーハ150は、順次積層された第1シリコン層151、埋込み酸化物層152、第2シリコン層153を含んでもよい。第2シリコン層153は、図2のメンブレン153に対応するものであり、ほぼ2,000厚に形成される。

【0050】

50

第1絶縁層154は、シリコン酸化物からなり、第1ウェーハを酸化して形成される。パターンニングされた第1絶縁層154は、図2の支持部154に該当する。第1絶縁層154の厚みにより、開口部154aの高さが決定される。第1絶縁層154の厚みは、ほぼ4,000である。

【0051】

図3Bを参照すれば、デバイスウェーハ140上に、第2絶縁層144を形成する。第1ウェーハ150を、第1絶縁層154と第2絶縁層144とを対面させ、デバイスウェーハ140にボンディングする。デバイスウェーハ140は、低抵抗シリコンからなる。第2絶縁層144は、デバイスウェーハ140の熱酸化により形成されたシリコン酸化物からなる。

10

【0052】

図3Cを参照すれば、第1ウェーハ150とデバイスウェーハ140とを、シリコン直接ボンディング(SDB:silicon direct bonding)法を利用して、ウェーハ・ツー・ウェーハ(wafer-to-wafer)ボンディングを行う。第1ウェーハ150とデバイスウェーハ140とをボンディングすることにより、密封された空間であるキャピティCが形成される。

【0053】

デバイスウェーハ140をシンニングし、10 μ m~50 μ mほどの厚みを有したデバイスウェーハ140aを形成する。上記のシンニングのために、一次的にデバイスウェーハ140を機械的にラッピングした後、化学・機械研磨(CMP:chemical-mechanical polishing)工程を遂行することができる。上記のシンニングにより、デバイスウェーハ140aにトレンチを容易に形成することができる。

20

【0054】

図3Dを参照すれば、デバイスウェーハ140aに、第1トレンチT1及び第2トレンチT2を形成する。第1トレンチT1は、各チップの複数のエレメントEを区分するように、デバイス基板140aの第1部分141を取り囲むように形成される。第1トレンチT1は、図1から分かるように、格子状に形成される。第2トレンチT2は、デバイスウェーハ140aにおいて、上部電極160(図2)に接続される第2部分142を取り囲むように形成される。

【0055】

第1トレンチT1及び第2トレンチT2は、デバイスウェーハ140aを貫通するように形成される。第1トレンチT1及び第2トレンチT2は、同一の幅を有することができる。第1トレンチT1と第2トレンチT2は、同一の幅を有するので、第1トレンチT1及び第2トレンチT2の形成を同一のマスクを使用して形成することができる。従来は、エレメントEを区分するトレンチ(第2トレンチT2に相当)と、上部電極接続用ビアとの幅に差があり、エレメントEを区分するトレンチと上部電極用ビアとのエッチング時間が互いに異なるので、別途のエッチング工程により、上記のエレメントEを区分するトレンチと、上記の上部電極用ビアとを形成していたが、それに比べ、本開示では、第1トレンチT1と第2トレンチT2とを同時に形成することができる。

30

【0056】

第1トレンチT1と第2トレンチT2は、それぞれ1 μ m~10 μ mの幅を有するように形成される。第1トレンチT1及び第2トレンチT2の幅が1 μ mより小さい場合、断面比が大きく、エッチングが困難である。第1トレンチT1及び第2トレンチT2の幅が10 μ mより大きい場合、超音波変換器の周波数特性が劣化することもある。

40

【0057】

次に、デバイスウェーハ140aを熱酸化し、第1トレンチT1及び第2トレンチT2をシリコン酸化物145で充填することができる。また、デバイスウェーハ140aの下面に第3絶縁層147を形成する。第1トレンチT1及び第2トレンチT2が、シリコン酸化物によって完全に充填されなくてもよい。

【0058】

50

第3絶縁層147をパターンングし、第1部分141を露出させる第1ホールH1と、第2トレンチT2で取り囲まれた第2部分142を露出させる第2ホールH2と、を形成する。第1部分141は、1つのエレメントEに対応する領域である。

【0059】

図3Eを参照すれば、デバイスウェーハ140aの下面において、第3絶縁層147に金属層を蒸着した後、金属層をパターンングし、第1ホールH1と第2ホールH2とに、第1ボンディングパッド147aと、第2ボンディングパッド147bとを形成する。第1ボンディングパッド147aと、第2ボンディングパッド147bは、共晶接合のための物質から形成される。例えば、Au-Sn共晶接合のために、Au及び/またはSnから形成される。

10

【0060】

図3Fを参照し、TSVウェーハ110を準備する。TSVウェーハ110に、第1貫通ホール112及び第2貫通ホール114を形成する。第1貫通ホール112及び第2貫通ホール114は、数十μmほどの大きさに形成される。第1貫通ホール112は、第1部分141に対応するように形成し、第2貫通ホール114は、第2部分142に対応するように形成する。

【0061】

TSVウェーハ110に、第4絶縁層111を形成する。第4絶縁層111は、TSVウェーハ110を酸化して形成することができる。第4絶縁層111は、第1貫通ホール112及び第2貫通ホール114の表面と、TSVウェーハ110の上面及び下面に形成される。第1貫通ホール112及び第2貫通ホール114を金属で充填し、第1ビアメタル116と第2ビアメタル117とを形成する。

20

【0062】

TSVウェーハ110上に、金属層を形成した後、上記の金属層をパターンングし、第3ボンディングパッド118aと、第4ボンディングパッド118bと、を形成する。第3ボンディングパッド118aは、第1ビアメタル116上で、第1ボンディングパッド147aと対応するように形成され、第4ボンディングパッド118bは、第2ビアメタル117上で、第2ボンディングパッド147bと対応するように形成される。

【0063】

第3ボンディングパッド118a及び第4ボンディングパッド118bは、共晶接合金属からなる。例えば、Au-Sn共晶接合のために、Au及び/またはSnの物質から形成される。

30

【0064】

図3Gを参照すれば、TSVウェーハ110と、デバイスウェーハ140aとをウェーハレベルでボンディングする。例えば、TSVウェーハ110とデバイスウェーハ140aとを共晶接合する。共晶接合は、例えば、Au/Snボンディングによって行われる。そのとき、第1ボンディングパッド147aと、第3ボンディングパッド118aとが結合され、第1ボンディングメタルM1が形成され、第2ボンディングパッド147bと、第4ボンディングパッド118bとが結合され、第2ボンディングメタルM2が形成される。

40

【0065】

TSVウェーハ110の下面に、第1ビアメタル116と接続された第1電極パッドP1と、第2ビアメタル117と接続された第2電極パッドP2と、を形成する。

【0066】

図3Hを参照すれば、第1ウェーハ150の第1シリコン層151及び埋込み酸化物層152を順次に除去する。一次的に、機械的ラッピングにより、第1シリコン層151を除去した後、残った数十μm厚の第1シリコン層151を乾式エッチングで除去する。埋込み酸化物層152は、湿式エッチングで除去する。

【0067】

図3Iを参照すれば、第2シリコン層153、第1絶縁層154及び第2絶縁層144

50

に、ビアホール 146 を形成し、第 2 部分 142 を露出させる。第 2 シリコン層 153 上に、上部電極 160 を形成する。上部電極 160 は、第 2 部分 142 と電氣的に接続されるように形成される。

【0068】

前述の工程で製造された構造物をチップ単位でダイシングし、複数の静電容量微細加工超音波変換器チップ 100 を作る。

【0069】

本実施形態による超音波変換器の製造方法は、デバイスウェーハにおいて、エレメント E を絶縁するためのトレンチを形成するとき、上部電極のためのトレンチを共に形成するので、工程が単純化される。また、従来のデバイス基板のバックビア工程時、ビアメタルとエレメントの下部電極とが短絡するという問題が防止される。

10

【0070】

以上、添付された図面を参照して説明した本発明の実施形態は、例示的なものに過ぎず、当該分野で当業者であるならば、それらから多様な変形及び均等な他の実施形態が可能であるということを理解することができるであろう。従って、本発明の真の保護範囲は、特許請求の範囲によってのみ決められるものである。

【産業上の利用可能性】

【0071】

本発明の静電容量微細加工超音波変換器及びその製造方法は、例えば、超音波変換関連の技術分野に効果的に適用可能である。

20

【符号の説明】

【0072】

- 100 静電容量微細加工超音波変換器
- 110 TSV 基板
- 111 第 4 絶縁層
- 112, 114 貫通ホール
- 116 第 1 ビアメタル
- 117 第 2 ビアメタル
- 118 a 第 3 ボンディングパッド
- 118 b 第 4 ボンディングパッド
- 140 デバイス基板
- 140 a デバイスウェーハ
- 141 第 1 部分
- 142 第 2 部分
- 144 第 2 絶縁層
- 145 絶縁物質
- 146 ビアホール
- 147 第 3 絶縁層
- 147 a 第 1 ボンディングパッド
- 147 b 第 2 ボンディングパッド
- 150 第 1 ウェーハ
- 151 第 1 シリコン層
- 152 埋込み酸化物層
- 153 メンブレン
- 154 支持部 (第 1 絶縁層)
- 154 a 開口部
- 160 上部電極
- C キャビティ
- E エレメント
- H1 第 1 ホール

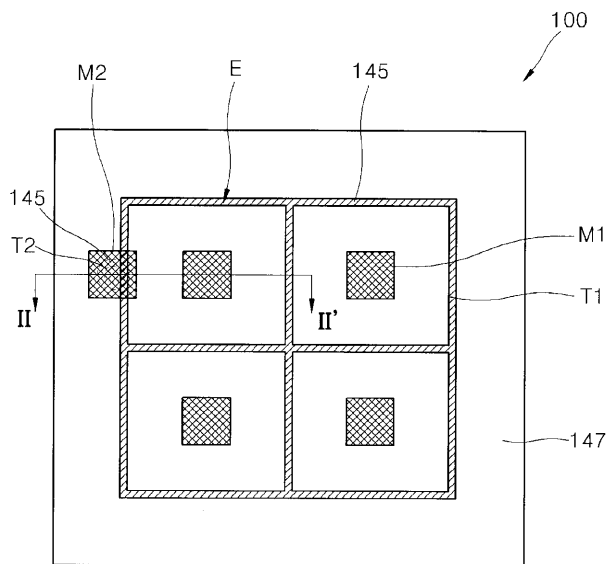
30

40

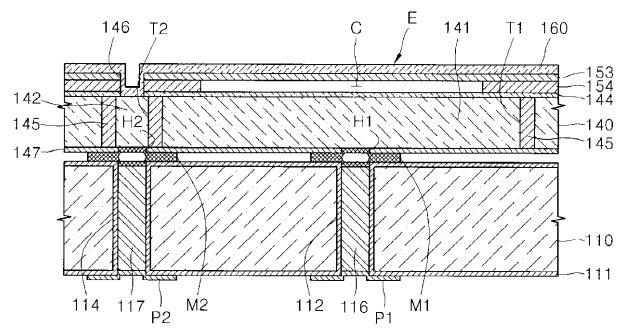
50

- H 2 第 2 ホール
- M 1 , M 2 ボンディングメタル
- P 1 , P 2 電極パッド
- T 1 第 1 トレンチ
- T 2 第 2 トレンチ

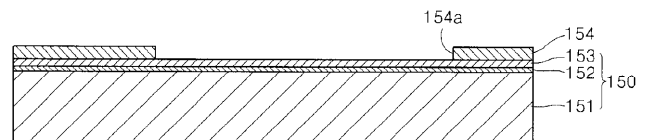
【 図 1 】



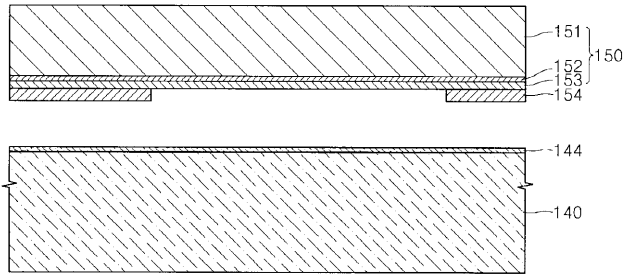
【 図 2 】



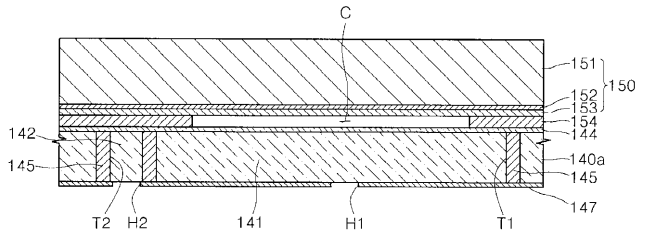
【 図 3 A 】



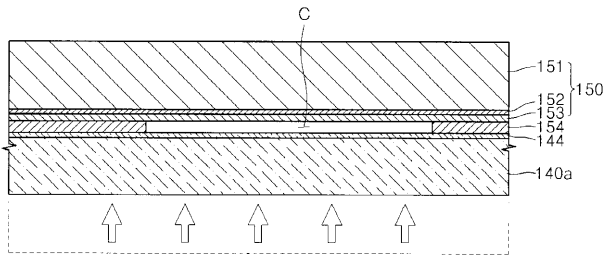
【図 3 B】



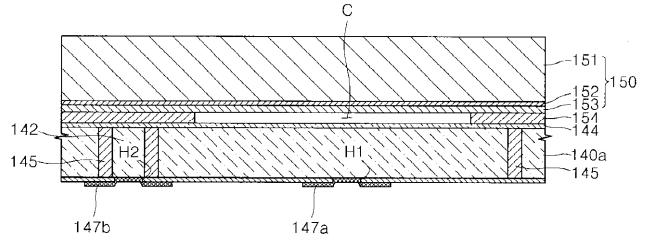
【図 3 D】



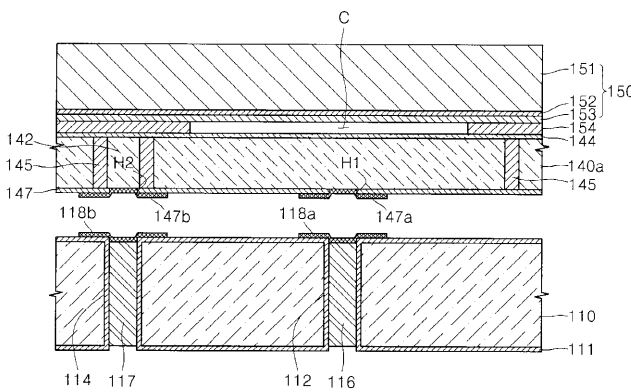
【図 3 C】



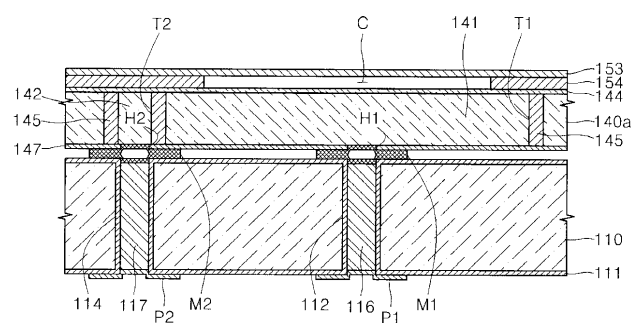
【図 3 E】



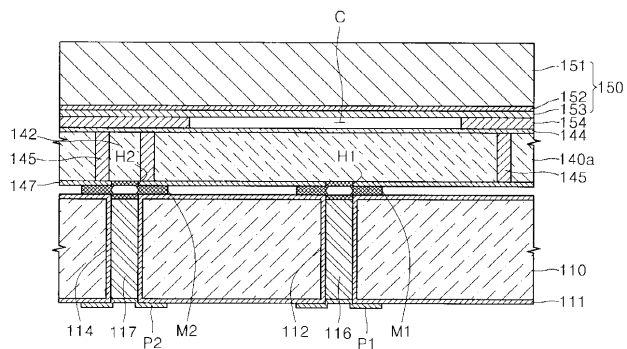
【図 3 F】



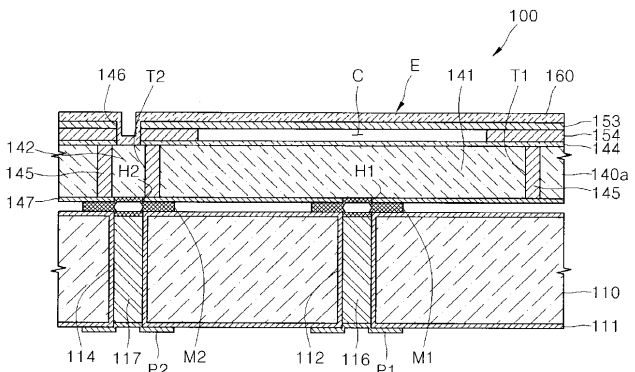
【図 3 H】



【図 3 G】



【図 3 I】



フロントページの続き

(72)発明者 洪 碩佑

大韓民国京畿道水原市靈通區三星路 1 3 0 三星綜合技術院内

(72)発明者 鄭 錫煥

大韓民国京畿道水原市靈通區三星路 1 3 0 三星綜合技術院内

(72)発明者 金 昌 ジョン

大韓民国京畿道水原市靈通區三星路 1 3 0 三星綜合技術院内

Fターム(参考) 3C081 BA04 BA32 BA45 BA48 BA53 BA72 BA76 CA05 CA14 CA15
CA20 CA32 DA03 DA04 EA21
5D019 DD01 FF04 GG11 HH01