



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

204828

(11)

(B1)

(51) Int. Cl.³
G 06 F 7/38

/22/ Přihlášeno 17 10 79
/21/ /PV 7048-79/

(40) Zveřejněno 31 07 80

(45) Vydáno 15 06 82

(75)

Autor vynálezu

SMÍŠEK Jiří ing., PRAHA

(54) Zapojení pro ovládání stavového registru malého počítače

1

Předmětem vynálezu je zapojení pro ovládání stavového registru malého počítače při dosažení úspory materiálu.

Stavový registr u malých počítačů zpravidla zahrnuje mimo jiné podmínkový bit "carry", který udává, zda při aritmetické operaci dochází nebo nedochází k aritmetickému přenosu a při operaci aritmetický posuv a rotace vpravo, respektive vlevo je tento bit ovlivněn stavem nejméně významného, respektive nejvíce významného bitu operandu. V dosud známých zapojeních je realizována zvláštní paměťová buňka pro uchování stavu těchto bitů operandu.

Tuto nevýhodu odstraňuje a realizaci instrukcí, které vyvolávají uvedené typy operací, řeší zapojení pro ovládání stavového registru malého počítače podle vynálezu, jehož podstatou je, že výstup datového registru je spojen s prvním vstupem stavového přepínače, jehož výstup je zapojen na vstup stavového registru.

Výhodou tohoto zapojení je, že datový registr sloužící pro uložení operandu při některých instrukcích se využije jako paměť pro bity významné při operacích posuvu a rotace. Tím se dosáhne určité materiálové úspory.

Na výkrese je zapojení podle vynálezu, kde je uvedeno vzájemné propojení jednotlivých bloků společně s jejich označením.

Výstup 11 zapisníkové paměti 1 je spojen s prvním vstupem 20 přepínače 2 a s paralelním vstupem 61 posuvného registru 6, jehož výstup 62 je spojen s druhým vstupem 21 přepínače 2, s prvním vstupem 50 přepínače 5 a s druhým vstupem 71 stavového

2

přepínače 7. Výstup 22 přepínače 2 je spojen se vstupem 30 datového registru 3 a s druhým vstupem 41 aritmetickologické sekce 4, jejíž první výstup 42 je zapojen na vstup 10 zapisníkové paměti 1 a druhý výstup 44 je zapojen na třetí vstup 72 stavového přepínače 7.

Výstup 31 datového registru 3 je spojen s prvním vstupem 40 aritmetickologické sekce 4 a s prvním vstupem 70 stavového přepínače 7, jehož výstup 74 je zapojen na vstup 80 stavového registru 8. Výstup 81 stavového registru 8 je spojen s druhým vstupem 51 přepínače 5, jehož výstup 53 je zapojen na sériový vstup 60 posuvného registru 6.

Funkce zapojení je následující: Dvouoperandová aritmetická operace probíhá tak, že operand z první buňky zapisníkové paměti 1 se запиše v prvním taktu řadiče do posuvného registru 6. V druhém taktu se operand z druhé buňky zapisníkové paměti 1 přesune přes první vstup 20 přepínače 2 na vstup 30 datového registru 3, kam se uloží.

Ve třetím taktu se přesune obsah posuvného registru 6 přes druhý vstup 21 přepínače 2 na druhý vstup 41 aritmetickologické sekce 4. Výsledek operace se z prvního výstupu 42 aritmetickologické sekce 4 dostane na vstup 10 zapisníkové paměti 1, kam se uloží. Současně se z druhého výstupu 44 aritmetickologické sekce 4 šíří hodnota aritmetického přenosu z nejvyššího řádu operandu na druhý vstup 72 stavového přepínače 7.

Tento vstup je spojen ovládacím signálem

73 z řadiče procesoru s výstupem 74, takže se hodnota aritmetického přenosu objeví na vstupu 80 stavového registru 8, kam se uloží do příslušné buňky. Operace aritmetický posuv probíhá tak, že v prvním taktu řadiče se запиše operand z buňky zápisníkové paměti 1 do posuvného registru 6. V následujícím taktu se provede posuv jednotlivých bitů operandu o daný počet binárních míst a výsledek se přesune přes druhý vstup 21 přepínače 2 na druhý vstup 41 aritmeticko-logické sekce 4 a dále na vstup 10 zápisníkové paměti 1, kam se uloží na stejnou buňku.

Přitom při každém posuvu o jedno binární místo se z výstupu 62 posuvného registru 6 přesouvá hodnota jednoho významného bitu operandu na první vstup 50 přepínače 5. Tento vstup je ovládacím signálem 52 z řadiče spojen s výstupem 53, takže se tato hodnota objeví na sériovém vstupu 60 posuvného registru 6, do něhož se sejme. Současně se z výstupu 62 posuvného registru 6 přesune hodnota druhého významného bitu operandu na druhý vstup 71 stavového přepínače 7.

Tento vstup je ovládacím signálem 73

P R E D M Ě T V Y N Á L E Z U

1. Zapojení pro ovládání stavového registru malého počítače se stavovým bitem "carry", s přepínači a s registry, vyznačující se tím, že výstup /31/ datového registru /3/ je spojen s prvním vstupem /70/ stavového přepínače /7/, jehož výstup /74/ je zapojen na vstup /80/ stavového registru /8/.

z řadiče spojen s výstupem 74, takže se tato hodnota objeví na vstupu 80 stavového registru 8, kam se uloží na příslušnou buňku. Operace rotace s ovlivněním bitu "carry" ve stavovém registru probíhá tak, že v prvním taktu řadiče se operand uloží do posuvného registru 6 a přes první vstup 20 přepínače 2 i do datového registru 3.

V následujícím taktu se provede rotace jednotlivých bitů operandu o daný počet binárních míst a výsledek se запиše do stejné buňky zápisníkové paměti 1. Přitom při každé rotaci o jedno binární místo se z výstupu 31 datového registru 3 snímá hodnota jednoho významného bitu operandu na první vstup 70 stavového přepínače 7 a dále na vstup 80 stavového registru 8, kam se uloží na příslušnou buňku.

Současně se původní hodnota bitu "carry" přesune z výstupu 81 stavového registru 8 na druhý vstup 51 přepínače 5 a dále na sériový vstup 60 posuvného registru 6, do něhož se sejme.

Možnost použití uvedeného zapojení je v operační jednotce malého počítače s popsanými operacemi.

2. Zapojení podle bodu 1, vyznačující se tím, že výstup /81/ stavového registru /8/ je spojen s druhým vstupem /51/ přepínače /5/, jehož výstup /53/ je zapojen na sériový vstup /60/ posuvného registru /6/, který je výstupem /62/ spojen s prvním vstupem /50/ přepínače /5/ a s druhým vstupem /71/ stavového přepínače /7/.

1 list výkresů

