

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-96609

(P2007-96609A)

(43) 公開日 平成19年4月12日(2007.4.12)

(51) Int. Cl.

H03K 17/693 (2006.01)

F I

H03K 17/693

A

テーマコード(参考)

5J055

審査請求 未請求 請求項の数 7 O L (全 10 頁)

(21) 出願番号

特願2005-281673 (P2005-281673)

(22) 出願日

平成17年9月28日(2005.9.28)

(71) 出願人

302062931

NECエレクトロニクス株式会社

神奈川県川崎市中原区下沼部1753番地

(74) 代理人

100102864

弁理士 工藤 実

(72) 発明者

草地 敬治

神奈川県川崎市中原区下沼部1753 N

EC化合物デバイス株式会社内

Fターム(参考) 5J055 AX05 AX06 AX07 BX04 CX03

CX24 DX13 DX16 DX61 DX64

DX72 DX73 DX83 EX02 EY01

EY03 EY10 EY21 EY24 EZ12

EZ51 FX12 FX18 FX32 FX37

GX01 GX06

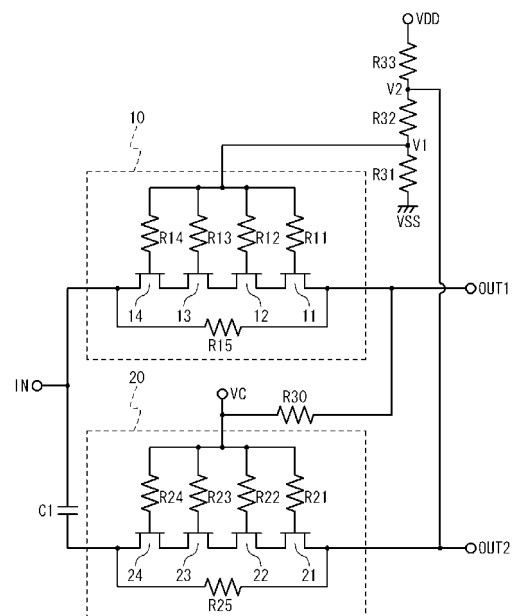
(54) 【発明の名称】 半導体スイッチ回路装置

(57) 【要約】

【課題】スイッチ回路装置は、線形性を維持しつつ、ハンドリングパワーの高出力化が求められている。

【解決手段】半導体スイッチ回路装置は、第1スイッチ素子群と第2スイッチ素子群と容量素子とバイアス電圧生成回路と切替制御端子とを具備する。第1スイッチ素子群は第1ノードと第2ノードとの間に接続され、第1ノードは第1入出力端子に接続される。第2スイッチ素子群は第3ノードと第4との間に接続され、第3ノードは第2入出力端子に接続される。容量素子は、第2ノードと第4ノードとの間に接続され、第1スイッチ素子群と第2スイッチ素子群との間のバイアスを遮断する。バイアス電圧生成回路は、第1スイッチ素子群に印加される第1制御電圧と第2スイッチ素子群に印加される第2制御電圧とを生成する。切替制御端子は、第1ノード・第2ノード間、及び、第3ノード・第4ノード間の導通遮断を制御する開閉電圧が印加される。この開閉電圧は、バイアス電圧生成回路に供給される電源電圧の最大電圧と最小電圧である。

【選択図】 図3



## 【特許請求の範囲】

## 【請求項 1】

第 1 ノードと第 2 ノードとの間に接続される第 1 スイッチ素子群と、前記第 1 ノードは第 1 入出力端子に接続され、

第 3 ノードと第 4 ノードとの間に接続される第 2 スイッチ素子群と、前記第 3 ノードは第 2 入出力端子に接続され、

前記第 2 ノードと前記第 4 ノードとの間に接続され、前記第 1 スイッチ素子群と前記第 2 スイッチ素子群との間のバイアスを遮断する容量素子と、

前記第 1 スイッチ素子群に印加される第 1 制御電圧と、前記第 2 スイッチ素子群に印加される第 2 制御電圧とを生成するバイアス電圧生成回路と、

前記第 1 スイッチ素子群の前記第 1 ノードと前記第 2 ノードとの間及び前記第 2 スイッチ素子群の前記第 3 ノードと前記第 4 ノードとの間の導通遮断を制御する開閉電圧が印加される切替制御端子と

を具備し、

前記開閉電圧は、前記バイアス電圧生成回路に供給される電源電圧の最大電圧と最小電圧である

半導体スイッチ回路装置。

10

## 【請求項 2】

前記バイアス電圧生成回路は、供給される電源電圧間に直列に接続される

第 1 抵抗素子と、

第 2 抵抗素子と、

第 3 抵抗素子と

を備え、

前記電源電圧の最低電圧が供給される前記第 1 抵抗素子と前記第 2 抵抗素子とが接続される第 5 ノードの電圧を前記第 1 制御電圧として前記第 1 スイッチ素子群に供給し、

前記電源電圧の最高電圧が供給される前記第 3 抵抗素子と前記第 2 抵抗素子とが接続される第 6 ノードの電圧を前記第 2 制御電圧として前記第 2 スイッチ素子群に供給する

請求項 1 に記載の半導体スイッチ回路装置。

20

## 【請求項 3】

前記第 2 ノードまたは前記第 4 ノードは、直接、共通端子に接続される

請求項 1 または請求項 2 に記載の半導体スイッチ回路装置。

30

## 【請求項 4】

前記第 1 スイッチ素子群は、

直列に接続される複数の電界効果トランジスタ ( F E T ) と、

前記第 1 ノードと前記第 2 ノードとの間に接続される抵抗素子と

を備え、

前記第 2 スイッチ素子群は、

直列に接続される複数の電界効果トランジスタ ( F E T ) と、

前記第 3 ノードと前記第 4 ノードとの間に接続される抵抗素子と

を備える

請求項 1 から請求項 3 のいずれかに記載の半導体スイッチ回路装置。

40

## 【請求項 5】

前記第 1 スイッチ素子群の直列に接続される複数の F E T のゲートの各々は、前記第 5 ノードに抵抗素子を介して接続されて前記第 1 制御電圧が印加され、

前記第 2 スイッチ素子群の直列に接続される複数の F E T のゲートの各々と、前記第 1 ノードとは、前記切替制御端子に抵抗素子を介して接続されて前記開閉電圧が印加され、

前記第 3 ノードは、前記第 6 ノードに接続されて前記第 2 制御電圧が印加される

請求項 1 から請求項 4 のいずれかに記載の半導体スイッチ回路装置。

## 【請求項 6】

前記第 1 スイッチ素子群の直列に接続される複数の F E T のゲートの各々は、前記第 5

50

ノードに抵抗素子を介して接続されて前記第 1 制御電圧が印加され、

前記第 2 スイッチ素子群の直列に接続される複数の F E T のゲートの各々と、前記第 2 ノードとは、前記切替制御端子に抵抗素子を介して接続されて前記開閉電圧が印加され、前記第 4 ノードは、前記第 6 ノードに接続されて前記第 2 制御電圧が印加される

請求項 1 から請求項 4 のいずれかに記載の半導体スイッチ回路装置。

【請求項 7】

前記第 1 ノードに接続される F E T のゲートと前記第 1 ノードとの間に接続される第 1 フィードスルーキャパシタと、

前記第 2 ノードに接続される F E T のゲートと前記第 2 ノードとの間に接続される第 2 フィードスルーキャパシタと、

前記第 3 ノードに接続される F E T のゲートと前記第 3 ノードとの間に接続される第 3 フィードスルーキャパシタと、

前記第 4 ノードに接続される F E T のゲートと前記第 4 ノードとの間に接続される第 4 フィードスルーキャパシタと

を備える

請求項 1 から請求項 6 のいずれかに記載の半導体スイッチ回路装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体スイッチ回路装置に関し、特に高周波信号を切り替える半導体スイッチ回路装置に関する。

【背景技術】

【0002】

近年、携帯電話用 I C の高集積化、高機能化が飛躍的に進むなか、アンテナフロントエンドに用いられる送信 / 受信を切り替える機能を有するスイッチ用半導体集積回路（以下スイッチ I C）にも高性能化が求められるようになってきている。送信 / 受信切替えのスイッチ I C は、S P D T ( S i n g l e p o l e d u a l t h r o w : 単極双投) 構成の回路が用いられる。このスイッチ I C は、通常 2 本のコントロール端子により制御される。したがって、スイッチ I C を制御する制御回路は、2 本の制御線、即ち、2 ビットの信号を出力する必要がある。この 2 つの信号は、相反の関係にある。そのため、1 本の制御線で供給される信号をスイッチ I C 内部に設けられたインバータ回路によって 2 本の制御線を生成する方法もあるが、より簡便に制御できる 1 本の制御線で制御するスイッチ I C が求められている。

【0003】

図 1 は、特開 2005 - 5857 号公報に開示されているスイッチ回路装置の回路図である。このスイッチ回路装置は、共通端子 I N と入出力端子 O U T 1 と入出力端子 O U T 2 とを備え、共通端子 I N と入出力端子 O U T 1 との間にスイッチ部 F 1 と、共通端子 I N と入出力端子 O U T 2 との間にスイッチ部 F 2 とを具備する。スイッチ部 F 1 は、3 段直列に接続される電界効果トランジスタ ( F E T ) 1 - 1、F E T 1 - 2、F E T 1 - 3 を備える。スイッチ部 F 2 は、同様に、3 段直列に接続される F E T 2 - 1、F E T 2 - 2、F E T 2 - 3 を備える。

【0004】

F E T 1 - 1 ~ - 3、2 - 1 ~ - 3 は、デプレッション型 ( D e p l e t i o n - m o d e ) F E T であり、閾値電圧  $V_{th}$  は、例えば、- 0.5 ボルト近傍にある。デプレッション型 F E T は、ゲート電圧とソース電圧が等しい ( 無バイアス状態 ) ときにチャネルが形成されているため、ドレイン電流が流れ、オン状態になっている。ゲートに逆バイアスを深く印加するほどチャネルが狭まり、閾値電圧  $V_{th}$  に達すると電流が流れなくなり、オフ状態になる。

【0005】

したがって、F E T 1 - 1 ~ - 3、2 - 1 ~ - 3 は、ゲート・ソース電圧が - 0.5 ボ

10

20

30

40

50

ルト以下のときオフ状態になり、 $-0.5$ ボルト以上のときオン状態になる。即ち、ゲート・ソース間電圧 $V_{gs}$ が $0$ ボルトのとき、これらのFETはオン状態である。

**【0006】**

FET1-1、FET1-2、FET1-3は、それぞれのゲートに接続される抵抗 $R_{a1}$ 、 $R_{a2}$ 、 $R_{a3}$ を介して制御端子CTLに接続される。FET2-1、FET2-2、FET2-3は、それぞれのゲートに接続される抵抗 $R_{b1}$ 、 $R_{b2}$ 、 $R_{b3}$ を介してGNDに接続される。スイッチ部F1とスイッチ部F2とは容量素子Cにより直流的に遮断されている。

**【0007】**

入出力端子OUT1に接続されるスイッチ部F1の入出力端は、抵抗 $R_c$ を介して固定電源Vに接続される。また、入出力端子OUT2に接続されるスイッチ部F2の入出力端は、抵抗 $R_d$ を介して制御端子CTLに接続される。

10

**【0008】**

次に、スイッチ回路の動作が説明される。固定電源Vに電圧 $2.8$ ボルトが印加され、制御端子CTLに $2.8$ ボルト及び $0$ ボルトの制御電圧が印加されて回路の導通遮断が制御される。

**【0009】**

まず、制御端子CTLに $2.8$ ボルトの制御電圧が印加された場合、スイッチ部F1のFET1-1、FET1-2、FET1-3のゲートの電圧は、 $2.8$ ボルトになる。FET1-3のソース或いはドレインは、固定電源Vに接続されて $2.8$ ボルトになっているため、FET1-3のゲート・ソース電圧 $V_{gs}$ は、 $0$ ボルトである。即ち、FET1-3はオン状態になる。FET1-2のソース或いはドレインには $2.8$ ボルトが印加されることになり、FET1-2もオン状態になる。同様にFET1-1もオン状態になる。(FET1-2、FET1-1もオン状態になり、)したがって、共通入出力端子INと入出力端子OUT1との間は、導通状態になる。

20

**【0010】**

一方、FET2-3と入出力端子OUT2との接続ノードの電圧は、制御端子CTLに $2.8$ ボルトが印加されるため、 $2.8$ ボルトである。FET2-1、FET2-2、FET2-3のゲートは、それぞれ抵抗 $R_{b1}$ 、抵抗 $R_{b2}$ 、抵抗 $R_{b3}$ を介してGNDに接地されているため、FET2-1、FET2-2、FET2-3のゲート・ソース電圧 $V_{gs}$ は、 $-2.8$ ボルトとなる。閾値電圧( $V_{th} = -0.5$ ボルト)より充分低い電圧であり、FET2-1、FET2-2、FET2-3はオフ状態になる。したがって、共通入力端子INと入出力端子OUT2との間は、遮断状態になる。

30

**【0011】**

次に、制御端子CTLに印加される制御電圧が $0$ ボルトのとき、FET1-1、FET1-2、FET1-3のゲートの電圧は、 $0$ ボルトになる。FET1-1、FET1-2、FET1-3のソース或いはドレインは、固定電源Vに接続されて $2.8$ ボルトであるため、FET1-1、FET1-2、FET1-3のゲート・ソース電圧 $V_{gs}$ は、 $-2.8$ ボルトになる。したがって、これらのFETは、オフ状態になり、共通入出力端子INと入出力端子OUT1との間は、遮断状態になる。

40

**【0012】**

スイッチ部F2と入出力端子OUT2との接続ノードの電圧は、制御端子CTLに $0$ ボルトが印加されているため、 $0$ ボルトである。FET2-1、FET2-2、FET2-3のゲートは、抵抗 $R_{b1}$ 、抵抗 $R_{b2}$ 、抵抗 $R_{b3}$ を介してGNDに接地されているため、FET2-1、FET2-2、FET2-3のゲート・ソース間電圧 $V_{gs}$ は、 $0$ ボルトになる。即ち、FET2-1、FET2-2、FET2-3はオン状態であり、共通入出力端子INと入出力端子OUT2との間は、導通状態になる。

**【0013】**

このように、制御端子CTLに印加する制御電圧を $2.8$ ボルト/ $0$ ボルトに切り替えることにより、スイッチ部F1とスイッチ部F2との導通状態を切り替えることができ、

50

1ビットの信号線により制御が可能となる。

【0014】

また、特開2005-5859号公報には、同様に、制御端子の1端子化を実現したスイッチ回路装置の他の構成が開示されている。

【0015】

【特許文献1】特開2005-5857号公報

【特許文献2】特開2005-5859号公報

【発明の開示】

【発明が解決しようとする課題】

【0016】

このようなスイッチ回路装置は、携帯電話システムのRF(Radio Frequency)信号の切り替え等に使用される。もっとも普及している携帯電話システムの一つであるGSM(Global System for Mobile communication)では、アンテナからの出力電力は4ワット近くになる。このとき、スイッチ回路装置は、この高出力信号を扱うことになる。高出力信号下でも、スイッチ回路装置は、オン状態において十分な線形性を維持する必要がある。したがって、スイッチ回路装置は、ハンドリングパワーの高出力化も求められている。

【0017】

図2にFETの3端子特性の例が示される。このFETは、ゲート幅が2400 $\mu$ m、閾値電圧 $V_{th}$ が-0.5ボルトのデプレッション型のFETである。このような特性を有するFETをスイッチ素子とする回路に4ワットの電力が入力された場合、このFETは200mA以上の電流を流さなければならない。図1に示されるスイッチ回路装置の場合、回路をオン状態にするバイアス電圧は、 $V_{gs} = 0$ ボルトであるから、図2を参照すると、FETは非線形領域で動作することになる。これを回避するためには、FETのゲート幅を更に大きくする方法がある。しかし、ゲート幅を大きくすると、線形性は確保できるが、スイッチICとして重要な特性であるアイソレーション特性が劣化してしまう。

【課題を解決するための手段】

【0018】

以下に、[発明を実施するための最良の形態]で使用される番号・符号を用いて、課題を解決するための手段を説明する。これらの番号・符号は、[特許請求の範囲]の記載と[発明を実施するための最良の形態]との対応関係を明らかにするために付加されたものである。ただし、それらの番号・符号を、[特許請求の範囲]に記載されている発明の技術的範囲の解釈に用いてはならない。

【0019】

本発明の観点では、半導体スイッチ回路装置は、第1スイッチ素子群(10)と、第2スイッチ素子群(20)と、容量素子(C1)と、バイアス電圧生成回路(R31/R32/R33)と、切替制御端子(Vc)とを具備する。第1スイッチ素子群(10)は、第1ノードと第2ノードとの間に接続される。第1ノードは、第1入出力端子(OUT1)に接続される。第2スイッチ素子群(20)は、第3ノードと第4との間に接続される。第3ノードは、第2入出力端子(OUT2)に接続される。容量素子(C1)は、第1スイッチ素子群(10)の第2ノードと第2スイッチ素子群(20)の第4ノードとの間に接続され、第1スイッチ素子群(10)と第2スイッチ素子群(20)との間のバイアスを遮断する。バイアス電圧生成回路(R31/R32/R33)は、第1スイッチ素子群(10)に印加される第1制御電圧(V1)と、第2スイッチ素子群(20)に印加される第2制御電圧(V2)とを生成する。切替制御端子(Vc)は、第1スイッチ素子群(10)の第1ノードと第2ノードとの間、及び、第2スイッチ素子群(20)の第3ノードと第4ノードとの間の導通遮断を制御する開閉電圧が印加される。この開閉電圧は、バイアス電圧生成回路(R31/R32/R33)に供給される電源電圧の最大電圧と最小電圧である。

【発明の効果】

10

20

30

40

50

## 【 0 0 2 0 】

本発明によれば、高出力電力に対応してアイソレーション特性を確保しつつ、線形性を向上させ、シングルコントロール動作をするスイッチ回路装置を提供することができる。

## 【 0 0 2 1 】

また、本発明によれば、電源電圧の変動によるハンドリングパワーの変動量を低減するスイッチ回路装置を提供することができる。

## 【 発明を実施するための最良の形態 】

## 【 0 0 2 2 】

図を参照して、本発明の第1の実施の形態に係る半導体スイッチ回路装置が説明される。図3は、第1の実施の形態に係る半導体スイッチ回路装置の回路構成を示す回路図である。共通端子INと入出力端子OUT1と入出力端子OUT2とを備える半導体スイッチ回路装置は、スイッチ素子群10、スイッチ素子群20、抵抗R30、R31、R32、R33、容量素子C1とを具備する。

10

## 【 0 0 2 3 】

スイッチ素子群10は、共通端子INと入出力端子OUT1との間に接続される。スイッチ素子群20は、共通端子INと入出力端子OUT2との間に接続される。容量素子C1は、このスイッチ素子群20と共通端子INとの間に挿入されてスイッチ素子群10とスイッチ素子群20とのバイアスを遮断する。

## 【 0 0 2 4 】

スイッチ素子群10は、電界効果トランジスタ(FET)11~14と、抵抗R11~15とを備える。入出力端子OUT1に接続されるスイッチ素子群10の第1ノードと、共通端子INに接続されるスイッチ素子群10の第2ノードとの間に、抵抗R15と直列に接続されたFET11~14とが並列に接続される。即ち、抵抗R15とFET11とが接続されるスイッチ素子群10の第1ノードは、入出力端子OUT1に接続される。抵抗R15とFET14とが接続されるスイッチ素子群10の第2ノードは、共通端子INに接続される。FET11~14のゲートは、抵抗R11~R14のそれぞれを介してスイッチ素子群10の第3ノードで接続され、バイアスを印加される。抵抗R11~R14は、信号経路となるFET11~14から高周波信号がバイアスに漏出することを防止する。

20

## 【 0 0 2 5 】

スイッチ素子群20は、同様に、FET21~24と、抵抗21~25とを備える。入出力端子OUT2に接続されるスイッチ素子群20の第1ノードと、共通端子INに接続されるスイッチ素子群20の第2ノードとの間に、抵抗25と直列に接続されたFET21~24とが並列に接続される。即ち、抵抗R25とFET21とが接続されるスイッチ素子群20の第1ノードは、入出力端子OUT2に接続される。抵抗R25とFET24とが接続されるスイッチ素子群20の第2ノードは、共通端子INに接続される。FET21~24のゲートは、抵抗R21~R24のそれぞれを介してスイッチ素子群20の第3ノードで接続され、バイアスを印加される。抵抗R21~R24は、信号経路となるFET21~24から高周波信号がバイアスに漏出することを防止する。

30

## 【 0 0 2 6 】

切替制御端子VCは、スイッチ素子群20の第3ノードに接続されると共に、抵抗R30を介してスイッチ素子群10の第1ノードに接続される。抵抗R30は、スイッチ素子群10の第1ノードから高周波信号が切替制御端子VCに漏出することを防止する。

40

## 【 0 0 2 7 】

抵抗R31、R32、R33は、低電位電源VSSと高電位電源VDDとの間に直列に接続され、スイッチ素子群10及びスイッチ素子群20にバイアスを供給するバイアス電圧生成回路を構成する。抵抗R31、R32、R33の抵抗値をそれぞれ $r_{31}$ 、 $r_{32}$ 、 $r_{33}$ 、低電位電源VSSの電圧を $V_{ss}$ 、高電位電源VDDの電圧を $V_{dd}$ とすると、抵抗R31と抵抗R32との接続ノードの電圧 $V_1$ は、 $V_1 = (V_{dd} - V_{ss}) \times r_{31} / (r_{31} + r_{32} + r_{33})$ となる。また、抵抗R32と抵抗R33との接続ノード

50

ドの電圧  $V_2$  は、 $V_2 = (V_{dd} - V_{ss}) \times (r_{31} + r_{32}) / (r_{31} + r_{32} + r_{33})$  となる。

【0028】

バイアス電圧生成回路から供給される電圧  $V_1$  は、スイッチ素子群 10 の第 3 ノードに供給され、電圧  $V_2$  は、スイッチ素子群 20 の第 1 ノードに供給される。

【0029】

次に、図 3 に示される半導体スイッチ回路装置の動作が説明される。FET 11 ~ 14、21 ~ 24 は、ゲート幅が  $240 \mu\text{m}$ 、閾値電圧  $V_{th}$  が  $-0.5$  ボルトのデプレッション型の FET で、図 2 に示されるような 3 端子特性を備えているものとする。低電位電源  $V_{SS}$  の電圧  $V_{ss}$  は 0 ボルト、高電位電源  $V_{DD}$  の電圧  $V_{dd}$  は  $2.8$  ボルトとする。切替制御端子  $V_C$  に電圧  $2.8$  ボルト及び 0 ボルトが印加される。バイアス電圧生成回路の抵抗  $R_{31}$ 、 $R_{32}$ 、 $R_{33}$  の抵抗値は、それぞれ  $9 \text{ k}$ 、 $45 \text{ k}$ 、 $9 \text{ k}$  とする。

10

【0030】

したがって、低電位電源  $V_{SS}$  と高電位電源  $V_{DD}$  との間を抵抗分割して得られるバイアス電圧  $V_1$  は、 $0.4$  ボルト、バイアス電圧  $V_2$  は、 $2.4$  ボルトとなる。バイアス電圧  $V_1$  が印加される FET 11 ~ 14 のゲート電圧は  $0.4$  ボルト、バイアス電圧  $V_2$  が印加されるスイッチ素子群 20 の第 1 ノードは  $2.4$  ボルトになる。

【0031】

まず、切替制御端子  $V_C$  に電圧  $2.8$  ボルトが印加された場合の動作が説明される。このとき、スイッチ素子群 10 の第 1 ノードは、切替制御端子  $V_C$  の電圧が印加されるため、 $2.8$  ボルトになる。FET 11 ~ 14 のゲート電圧は、 $0.4$  ボルトであるから、FET 11 ~ 14 のゲート・ソース電圧は、 $V_{gs} = -2.4$  ボルトである。このゲート・ソース電圧は、閾値電圧  $V_{th} = -0.5$  ボルトより充分低く、FET 11 ~ 14 は、オフ状態になる。

20

【0032】

一方、スイッチ素子群 20 の FET 21 ~ 24 のゲートは、切替制御端子  $V_C$  からバイアスが印加され、 $2.8$  ボルトになる。スイッチ素子群 20 の第 1 ノードの電圧は、 $2.4$  ボルトであるから、FET 21 ~ 24 のゲート・ソース電圧は、 $V_{gs} = 0.4$  ボルトになる。したがって、FET 21 ~ 24 はオン状態になる。図 2 を参照すると、ゲート・ソース電圧  $V_{gs} = 0.4$  ボルト、ドレイン電流  $I_{ds} = 200 \text{ mA}$  において、FET は、線形領域で動作していることがわかる。即ち、スイッチ素子群 20 に 4 ワットの電力が入力され、各 FET に  $200 \text{ mA}$  以上の電流が流れたとしても、充分に線形領域で動作することが確認される。

30

【0033】

切替制御端子  $V_C$  に電圧 0 ボルトが印加された場合、スイッチ素子群 10 の第 1 ノードは、0 ボルトになる。FET 11 ~ 14 のゲートは、 $0.4$  ボルトが印加されているため、ゲート・ソース電圧は、 $V_{gs} = 0.4$  ボルトになる。したがって、FET 11 ~ 14 はオン状態になる。

【0034】

一方、スイッチ素子群 20 の FET 21 ~ 24 のゲート電圧は、0 ボルトになる。スイッチ素子群 20 の第 1 ノードは  $2.4$  ボルトに固定されているので、FET 21 ~ 24 のゲート・ソース電圧は、 $V_{gs} = -2.4$  ボルトになる。したがって、FET 21 ~ 24 はオフ状態になる。これらの状態は、切替制御端子  $V_C$  に  $2.8$  ボルトが印加された場合と逆の状態にあり、オン状態の FET 11 ~ 14 は、線形領域で動作し、オフ状態の FET 21 ~ 24 は充分なオフ状態になっていることがわかる。

40

【0035】

このように、図 1 に示す従来の回路の場合に比べて ON 時に FET がよりリニアなバイアス状態に保ちながら、シングルコントロール動作が可能になることがわかる。

【0036】

50

また、抵抗  $R_{31}$ 、 $R_{32}$ 、 $R_{33}$  を備えるバイアス電圧生成回路は、電源電圧の変動を小さくする効果もある。高電位電源  $V_{DD}$  の電圧 (2.8 ボルト) が、 $\pm 0.2$  ボルト変動すると、図 1 に示される従来の回路では、バイアス電圧も  $\pm 0.2$  ボルト変動する。本発明の回路によれば、スイッチ素子群 20 に印加されるバイアスは、 $(r_{31} + r_{32}) / (r_{31} + r_{32} + r_{33})$  倍になり、上記回路定数のもとでは、 $\pm 0.17$  ボルトの変動に減少する。スイッチ素子群 10 の FET のゲートに印加されるバイアスでは、 $r_{31} / (r_{31} + r_{32} + r_{33})$  倍になり、その変動は、 $\pm 0.03$  ボルトになる。このように、本発明の半導体スイッチ回路装置は、電源変動にも強くすることが可能となる。

#### 【0037】

10

図 4 は、第 1 の実施の形態の変形例の半導体スイッチ回路装置の回路図である。スイッチ素子群 10 及びスイッチ素子群 20 に印加されるバイアスの印加ノードが異なっている。即ち、スイッチ素子群 10 及びスイッチ素子群 20 のバイアスの印加ノードは、第 1 ノード (FET 11 側、FET 21 側) から第 2 ノード (FET 14 側、FET 24 側) に入れ換わっている。この回路においても、図 3 と同じ効果が得られる。また、これらの組み合わせ、即ち、スイッチ素子群 10 の第 1 ノードとスイッチ素子群 20 の第 2 ノード、スイッチ素子群 10 の第 2 ノードとスイッチ素子群 20 の第 1 ノードにバイアスが印加されてもよい。

#### 【0038】

また、容量素子  $C_1$  は、スイッチ素子群 20 側に挿入されているが、容量素子  $C_1$  の機能は、スイッチ素子群 10 とスイッチ素子群 20 とのバイアスの遮断にあるため、スイッチ素子群 10 側に挿入されてもよい。

20

#### 【0039】

次に、本発明の第 2 の実施の形態に係る半導体スイッチ回路装置が説明される。第 1 の実施の形態において、スイッチ回路がオン状態の通過信号の線形性を改善する半導体スイッチ回路装置を示した。第 2 の実施の形態では、オフ側のスイッチ回路のバイアスが十分に確保される半導体スイッチ回路装置が示される。

#### 【0040】

図 5 に第 2 の実施の形態に係る半導体スイッチ回路装置の回路図が示される。第 1 の実施の形態に係る半導体スイッチ回路装置と比較し、フィードスルーキャパシタが付加されている。即ち、スイッチ素子群 10 では、FET 11 のゲートと第 1 ノードとの間に容量素子  $C_{11}$  が接続され、FET 14 のゲートと第 2 ノードとの間に容量素子  $C_{12}$  が接続されている。FET 21 のゲートと第 1 ノードとの間に容量素子  $C_{21}$  が接続され、FET 24 のゲートと第 2 ノードとの間に容量素子  $C_{22}$  が接続されている。

30

#### 【0041】

これらの容量素子は、スイッチングの対象となる RF (Radio Frequency) 信号に対して、十分に低いインピーダンスになる容量を有している。このように、多段積み FET の両サイド FET (FET 11 / FET 14、FET 21 / FET 24) のゲートとソースとの間に容量素子が接続されると、接続された FET のゲート・ソース電圧は、入力される RF 信号の入力電圧振幅に対して一定となる。即ち、ゲート・ソース電圧は、入力される RF 信号に追従して変動することになる。したがって、オフ状態の経路では、入力される RF 信号がプラス側の振幅のとき、入出力端子 OUT 1 側の FET 11、または、入出力端子 OUT 2 側の FET 21 が十分なオフ状態になり、入力される RF 信号がマイナス側の振幅のとき、共通端子 IN 側の FET 14、または、FET 24 が十分なオフ状態になる。よって、スイッチ素子群 10 またはスイッチ素子群 20 として如何なる瞬間においてもオフ状態を維持していることになる。このように、フィードスルーキャパシタを付加することにより、高入力電力に対してもオフ状態を維持することができ、スイッチ回路として高出力化が可能となる。

40

#### 【図面の簡単な説明】

#### 【0042】

50

【図 1】従来のスイッチ回路装置の構成を示す回路図である。

【図 2】F E T の 3 端子特性の例を示す図である。

【図 3】本発明の第 1 の実施の形態に係る半導体スイッチ回路装置の回路構成を示す回路図である。

【図 4】同変形例の半導体スイッチ回路装置の回路構成を示す回路図である。

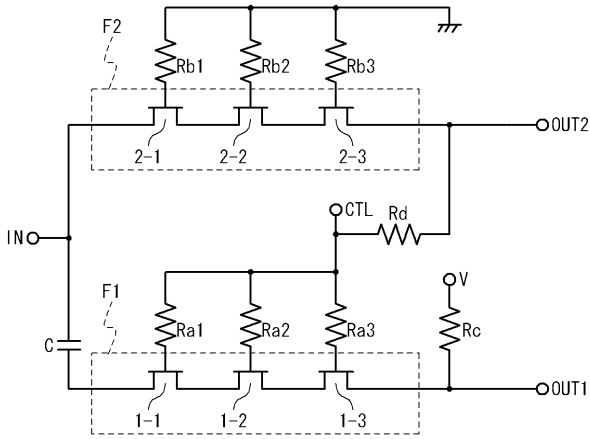
【図 5】本発明の第 2 の実施の形態に係る半導体スイッチ回路装置の回路構成を示す回路図である。

【符号の説明】

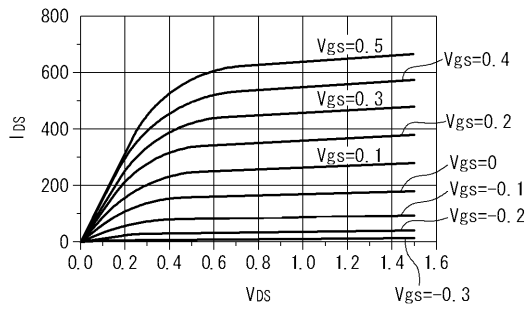
【 0 0 4 3 】

1 0	スイッチ素子群	10
1 1 ~ 1 4	F E T	
R 1 1 ~ R 1 5	抵抗	
C 1 1、C 1 2	容量素子	
2 0	スイッチ素子群	
2 1 ~ 2 4	F E T	
R 2 1 ~ R 2 5	抵抗	
C 2 1、C 2 2	容量素子	
C 1	容量素子	
R 3 0 ~ R 3 3	抵抗	
I N	共通端子	20
O U T 1、O U T 2	入出力端子	
V C	切替制御端子	
F 1、F 2	F E T 群	
R a 1 ~ R a 4、R b 1 ~ R b 4、R c、R d	抵抗	
C	容量素子	
C T L	制御端子	

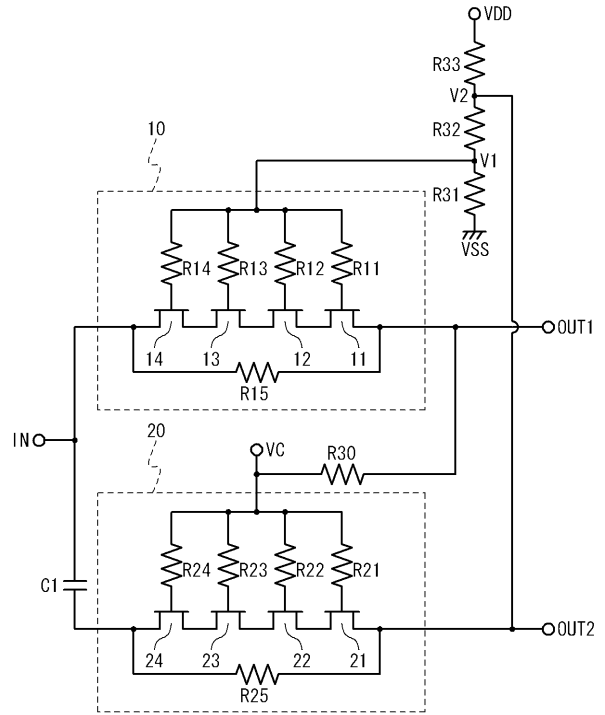
【 図 1 】



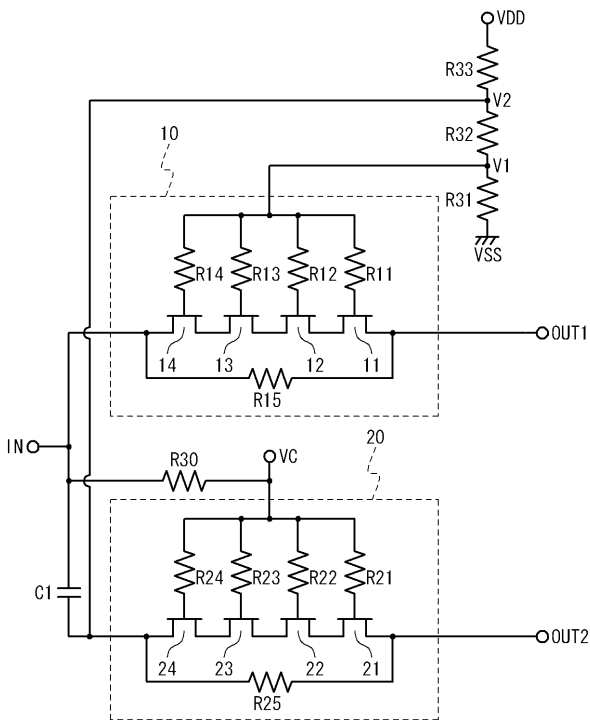
【 図 2 】



【 図 3 】



【 図 4 】



【 図 5 】

