[19] 中华人民共和国国家知识产权局

[51] Int. Cl[7]
H01L 27/105
H01L 27/108 H01L 21/8242
G11C 11/34

[12] 发明专利说明书

[21] ZL 专利号 98123833.5

[45] 授权公告日 2004 年 2 月 4 日

[11] 授权公告号 CN 1137518C

[22] 申请日 1998.11.4 [21] 申请号 98123833.5

[30] 优先权

[32] 1997.11.4 [33] JP [31] 301559/1997

[71] 专利权人 株式会社日立制作所

地址 日本东京

[72] 发明人 山口宪 木村绅一郎 堀内胜忠 手嶋达也

审查员 赵百令

[74] 专利代理机构 中国国际贸易促进委员会专利商标事务所

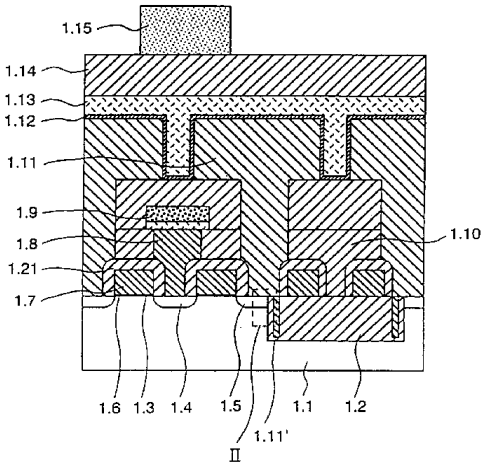
代理人 王永刚

权利要求书 3 页 说明书 8 页 附图 8 页

[54] 发明名称 半导体存储器件及其制造方法

[57] 摘要

在如 DRAM 的半导体存储器件中，在隔离绝缘膜 1.2 的边缘部分上分布有导电薄膜 1.11'，所述隔离绝缘膜与半导体衬底 1.1 相对，中间是薄的绝缘膜。该导电薄膜 1.11' 电连于存储电容器的下电极 1.11。该新颖结构可以独立于冶金 pn 结的位置来控制电学性 pn 结的位置。从而实现了数据保留时间长、有效抑制漏泄电流的半导体存储器件。



ISSN1008-4274

1、一种半导体存储器件,包括:

形成在半导体衬底上的多个有源区域;

形成在所述多个有源区域上的金属氧化物半导体晶体管;

形成在相邻有源区域之间用于使所述多个有源区域彼此电隔离的隔离绝缘薄膜;

存储电容器的下电极,所述下电极被电连到形成于所述多个有源区域的表面上并且具有和所述半导体衬底相反的导电类型的所述金属氧化物半导体晶体管的一对扩散层之一上,所述下电极延伸到所述有源区域和所述隔离绝缘薄膜上方;

所述存储电容器的电介质薄膜和上方电极,所述电介质薄膜和所述上方电极被叠层到所述下电极上;和

以在所述隔离绝缘薄膜的边沿部分中、中间通过绝缘薄膜与所述半导体衬底相对的形式配置的导电性薄膜;

其中,所述下电极的下端部分被电连到所述导电性薄膜的上端部分上。

2、权利要求 1 所述的半导体存储器件,其特征是:所述绝缘薄膜的厚度范围在 3 到 50nm 的范围内。

3、权利要求 1 所述的半导体存储器件,其特征是:所述隔离绝缘薄膜形成于沟槽之内,该沟槽形成于所述半导体衬底中的所述相邻有源区域之间。

4、权利要求 1 所述的半导体存储器件,其特征是:所述隔离绝缘薄膜利用对位于所述相邻有源区域之间的所述半导体衬底的表面进行氧化的办法形成。

5、权利要求 1 所述的半导体存储器件,其特征是:位线形成于所述金属氧化物半导体晶体管的所述一对扩散层中的另一扩散层上,且所述下电极从所述金属氧化物半导体晶体管的所述一对扩散层中的一个扩散层延伸到形成在所述位线上的绝缘薄膜上方。

6、权利要求 1 所述的半导体存储器件,其特征是: 所述下电极形成在具有凹入部分的预定位置上,所述电介质薄膜沿着所述下电极的顶部表面且在所述凹入部分的内部连续地形成。

7、权利要求 1 所述的半导体存储器件,其特征是: 所述导电性薄膜用从多晶硅、钨硅化物、和钼硅化物构成的组中选出的材料构成。

8、权利要求 1 所述的半导体存储器件,其特征是:所述导电性薄膜掩埋到所述隔离绝缘薄膜中,并且中间通过所述绝缘薄膜与所述之一的扩散层相对,且电连接于所述下电极。

9、权利要求 1 所述的半导体存储器件,其特征是: 所述绝缘薄膜是所述隔离绝缘薄膜的一部分且厚度为 3 到 50nm。

10、权利要求 1 所述的半导体存储器件,其特征是:所述导电性薄膜至少被掩埋到所述之一的扩散层和所述半导体衬底之间的冶金 pn 结的深度。

11、一种半导体存储器件制造方法,具备下述步骤:

在半导体衬底的预定位置上形成沟槽;

在所述半导体衬底的整个所得表面上形成绝缘薄膜;

在部分所述绝缘薄膜上选择性地形成导电性薄膜,所述部分形成于所述沟槽的内部侧壁上;

采用用第 2 绝缘薄膜填埋所述沟槽的办法形成隔离区域;

在所述半导体衬底上,在所希望的区域而不是所述隔离区域的表面上形成金属氧化物半导体晶体管;

形成存储电容器的下电极,所述下电极被电连到具有和所述半导体衬底以及所述导电薄膜相反的导电类型的所述金属氧化物半导体晶体管的一对扩散层中的一个上,所述下电极延伸到所述金属氧化物半导体晶体管和所述隔离区域上方; 和

在所述下电极上以叠层的形式形成所述存储电容器电介质薄膜和所述存储电容器的上方电极。

12、权利要求 11 所述的半导体存储器件的制造方法, 采用对所

述半导体衬底露出的表面施行热氧化的办法在所述半导体衬底的所述的所得到的整个表面上方形成所述绝缘薄膜。

13、权利要求 11 所述的半导体存储器件的制造方法,其特征是:采用在所述半导体衬底的所得到的整个表面上方形成所述导电性薄膜的办法选择性地形成所述导电性薄膜,然后用各向异性刻蚀法刻蚀已形成的导电性薄膜。

14、权利要求 11 所述的半导体存储器件的制造方法,其特征是:所述导电性薄膜是用化学汽相淀积法形成的多晶硅薄膜。

半导体存储器件及其制造方法

本发明一般涉及半导体存储器件及其制造方法，特别是涉及一种尺寸很小存储保持时间长而且特别适合于动态随机存取存储器(以下称之为DRAM)的半导体存储器件及其制造方法。

DRAM 的集成密度以每 3 年高达 4 倍的速率不断地增长。现在,集成密度为 16 兆位和 64 兆位的 DRAM 已大量生产,而且千兆位量级 DRAM 的大量生产也正在酝酿之中。已经达到的这么高的集成度减小了 DRAM 的平面尺寸和深度尺寸。但是,这一减小会降低信噪比,因为可以建立的电荷量减少了,而且会产生因阿尔法射线的入射而发生的诸如信号反转之类的引人注目的故障,同时产生了一个保持可靠性的严重的问题。

于是,人们强烈地希望有一种可以增加存储容量的存储单元。对于这样一种存储单元,在日本公开未审专利申请昭 53-108392 号(日本公开已审专利申请昭 61-55528 号)中公布了一种示于图 15 的构造。具有上述已经公开了的构造的存储单元被称之为叠层电容器单元(STC),在该构造中,存储电容器的一部分被叠层到一个开关晶体管上或者绝缘隔离晶体管上。人们期望该存储单元代替常规平面电容器单元。

参看图 15,参考标号 2.1 是一个半导体衬底,参考标号 2.2 是一绝缘隔离膜,参考标号 2.3 是开关晶体管的沟道部分,参考标号 2.4 和 2.5 是杂质扩散层,参考标号 2.6 是栅极绝缘膜,参考标号 2.7 是字线,同时也是开关晶体管的栅极电极,参考标号 2.9 是位线,参考标号 2.10 和 2.14 是层间绝缘膜,参考标号 2.11 是存储电容器的下电极,参考标号 2.12 是存储电容器的介电薄膜,参考标号 2.13 是存储电容器的平板电极（上电极）,参考标号 2.15 是布线金属。位线 2.9 通过一个伸长电极 2.8 电连到杂质扩散层 2.4 上。下电极 2.11 电连到杂质扩散层 2.5 上。

应用示于图 15 的常规 STC,存储电容器的下电极 2.11 可延伸到字线 2.7 上方,使得可以实现比仅仅把半导体衬底的表面用做存储电容器的平面电容器的存储电容值大得多的存储电容值。

示于图 15 的 STC 单元是通过下述工艺制造的。首先,用众所周知的热氧化法在半导体衬底 2.1 上形成一个相对厚(大约 100 ~ 1000 nm)的用于进行元件电隔离的硅氧化物膜。晶体管 2.6(大约 5 ~ 50nm)的栅极电极用众所周知的热氧化法生长。然后,形成一个掺杂多晶硅膜,该膜用熟知的光刻或干蚀法加工成预定形状以形成字线 2.7。把字线 2.7 用做掩模,用熟知的离子注入技术,把一种与半导体衬底 2.1 的导电类型不同的杂质引入到该衬底中。然后,施行预定的热处理工艺,激活上述掺入的杂质以形成杂质扩散层 2.4 和 2.5。

其次,用熟知的 CVD(化学汽相淀积)形成同一导电类型的多晶硅膜,使得该膜和上述杂质扩散层 2.5 接触。因此所形成的不需要的膜的部分用刻蚀法去掉以形成存储电容器的下电极 2.11。由图 15 可知,上述下电极 2.11 也可以延伸到字线 2.7 上方和绝缘隔离膜 2.2 上方,使得存储电容器的下电极 2.11 的面积变成为非常大,以存储更多的电荷量。

但是,上述常规 STC 单元牵涉到下述仍待解决的问题。

对于增强器件工作速度和存储单元的封装密度的要求已经完成了平面尺寸的最小化,在 10 兆量级的存储器件中实现了宽度为 0.1 ~ 0.2 微米的字线 2.7。

但是,如果在上述的构造中减小平面尺寸以实现高的器件工作速度,则将会引起一种所谓的穿通现象,使得难于获得良好的器件特性。为了克服这一问题,习惯上通常想办法使结深尽可能地浅。典型的结深约为 0.1 微米。为了得到这样一种浅的结深,在离子注入到半导体衬底 2.1 后用来进行杂质激活的热处理在相对低的温度下和相对短的时间内进行。

但是,这样的低温和短时间热处理的执行又将产生一个新的问题:在把杂质注入到半导体衬底 2.1 中去时,会产生电学缺陷或所谓深陷阱。这一问题会增加处在两种不同导电类型的半导体之间的 pn 结上的漏泄电流,使得难于保持预定的存储保持时间。因此,如果存储电容器的面积借助于 STC 单元而增加,则来自已经电连到下电极 2.11 上的杂质扩散层 2.5 的漏泄电流的增加,将促进存储电荷的放电,因而使得难于形成浅结,成为使器件构造小型化的的障碍。

因此,本发明的目的就是提供一种漏泄电流非常小且存储保持时间足够

长的小型化半导体存储器件和易于制造这样的半导体存储器件的方法。

为了实现本发明,根据其一个方面,提供了一种半导体器件，包括：已形成在半导体衬底上的多个有源区域；形成在多个有源区域上的金属氧化物半导体晶体管；形成在相邻的多个有源区域之间用于使它们彼此间绝缘的隔离绝缘膜；存储电容器的下电极,该下电极电连到形成在多个有源区域的表面区域上的金属氧化物半导体晶体管的一对扩散层之一上并具有与半导体衬底相反的导电类型,该下电极延伸到有源区域和隔离绝缘膜上方;电介质膜和存储电容器的上方电极,该电介质膜和上方电极被叠层到下电极上;位于中间通过绝缘膜与半导体衬底相对的隔离绝缘膜的边沿部分中的导电性薄膜,其中,下电极的底端部分被电连到导电性薄膜的顶端部分上。

采用半导体衬底表面的杂质导入和为了得到小型化构造的低温及短时间热处理的办法,导致了上述用于增加引线电流的深陷阱。如果在耗尽层中产生这些深陷阱，就会引起大的漏泄电流。因此,如果深陷阱存在于耗尽层的外边就不会引起漏泄电流的增加。

图 2(a)和 2(b)是说明本发明原理的说明图。图 2(a)是图 15 中用虚线 I 标出的部分的扩大图。参考图 2(a),那些与前边用图 15 说明过的相同的部分标以同一参考标号。由其发明人等进行的审查表明,如果(1)上述深陷阱在隔离绝缘薄膜 2.2 和杂质扩散层 2.5 之间在界面附近特别集中地存在于面积 A 中,以及(2)这一区域 A 的一部分与在冶金 pn 结 C 附近形成的耗尽层 B 重叠,则漏泄电流将会增加。

在根据本发明的半导体存储器件中,如图 1 所示,在被电连到存储电容器的下电极 1.11 上的隔离绝缘膜 1.2 的端部掩埋上一层导电性薄膜 1.11′。该导电性薄膜 1.11′用做存储电容器的下电极的底并且具有相同的构造,在该构造中,下电极 1.11 的一部分被掩埋在隔离绝缘薄膜 1.2 中。

图 2(b)是图 1 中用虚线 II 标出的部分的扩大图。参考图 2(b),那些与前边用图 1 说明过的组成部分相同的组成部分标以同一标号。上述的掩埋导电性薄膜 1.11′与在中间具有薄的绝缘膜 1.2 的半导体衬底 1.1 相对,使得把该掩埋导电性薄膜 1.11′用做栅极电极,在上述薄的绝缘膜 1.2 和半导体衬底 1.1 之间的界面上形成一个反型层。这一反型层的形成反过来又在示于图 2(a)的耗尽层 B 的下边、在薄的绝缘膜 1.2 和半导体衬底 1.1 之间的界面附

近形成耗尽层 B′。就是说,耗尽层 B′的实际上的形成位置可以与在冶金 pn 结 C 周围扩展的耗尽层 B 无关地进行控制。因此,在执行控制使得集中地出现在上述区域 A 中的深陷阱不能进入耗尽层 B′的同时,利用加到下电极 1.11 上的电压就可以有效地防止深陷阱产生引线电流。

图 14 示出了利用计算机模拟确认本发明的效果的结果。曲线 A 表示本发明的 pn 结的反向偏置电流 / 电压特性。曲线 B 示出了常规构造 pn 结的反向电流/电压特性。从曲线 B 可看出,在超过某一电压值时常规结构的反向漏泄电流就迅速地增加。就是说,曲线 B 表明,采用应用 STC 单元构造的办法,无视存储电荷量,所增加的反偏漏泄电流在短时间内使存储电容器放电。与此相反,如曲线 A 所示,本发明的构造永远是被抑制到一个低的值,因而和常规构造比放电周期扩展一个数量级以上。

为了利用掩埋导电性薄膜 1.11′控制耗尽层的位置,上述薄的绝缘膜的厚度理想的是在预定的范围之内。应用具有从 3 到 50nm 厚度的硅氧化物薄膜将提供一个在实用上理想的结果。

此外,对于上述隔离绝缘膜来说,在相邻的有源区域之间,在形成于上述半导体衬底内的沟槽内形成是理想的。这样做有利于电连到上述下电极上的导电性薄膜的形成。

上述 STC 单元可以采用通过伸出来的电极在上述 MOS 晶体管的一个杂质扩散层上形成位线并在上述位线上以从另一个杂质扩散层上方伸出到层间绝缘薄膜上方的形式形成下电极的办法形成。

该下电极形成于具有凹入部分的预定部分上。在下电极的上表面上边并且沿着凹槽部分的内表面形成上述电介质薄膜增加电容器的电极面积,从而有效地增加被存储的电荷量。

对于电连到下电极上的导电性薄膜来说,可以用从由多晶硅,钨硅化物,钼硅化物构成的组中恰当地选出的材料构成的薄膜。

本发明的上述半导体存储器件,可以采用由下述步骤构成的半导体存储器件制造方法容易地进行制造。这些步骤是:在半导体衬底的预定位置上形成凹槽;在整个半导体衬底的所得表面上方形成绝缘膜;在绝缘膜的形成于凹槽内部侧壁上的部分上选择性地形成导电性薄膜;采用用第 2 绝缘薄膜填埋凹槽的办法形成隔离区域;在半导体衬底的所期望的区域表面上而

不是隔离区的表面上形成金属氧化物半导体晶体管；形成存储电容器的下电极,该下电极被电连到具有与半导体衬底和导电性薄膜的导电类型相反的导电类型的金属氧化物半导体晶体管的一对扩散层之一上,该下电极延伸到金属氧化物半导体晶体管和隔离区域上方;以叠层的形式在下电极的上边形成存储电容器的电介质薄膜和存储电容器的上电极。

采用使在半导体衬底上露出的表面热氧化的办法,执行在上述半导体衬底的整个顶部表面上形成上述绝缘薄膜的步骤,提供具有出色的薄膜质量的硅氧化物薄膜。在半导体衬底的整个顶表面上形成了导电性薄膜之后,采用进行各向异性刻蚀的办法,执行选择性地形成上述导电性薄膜的步骤,可以选择性地仅仅在凹槽的侧表面上的绝缘薄膜上剩余导电性薄膜。

对于上述导电性薄膜,可以应用各种材料的薄膜。但是实际上最常用的是用化学汽相淀积法形成的多晶硅薄膜。

与附图一起进行阅读,从以下的详细说明中将会弄清楚本发明的上述和其他的目的,优点,工作方式和新颖的特点。

参照附图阅读本说明将会弄清楚本发明的这些和其它目的。

图 1 是本发明的优选实施例的存储单元的剖面图。

图 2(a)和图 2(b)说明本发明的原理的局部剖面图。

图 3 是用来说明图 1 的存储单元的制造方法的工艺图。

图 4 是用来说明图 1 的存储单元的制造方法的另一工艺图。

图 5 是用来说明图 1 的存储单元的制造方法的再一工艺图。

图 6 是用来说明图 1 的存储单元的制造方法的又一工艺图。

图 7 是用来说明图 1 的存储单元的制造方法的不同的工艺图。

图 8 是用来说明图 1 的存储单元的制造方法的再一不同的工艺图。

图 9 是用来说明图 1 的存储单元的制造方法的又一不同的工艺图。

图 10 是用来说明图 1 的存储单元的制造方法的隔离工艺图。

图 11 是用来说明图 1 的存储单元的制造方法的另一隔离工艺图。

图 12 是用来说明图 1 的存储单元的制造方法的再一隔离工艺图。

图 13 是用来说明图 1 的存储单元的制造方法的另外一种工艺图。

图 14 是用来说明本发明的效果的说明图。

图 15 是说明现有技术的存储单元的剖面图。

下边参照附图通过实例更为详细地描述本发明.

现在参看图 1,图 1 中示出了作为本发明的一个优选实施例的存储器的剖面图。图中,参考标号 1.1 是半导体衬底; 参考标号 1.2 是层间隔离绝缘薄膜; 参考标号 1.3 是开关晶体管的沟道部分; 参考标号 1.4 和 1.5 是杂质扩散层; 参考标号 1.6 是栅极绝缘膜; 参考标号 1.7 是提供开关晶体管的栅极电极的字线;参考标号 1.9 是位线; 参考标号 1.10 和 1.14 是层间绝缘薄膜; 参考标号 1.11 是存储电容器的下电极;参考标号 1.12 是存储电容器的电介质薄膜; 参考标号 1.13 是存储电容器的平板电极(上电极),参考标号 1.15 是布线金属。位线 1.9 通过伸出电极 1.8 电连到杂质扩散层 1.4 上。下电极 1.11 电连到杂质扩散层 1.5 上。本发明的特征是 :在隔离绝缘薄膜 1.2 的端部掩埋进了被电连到存储电容器的下电极 1.11 上的导电性薄膜 1.11′,配置形式为在中间通过绝缘膜 1.2 与半导体衬底 1.1 相对。这种构成可以放置在耗尽层的外边,同时使得深陷阱集中地存在于杂质扩散层 1.5 中与隔离绝缘膜 1.2 界面附近,用以防止漏泄电流的产生。参照图 1,导电性薄膜 1.11′达到了隔离绝缘薄膜的底部附近。把该薄膜掩埋到至少结的深度,将有效地得到防止漏泄电流的效果。

如图 1 所示,字线 17 可以布设到隔离绝缘薄膜 1.2 上。为了进行保护和使之与伸出电极 1.8 及下电极 1.11 绝缘,每一条字线 1.7 都用硅氮化膜 1.21 覆盖起来。连接到 MOS 晶体管的杂质扩散层 1.4 上的伸出电极 1.8 由多晶硅形成。位线 1.9 用多晶硅膜和诸如钨硅化物之类的各种硅化物膜的叠层形成。

存储电容器的下电极 1.11 用下述方法形成。首先,用由硅氧化物膜构成的层间绝缘薄膜 1.10 把位线 1.9 覆盖起来。使薄膜的表面平面化。在中间绝缘薄膜 1.10 上边执行众所周知的反应性离子刻蚀以形成窗孔,通过该窗孔,杂质扩散层 1.5 和导电性薄膜 1.11′的顶部露了出来。然后,形成被图形化为所希望的形状的多晶硅薄膜。显然,该多晶硅薄膜被掺杂为富含 n 型杂质,提供非常之低的电阻。

该隔离绝缘薄膜 1.2 不仅可以是掩埋氧化物薄膜,而且可以是用众所周知 LOCOS 工艺形成的隔离绝缘膜。从实用上说,其沟槽用绝缘薄膜掩埋起来的构造易于形成。

如上所述,本发明利用被配置在隔离绝缘薄膜中在中间通过薄的绝缘膜与半导体衬底相对的导电性薄膜,在半导体衬底中控制耗尽层的位置。因此,本发明并不受限于上述STC构造。本发明可以用于任何具有下述构造的半导体存储器件,在该构造中被配置为在中间通过薄的绝缘膜与半导体衬底相对的导电性薄膜可以电连到存储电容器的下电极上,而不理会存储电容器自身的构造如何。

以下,参照图3到图13说明本发明的存储单元的制造方法。

首先,如图3所示,在半导体衬底1.1的预定位置上,用众所周知的光刻和反应性离子刻蚀技术形成沟槽。

其次,如图4所示,用众所周知的热氧化工艺在半导体衬底1.1的整个顶部表面上形成提供栅极绝缘薄膜和隔离绝缘薄膜的薄的硅氧化物薄膜1.6。

然后,在用众所周知的CVD工艺在整个硅氧化物薄膜1.6上形成了低电阻多晶硅薄膜1.11′之后,如图5所示,施行众所周知的干法刻蚀以仅仅保留沟槽内部侧壁上的多晶硅薄膜1.11′,从硅氧化物薄膜1.6上边的其它部分去掉多晶硅薄膜1.11′。

利用熟知的CVD和平面化工艺,用硅氧化物薄膜1.2填埋所得沟槽以形成示于图6的构造。

其次,用熟知的CVD工艺,以叠层的形式形成多晶硅薄膜1.7和硅氮化物薄膜1.21。如图7所示,在叠层上边施行熟知的光刻以除掉不希望的部分,形成栅极电极1.7。

把硅氮化物薄膜1.21和栅极电极1.7用做掩模,向半导体衬底1.1中高密度离子注入磷。如图8所示,再施行预定的热处理工艺以形成MOSFET的杂质扩散层1.4和1.5。

接着,如图9所示,在用熟知的CVD工艺形成了用于保护栅极电极1.7的硅氮化物薄膜1.21之后,用众所周知的CVD工艺,在所得到的整个表面上方形成厚度为500nm的硅氧化物薄膜。此外,在预定的部分刻蚀所形成的硅氧化物薄膜1.10以除掉它。然后,用多晶硅薄膜1.8填埋已刻蚀掉的部分。接着,如图10所示,利用众所周知的工艺,形成由多晶硅薄膜和钨硅化物薄膜构成的叠层薄膜,除掉该薄膜的不希望的部分以形成位线1.9。

在所得到的整个表面上方形成用来保护位线 1.9 的硅氧化物薄膜 1.10。用刻蚀法除掉预定的部分以使杂质扩散层 1.5 和导电性薄膜 1.11′的顶表面露出来,形成示于图 11 的构造。

之后,如图 12 所示,在所得到的整个表面上方形成掺磷多晶硅薄膜到 600nm 的厚度,用刻蚀法除掉预定的部分以形成沟槽,用以增加表面面积,形成存储电容器的下电极 1.11。

最后,如图 13 所示,形成厚度为 10nm 的钽氧化物层以形成存储电容器的电介质薄膜 1.12,在其上边形成钨硅化物薄膜以形成存储电容器的上电极 1.13。在本实施例中,钽氧化物薄膜被用做电介质薄膜 1.12。作为一种可供选择的方法,也可以用硅氮化物薄膜。

作为本发明的优选实施例的半导体存储器件,在每一 pn 结上的漏泄电流是小的,因而作为具有足够长的数据保持时间的存储器件提供良好的特性。

如上所述,倘采用本发明,则可以把电学 pn 结放到一个不同于冶金 pn 结的位置的位置上,从而防止了深陷阱进入耗尽层。该新颖的构造已经实现了低漏泄存储单元,该存储单元保证从几十兆位到千兆位数量级的 DRAM 所需数据保持时间。

因为可以构成本发明的许多明显不同的实施例而不偏离其精神和范畴,所以应当明白,本发明除去在后述权利要求中所确定的范围之外并不受限于其特定的实施例。

图 1

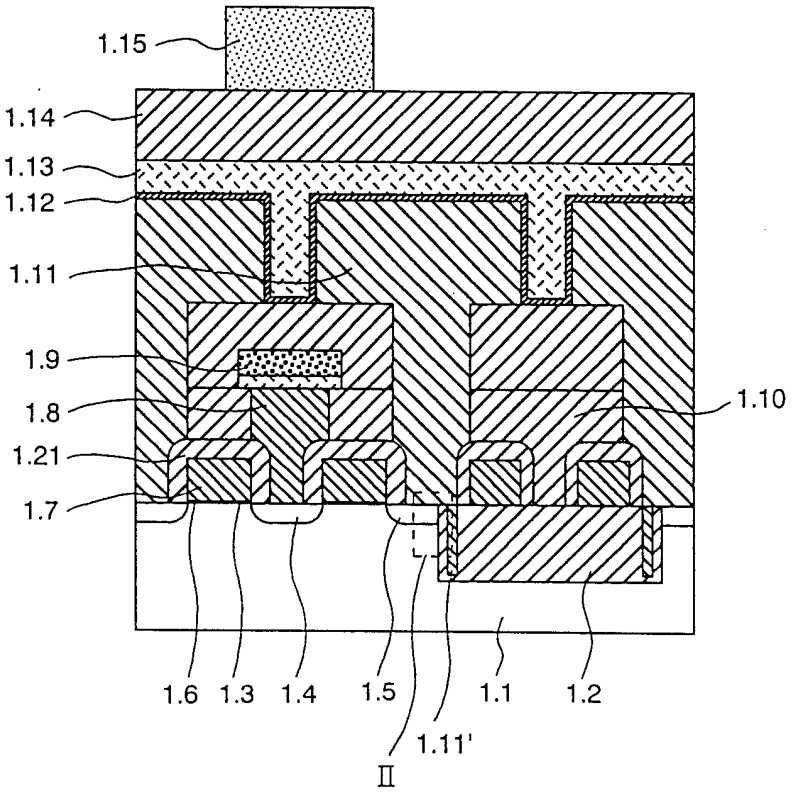


图 2a

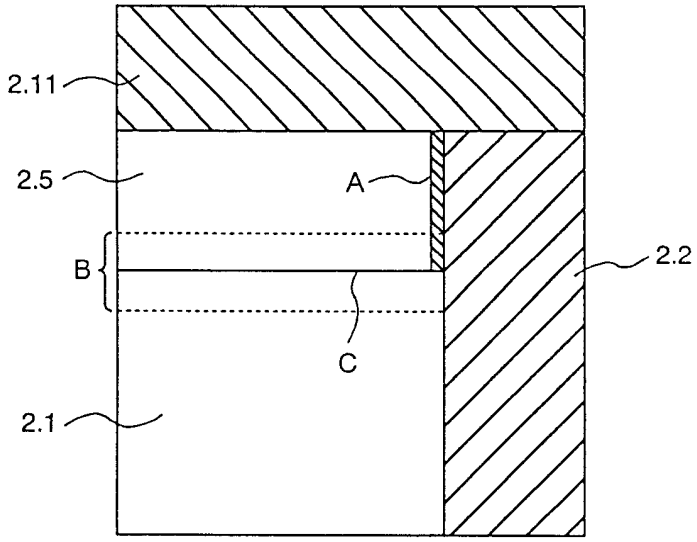


图 2b

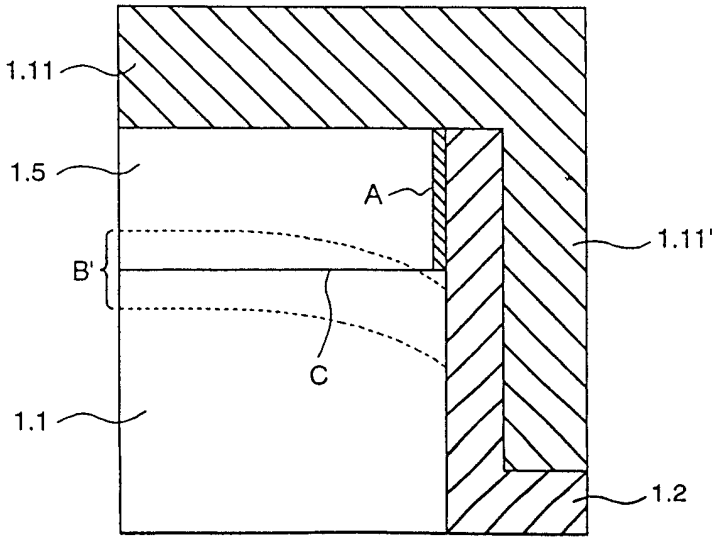


图 3

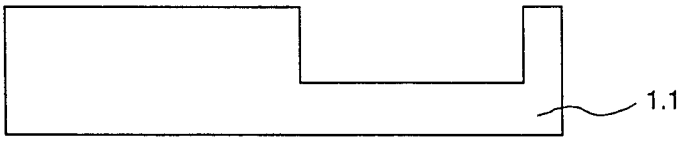


图 4

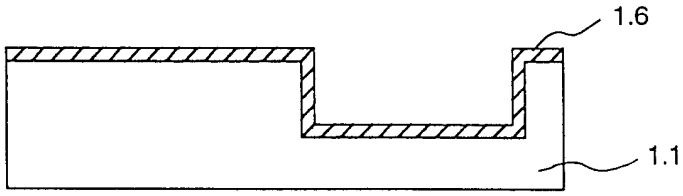


图 5

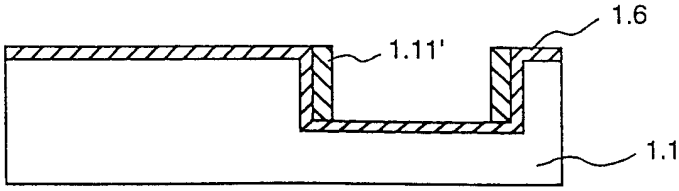


图 6

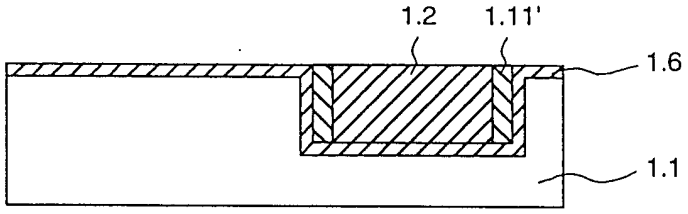


图 7

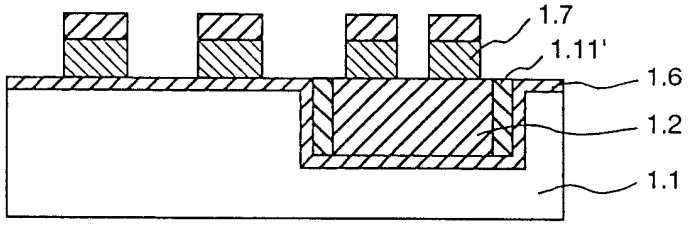


图 8

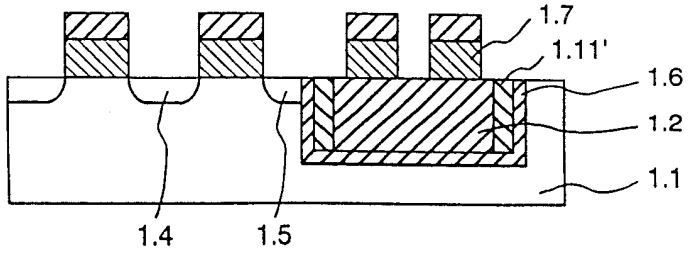


图 9

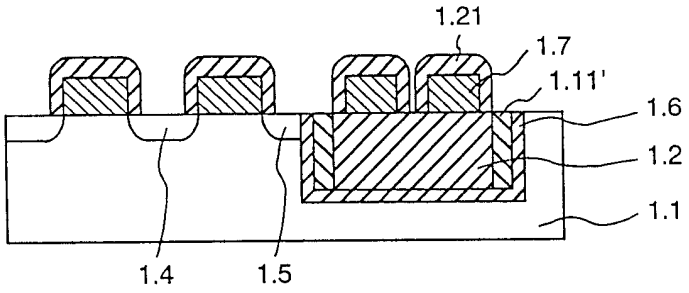

1.21
1.7
1.11'
1.6
1.2
1.1
1.4
1.5

图 10

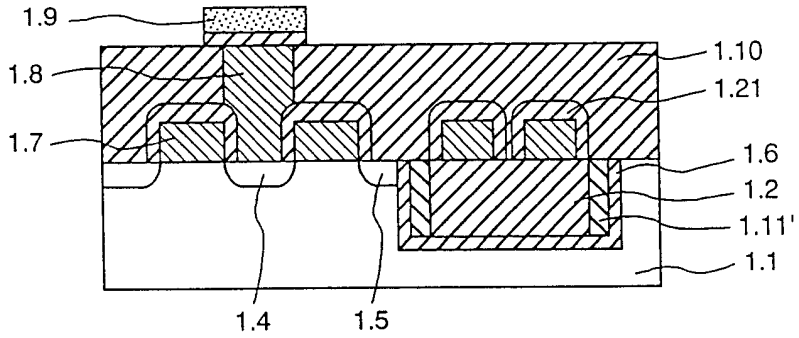

1.9
1.8
1.7
1.10
1.21
1.6
1.2
1.11'
1.1
1.4
1.5

图 11

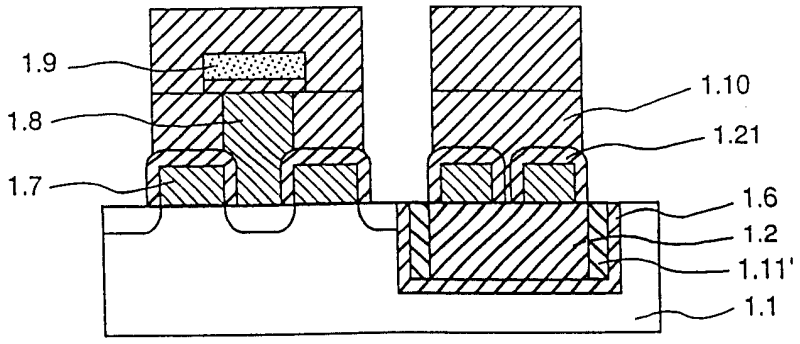

1.9
1.8
1.7
1.10
1.21
1.6
1.2
1.11'
1.1

图 12

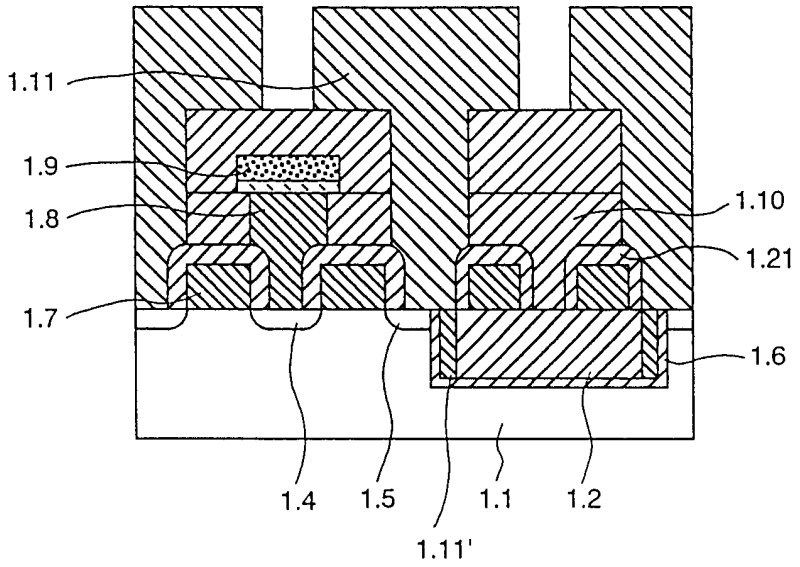

1.11
1.9
1.8
1.10
1.21
1.7
1.6
1.4
1.5
1.1
1.2
1.11'

图 13

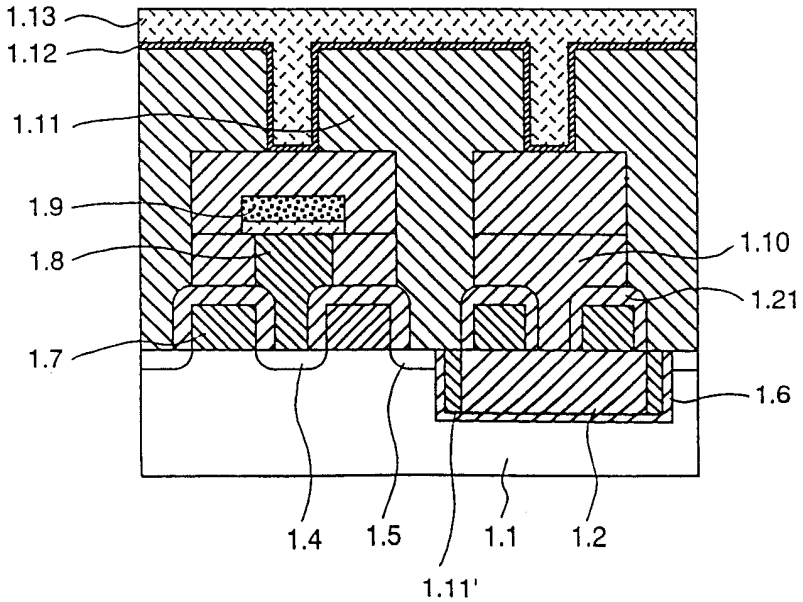

1.13
1.12
1.11
1.9
1.8
1.10
1.21
1.7
1.6
1.4
1.5
1.1
1.2
1.11'

图 14

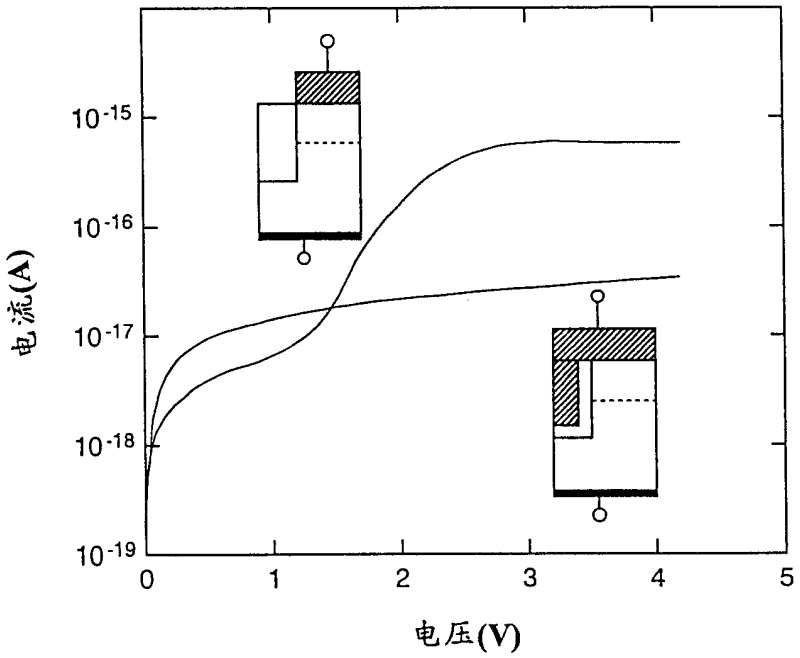


图 15

