

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H01L 21/20 (2006.01)

H01L 21/762 (2006.01)



[12] 发明专利说明书

专利号 ZL 02813163.0

[45] 授权公告日 2008 年 2 月 27 日

[11] 授权公告号 CN 100372060C

[22] 申请日 2002. 6. 27 [21] 申请号 02813163.0

[30] 优先权

[32] 2001. 6. 28 [33] DE [31] 10131249.0

[86] 国际申请 PCT/EP2002/007125 2002. 6. 27

[87] 国际公布 WO2003/003430 德 2003. 1. 9

[85] 进入国家阶段日期 2003. 12. 29

[73] 专利权人 硅电子股份公司

地址 德国慕尼黑

[72] 发明人 布里安·墨菲 赖因霍尔德·瓦利希

吕迪格·施默尔克

维尔弗里德·冯·阿蒙

詹姆斯·莫兰

[56] 参考文献

EP0807970A2 1999. 11. 19

EP0895282A2 1999. 2. 3

审查员 唐俊峰

[74] 专利代理机构 永新专利商标代理有限公司

代理人 过晓东

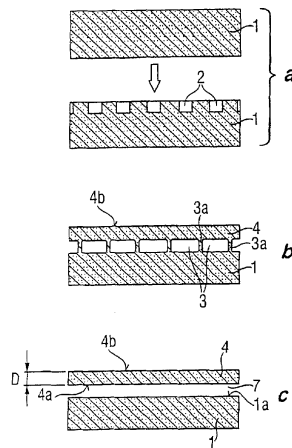
权利要求书 5 页 说明书 12 页 附图 4 页

[54] 发明名称

半导体材料的膜或层及制造该膜或层的方法

[57] 摘要

本发明涉及一种用于制造半导体材料膜或层的方法，其包括以下步骤：a) 产生包括半导体材料表面上周期性反复出现的预定几何形状凹陷的结构；b) 热处理表面结构化材料，直至该材料表面邻近层下方形成包括周期性反复出现空穴的层；c) 使表面邻近层与半导体材料的其余部分沿空穴层分开。本发明还涉及一种半导体材料膜或层，以及包括载体晶片及硅薄层的 SOI 晶片。



- 1、一种用于制造半导体材料膜或层的方法，其包括以下步骤：
 - a) 在半导体材料表面上产生包括周期性反复出现的预定几何形状凹陷的结构，
 - b) 热处理表面上具有周期性反复出现的预定几何形状凹陷的半导体材料，直至该半导体材料表面闭合层下方形成包括周期性反复出现的空穴的层，
 - bc) 将半导体材料的表面闭合层上粘接载体材料，
 - c) 使表面闭合层与半导体材料的其余部分沿空穴层分开，表面闭合层最终形成半导体材料的层或膜。
- 2、如权利要求 1 的方法，其中所述半导体材料选自以下组中：
硅、硅-锗、砷化镓、碳化硅及磷化铟。
- 3、如权利要求 2 的方法，其中所述半导体材料为硅。
- 4、如权利要求 2 或 3 的方法，其中所述半导体材料是单晶材料。
- 5、如权利要求 1 或 2 的方法，其中所述凹陷是孔洞或沟渠。
- 6、如权利要求 5 的方法，其中所述凹陷是横截面实质上为圆形或正方形的孔洞，所有这些孔洞具有相同几何形状且以恒定孔间距离的规律图案配置。
- 7、如权利要求 1 或 2 的方法，其中择选所述凹陷的几何尺寸，使其随待制膜或层的预期厚度而改变。

8、如权利要求 1 或 2 的方法，其中选择所述凹陷的几何尺寸及所述凹陷之间的距离，使得在步骤 b) 内的热处理期间，由该凹陷所形成的个别空穴层的上方可形成闭合表面，而这些个别空穴不熔合在一起形成更大的空穴。

9、如权利要求 1 或 2 的方法，其中步骤 b) 内的热处理是在可防止于半导体材料上形成氧化物层的气氛中实施。

10、如权利要求 9 的方法，其中所述气氛含有氢和/或氩。

11、如权利要求 1 或 2 的方法，其中步骤 b) 内的热处理是在大气压下或减压下实施。

12、如权利要求 1 或 2 的方法，其中步骤 b) 内的热处理是在介于 200℃至 1500℃的温度下实施 3 秒钟至 6 小时。

13、如权利要求 1 或 2 的方法，其中选择步骤 b) 内热处理的条件，使得在半导体材料内存在的 COP 同时退火。

14、如权利要求 1 或 2 的方法，其中步骤 b) 内的热处理是与表面的低能离子撞击相结合。

15、如权利要求 1 或 2 的方法，其中在下方依照步骤 a) 及 b) 产生空穴层的表面，在半导体材料层与半导体材料的其余部分依照步骤 c) 分开之前，与载体材料的表面相连接。

16、如权利要求 15 的方法，其中所述方法是连续实施至少两次，第一次之后，具有位于其上的半导体材料层的载体材料再次用作载体材料，从而在第一实施之后得到的半导体层上施加另外一层或多层。

17、如权利要求 15 的方法，其中所述载体材料选自以下组中：硅、硅-锗、碳化硅、砷化镓、石英、塑料、玻璃及陶瓷。

18、如权利要求 17 的方法，其中所述载体材料为硅。

19、如权利要求 17 的方法，其中所述载体材料在表面处具有电绝缘层。

20、如权利要求 1 或 2 的方法，其中步骤 c) 内的分离是借助于机械处理、化学处理、或热处理或它们的组合来实施的。

21、如权利要求 20 的方法，其中步骤 c) 内的热处理导致步骤 b) 内产生的空穴熔合，并因此分离。

22、如权利要求 21 的方法，其中步骤 c) 内的热处理是在介于 800 至 1370°C 的温度及在大气压或减压下历时 3 秒钟—4 小时来实施的。

23、如权利要求 20 的方法，其特征在于所述机械处理选自以下组中：施加剪切力、流体喷射处理及使用超声波或兆声波的声波处理。

24、如权利要求 1 或 2 的方法，其中在制得半导体材料层之后，通过选自以下组中的方法将该层的厚度减低：抛光、汽相或液体蚀刻

及表面氧化并随后还原。

25、如权利要求 1 或 2 的方法，其中在制得半导体材料层之后，通过抛光或热处理对该层表面进行平滑处理。

26、如权利要求 25 的方法，其中用于平滑表面的热处理是在含有氢和/或氩的气氛中实施。

27、如权利要求 1 或 2 的方法，其中所述半导体材料为晶片形式。

28、如权利要求 27 的方法，其中所述载体材料为晶片形式。

29、如权利要求 28 的方法，其中相互连接的半导体材料及载体材料的表面具有相同的几何尺寸。

30、一种根据权利要求 1 的方法制造的半导体材料的膜或层，其中在层内 HF 缺陷的缺陷密度低于 0.1 个/平方厘米，Secco 蚀刻缺陷的缺陷密度低于 10 个/平方厘米。

31、一种包含根据权利要求 1 的方法制造的半导体材料的膜或层的 SOI 晶片，所述半导体材料的膜或层是硅层，所述 SOI 晶片包括载体晶片及硅层，其中经分离之后，该硅层的表面粗糙度低于 0.2 nm rms，HF 缺陷的缺陷密度低于 0.1 个/平方厘米，Secco 蚀刻缺陷的缺陷密度低于 10 个/平方厘米。

32、一种包含根据权利要求 1 的方法制造的半导体材料的膜或层的 SOI 晶片，所述半导体材料的膜或层是硅层，所述 SOI 晶片包括载体晶片及硅薄层，其中硅薄层的厚度为 20 纳米或以下，厚度变化为 5%或以下。

33、如权利要求 32 的 SOI 晶片，其中所述硅层无辐射诱导缺陷，并且该硅层内 HF 缺陷的密度低于 0.1 个/平方厘米。

半导体材料的膜或层及制造该膜或层的方法

技术领域

本发明涉及半导体材料的膜或层及制造该膜或层的方法。

背景技术

公知绝缘体上硅薄膜（SOI）晶片具有通常包括载体的层结构，例如：硅晶片，埋于表面紧邻下方的氧化物层及位于氧化物层上方的硅薄层。为制作电子元件（例如：记忆体及微处理器），该层结构具有超过常用硅晶片的以下优点：

结合高转换速度及元件零件的较低能量消耗，可达成电子功能的更佳特征。再者，制作在 SOI 晶片基材上的元件较常规元件更适于在相对低压下操作。

基于这些理由，在未来的元件中，SOI 晶片的用途将大幅增多。对于 SOI 晶片的质量要求甚高，尤其在硅薄层内及在氧化物层内的层厚度均匀性及缺陷密度方面。就此观点而言，依照现有技术各种制造方法及产品有所不同：

例如，在已知所谓 SIMOX 中，借助将氧注入硅晶片表面下方限定深度（该深度取决于氧离子的能量）可形成高氧含量层（Izumi et al., Electron Lett. 14 (18) (1978), 第 593 页）。随后实施热处理时，该层转变成氧化硅层，该氧化硅层将位于其上方的硅薄层及位于其下方的硅晶片其余部分隔开。然而，氧离子的注入在硅薄层内产生晶体缺陷（损伤），在随后电子元件制作过程中对 SOI 晶片造成不良影响。

然而，通常 SOI 晶片是借助将硅薄层由第一个晶片（基片晶片）转移至第二个晶片（载体晶片）而制得。通常，这两个晶片均是由硅

组成。例如，该硅薄层是经由绝缘氧化硅层与该载体晶片连接。可用于将硅薄层自第一个晶片转移至第二个晶片而由此制得 SOI 晶片的许多方法已经公开：

在已知称作 SMARTCut 法(US 5,374,564; Weldon et al., J. Vac. Sci. Technolo., B 15(4) (1997), 第 1065 至 1073 页)中借助于氢注入制得分隔层，两个晶片粘合后，借助于热处理实施分离（裂开）。结果是表面相对粗糙而且具有许多缺陷，之后粗糙表面必须借助抛光或热处理（退火）使其平滑。在该方法中，在硅的薄、上层内形成无法整修的缺陷（孔洞），称为 HF 缺陷，其密度为 0.1 个/平方厘米至 0.5 个/平方厘米。再者，注射工作、所用分隔层及分离方法使硅上层内形成缺陷，于 Secco 蚀刻步骤之后变成可见（Secco 蚀刻缺陷），其数量为 1×10^2 个/平方厘米至约 1×10^4 个/平方厘米（J.G. Park, “Nature of Surface Defects in SOI Wafers: SIMOX vs. Bonded SOI”, JSPS, 3. International Symposium on Advanced Science and Technology of Silicon Material, 200, Kona, USA）。

在已知称作 ELTRAN 法（US 5,854,123；Yonehara et al., Electrochem. Soc. Proc. 99-3 (1999) pp. 111-116）中，分离层是借助于阳极蚀刻法制得，并形成多孔表面层。之后，外延层（该外延层形成后来的硅薄层）沉积在该多孔层上。分离作用是采用加热或机械方式，在表面内及硅上层内再度形成缺陷。再者，该外延层决不能毫无缺陷地在多孔表面上生长。视硅层的层厚而定，HF 缺陷的密度（硅薄层内的孔洞）是 0.1 个/平方厘米至 0.3 个/平方厘米，Secco 蚀刻缺陷的密度是 5×10^2 个/平方厘米至 1×10^5 个/平方厘米。裂开后的表面粗糙度甚高，是在 5 纳米处（扫描面积 1 微米×1 微米）且需后续的平滑加工（Sakaguchi et al., Solid State Technology 43 (6) (2000) pp. 88-92）。

由 SiGen, USA 发展的另一种方法称作 Nano-解离法(Current et al., European Semiconductor, 22(2) (2000) pp. 25-27)。为使粗糙度值低于

0.2 nm rms, 分离后该方法需另外一个平滑步骤 (Thilderkvist et al., IEEE SOI Symposium, 2000, Wakefield, USA)。

所以, 为补偿上述缺陷而实施繁复的其他处理步骤。例如, 依照 EP 905767, 借助于汽相蚀刻法, 可将硅晶片沿氢气泡层解离所产生的缺陷层自 SOI 晶片除去。必要时, 此方法同时可降低硅层的厚度。如 EP 1045448 中所述, 通过热氧化硅表面及随后通过氧化硅的还原而除去也可达成同样效果。为平滑硅薄层表面并退火晶体缺陷, 在含氢气氛中实施 SOI 晶片热处理也是可能的 (EP 1045448)。

发明内容

所以本发明的目的是提供基本上无晶体缺陷且表面平滑的半导体材料膜或层, 以及提供制造该膜或层的方法。

本发明涉及半导体材料的膜或层, 其中该薄层内 HF 缺陷的缺陷密度低于 0.1 个/平方厘米及 Secco 蚀刻缺陷的缺陷密度低于 10 个/平方厘米。

再者, 本发明涉及 SOI 晶片, 其包括载体晶片及硅薄层, 其中在分离之后, 所述硅薄层的表面粗糙度低于 0.2 nm rms, 其 HF 缺陷的缺陷密度为低于 0.1 个/平方厘米及其 Secco 蚀刻缺陷的缺陷密度为低于 10 个/平方厘米。

本发明也涉及 SOI 晶片, 其包括载体晶片及硅薄层, 其中该硅薄层的厚度为 20 纳米或更低, 厚度变化范围为 5% 或更小。

本发明也涉及制造半导体材料膜或层的方法, 其包括以下步骤:

- a) 产生包括半导体材料表面上周期性反复出现的预定几何形状凹陷的结构,
- b) 热处理表面结构化材料, 直至材料表面邻近层下方形成包括周期性反复出现空穴的层,
- c) 自半导体材料的其余部分沿空穴层分离表面邻近层。

在本发明的方法中，对晶体造成高度损伤的加工，例如：离子注入步骤或超高温步骤，以及分离过程中间的粗损伤均可避免。有关薄层内的缺陷，所得结果是新颖、改良的产品性能。尤其，在薄层内无辐射诱导缺陷，即离子注入过程中所用粒子辐射所造成的缺陷。本发明方法无需任何含有注入离子（即氢离子或氧离子）的层。

于空穴层处实施的分离作用不会产生应力。温和分离加工意谓在半导体材料层内所产生的晶体损伤（即使有）非常轻微。有关半导体材料薄层内的缺陷，所得结果是新颖、改良的产品性能。与现有技术相比较，分离作用后，立即具有更加平滑的表面，粗糙度值降至 0.2 nm rms，缺陷密度大幅减为 HF 缺陷<0.1 个/平方厘米及 Secco 蚀刻缺陷<10 个/平方厘米。

附图说明

图 1 所示为本发明制造半导体材料膜及层的工艺步骤。

图 2 所示是本发明方法优选实施方案的顺序，其中膜或层转移至载体材料上。

图 3 所示是依照本发明实施步骤 a) 及 b) 加工的硅晶片截面的 SEM（扫描电子显微镜）照片。

图 4 所示是图 3 所示硅晶片于实施分离步骤 c) 加工后的 SEM 照片。

具体实施方式

以下将参照附图连同优选实施方案，对本发明制造半导体材料膜或层的方法加以说明。该制造方法的说明是结合个别步骤 a) 至 c)，必要时，该每个个别步骤可包括可能的变动。

在步骤 a) 内，在半导体起始材料（基片）1 的表面上、任选包括在部分表面上，产生具有预定几何形状的包括周期性反复出现凹陷

2 的结构（加图 1 及图 2 所示）。

本方法可应用于预期的半导体材料，但优选硅—锗、砷化镓、碳化硅及磷化铟，特别优选硅。虽然本发明方法的应用并非局限于硅，但因硅在制作半导体元件方面特别重要，所以本发明方法的优点及优选实施方案是参考硅加以说明。

该基片也可包括不同的材料规范，所形成接近表面的区域尤其对半导体材料的随后性质具有重大影响，因为该半导体材料膜或层是自该基片的表面层形成的。

优选所用基片是呈表面平滑的晶片形式。尤其优选使用单晶硅晶片：具有任何预期掺杂或共掺杂的 CZ 晶片或 FZ 晶片（即由利用 Czochralski 法或浮动区法所制单晶制造的晶片）（例如：掺氮晶片）、具有外延层的晶片、经热处理的晶片及无重要空穴及间隙原子聚集体（interstitial conglomerate）的材料（无空穴硅或完美硅）或纯同位素硅（ ^{28}Si ）。

一项新颖研究发展是，除已知“抛光”及“两面抛光（DSP）”表面质量外，可使用未经无雾抛光的晶片、精研晶片或蚀刻晶片。

在步骤 a) 内于接近表面的层内制造凹陷 2（图 1 及图 2）是利用已知的照相平版印刷法、掩模及曝光技术、借助于离子束蚀刻的沟渠蚀刻、等离子体蚀刻、借助于激光或类似方法（“Silicon processing for the VLSI Era”, 0-961672-16-1）。这些凹陷（沟渠）2 的尺寸考虑宽度、直径、深度、形状及间隔被精确地限定。孔洞、沟渠或其他规则或非规则几何形状均属可能的，优选规则形状，特别优选基本上圆形或正方形孔洞。

凹陷 2 是以高密度的方式在基片 1 表面的部分区域或优选整个表面上制得。例如，当基片是呈晶片形式时，优选基本上其整个一个面或两个面均具有凹陷。这些凹陷以适当的方式制得，以便可形成包括具有预定几何形状的周期性反复出现凹陷的结构。这些凹陷的几何尺

寸（即基本上横截面、深度及间隔）经适当选择，使得加工继续进行中所形成的半导体材料层获得预期的厚度 D 。为达成此目的，优选直径（若是圆孔洞）或边长（若是正方孔洞）经选择为 $D/5$ 至 $2 \times D$ ，所选沟渠深度是 D 至 $4 \times D$ ，以及所选沟渠空间是 $D/2$ 至 $3 \times D$ 。

例如，这些凹陷的几何尺寸是经适当选择，以便在步骤 b) 内随后实施热处理过程中，由这些凹陷形成的个别空穴 3 可结合起来形成较大型空穴 3。（图 1 及图 2 内所示的空穴代表个别空穴及较大型空穴）。在此情况下，优选这些凹陷在相隔相对大距离的少数精确定位的位置制得，以便于步骤 b) 之后，网状物 3a 仍存留在空穴 3 内。

然而，特别优选这些待制孔洞（优选全部孔洞具有相同几何形状）呈规则形状（例如：正方或六边形），且保持孔洞—孔洞的距离恒定，且在某些部位没有较大的距离。在此情况下，这些孔洞的几何尺寸及孔洞—孔洞的距离最好适当选择，以便依照步骤 b) 实施热处理的过程中该表面由平滑层阻断，但由个别凹陷所形成的个别空穴尚未熔在一起形成较大空穴。

在随后的步骤 b) 内，将基片施以热处理，由于原子的表面移动性，该热处理导致凹陷 2 在表面处闭合，从而形成闭合层 4，同时空穴 3 在该层下面制成。当加工继续进行时，这些空穴上方的层 4 最终形成半导体材料的层或膜。

步骤 a) 及 b) 所依据的技术是基于在 Tsunashima, Y., Sato, T. and Mizushima, I., *Electrochem. Soc. Proc.* 17 (2000), pp. 532-545 中的公开内容。

优选控制步骤 b)，以便在步骤 a) 内所制凹陷处形成连续型空穴，空穴 3 上方的层 4 及半导体材料 1 的其余部分由特意构建的网状物 3a 在预定间隔内固定在一起。这些网状物是一定位置形成，在该位置处，在步骤 a) 内，凹陷间保持较大距离。

若步骤 a) 内的凹陷在特定位置制得时无任何较大距离（此为特

别优选的), 则控制步骤 b) 内的热处理, 使得层 4 的表面闭合, 但由个别凹陷所形成的个别空穴并未相互并入。图 3 所示是通过晶片对应处理过表面的横截面 SEM 照片。该照片所示是由个别凹陷所形成个别空穴 3 的层上方的闭合层 4。

视特别材料而定, 热处理是在 200 至 1500°C 温度下实施, 历时 3 秒钟至 6 小时, 该时间及持续时段是依照以上所列方式控制加工。该热处理可在所有防止于半导体材料表面上形成氧化物(天然氧化物)层的气氛中实施, 但优选在还原气体或气体混合物或惰性气体及气体混合物中。优选含有氢或氩或氢与氩混合物的气氛。该热处理可在大气压或减压下实施。选择加工条件, 以便可达成半导体材料原子表面移动性可能最高。

若用硅作为基片, 步骤 b) 是依照下列设定条件实施: 温度为 700 至 1370°C, 优选 900 至 1250°C, 特别优选 950 至 1150°C, 压力为 1 至 100 托, 优选 1 至 50 托, 特别优选 5 至 20 托, 历时 3 秒钟至 6 小时, 优选 1 分钟至 30 分钟。该热处理是在非氧化气氛中实施, 该气氛内优选含有氢或氩或该两种气体的混合物。

在步骤 b) 内, 优选加工条件, 以便基片内、尤其空穴 3 上方膜或层 4 内的 COP(晶体起因凹痕, 空穴附聚体)同时退火。如 EP 829559 A1 或 US 5,935,320 中所述, 在为硅时, 所需温度超过 1000°C。

此外, 借助温和低能离子撞击, 在此步骤内半导体材料的原子表面移动性可增高, 导致这些凹陷更为快速闭合或容许使用较低温度或较短时间。

除热处理之外, 作为热处理的一部分或继热处理之后, 也可在闭合表面上沉积外延层。例如, 如此可缩短加工时间。仅作对粘合作用具有不良影响的热处理之后, 如果基片晶片表面不足够平滑以实施例如任选后续粘合作用, 外延层的沉积也属有用。已知如果沉积温度选择在适于形成空穴的温度范围内, 厚度 < 0.5 微米的外延层可有效补

偿轻度表面不匀性 (T. Bearda, P. Mertens, M.M. Heyns, R. Schmolke, Jpn. J. Appl. Phys. 39(2000)L841; R. Schmolke, M. Blieta, R. Schauer, D. Zemke, H. Oelkrug, W. v. Ammon, U. Lambert, D. Graef, The Electrochem. Soc. PV2000-17 (2000)3)。就总成本而言,如下文中所述,利用适当后续处理,以可重复及控制的方式,可将由此方法制得及可使其超过预定厚度的半导体材料层的尺寸予以缩小。

由于其厚度低,待制半导体材料层或膜 4 的机械稳定性相对地低。所以,如图 2 内所示,于另外步骤 bc) 内,基片的表面(其下方已制成空穴层)优选与载体材料 5 的表面相连(粘合)。该载体材料是电绝缘固体或至少在表面处具有电绝缘层 6。所用载体材料优选为选自以下组中的材料:碳化硅、硅-锗、砷化镓、石英、塑料、玻璃或陶瓷。特别优选硅作为载体材料。在为硅时,特别优选在表面处为氧化硅电绝缘层。也优选相互连接的基片表面及载体材料表面具有相同几何尺寸。载体材料优选呈晶片形态。

该载体材料可以已包含掺入的内吸取体。该吸取体与元件加工过程中引进的金属杂质粘合并使这些杂质远离元件的活性区。

半导体材料 1 及载体材料 5 是利用现有技术已知的方法加以连接 (Q.-Y. Tong and U. Goesele: "Semiconductor wafer processing" ISBN 0-471-57481-3)。

在最后步骤 c) 内,特别沿空穴层 3,将层或膜 4 与半导体材料 1 的其余部分分开。与其他方法相比较,由于这些空穴,分离作用非常和缓。实施分离优选加热方式,在此情况下这些空穴合并,所以分离工作特别和缓。

尤其在实施加热分离时,在粘合过程中,由沟渠形成的个别、小型空穴必须尚未完全合并,以便确保基片晶片对此操作具有机械稳定性。粘合加工之后或过程中所实施的加热过程内,这些个别、小型空穴可仅熔在一起以便最好形成一个大型空穴。如果该基片是由硅组

成，为达成分离目的的第二个加热步骤所涉及的热处理，其温度范围为 800 至 1370°C，优选 900 至 1200°C，历时 3 秒钟至 4 小时，优选 1 至 30 分钟。例如，使用已知的垂直炉或 RTA 设备（快速加热退火灯炉）。热处理的实施是在大气压或减压下，在任何预期的气体环境中，但优选在减压或惰性气体环境中，特别优选在含有氢或氩或氢与氩混合物的环境中。为达成薄层进一步的均化及平滑，可任选延长热处理的持续时间。

然而，另有两种已知方法可用于容许沿熔化的空穴分离。在诸机械方法中，应提及借助于流体喷射的分离作用（Sakaguchi et al., Solid State Technology 43(6) (2000), pp. 88-92），利用剪切力（Current et al., “ultrashallow junctions or ultrathin SOI?”, Solid State Technology, September 2000）及声波分离法（利用超声波或兆声波（megasound））。利用适当气体或液体（例如：氢氟酸或硝酸与氢氟酸的混合物）借助蚀刻作用除去留存在空穴间的网状物来实施化学解离也属可能。结合不同分离方法也属可能。

结合步骤 c) 及在外延反应器中将外延层涂敷在半导体材料上也是合适的，如此可达到层或膜的预期目标厚度。

已证实本发明方法对制造 SOI 结构是特别有利的。例如，也可用由坩埚抽拉单晶所制硅晶片（CZ 晶片）作为基片。依照现有技术，这些硅晶片导致出现在硅晶片内的 COP（也出现在由其所制 SOI 晶片的硅薄层内，因而导致元件制作上的问题。因此，依照现有技术，所用基片晶片是由不用坩埚（利用浮动区法（FZ 法））所拉硅单晶制得的硅晶片是有利的。如果此规定不能满足，在制造 SOI 晶片之后，硅薄层内的 COP 必须借助于热处理（优选在氢环境中）退火。相反地，在本发明方法中，也可用 CZ 晶片作为基片晶片而毫无问题，因为在步骤 b) 内实施表面热闭合的过程中，这些 COP 可同时退火，这是特别优选的。

本发明方法的另一优点包括以下事实：利用步骤 b) 内所制凹陷的适当配置及形状，甚至可制造具有 50 纳米或更低厚度的超薄硅层的 SOI 晶片。保持个别凹陷的深度/宽度比，这些凹陷的横截面及凹陷间的距离愈小，则原则上所制硅晶片可愈薄且愈平滑。

凹陷的几何形状参数与待制硅薄层厚度间的关系可借助改变几何形状参数而实验测得。例如，在厚度范围低于 50 纳米的情况下所需周期性结构可借助 Nano-压印法、电子束石版印刷术、X-射线石版印刷术或极远紫外线石版印刷术。未来，由于照相平版印刷术的进步（更进步、更新颖的方法正在研发中），即使在 50 纳米范围或更低的情况下，以更高度精密的方式实施周期性结构化也属可能，所以，此类薄层厚度的变化可减低至低于 5%。

即使现在，上述方法也可达成几何形状结构的几何形状公差 $\leq 10\%$ ，优选 $\leq 5\%$ ，特别优选 $\leq 1\%$ 。这些几何形状结构的公差愈紧密，则所得层厚度的均匀性愈佳。通常层厚度的公差低于个别几何形状结构的公差。如此可达成层厚度均匀度为 5% 及更低。

由于缺陷的实质上避免及硅薄层的高表面质量，所以可减少或完全消除复杂的进一步加工步骤，如此可大幅减低 SOI 晶片的制造成本。

SOI 晶片制成后，必要时也可调节、即增加或减低硅层 4 的厚度。例如，为增加层厚度可沉积硅外延层。用已知抛光方法可减低层的厚度，但优选使用汽相蚀刻、或先实施表面氧化随后借助氧化硅层的还原除去。保持层厚度的均匀度，可得到 20 纳米或更低的层厚度，其层厚度均匀度为 5% 或更小。

之后，必要时也可减低表面粗糙度。此项工作包括抛光步骤或进一步热处理。该操作的进行是在还原或惰性气氛中，优选含有氢或氩或氢与氩的混合物，在大气压或减压下，在 1000 至 1250°C 温度范围内，历时 60 分钟，于分批炉内或灯炉（快速加热退火炉，RTA）内。

分批炉是具有每次操作容纳 50 至 250 个晶片的容器的垂直炉或水平炉。RTA 总是以箱至箱操作方式每次操作退火一个晶片的灯炉。

由下述本发明方法的优选实施方案,可达成 SOI 晶片特别有利的性能。

如果用 FZ 晶片作为基片晶片,可制得具有硅薄层的 SOI 晶片,该薄层不仅无空穴(void),而且无表体微细缺陷(BMD)。BMD 是氧沉淀物,而空穴是晶体空位的聚集体。

如果所用基片晶片是高掺氮 CZ 晶片,与常规 CZ 晶片相比较,可对滑动及位错形成造成较高的阻力。高掺氮 CZ 晶片的氮含量为 1×10^{14} 至 5×10^{15} 个/立方厘米。与不含任何氮的 CZ 晶片相比较,高掺氮晶片对热诱导滑动及位错的阻力大幅增加且具有较高的 BMD 密度(Graef et al., ECS PV 2000-17, pp. 319-330; Ammon et al., ECS PV04-10, p. 136; Sueoka et al., ECS PV 2000-17, pp. 164-179)。

也可使用与单晶硅不同的载体材料,例如:多晶硅、玻璃或陶瓷。

本发明的方法也可特别有利地用于制造包括许多层或膜的结构。为达成此目的,该方法是先后连续实施至少两次;第一次之后,具有位于其上面的第一个半导体材料层的载体材料再度用作载体材料,所以在第一层上增加另外一层或更多层。

实施例

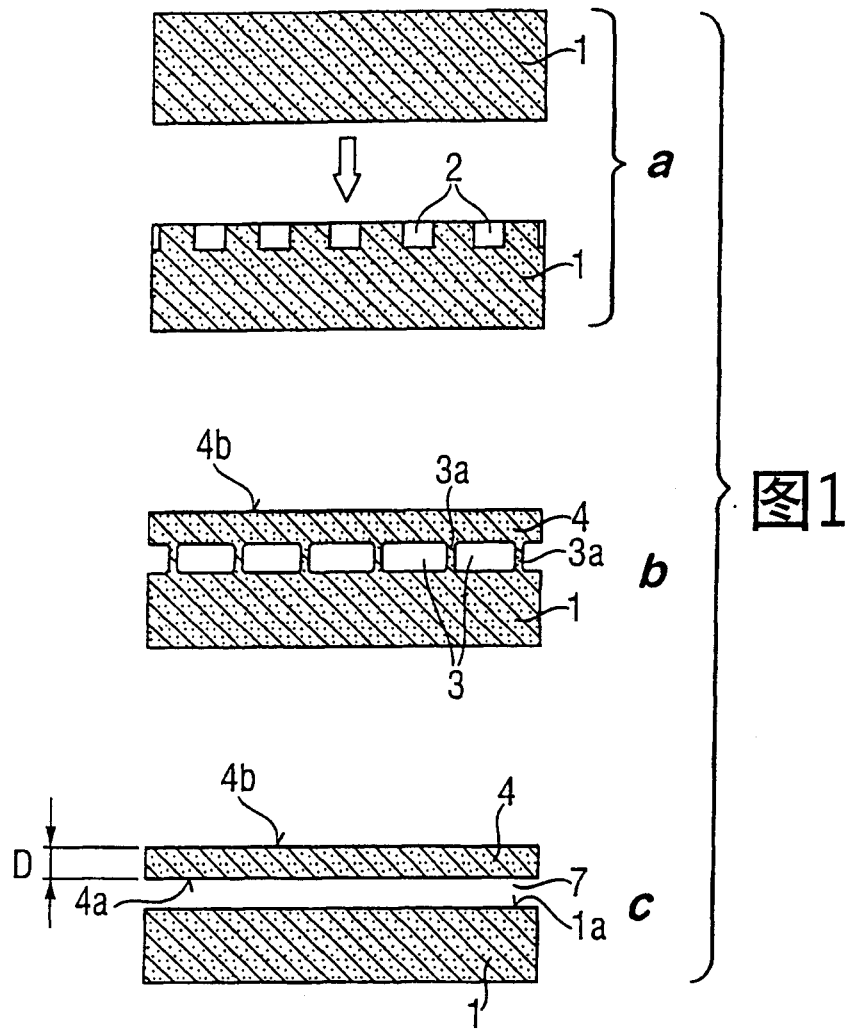
于本发明方法的步骤 a) 内,对硅半导体材料 1 的光滑平面(图 2)提供周期性反复出现的凹陷(沟渠)2。这些沟渠的方形截面的边长约为 0.5 微米且沟渠至沟渠的距离约为 0.9 微米。这些沟渠配置成矩形或正方形图案。这些沟渠是借助离子束蚀刻依照现有技术制造,且所得沟渠深度为 3 微米。

之后,硅半导体材料 1 的结构化表面是于步骤 b) 内借助于历时 10 分钟的热处理,在纯氢气氛内,于压力 10 托、氢流动速率为 10

标准立方厘米/分钟及温度 1100°C 的情况下加以闭合。在该方法中，由沟渠 2 形成的空穴 3 则沿平行于该晶片闭合表面 4 增宽约 0.25 微米。图 3 所示是所形成空穴 3 的 SEM 照片及这些空穴上方的闭合完美及平滑层 4 的 SEM 照片。由于其平滑性，该闭合表面特别适于依照图 2 连接载体晶片（粘合）。

之后，在另一步骤 bc) 内，借助于其表面 4b，使步骤 b) 内制得的硅晶片利用由 EVG, Schaerding, Austria 生产的可商购的粘合剂与载体晶片 5 相连，该载体晶片 5 同样是由硅组成且具有氧化硅层 6。

于步骤 c) 内，将经由氧化硅层 6 连接的硅晶片施以热处理。为实施该热处理，选择与步骤 b) 内闭合该表面所用相同的条件。该热处理使图 3 所示的空穴 3 熔合在一起，由此形成连续空穴 7（图 4），并且在图 3 内仍覆盖空穴 3 的硅层 4 得以分离。图 4 所示是基片硅半导体材料 1 新形成的表面 1a，在其上面有完全与由硅晶片 1 制得的硅薄层 4 分开的连续空穴 7。现在硅薄层 4 仅与载体硅晶片 5 的氧化物层 6 相连（5 及 6 所示）。层 4 的厚度约为 1 微米，该层是松散地位于半导体材料 1 的其余部分上。与基片其余部分的表面 1a 不同，经分离的硅薄层 4 的表面 4a 已非常平滑。图 4 的集中点位于表面 4a 上，该表面 4a 是用于电子元件的制作。



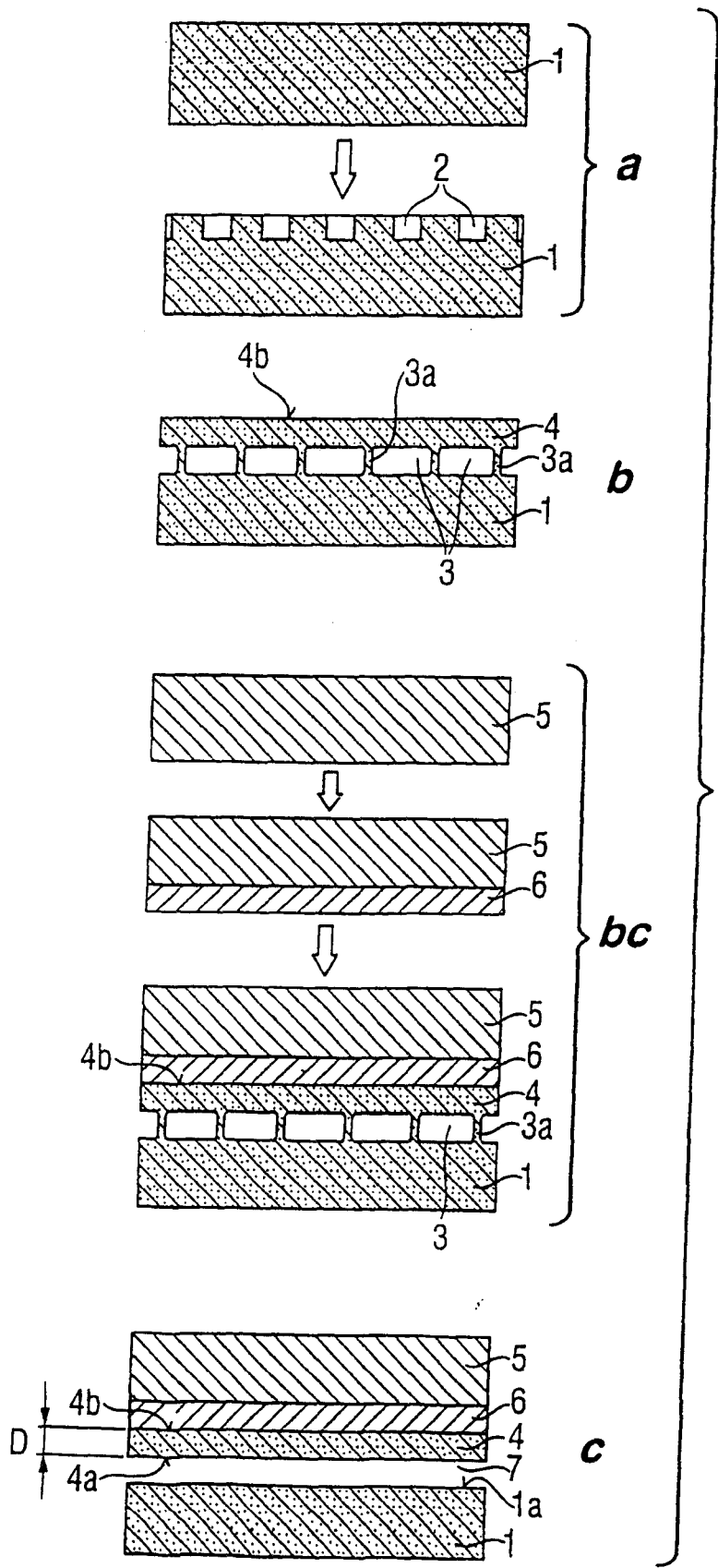


图2

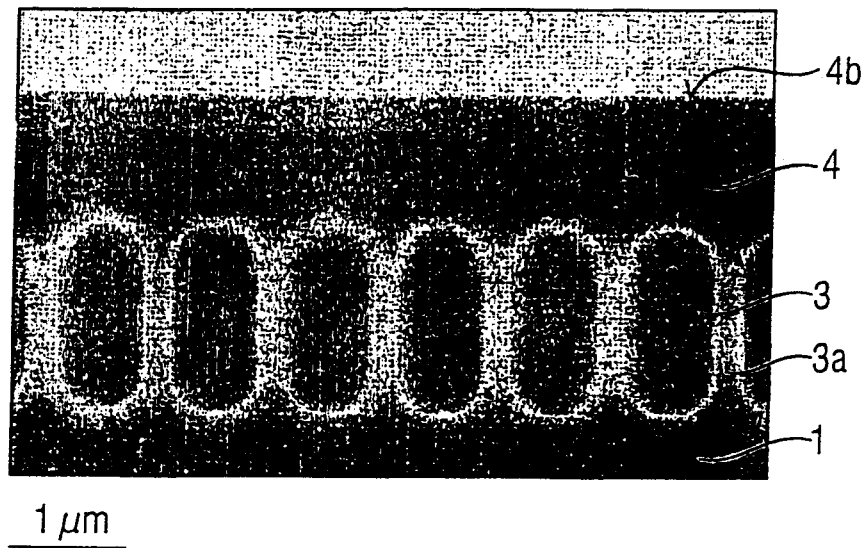


图3

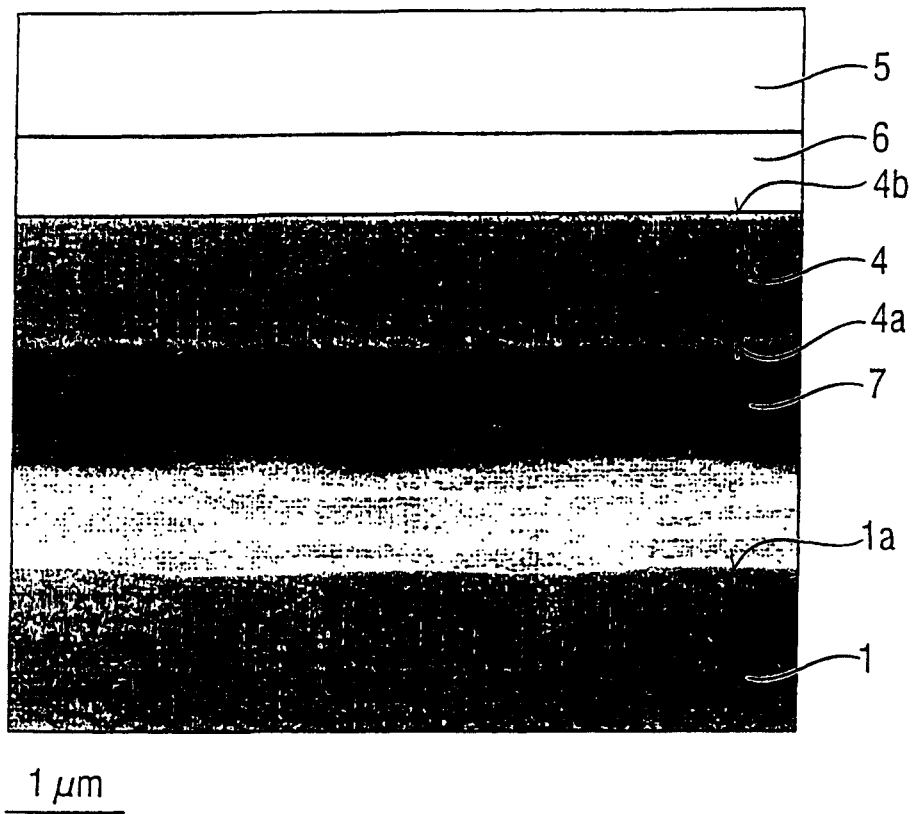


图4