

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-201230

(P2010-201230A)

(43) 公開日 平成22年9月16日(2010.9.16)

(51) Int.Cl. F 1 テーマコード (参考)  
**A 6 3 F 7/02 (2006.01)** A 6 3 F 7/02 3 2 6 Z 2 C 0 8 8

審査請求 有 請求項の数 1 O L (全 38 頁)

(21) 出願番号	特願2010-141443 (P2010-141443)	(71) 出願人	000144153
(22) 出願日	平成22年6月22日 (2010. 6. 22)		株式会社三共
(62) 分割の表示	特願2000-291052 (P2000-291052)		東京都渋谷区渋谷三丁目29番14号
	の分割	(74) 代理人	100103090
原出願日	平成12年9月25日 (2000. 9. 25)		弁理士 岩壁 冬樹
		(74) 代理人	100124501
			弁理士 塩川 誠人
		(74) 代理人	100134692
			弁理士 川村 武
		(74) 代理人	100135161
			弁理士 眞野 修二
		(72) 発明者	鶴川 詔八
			群馬県桐生市相生町1丁目164番地の5
			Fターム(参考) 2C088 BC58

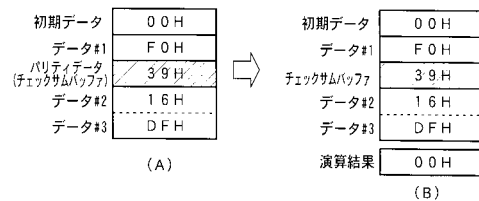
(54) 【発明の名称】 遊技機

(57) 【要約】

【課題】 停電等の不測の電源断が発生したときに、必要なデータを保存して電源復旧時に電源断時の状態から遊技を再開できるとともに、必要なデータを確実に保存する。

【解決手段】 遊技機への電力供給開始時に、バックアップRAM領域に格納されているチェックサムにもとづいてバックアップRAM領域に記憶されている最終記憶内容が正常であるか否かの判定を行い、正常である場合には最終記憶内容にもとづいて制御状態を電力供給停止前の状態に復旧させる制御を行うように構成されている場合に、チェックサムを、バックアップRAM領域の中途のアドレスに格納するようにしたので、演算結果をチェックサムバッファの内容と比較する必要はなく、単に、00(H)と比較すればよいので、パリティチェック処理が簡略化される。

【選択図】 図24



**【特許請求の範囲】****【請求項 1】**

遊技者が所定の遊技を行うことが可能な遊技機であって、

遊技に関する制御を行うマイクロコンピュータと、マイクロコンピュータが制御を行う際に発生する変動データを記憶する変動データ記憶手段と、遊技機への電力供給が停止していても電力供給停止直前の前記変動データ記憶手段の最終記憶内容を保持させることが可能な記憶内容保持手段とを備え、

前記マイクロコンピュータは、遊技機への電力供給停止時に、前記最終記憶内容の各データの排他的論理和を順次演算することによってチェックデータを作成して前記記憶内容保持手段によって保持される変動データ記憶手段の使用領域の途中のアドレスに格納し、遊技機への電力供給開始時に、前記変動データ記憶手段に格納されている各データの排他的論理和を順次演算して演算結果が0であったら前記変動データ記憶手段に記憶されている最終記憶内容が正常であると判定し、前記最終記憶内容にもとづいて制御状態を電力供給停止前の状態に復旧させるための制御を行う

ことを特徴とする遊技機。

**【発明の詳細な説明】****【技術分野】****【0001】**

本発明は、遊技者の操作に応じて遊技が行われるパチンコ遊技機、コイン遊技機、スロット機等の遊技機に関する。

**【背景技術】****【0002】**

遊技機として、遊技球などの遊技媒体を発射装置によって遊技領域に発射し、遊技領域に設けられている入賞口などの入賞領域に遊技媒体が入賞すると、所定個の賞球が遊技者に払い出されるものがある。さらに、表示状態が変化可能な可変表示部が設けられ、可変表示部の表示結果があらかじめ定められた特定の表示態様となった場合に所定の遊技価値を遊技者に与えるように構成されたものがある。

**【0003】**

遊技価値とは、遊技機の遊技領域に設けられた可変入賞球装置の状態が打球が入賞しやすい遊技者にとって有利な状態になることや、遊技者にとって有利な状態となるための権利を発生させたりすることや、景品遊技媒体払出の条件が成立しやすくなる状態になることである。また、入賞等の所定の条件成立に応じて所定量の遊技球やコインが付与されたり得点が加算されたりする場合に、それらを価値または有価価値と呼ぶことにする。

**【0004】**

パチンコ遊技機では、特別図柄を表示する可変表示部の表示結果があらかじめ定められた特定の表示態様の組合せとなることを、通常、「大当り」という。大当りが発生すると、例えば、大入賞口が所定回数開放して打球が入賞しやすい大当り遊技状態に移行する。そして、各開放期間において、所定個（例えば10個）の大入賞口への入賞があると大入賞口は閉成する。そして、大入賞口の開放回数は、所定回数（例えば16ラウンド）に固定されている。なお、各開放について開放時間（例えば29.5秒）が決められ、入賞数が所定個に達しなくても開放時間が経過すると大入賞口は閉成する。また、大入賞口が閉成した時点で所定の条件（例えば、大入賞口内に設けられているVゾーンへの入賞）が成立していない場合には、大当り遊技状態は終了する。

**【0005】**

また、「大当り」の組合せ以外の「はずれ」の表示態様の組合せのうち、複数の可変表示部の表示結果のうちの一部が未だに導出表示されていない段階において、既に表示結果が導出表示されている可変表示部の表示態様が特定の表示態様の組合せとなる表示条件を満たしている状態を「リーチ」という。遊技者は、大当りをいかにして発生させるかを楽しみつつ遊技を行う。

**【0006】**

10

20

30

40

50

遊技機における遊技進行はマイクロコンピュータ等による遊技制御手段によって制御される。可変表示装置に表示される識別情報、キャラクタ画像および背景画像は、遊技制御手段からの表示制御コマンドデータに従って動作する表示制御手段によって制御される。可変表示装置に表示される識別情報、キャラクタ画像および背景画像は、一般に、表示制御用のマイクロコンピュータとマイクロコンピュータの指示に応じて画像データを生成して可変表示装置側に転送するビデオディスプレイプロセッサ（VDP）とによって制御されるが、表示制御用のマイクロコンピュータのプログラム容量は大きい。

【0007】

従って、プログラム容量に制限のある遊技制御手段のマイクロコンピュータで可変表示装置に表示される識別情報等を制御することはできず、遊技制御手段のマイクロコンピュータとは別の表示制御用のマイクロコンピュータを含む表示制御手段が設けられる。よって、遊技の進行を制御する遊技制御手段は、表示制御手段に対して表示制御のためのコマンドを送信する必要がある。

10

【0008】

また、そのような遊技機では、遊技盤にスピーカが設けられ、遊技効果を増進するために遊技の進行に伴ってスピーカから種々の効果音が発せられる。また、遊技盤にランプやLED等の発光体が設けられ、遊技効果を増進するために遊技の進行に伴ってそれらの発光体が点灯されたり消灯されたりする。一般に、効果音を発生する音声制御は、遊技の進行を制御する遊技制御手段によって行われる。また、発光体の点灯/消灯制御は、遊技の進行を制御する遊技制御手段によって行われる。すると、遊技機の機種が異なると、効果音の発生の仕方も異なり、また、ランプやLEDの点灯/消灯のパターン異なるので、それに応じて遊技制御手段の構成を変更しなければならない。従って、機種が異なると遊技制御手段を設計し直す必要があり、設計コストが増大するという問題がある。

20

【0009】

そのような問題を回避するには、音制御手段を搭載した音制御基板を遊技制御手段とは別に設けたり、発光体制御手段を搭載した発光体制御基板を遊技制御手段とは別に設けたりして、遊技の進行に応じて遊技制御手段から音制御手段や発光体制御手段に制御コマンドを送る構成にすればよい。そのような構成によれば、音制御手段や発光体制御手段が制御コマンドの解釈を変更することによって、異なる機種にも対応できる。音制御基板および発光体制御基板以外の基板であって、制御用のマイクロプロセッサを含む制御手段を搭載した各制御基板に制御コマンドを送出する場合も、同様な構成をとることができる。なお、各制御手段における制御コマンドの解釈の変更は、ソフトウェア変更で容易に対応できる。

30

【0010】

また、遊技者は、一般に、遊技媒体を遊技機を介して借り出す。その場合、遊技媒体貸出機構が遊技機に設けられる。遊技媒体貸出機構は、賞球払出を行う払出機構と共通化されることも多い。遊技媒体貸出機構と賞球払出機構とが共通化されている場合でも別個に設けられている場合でも、ともに遊技媒体を払い出す動作を行うのであるから、それらは、一般に、一つの払出制御基板に搭載された払出制御手段によって制御される。

【0011】

遊技の進行は遊技制御基板に搭載された遊技制御手段によって制御されるので、入賞にもとづく賞球個数は、遊技制御手段によって決定され、払出制御基板に送信される。一方、遊技媒体の貸し出しは、遊技の進行とは無関係であるから、一般に、遊技制御手段を介さず払出制御手段によって制御される。

40

【発明の概要】

【発明が解決しようとする課題】

【0012】

以上のように、遊技機には、遊技制御手段の他に種々の制御手段が搭載されている。一般に、各制御手段はマイクロコンピュータを含む構成とされる。すなわち、ROM等にプログラムが格納され、制御上一時的に発生するデータや制御進行に伴って変化するデータ

50

が R A M に格納される。すると、遊技機に停電等による電源供給停止状態が発生すると、R A M 内のデータは失われてしまう。よって、電力供給復旧時には、最初の状態（例えば、遊技店においてその日最初に遊技機に電源投入されたときの状態）に戻さざるを得ないので、遊技者に不利益がもたらされる可能性がある。例えば、大当たり遊技中において電力供給が停止し遊技機が最初の状態に戻ってしまうのでは、遊技者は大当たりの発生にもとづく利益を享受することができなくなってしまう。

【 0 0 1 3 】

そこで、本発明は、停電等によって不測の電力供給の停止が発生したときに、必要なデータを保存して電力供給復旧時に電力供給停止時の状態から遊技を再開できるとともに、必要なデータを確実に保存することができる遊技機を提供することを目的とする。

10

【課題を解決するための手段】

【 0 0 1 4 】

本発明による遊技機は、遊技者が所定の遊技を行うことが可能な遊技機であって、遊技に関する制御を行うマイクロコンピュータと、マイクロコンピュータが制御を行う際に発生する変動データを記憶する変動データ記憶手段と、遊技機への電力供給が停止していても電力供給停止直前の変動データ記憶手段の最終記憶内容を保持させることが可能な記憶内容保持手段とを備え、マイクロコンピュータが、遊技機への電力供給停止時に、最終記憶内容の各データの排他的論理和を順次演算することによってチェックデータを作成して記憶内容保持手段によって保持される変動データ記憶手段の使用領域の中途のアドレスに格納し、遊技機への電力供給開始時に、変動データ記憶手段に格納されている各データの排他的論理和を順次演算して演算結果が 0 であったら変動データ記憶手段に記憶されている最終記憶内容が正常であると判定し、最終記憶内容にもとづいて制御状態を電力供給停止前の状態に復旧させるための制御を行うことを特徴とする。

20

【発明の効果】

【 0 0 1 5 】

請求項 1 記載の発明では、遊技機を、マイクロコンピュータが、遊技機への電力供給停止時に、最終記憶内容の各データの排他的論理和を順次演算することによってチェックデータを作成して記憶内容保持手段によって保持される変動データ記憶手段の使用領域の中途のアドレスに格納し、遊技機への電力供給開始時に、変動データ記憶手段に格納されている各データの排他的論理和を順次演算して演算結果が 0 であったら変動データ記憶手段に記憶されている最終記憶内容が正常であると判定し、最終記憶内容にもとづいて制御状態を電力供給停止前の状態に復旧させるための制御を行うように構成したので、停電等の不測の電源断が発生したときに、必要なデータを保存して電力供給開始時に電力供給停止時の制御状態に復旧させることができるとともに、必要なデータを確実に保存することができる効果がある。特に、変動データ記憶手段の中途のアドレスにチェックデータを格納するようにした場合には、演算結果を、保存されているチェックデータと比較する必要はなく、パリティチェック処理が簡略化される。

30

【図面の簡単な説明】

【 0 0 1 6 】

【図 1】パチンコ遊技機を正面からみた正面図である。

40

【図 2】パチンコ遊技機の裏面に設けられている各基板を示す説明図である。

【図 3】パチンコ遊技機の機構盤を背面からみた背面図である。

【図 4】遊技制御基板（主基板）の回路構成を示すブロック図である。

【図 5】図柄制御基板内の回路構成を示すブロック図である。

【図 6】ランプ制御基板内の回路構成を示すブロック図である。

【図 7】音制御基板内の回路構成を示すブロック図である。

【図 8】払出制御基板および球払出装置の構成要素などの賞球に関連する構成要素を示すブロック図である。

【図 9】電源基板の一構成例を示すブロック図である。

【図 10】C P U の内部構成をより詳細に示すブロック図である。

50

【図 1 1】主基板における CPU が実行するメイン処理の例を示すフローチャートである。

【図 1 2】遊技状態復旧処理を実行するか否かの決定方法の例を示す説明図である。

【図 1 3】2ms タイマ割込処理の例を示すフローチャートである。

【図 1 4】主基板から他の電気部品制御基板の電気部品制御手段に送出される制御コマンドの制御を説明するための説明図である。

【図 1 5】ROM のアドレスマップを示す説明図である。

【図 1 6】遊技制御手段における電力供給停止時処理の処理例を示すフローチャートである。

【図 1 7】遊技制御手段における電力供給停止時処理の処理例を示すフローチャートである。

【図 1 8】RAM のアドレスマップを示す説明図である。

【図 1 9】チェックサム作成方法の一例を説明するための説明図である。

【図 2 0】RAM のアドレスマップの他の例を示す説明図である。

【図 2 1】遊技制御手段における電力供給停止時処理の他の処理例を示すフローチャートである。

【図 2 2】遊技制御手段における電力供給停止時処理の他の処理例を示すフローチャートである。

【図 2 3】パリティチェック処理を示すフローチャートである。

【図 2 4】チェックサム作成方法の他の例を説明するための説明図である。

【図 2 5】払出制御用 CPU 周りの一構成例を示すブロック図である。

【図 2 6】払出制御基板における CPU が実行するメイン処理を示すフローチャートである。

【図 2 7】払出制御手段における電力供給停止時処理を示すフローチャートである。

【図 2 8】払出制御手段における電力供給停止時処理を示すフローチャートである。

【発明を実施するための形態】

【0017】

以下、本発明の一実施形態を図面を参照して説明する。

まず、遊技機の一部であるパチンコ遊技機の全体の構成について説明する。図 1 はパチンコ遊技機 1 を正面からみた正面図である。なお、ここでは、遊技機の一部としてパチンコ遊技機を示すが、本発明はパチンコ遊技機に限られず、例えばコイン遊技機やスロット機等であってもよい。

【0018】

図 1 に示すように、パチンコ遊技機 1 は、額縁状に形成されたガラス扉枠 2 を有する。ガラス扉枠 2 の下部表面には打球供給皿 3 がある。打球供給皿 3 の下部には、打球供給皿 3 からあふれた遊技球を貯留する余剰玉受皿 4 と打球を発射する打球操作ハンドル（操作ノブ）5 が設けられている。ガラス扉枠 2 の後方には、遊技盤 6 が着脱可能に取り付けられている。また、遊技盤 6 の前面には遊技領域 7 が設けられている。

【0019】

遊技領域 7 の中央付近には、複数種類の図柄を可変表示するための可変表示部（特別図柄表示装置）9 と 7 セグメント LED による普通図柄表示器（普通図柄表示装置）10 とを含む可変表示装置 8 が設けられている。可変表示部 9 には、例えば「左」、「中」、「右」の 3 つの図柄表示エリアがある。可変表示装置 8 の側部には、打球を導く通過ゲート 11 が設けられている。通過ゲート 11 を通過した打球は、玉出口 13 を経て始動入賞口 14 の方に導かれる。通過ゲート 11 と玉出口 13 との間の通路には、通過ゲート 11 を通過した打球を検出するゲートスイッチ 12 がある。また、始動入賞口 14 に入った入賞球は、遊技盤 6 の背面に導かれ、始動口スイッチ 17 によって検出される。また、始動入賞口 14 の下部には開閉動作を行う可変入賞球装置 15 が設けられている。可変入賞球装置 15 は、ソレノイド 16 によって開状態とされる。

【0020】

10

20

30

40

50

可変入賞球装置 15 の下部には、特定遊技状態（大当り状態）においてソレノイド 21 によって開状態とされる開閉板 20 が設けられている。この実施の形態では、開閉板 20 が大入賞口を開閉する手段となる。開閉板 20 から遊技盤 6 の背面に導かれた入賞球のうち一方（Vゾーン）に入った入賞球はVカウントスイッチ 22 で検出される。また、開閉板 20 からの入賞球はカウントスイッチ 23 で検出される。可変表示装置 8 の下部には、始動入賞口 14 に入った入賞球数を表示する 4 個の表示部を有する始動入賞記憶表示器 18 が設けられている。この例では、4 個を上限として、始動入賞がある毎に、始動入賞記憶表示器 18 は点灯している表示部を 1 つずつ増やす。そして、可変表示部 9 の可変表示が開始される毎に、点灯している表示部を 1 つ減らす。

【0021】

遊技盤 6 には、複数の入賞口 19, 24 が設けられ、遊技球のそれぞれの入賞口 19, 24 への入賞は、対応して設けられている入賞口スイッチ 19a, 19b, 24a, 24b によって検出される。遊技領域 7 の左右周辺には、遊技中に点滅表示される装飾ランプ 25 が設けられ、下部には、入賞しなかった打球を吸収するアウト口 26 がある。また、遊技領域 7 の外側の左右上部には、効果音を発する 2 つのスピーカ 27 が設けられている。遊技領域 7 の外周には、遊技効果 LED 28a および遊技効果ランプ 28b, 28c が設けられている。

【0022】

そして、この例では、一方のスピーカ 27 の近傍に、景品球払出時に点灯する賞球ランプ 51 が設けられ、他方のスピーカ 27 の近傍に、補給球が切れたときに点灯する球切れランプ 52 が設けられている。さらに、図 1 には、パチンコ遊技機 1 に隣接して設置され、プリペイドカードが挿入されることによって球貸しを可能にするカードユニット 50 も示されている。

【0023】

カードユニット 50 には、使用可能状態であるか否かを示す使用可表示ランプ 151、カード内に記録された残額情報に端数（100円未満の数）が存在する場合にその端数を打球供給皿 3 の近傍に設けられる度数表示 LED に表示させるための端数表示スイッチ 152、カードユニット 50 がいずれの側のパチンコ遊技機 1 に対応しているのかを示す連結台方向表示器 153、カードユニット 50 内にカードが投入されていることを示すカード投入表示ランプ 154、記録媒体としてのカードが挿入されるカード挿入口 155、およびカード挿入口 155 の裏面に設けられているカードリーダーの機構を点検する場合にカードユニット 50 を解放するためのカードユニット錠 156 が設けられている。

【0024】

打球発射装置から発射された打球は、打球レールを通過して遊技領域 7 に入り、その後、遊技領域 7 を下りてくる。打球が通過ゲート 11 を通過してゲートスイッチ 12 で検出されると、普通図柄表示器 10 の表示数字が連続的に変化する状態になる。また、打球が始動入賞口 14 に入り始動口スイッチ 17 で検出されると、図柄の変動を開始できる状態であれば、可変表示部 9 内の図柄が回転を始める。図柄の変動を開始できる状態でなければ、始動入賞記憶を 1 増やす。

【0025】

可変表示部 9 内の画像の回転は、一定時間が経過したときに停止する。停止時の画像の組み合わせが大当り図柄の組み合わせであると、大当り遊技状態に移行する。すなわち、開閉板 20 が、一定時間経過するまで、または、所定回数（例えば 10 個）の打球が入賞するまで開放する。そして、開閉板 20 の開放中に打球が特定入賞領域に入賞し V カウントスイッチ 22 で検出されると、継続権が発生し開閉板 20 の開放が再度行われる。継続権の発生は、所定回数（例えば 15 ラウンド）許容される。

【0026】

停止時の可変表示部 9 内の画像の組み合わせが確率変動を伴う大当り図柄の組み合わせである場合には、次に大当りとなる確率が高くなる。すなわち、高確率状態という遊技者にとってさらに有利な状態となる。また、普通図柄表示器 10 における停止図柄が所定の

10

20

30

40

50

図柄（当り図柄＝小当り図柄）である場合に、可変入賞球装置 15 が所定時間だけ開状態になる。さらに、高確率状態では、普通図柄表示器 10 における停止図柄が当り図柄になる確率が高められるとともに、可変入賞球装置 15 の開放時間と開放回数が高められる。

【0027】

次に、パチンコ遊技機 1 の裏面に配置されている各基板について説明する。

図 2 に示すように、パチンコ遊技機 1 の裏面では、枠体 2 A 内の機構板の上部に玉貯留タンク 38 が設けられ、パチンコ遊技機 1 が遊技機設置島に設置された状態でその上方から遊技球が球貯留タンク 38 に供給される。球貯留タンク 38 内の遊技球は、誘導樋 39 を通って賞球ケース 40 A で覆われる球払出装装置に至る。

【0028】

遊技機裏面側では、可変表示部 9 を制御する図柄制御基板を含む可変表示制御ユニット 29、遊技制御用マイクロコンピュータ等が搭載された遊技制御基板（主基板）31 が設置されている。また、球払出制御を行う払出制御用マイクロコンピュータ等が搭載された払出制御基板 37、およびモータの回転力を利用して打球を遊技領域 7 に発射する打球発射装置が設置されている。さらに、装飾ランプ 25、遊技効果 LED 28 a、遊技効果ランプ 28 b、28 c、賞球ランプ 51 および球切れランプ 52 に信号を送るためのランプ制御基板 35、スピーカ 27 からの音声発生を制御するための音制御基板 70 および打球発射装置を制御するための発射制御基板 91 も設けられている。

【0029】

さらに、DC 30 V、DC 21 V、DC 12 V および DC 5 V を作成する電源回路が搭載された電源基板 910 が設けられ、上方には、各種情報を遊技機外部に出力するための各端子を備えたターミナル基板 160 が設置されている。ターミナル基板 160 には、少なくとも、球切れ検出スイッチの出力を導入して外部出力するための球切れ用端子、賞球個数信号を外部出力するための賞球用端子および所定個数の球貸し毎に発生する球貸し信号を外部出力するための球貸し用端子が設けられている。また、中央付近には、主基板 31 からの各種情報を遊技機外部に出力するための各端子を備えた情報端子盤 34 が設置されている。

【0030】

なお、図 2 には、ランプ制御基板 35 および音制御基板 70 からの信号を、枠側に設けられている遊技効果 LED 28 a、遊技効果ランプ 28 b、28 c、賞球ランプ 51 および球切れランプ 52 に供給するための電飾中継基板 A77 が示されているが、信号中継の必要に応じて他の中継基板も設けられる。

【0031】

図 3 はパチンコ遊技機 1 の機構板を背面からみた背面図である。球貯留タンク 38 に貯留された玉は誘導樋 39 を通り、図 3 に示されるように、球切れ検出器（球切れスイッチ）187 a、187 b を通過して球供給樋 186 a、186 b を経て球払出装装置 97 に至る。球切れスイッチ 187 a、187 b は遊技球通路内の遊技球の有無を検出するスイッチであるが、球タンク 38 内の補給球の不足を検出する球切れ検出スイッチ 167 も設けられている。以下、球切れスイッチ 187 a、187 b を、球切れスイッチ 187 と表現することがある。

【0032】

球払出装装置 97 から払い出された遊技球は、連絡口 45 を通ってパチンコ遊技機 1 の前面に設けられている打球供給皿 3 に供給される。連絡口 45 の側方には、パチンコ遊技機 1 の前面に設けられている余剰玉受皿 4 に連通する余剰玉通路 46 が形成されている。

【0033】

入賞にもとづく景品球が多数払い出されて打球供給皿 3 が満杯になり、ついには遊技球が連絡口 45 に到達した後さらに遊技球が払い出されると遊技球は、余剰玉通路 46 を経て余剰玉受皿 4 に導かれる。さらに遊技球が払い出されると、感知レバー 47 が満タンスイッチ 48 を押圧して満タンスイッチ 48 がオンする。その状態では、球払出装装置 97 内のステッピングモータの回転が停止して球払出装装置 97 の動作が停止するとともに打球発

10

20

30

40

50

射装置 34 の駆動も停止する。

【0034】

図4は、主基板31における回路構成の一例を示すブロック図である。なお、図4には、払出制御基板37、ランプ制御基板35、音制御基板70、発射制御基板91および図柄制御基板80も示されている。なお、以下、払出制御基板37、ランプ制御基板35、音制御基板70および図柄制御基板80を電気部品制御基板ということがある。また、電気部品制御基板に搭載されているマイクロコンピュータを含む制御手段を電気部品制御手段ということがある。電気部品制御手段によって制御される電気部品のうち、遊技演出に関わるものが演出部品である。そして、ランプ制御基板35、音制御基板70および図柄制御基板80は演出部品制御基板の例でもある。また、ランプ制御基板35、音制御基板70および図柄制御基板80に搭載されている電気部品制御手段(ランプ制御手段、音制御手段および表示制御手段)は演出部品制御手段の例でもある。

10

【0035】

主基板31には、プログラムに従ってパチンコ遊技機1を制御する基本回路53と、ゲートスイッチ12、始動口スイッチ17、Vカウントスイッチ22、カウントスイッチ23、入賞口スイッチ19a, 19b, 24a, 24b、満タンスイッチ48、球切れスイッチ187および賞球カウントスイッチ301Aからの信号を基本回路53に与えるスイッチ回路58と、可変入賞球装置15を開閉するソレノイド16、開閉板20を開閉するソレノイド21および大入賞口内の経路を切り換えるための切換ソレノイド21Aを基本回路53からの指令に従って駆動するソレノイド回路59とが搭載されている。

20

【0036】

なお、図4には示されていないが、カウントスイッチ短絡信号もスイッチ回路58を介して基本回路53に伝達される。

【0037】

また、基本回路53から与えられるアドレス信号をデコードしてI/Oポート部57のうちのいずれかのI/Oポートを選択するための信号を出力するアドレスデコード回路67と、基本回路53から与えられるデータに従って、大当りの発生を示す大当り情報、可変表示部9の画像表示開始に利用された始動入賞球の個数を外部で特定可能とするために可変表示の停止時に出力される有効始動情報、確率変動が生じたことを示す確変情報等の情報出力信号をホールコンピュータ等の外部機器に対して出力する情報出力回路64が搭載されている。

30

【0038】

基本回路53は、ゲーム制御用のプログラム等を記憶するROM54、ワークメモリとして使用される記憶手段の一例であるRAM55、プログラムに従って制御動作を行うCPU56およびI/Oポート部57を含む。この実施の形態では、ROM54, RAM55はCPU56に内蔵されている。すなわち、CPU56は、1チップマイクロコンピュータである。なお、1チップマイクロコンピュータは、少なくともRAM55が内蔵されていればよく、ROM54およびI/Oポート部57は外付けであっても内蔵されていてもよい。

【0039】

さらに、主基板31には、電源投入時に基本回路53をリセットするためのシステムリセット回路65が設けられている。

40

【0040】

遊技球を打撃して発射する打球発射装置は発射制御基板91上の回路によって制御される駆動モータ94で駆動される。そして、駆動モータ94の駆動力は、操作ノブ5の操作量に従って調整される。すなわち、発射制御基板91上の回路によって、操作ノブ5の操作量に応じた速度で打球が発射されるように制御される。

【0041】

なお、この実施の形態では、ランプ制御基板35に搭載されているランプ制御手段が、遊技盤に設けられている始動記憶表示器18、ゲート通過記憶表示器41および装飾ラン

50

ブ 2 5 の表示制御を行うとともに、枠側に設けられている遊技効果ランプ・LED 2 8 a , 2 8 b , 2 8 c、賞球ランプ 5 1 および球切れランプ 5 2 の表示制御を行う。また、特別図柄を可変表示する可変表示部 9 および普通図柄を可変表示する普通図柄表示器 1 0 の表示制御は、図柄制御基板 8 0 に搭載されている表示制御手段によって行われる。

【 0 0 4 2 】

図 5 は、図柄制御基板 8 0 内の回路構成を、可変表示部 9 の一実現例である LCD (液晶表示装置) 8 2、普通図柄表示器 1 0、主基板 3 1 の出力ポート (ポート 0 , 2 ) 5 7 0 , 5 7 2 および出力バッファ回路 6 2 0 , 6 2 A とともに示すブロック図である。出力ポート (出力ポート 2 ) 5 7 2 からは 8 ビットのデータが出力され、出力ポート 5 7 0 からは 1 ビットのストロブ信号 (INT 信号) が出力される。

10

【 0 0 4 3 】

表示制御用 CPU 1 0 1 は、制御データ ROM 1 0 2 に格納されたプログラムに従って動作し、主基板 3 1 からノイズフィルタ 1 0 7 および入力バッファ回路 1 0 5 B を介して INT 信号が入力されると、入力バッファ回路 1 0 5 A を介して表示制御コマンドを受信する。入力バッファ回路 1 0 5 A , 1 0 5 B として、例えば汎用 IC である 7 4 H C 5 4 0 , 7 4 H C 1 4 を使用することができる。なお、表示制御用 CPU 1 0 1 が I / O ポートを内蔵していない場合には、入力バッファ回路 1 0 5 A , 1 0 5 B と表示制御用 CPU 1 0 1 との間に、I / O ポートが設けられる。

【 0 0 4 4 】

そして、表示制御用 CPU 1 0 1 は、受信した表示制御コマンドに従って、LCD 8 2 に表示される画面の表示制御を行う。具体的には、表示制御コマンドに応じた指令を VDP 1 0 3 に与える。VDP 1 0 3 は、キャラクタ ROM 8 6 から必要なデータを読み出す。VDP 1 0 3 は、入力したデータに従って LCD 8 2 に表示するための画像データを生成し、R , G , B 信号および同期信号を LCD 8 2 に出力する。

20

【 0 0 4 5 】

なお、図 5 には、VDP 1 0 3 をリセットするためのリセット回路 8 3、VDP 1 0 3 に動作クロックを与えるための発振回路 8 5、および使用頻度の高い画像データを格納するキャラクタ ROM 8 6 も示されている。キャラクタ ROM 8 6 に格納される使用頻度の高い画像データとは、例えば、LCD 8 2 に表示される人物、動物、または、文字、図形もしくは記号等からなる画像などである。

30

【 0 0 4 6 】

入力バッファ回路 1 0 5 A , 1 0 5 B は、主基板 3 1 から図柄制御基板 8 0 へ向かう方向にのみ信号を通過させることができる。従って、図柄制御基板 8 0 側から主基板 3 1 側に信号が伝わる余地はない。すなわち、入力バッファ回路 1 0 5 A , 1 0 5 B は、入力ポートとともに不可逆性情報入力手段を構成する。図柄制御基板 8 0 内の回路に不正改造が加えられても、不正改造によって出力される信号が主基板 3 1 側に伝わることはない。

【 0 0 4 7 】

なお、出力ポート 5 7 0 , 5 7 2 の出力をそのまま図柄制御基板 8 0 に出力してもよいが、単方向にのみ信号伝達可能な出力バッファ回路 6 2 0 , 6 2 A を設けることによって、主基板 3 1 から図柄制御基板 8 0 への一方向性の信号伝達をより確実にすることができる。すなわち、出力バッファ回路 6 2 0 , 6 2 A は、出力ポートとともに不可逆性情報出力手段を構成する。不可逆性情報出力手段によって、図柄制御基板 8 0 への信号伝達線を介する不正信号の入力が確実に防止される。

40

【 0 0 4 8 】

また、高周波信号を遮断するノイズフィルタ 1 0 7 として、例えば 3 端子コンデンサやフェライトビーズが使用されるが、ノイズフィルタ 1 0 7 の存在によって、表示制御コマンドに基板間でノイズが乗ったとしても、その影響は除去される。なお、主基板 3 1 のバッファ回路 6 2 0 , 6 2 A の出力側にもノイズフィルタを設けてもよい。

【 0 0 4 9 】

図 6 は、主基板 3 1 およびランプ制御基板 3 5 における信号送受信部分を示すブロック

50

図である。この実施の形態では、遊技領域 7 の外側に設けられている遊技効果 LED 28 a、遊技効果ランプ 28 b, 28 c と遊技盤に設けられている装飾ランプ 25 の点灯 / 消灯と、賞球ランプ 51 および球切れランプ 52 の点灯 / 消灯とを示すランプ制御コマンドが主基板 31 からランプ制御基板 35 に出力される。また、始動記憶表示器 18 およびゲート通過記憶表示器 41 の点灯個数を示すランプ制御コマンドも主基板 31 からランプ制御基板 35 に出力される。

【 0050 】

図 6 に示すように、ランプ制御に関するランプ制御コマンドは、基本回路 53 における I / O ポート部 57 の出力ポート (出力ポート 0, 3) 570, 573 から出力される。出力ポート (出力ポート 3) 573 は 8 ビットのデータを出力し、出力ポート 570 は 1 ビットの INT 信号を出力する。ランプ制御基板 35 において、主基板 31 からの制御コマンドは、入力バッファ回路 355 A, 355 B を介してランプ制御用 CPU 351 に入力する。なお、ランプ制御用 CPU 351 が I / O ポートを内蔵していない場合には、入力バッファ回路 355 A, 355 B とランプ制御用 CPU 351 との間に、I / O ポートが設けられる。

10

【 0051 】

ランプ制御基板 35 において、ランプ制御用 CPU 351 は、各制御コマンドに応じて定義されている遊技効果 LED 28 a、遊技効果ランプ 28 b, 28 c、装飾ランプ 25 の点灯 / 消灯パターンに従って、遊技効果 LED 28 a、遊技効果ランプ 28 b, 28 c、装飾ランプ 25 に対して点灯 / 消灯信号を出力する。点灯 / 消灯信号は、遊技効果 LED 28 a、遊技効果ランプ 28 b, 28 c、装飾ランプ 25 に出力される。なお、点灯 / 消灯パターンは、ランプ制御用 CPU 351 の内蔵 ROM または外付け ROM に記憶されている。

20

【 0052 】

主基板 31 において、CPU 56 は、RAM 55 の記憶内容に未払出の賞球残数があるときに賞球ランプ 51 の点灯を指示する制御コマンドを出力し、前述した遊技盤裏面の払出球通路 186 a, 186 b の上流に設置されている球切れスイッチ 187 a, 187 b (図 3 参照) が遊技球を検出しなくなると球切れランプ 52 の点灯を指示する制御コマンドを出力する。ランプ制御基板 35 において、各制御コマンドは、入力バッファ回路 355 A, 355 B を介してランプ制御用 CPU 351 に入力する。ランプ制御用 CPU 351 は、それらの制御コマンドに応じて、賞球ランプ 51 および球切れランプ 52 を点灯 / 消灯する。なお、点灯 / 消灯パターンは、ランプ制御用 CPU 351 の内蔵 ROM または外付け ROM に記憶されている。

30

【 0053 】

さらに、ランプ制御用 CPU 351 は、制御コマンドに応じて始動記憶表示器 18 およびゲート通過記憶表示器 41 に対して点灯 / 消灯信号を出力する。

【 0054 】

入力バッファ回路 355 A, 355 B として、例えば、汎用の CMOS - IC である 74HC540, 74HC14 が用いられる。入力バッファ回路 355 A, 355 B は、主基板 31 からランプ制御基板 35 へ向かう方向にのみ信号を通過させることができる。従って、ランプ制御基板 35 側から主基板 31 側に信号が伝わる余地はない。たとえ、ランプ制御基板 35 内の回路に不正改造が加えられても、不正改造によって出力される信号がメイン基板 31 側に伝わることはない。なお、入力バッファ回路 355 A, 355 B の入力側にノイズフィルタを設けてもよい。

40

【 0055 】

また、主基板 31 において、出力ポート 570, 573 の外側にバッファ回路 620, 63A が設けられている。バッファ回路 620, 63A として、例えば、汎用の CMOS - IC である 74HC250, 74HC14 が用いられる。このような構成によれば、外部から主基板 31 の内部に入力される信号が阻止されるので、ランプ制御基板 70 から主基板 31 に信号が与えられる可能性がある信号ラインをさらに確実になくすことができる

50

。なお、バッファ回路 6 2 0 , 6 3 A の出力側にノイズフィルタを設けてもよい。

【 0 0 5 6 】

図 7 は、主基板 3 1 における音声制御コマンドの信号送信部分および音制御基板 7 0 の構成例を示すブロック図である。この実施の形態では、遊技進行に応じて、遊技領域 7 の外側に設けられているスピーカ 2 7 の音声出力を指示するための音声制御コマンドが、主基板 3 1 から音制御基板 7 0 に出力される。

【 0 0 5 7 】

図 7 に示すように、音声制御コマンドは、基本回路 5 3 における I / O ポート部 5 7 の出力ポート ( 出力ポート 0 , 4 ) 5 7 0 , 5 7 4 から出力される。出力ポート ( 出力ポート 4 ) 5 7 4 からは 8 ビットのデータが出力され、出力ポート 5 7 0 からは 1 ビットの I N T 信号が出力される。音制御基板 7 0 において、主基板 3 1 からの各信号は、入力バッファ回路 7 0 5 A , 7 0 5 B を介して音声制御用 C P U 7 0 1 に入力する。なお、音制御用 C P U 7 0 1 が I / O ポートを内蔵していない場合には、入力バッファ回路 7 0 5 A , 7 0 5 B と音制御用 C P U 7 0 1 との間に、I / O ポートが設けられる。

【 0 0 5 8 】

そして、例えばデジタルシグナルプロセッサによる音声合成回路 7 0 2 は、音制御用 C P U 7 0 1 の指示に応じた音声や効果音を発生し音量切替回路 7 0 3 に出力する。音量切替回路 7 0 3 は、音制御用 C P U 7 0 1 の出力レベルを、設定されている音量に応じたレベルにして音量増幅回路 7 0 4 に出力する。音量増幅回路 7 0 4 は、増幅した音声信号をスピーカ 2 7 に出力する。

【 0 0 5 9 】

入力バッファ回路 7 0 5 A , 7 0 5 B として、例えば、汎用の C M O S - I C である 7 4 H C 5 4 0 , 7 4 H C 1 4 が用いられる。入力バッファ回路 7 0 5 A , 7 0 5 B は、主基板 3 1 から音制御基板 7 0 へ向かう方向にのみ信号を通過させることができる。よって、音制御基板 7 0 側から主基板 3 1 側に信号が伝わる余地はない。従って、音制御基板 7 0 内の回路に不正改造が加えられても、不正改造によって出力される信号が主基板 3 1 側に伝わることはない。なお、入力バッファ回路 7 0 5 A , 7 0 5 B の入力側にノイズフィルタを設けてもよい。

【 0 0 6 0 】

また、主基板 3 1 において、出力ポート 5 7 0 , 5 7 4 の外側にバッファ回路 6 2 0 , 6 7 A が設けられている。バッファ回路 6 2 0 , 6 7 A として、例えば、汎用の C M O S - I C である 7 4 H C 2 5 0 , 7 4 H C 1 4 が用いられる。このような構成によれば、外部から主基板 3 1 の内部に入力される信号が阻止されるので、音制御基板 7 0 から主基板 3 1 に信号が与えられる可能性がある信号ラインをさらに確実になくすることができる。なお、バッファ回路 6 2 0 , 6 7 A の出力側にノイズフィルタを設けてもよい。

【 0 0 6 1 】

図 8 は、払出制御基板 3 7 および球払出装置 9 7 の構成要素などの払出に関連する構成要素を示すブロック図である。図 8 に示すように、満タンスイッチ 4 8 からの検出信号は、中継基板 7 1 を介して主基板 3 1 の I / O ポート 5 7 に入力される。満タンスイッチ 4 8 は、余剰球受皿 4 の満タンを検出するスイッチである。また、球切れスイッチ 1 8 7 ( 1 8 7 a , 1 8 7 b ) からの検出信号も、中継基板 7 2 および中継基板 7 1 を介して主基板 3 1 の I / O ポート 5 7 に入力される。

【 0 0 6 2 】

主基板 3 1 の C P U 5 6 は、球切れスイッチ 1 8 7 からの検出信号が球切れ状態を示しているか、または、満タンスイッチ 4 8 からの検出信号が満タン状態を示していると、払出禁止を指示する払出制御コマンドを送出する。払出禁止を指示する払出制御コマンドを受信すると、払出制御基板 3 7 の払出制御用 C P U 3 7 1 は球払出処理を停止する。

【 0 0 6 3 】

さらに、賞球カウントスイッチ 3 0 1 A からの検出信号も、中継基板 7 2 および中継基板 7 1 を介して主基板 3 1 の I / O ポート 5 7 に入力される。賞球カウントスイッチ 3 0

10

20

30

40

50

1 A は、球払出装置 9 7 の払出機構部分に設けられ、実際に払い出された賞球払出球を検出する。

【 0 0 6 4 】

入賞があると、払出制御基板 3 7 には、主基板 3 1 の出力ポート（ポート 0 , 1）5 7 0 , 5 7 1 から賞球個数を示す払出制御コマンドが入力される。出力ポート（出力ポート 1）5 7 1 は 8 ビットのデータを出力し、出力ポート 5 7 0 は 1 ビットのストロブ信号（INT 信号）を出力する。賞球個数を示す払出制御コマンドは、入力バッファ回路 3 7 3 A を介して I / O ポート 3 7 2 a に入力される。INT 信号は、入力バッファ回路 3 7 3 B を介して払出制御用 CPU 3 7 1 の割込端子に入力されている。払出制御用 CPU 3 7 1 は、I / O ポート 3 7 2 a を介して払出制御コマンドを入力し、払出制御コマンドに

10

応じて球払出装置 9 7 を駆動して賞球払出を行う。  
なお、この実施の形態では、払出制御用 CPU 3 7 1 は、1 チップマイクロコンピュータであり、少なくとも RAM が内蔵されている。

【 0 0 6 5 】

また、主基板 3 1 において、出力ポート 5 7 0 , 5 7 1 の外側にバッファ回路 6 2 0 , 6 8 A が設けられている。バッファ回路 6 2 0 , 6 8 A として、例えば、汎用の CMOS - IC である 7 4 H C 2 5 0 , 7 4 H C 1 4 が用いられる。このような構成によれば、外部から主基板 3 1 の内部に入力される信号が阻止されるので、払出制御基板 3 7 から主基板 3 1 に信号が与えられる可能性がある信号ラインをさらに確実になくすることができる。

20

なお、バッファ回路 6 2 0 , 6 8 A の出力側にノイズフィルタを設けてもよい。

【 0 0 6 6 】

払出制御用 CPU 3 7 1 は、出力ポート 3 7 2 g を介して、貸し球数を示す球貸し個数信号をターミナル基板 1 6 0 に出力し、ブザー駆動信号をブザー基板 7 5 に出力する。ブザー基板 7 5 にはブザーが搭載されている。さらに、出力ポート 3 7 2 e を介して、エラー表示用 LED 3 7 4 にエラー信号を出力する。

【 0 0 6 7 】

さらに、払出制御基板 3 7 の入力ポート 3 7 2 b には、中継基板 7 2 を介して、賞球カウントスイッチ 3 0 1 A および球貸しカウントスイッチ 3 0 1 B からの検出信号が入力される。球貸しカウントスイッチ 3 0 1 B は、球払出装置 9 7 の払出機構部分に設けられ、実際に払い出された貸し球を検出する。払出制御基板 3 7 からの払出モータ 2 8 9 への駆動信号は、出力ポート 3 7 2 c および中継基板 7 2 を介して球払出装置 9 7 の払出機構部分における払出モータ 2 8 9 に伝えられる。

30

【 0 0 6 8 】

カードユニット 5 0 には、カードユニット制御用マイクロコンピュータが搭載されている。また、カードユニット 5 0 には、端数表示スイッチ 1 5 2、連結台方向表示器 1 5 3、カード投入表示ランプ 1 5 4 およびカード挿入口 1 5 5 が設けられている（図 1 参照）。残高表示基板 7 4 には、打球供給皿 3 の近傍に設けられている度数表示 LED、球貸しスイッチおよび返却スイッチが接続される。

【 0 0 6 9 】

残高表示基板 7 4 からカードユニット 5 0 には、遊技者の操作に応じて、球貸しスイッチ信号および返却スイッチ信号が払出制御基板 3 7 を介して与えられる。また、カードユニット 5 0 から残高表示基板 7 4 には、プリペイドカードの残高を示すカード残高表示信号および球貸し可表示信号が払出制御基板 3 7 を介して与えられる。カードユニット 5 0 と払出制御基板 3 7 の間では、接続信号（VL 信号）、ユニット操作信号（BRDY 信号）、球貸し要求信号（BRQ 信号）、球貸し完了信号（EXS 信号）およびパチンコ機動作信号（PRDY 信号）が I / O ポート 3 7 2 f を介してやりとりされる。

40

【 0 0 7 0 】

パチンコ遊技機 1 の電源が投入されると、払出制御基板 3 7 の払出制御用 CPU 3 7 1 は、カードユニット 5 0 に PRDY 信号を出力する。また、カードユニット制御用マイクロコンピュータは、VL 信号を出力する。払出制御用 CPU 3 7 1 は、VL 信号の入力状

50

態により接続状態/未接続状態を判定する。カードユニット50においてカードが受け付けられ、球貸しスイッチが操作され球貸しスイッチ信号が入力されると、カードユニット制御用マイクロコンピュータは、払出制御基板37にBRDY信号を出力する。この時点から所定の遅延時間が経過すると、カードユニット制御用マイクロコンピュータは、払出制御基板37にBRQ信号を出力する。

#### 【0071】

そして、払出制御基板37の払出制御用CPU371は、カードユニット50に対するEXS信号を立ち上げ、カードユニット50からのBRQ信号の立ち下がりを検出すると、払出モータ289を駆動し、所定個の貸し球を遊技者に払い出す。このとき、振分用ソレノイド310は駆動状態とされている。すなわち、球振分部材311を球貸し側に向けて

10

#### 【0072】

以上のように、カードユニット50からの信号は全て払出制御基板37に入力される構成になっている。従って、球貸し制御に関して、カードユニット50から主基板31に信号が入力されることはなく、主基板31の基本回路53にカードユニット50の側から不正に信号が入力される余地はない。

#### 【0073】

なお、この実施の形態では、カードユニット50が遊技機とは別体として遊技機に隣接して設置されている場合を例にするが、カードユニット50は遊技機と一体化されていてもよい。また、コイン投入に応じてその金額に応じた遊技球を遊技機が貸し出すように構成した場合でも本発明を適用できる。

20

#### 【0074】

図9は、電源基板910の一構成例を示すブロック図である。電源基板910は、主基板31、図柄制御基板80、音制御基板70、ランプ制御基板35および払出制御基板37等の電気部品制御基板と独立して設置され、遊技機内の各電気部品制御基板および機構部品が使用する電圧を生成する。この例では、AC24V、VSL(DC+30V)、DC+21V、DC+12VおよびDC+5Vを生成する。また、バックアップ電源となるコンデンサ916は、DC+5Vすなわち各基板上のIC等を駆動する電源のラインから充

30

#### 【0075】

トランス911は、交流電源からの交流電圧を24Vに変換する。AC24V電圧は、コネクタ915に出力される。また、整流回路912は、AC24Vから+30Vの直流電圧を生成し、DC-DCコンバータ913およびコネクタ915に出力する。DC-DCコンバータ913は、1つまたは複数のコンバータIC922(図9では1つのみを示す。)を有し、VSLにもとづいて+21V、+12Vおよび+5Vを生成してコネクタ915に出力する。コンバータIC922の入力側には、比較的大容量のコンデンサ923が接続されている。従って、外部からの遊技機に対する電力供給が停止したときに、+30V、+12V、+5V等の直流電圧は、比較的緩やかに低下する。この結果、コンデンサ923は、後述する補助駆動電源の役割を果たす。コネクタ915は例えば中継基板に接続され、中継基板から各電気部品制御基板および機構部品に必要な電圧の電力が供給される。

40

#### 【0076】

ただし、電源基板910に各電気部品制御基板に至る各コネクタを設け、電源基板910から、中継基板を介さずにそれぞれの基板に至る各電圧を供給するようにしてもよい。また、図9には1つのコネクタ915が代表して示されているが、コネクタは、各電気部品制御基板対応に設けられている。

#### 【0077】

50

DC - DCコンバータ913からの+5Vラインは分岐してバックアップ+5Vラインを形成する。バックアップ+5Vラインとグラウンドレベルの間には大容量のコンデンサ916が接続されている。コンデンサ916は、遊技機に対する電力供給が遮断されたときの電気部品制御基板のバックアップRAM（電源バックアップされているRAMすなわち電力供給停止時にも記憶内容保持状態となりうるバックアップ記憶手段）に対して記憶状態を保持できるように電力を供給するバックアップ電源となる。また、+5Vラインとバックアップ+5Vラインとの間に、逆流防止用のダイオード917が挿入される。この実施の形態では、バックアップ用の+5Vは、主基板31および払出制御基板37に供給される。

【0078】

なお、バックアップ電源として、+5V電源から充電可能な電池を用いてもよい。電池を用いる場合には、+5V電源から電力供給されない状態が所定時間継続すると容量がなくなるような充電電池が用いられる。

【0079】

また、電源基板910には、電源監視用IC902が搭載されている。電源監視用IC902は、VSL電圧を導入し、VSL電圧を監視することによって電源断の発生を検出する。具体的には、VSL電圧が所定値（この例では+22V）以下になったら、電源断が生ずるとして電源断信号を出力する。なお、監視対象の電源電圧は、各電気部品制御基板に搭載されている回路素子の電源電圧（この例では+5V）よりも高い電圧であることが好ましい。この例では、交流から直流に変換された直後の電圧であるVSLが用いられている。電源監視用IC902からの電源断信号は、主基板31や払出制御基板37等に供給される。

【0080】

電源監視用IC902が電源断を検知するための所定値は、通常時の電圧より低いが、各電気部品制御基板上のCPUが暫くの間動作しうる程度の電圧である。また、電源監視用IC902が、CPU等の回路素子を駆動するための電圧（この例では+5V）よりも高く、また、交流から直流に変換された直後の電圧を監視するように構成されているので、CPUが必要とする電圧に対して監視範囲を広げることができる。従って、より精密な監視を行うことができる。さらに、監視電圧としてVSL（+30V）を用いる場合には、遊技機の各種スイッチに供給される電圧が+12Vであることから、電源瞬断時のスイッチオン誤検出の防止も期待できる。すなわち、+30V電源の電圧を監視すると、+30V作成の以降に作られる+12Vが落ち始める以前の段階でその低下を検出できる。

【0081】

よって、+12V電源の電圧が低下するとスイッチ出力がオン状態を呈するようになるが、+12Vより早く低下する+30V電源電圧を監視して電源断を認識すれば、スイッチ出力がオン状態を呈する前に電源復旧待ちの状態に入ってスイッチ出力を検出しない状態とすることができる。

【0082】

また、電源監視用IC902は、電気部品制御基板とは別個の電源基板910に搭載されているので、電源監視回路から複数の電気部品制御基板に電源断信号を供給することができる。電源断信号を必要とする電気部品制御基板が幾つあっても電源監視手段は1つ設けられていればよいので、各電気部品制御基板における各電気部品制御手段が後述する復帰制御を行っても、遊技機のコストはさほど上昇しない。

【0083】

なお、図9に示された構成では、電源監視用IC902の検出出力（電源断信号）は、バッファ回路918、919を介してそれぞれの電気部品制御基板（例えば主基板31と払出制御基板37）に伝達されるが、例えば、1つの検出出力を中継基板に伝達し、中継基板から各電気部品制御基板に同じ信号を分配する構成でもよい。また、電源断信号を必要とする基板数に応じたバッファ回路を設けてもよい。

【0084】

10

20

30

40

50

図10は、CPU56の内部構成例を詳細に示すブロック図である。CPUコア501はレジスタを内蔵しプログラムに従って演算処理等を行う。クロックジェネレータ502は、外部から供給されるクロック信号を分周して各内蔵デバイスに供給する。なお、クロックジェネレータ502は、1/2分周クロックをシステムクロックとしてCLK0端子から出力可能であり、出力制御回路511を介して、システムクロックを分周したクロック信号をIEO/SCLOCK0端子から出力可能である。

【0085】

リセット割込コントローラ503は、XRESET端子に入力されるシステムリセット信号やXNMI端子に入力されるマスク不能割込要求信号等をCPUコア501に伝える。外部バスインタフェース504は、アドレスバス、データバスおよび各種制御信号の方向制御や駆動制御を行うバスマスタである。内蔵RAM55は電源バックアップ可能であり、内蔵ROM54にはプログラムが格納される。アドレスデコーダ505は、出力制御回路511を介して4本のチップセレクト信号XCS0~3を出力可能である。なお、チップセレクト信号XCS0~3の端子は、入出力ポートPB0~PB3と兼用されている。

10

【0086】

メモリ制御回路510は、内蔵ROM54および内蔵RAM55を制御するための信号を生成する。また、メモリ制御回路510には、内蔵RAM55へのアクセスを許可することを設定するレジスタが内蔵されている。

【0087】

PIO506は、8ビットの内蔵入力ポートPA0~PA7である。なお、内蔵PIOを使用しない場合には、例えば、使用しないポートを入力モードとして、そのポートをグラウンドレベルに接続する。また、CTC508は、2本の外部クロック/タイマトリガ入力CLK/TRG2,3と2本のタイマ出力ZC/T00,1を内蔵している。

20

【0088】

次に遊技機の動作について説明する。

図11は、主基板31におけるCPU56が実行するメイン処理を示すフローチャートである。遊技機に対する電源が投入されると、メイン処理において、CPU56は、まず、必要な初期設定を行う。

【0089】

初期設定処理において、CPU56は、まず、割込禁止に設定する(ステップS1)。次に、割込モードを割込モード2に設定し(ステップS2)、スタックポインタにスタックポインタ指定アドレスを設定する(ステップS3)。そして、内蔵デバイスレジスタの初期化を行う(ステップS4)。また、内蔵デバイス(内蔵周辺回路)であるCTC(カウンタ/タイマ)およびPIO(パラレル入出力ポート)の初期化(ステップS5)を行った後、RAMをアクセス可能状態に設定する(ステップS6)。

30

【0090】

この実施の形態で用いられているCPU56には、マスク可能な割込(INT)のモードとして以下の3種類のモードが用意されている。なお、マスク可能な割込が発生すると、CPU56は、自動的に割込禁止状態に設定するとともに、プログラムカウンタの内容をスタックにセーブする。

40

【0091】

割込モード0:割込要求を行った内蔵デバイスがRST命令(1バイト)またはCALL命令(3バイト)をCPUの内部データバス上に送出する。よって、CPU56は、RST命令に対応したアドレスまたはCALL命令で指定されるアドレスの命令を実行する。リセット時に、CPU56は自動的に割込モード0になる。よって、割込モード1または割込モード2に設定したい場合には、初期設定処理において、割込モード1または割込モード2に設定するための処理を行う必要がある。

【0092】

割込モード1:割込が受け付けられると、常に0038(h)番地に飛ぶモードである。

50

## 【 0 0 9 3 】

割込モード 2 : CPU 5 6 の特定レジスタ ( Iレジスタ ) の値 ( 1 バイト ) と内蔵デバイスが出力する割込ベクタ ( 1 バイト : 最下位ビット 0 ) から合成されるアドレスが、割込番地を示すモードである。すなわち、割込番地は、上位アドレスが特定レジスタの値とされ下位アドレスが割込ベクタとされた 2 バイトで示されるアドレスである。従って、任意の ( 飛び飛びではあるが ) 偶数番地に割込処理を設置することができる。各内蔵デバイスは割込要求を行うときに割込ベクタを送出する機能を有している。

## 【 0 0 9 4 】

よって、割込モード 2 に設定されると、各内蔵デバイスからの割込要求を容易に処理することが可能になり、また、プログラムにおける任意の位置に割込処理を設置することが可能になる。さらに、割込モード 1 とは異なり、割込発生要因毎のそれぞれの割込処理を用意しておくことも容易である。上述したように、この実施の形態では、初期設定処理のステップ S 2 において、CPU 5 6 は割込モード 2 に設定される。

10

## 【 0 0 9 5 】

そして、電源断時にバックアップ RAM 領域のデータ保護処理 ( 例えばパリティデータの付加等の電力供給停止時処理 ) が行われたか否か確認する ( ステップ S 7 )。この実施の形態では、不測の電源断が生じた場合には、バックアップ RAM 領域のデータを保護するための処理が行われている。そのような保護処理が行われていた場合をバックアップありとする。バックアップなしを確認したら、CPU 5 6 は初期化処理を実行する。

## 【 0 0 9 6 】

この実施の形態では、バックアップ RAM 領域にバックアップデータがあるか否かは、電源断時にバックアップ RAM 領域に設定されるバックアップフラグの状態によって確認される。この例では、図 1 2 に示すように、バックアップフラグ領域に「 5 5 ( H ) 」が設定されていればバックアップあり ( オン状態 ) を意味し、「 5 5 ( H ) 」以外の値が設定されていればバックアップなし ( オフ状態 ) を意味する。

20

## 【 0 0 9 7 】

バックアップありを確認したら、CPU 5 6 は、バックアップ RAM 領域のデータチェック ( この例ではパリティチェック ) を行う。不測の電源断が生じた後に復旧した場合には、バックアップ RAM 領域のデータは保存されていたはずであるから、チェック結果は正常になる。チェック結果が正常でない場合には、内部状態を電源断時の状態に戻すことができないので、停電復旧時でない電源投入時に実行される初期化処理を実行する。

30

## 【 0 0 9 8 】

チェック結果が正常であれば ( ステップ S 8 )、CPU 5 6 は、遊技制御手段の内部状態と表示制御手段等の電気部品制御手段の制御状態を電源断時の状態に戻すための遊技状態復旧処理を行う ( ステップ S 9 )。そして、バックアップ RAM 領域に保存されていた PC ( プログラムカウンタ ) の退避値が PC に設定され、そのアドレスに復帰する。

## 【 0 0 9 9 】

ステップ S 9 の遊技状態復旧処理では、例えば、CPU 5 6 は、バックアップ RAM に保存されていた値を各レジスタに復元する。そして、バックアップ RAM に保存されていたデータにもとづいて電源断時の遊技状態を確認して復帰させる。すなわち、バックアップ RAM に保存されていたデータにもとづいて電源断時の特別図柄プロセス処理の進行状況を復元する。その結果、電源断時に図柄の変動中であった場合には内部状態がその状態になり、電源断時に大当り遊技状態であった場合には内部状態がその状態になり、電源断時に高確率状態であった場合には内部状態がその状態になる。そして、復元された状態に応じて、必要であれば、ソレノイド回路 5 9 を介してソレノイド 1 6 やソレノイド 2 1 を駆動し、始動入賞口 1 4 や開閉板 2 0 の開閉状態の復旧を行う。また、電源断中でも保存されていた特別図柄プロセスフラグおよび普通図柄プロセスフラグの値に応じて、電源断時の特別図柄プロセス処理の進行状況および普通図柄プロセス処理の進行状況に対応した制御コマンドを、図柄制御基板 8 0、ランプ制御基板 3 5 および音声制御基板 7 0 に送出する。

40

50

## 【 0 1 0 0 】

以上のように、遊技状態復旧処理では、復元された内部状態に応じて、各種電気部品の状態復元が行われるとともに、図柄制御基板 80、ランプ制御基板 35 および音声制御基板 70 に対して、制御状態を電源断時の状態に戻すための制御コマンド（電源断時の制御状態を生じさせるための制御コマンド）が送出される。そのような制御コマンドは、一般に、電源断前に最後に送出された 1 つまたは複数の制御コマンドである。例えば、電源断時に可変表示装置 9 において図柄の変動中であった場合には、その変動における停止図柄がバックアップ R A M の記憶内容から復元され、停止図柄（可変表示結果）を示す制御コマンドや図柄の確定を示す制御コマンドを表示制御手段に送出したりする。

## 【 0 1 0 1 】

初期化処理では、C P U 5 6 は、まず、R A M クリア処理を行う（ステップ S 1 1）。また、所定の作業領域（例えば、普通図柄判定用乱数カウンタ、普通図柄判定用バッファ、特別図柄左中右図柄バッファ、払出コマンド格納ポインタなど）に初期値を設定する初期値設定処理も行われる。さらに、サブ基板（ランプ制御基板 35、払出制御基板 37、音制御基板 70、図柄制御基板 80）を初期化するための処理を実行する（ステップ S 1 3）。サブ基板を初期化する処理とは、例えば初期設定コマンドを送出する処理である。初期設定コマンドとして、例えば、払出制御基板 37 に出力される払出可能状態指定コマンド（払出可能状態の場合）または払出停止状態指定コマンド（払出不能状態の場合）がある。払出不能状態として、例えば、球切れスイッチ 1 8 7 または満タンスイッチ 4 8 がオンしていた状態がある。すなわち、C P U 5 6 は、球切れスイッチ 1 8 7 または満タンスイッチ 4 8 がオンしていたら払出制御基板 37 に払出停止状態指定コマンドを送出し、そうでなければ、払出可能状態指定コマンドを送出する。なお、払出可能状態指定コマンド（払出可能状態の場合）または払出停止状態指定コマンド（払出不能状態の場合）は、ステップ S 9 の遊技状態復旧処理においても実行されるように構成してもよい。

## 【 0 1 0 2 】

そして、2 m s 毎に定期的にタイマ割込がかかるように C P U 5 6 に設けられている C T C のレジスタの設定が行われる（ステップ S 1 4）。すなわち、初期値として 2 m s に相当する値が所定のレジスタ（時間定数レジスタ）に設定される。そして、初期設定処理のステップ S 1 において割込禁止とされているので、初期化処理を終える前に割込が許可される（ステップ S 1 5）。

## 【 0 1 0 3 】

この実施の形態では、C P U 5 6 の内蔵 C T C が繰り返しタイマ割込を発生するように設定される。この実施の形態では、繰り返し周期は 2 m s に設定される。そして、タイマ割込が発生すると、図 1 3 に示すように、C P U 5 6 は、例えばタイマ割込が発生したことを示すタイマ割込フラグをセットする（ステップ S 1 2）。

## 【 0 1 0 4 】

初期化処理の実行（ステップ S 1 1 ~ S 1 5）が完了すると、メイン処理で、タイマ割込が発生したか否かの監視（ステップ S 1 7）の確認が行われるループ処理に移行する。なお、ループ内では、表示用乱数更新処理（ステップ S 1 6）も実行される。

## 【 0 1 0 5 】

C P U 5 6 は、ステップ S 1 7 において、タイマ割込が発生したことを認識すると、ステップ S 2 1 ~ S 3 1 の遊技制御処理を実行する。遊技制御処理において、C P U 5 6 は、まず、スイッチ回路 5 8 を介して、ゲートセンサ 1 2、始動口センサ 1 7、カウントセンサ 2 3 および入賞口スイッチ 1 9 a, 1 9 b, 2 4 a, 2 4 b 等のスイッチの状態を入力し、それらの状態判定を行う（スイッチ処理：ステップ S 2 1）。

## 【 0 1 0 6 】

次いで、パチンコ遊技機 1 の内部に備えられている自己診断機能によって種々の異常診断処理が行われ、その結果に応じて必要ならば警報が発せられる（エラー処理：ステップ S 2 2）。

## 【 0 1 0 7 】

10

20

30

40

50

次に、遊技制御に用いられる大当り判定用の乱数等の各判定用乱数を示す各カウンタを更新する処理を行う（ステップS23）。CPU56は、さらに、停止図柄の種類を決定する乱数等の表示用乱数を更新する処理を行う（ステップS24）。

【0108】

さらに、CPU56は、特別図柄プロセス処理を行う（ステップS25）。特別図柄プロセス制御では、遊技状態に応じてパチンコ遊技機1を所定の順序で制御するための特別図柄プロセスフラグに従って該当する処理が選び出されて実行される。そして、特別図柄プロセスフラグの値は、遊技状態に応じて各処理中に更新される。また、普通図柄プロセス処理を行う（ステップS26）。普通図柄プロセス処理では、7セグメントLEDによる普通図柄表示器10を所定の順序で制御するための普通図柄プロセスフラグに従って該当する処理が選び出されて実行される。そして、普通図柄プロセスフラグの値は、遊技状態に応じて各処理中に更新される。

10

【0109】

次いで、CPU56は、特別図柄に関する表示制御コマンドをRAM55の所定の領域に設定して表示制御コマンドを送出する処理を行う（特別図柄コマンド制御処理：ステップS27）。また、普通図柄に関する表示制御コマンドをRAM55の所定の領域に設定して表示制御コマンドを送出する処理を行う（普通図柄コマンド制御処理：ステップS28）。

【0110】

さらに、CPU56は、例えばホール管理用コンピュータに供給される大当り情報、始動情報、確率変動情報などのデータを出力する情報出力処理を行う（ステップS29）。

20

【0111】

また、CPU56は、所定の条件が成立したときにソレノイド回路59に駆動指令を行う（ステップS30）。ソレノイド回路59は、駆動指令に応じてソレノイド16, 21を駆動し、可変入賞球装置15または開閉板20を開状態または閉状態とする。

【0112】

そして、CPU56は、各入賞口への入賞を検出するためのスイッチ17, 23, 19a, 19b, 24a, 24bの検出出力にもとづく賞球数の設定などを行う賞球処理を実行する（ステップS31）。具体的には、入賞検出に応じて払出制御基板37に払出制御コマンドを出力する。払出制御基板37に搭載されている払出制御用CPU371は、払出制御コマンドに応じて球払出装置97を駆動する。

30

【0113】

以上の制御によって、この実施の形態では、遊技制御処理は2ms毎に起動されることになる。なお、この実施の形態では、タイマ割込処理では例えば割込が発生したことを示すフラグのセットのみがなされ、遊技制御処理はメイン処理において実行されるが、タイマ割込処理で遊技制御処理を実行してもよい。

【0114】

また、メイン処理には遊技制御処理に移行すべきか否かを判定する処理が含まれ、CPU56の内部タイマが定期的発生するタイマ割込にもとづくタイマ割込処理で遊技制御処理に移行すべきか否かを判定するためのフラグがセット等がなされるので、遊技制御処理の全てが確実に実行される。つまり、遊技制御処理の全てが実行されるまでは、次の遊技制御処理に移行すべきか否かの判定が行われないので、遊技制御処理中の全ての各処理が実行完了することは保証されている。

40

【0115】

以上に説明したように、この実施の形態では、CTCやPIOを内蔵するCPU56に対して、初期設定処理で割込モード2が設定される。従って、内蔵CTCを用いた定期的なタイマ割込処理を容易に実現できる。また、タイマ割込処理をプログラム上の任意の位置に設置できる。また、内蔵PIOを用いたスイッチ検出処理等を容易に割込処理で実現できる。その結果、プログラム構成が簡略化され、プログラム開発工数が低減する等の効果を得ることができる。

50

## 【0116】

なお、CTCおよびPIOの設定（ステップS5）が完了した後に、IEO/SCLK0端子から出力されるクロック信号の周波数を決めるための内部レジスタの設定を行ってもよい。その際、クロック信号の周波数は、遊技制御処理の起動周期である2msに応じた周波数とされる。そのような設定を行うと、IEO/SCLK0端子から、遊技制御処理の起動周期に応じた周波数のクロック信号がCPU56から外部出力される。すると、CPU56の外部において遊技制御処理の起動周期に対応した信号を観測することができる。よって、そのような信号を用いて、遊技機外部においてCPU56による遊技制御処理をシミュレーションしたり、CPU56の動作状況を試験したりすることが容易になる。

10

## 【0117】

図14(A)は、主基板31から他の電気部品制御基板の電気部品制御手段に送出される制御コマンドのコマンド形態の一例を示す説明図である。この実施の形態では、制御コマンドは2バイト構成であり、1バイト目はMODE（コマンドの分類）を表し、2バイト目はEXT（コマンドの種類）を表す。MODEデータの先頭ビット（ビット7）は必ず「1」とされ、EXTデータの先頭ビット（ビット7）は必ず「0」とされる。このように、電気部品制御手段への制御指令となる制御コマンドは、複数のデータで構成され、先頭ビットによってそれぞれを区別可能な態様になっている。

## 【0118】

図14(B)は、各電気部品制御手段に対する制御コマンドを構成する8ビットの制御信号CD0～CD7とINT信号との関係を示すタイミング図である。図14(B)に示すように、MODEまたはEXTのデータが出力ポートに出力されてから、所定の期間が経過すると、CPU56は、データ出力を示す信号であるINT信号（取込信号）をハイレベルにする。また、そこから所定の期間が経過するとINT信号をローレベルにする。さらに、次に送出すべきデータがある場合には、すなわち、MODEデータ送出後では、所定の期間をおいてから2バイト目のデータを出力ポートに送出する。このように、取込信号はMODEおよびEXTのデータのそれぞれについて出力される。

20

## 【0119】

この実施の形態では、遊技制御手段から各電気部品制御基板に制御コマンドを出力しようとするときに、ROM55に設定されているコマンド送信テーブルの先頭アドレスの設定が行われる。図14(C)は、コマンド送信テーブルの一構成例を示す説明図である。1つのコマンド送信テーブルは3バイトで構成され、1バイト目にはINTデータが設定される。また、2バイト目のコマンドデータ1には、制御コマンドの1バイト目のMODEデータが設定される。そして、3バイト目のコマンドデータ2には、制御コマンドの2バイト目のEXTデータが設定される。

30

## 【0120】

なお、EXTデータそのものがコマンドデータ2の領域に設定されてもよいが、コマンドデータ2には、EXTデータが格納されているテーブルのアドレスを指定するためのデータが設定されるようにしてもよい。例えば、コマンドデータ2のビット7（ワークエリア参照ビット）が0であれば、コマンドデータ2にEXTデータそのものが設定されていることを示す。そのようなEXTデータはビット7が0であるデータである。例えば、ワークエリア参照ビットが1であれば、EXTデータとして、コマンド拡張データテーブルの内容を使用することを示す。

40

## 【0121】

図14(D)INTデータの一構成例を示す説明図である。INTデータにおけるビット0は、払出制御基板37に払出制御コマンドを送出すべきか否かを示す。ビット0が「1」であるならば、払出制御コマンドを送出すべきことを示す。また、INTデータにおけるビット1は、図柄出制御基板80に表示制御コマンドを送出すべきか否かを示す。ビット1が「1」であるならば、表示制御コマンドを送出すべきことを示す。INTデータのビット2,3は、それぞれ、ランプ制御コマンド、音声制御コマンドを送出すべきか否

50

かを示すビットである。コマンド送信テーブルは、払出制御コマンド、表示制御コマンド、ランプ制御コマンドおよび音声制御コマンドの各制御コマンドのそれぞれについて用意されている。

【 0 1 2 2 】

図 1 5 は、この実施の形態での R O M 5 4 のアドレスマップを示す説明図である。図 1 5 に示す例では、0 0 0 0 ( H ) 番地からプログラム領域が割り当てられている。また、1 0 0 0 ( H ) 番地 ~ 1 F F F ( H ) 番地に制御用データ領域が割り当てられている。

【 0 1 2 3 】

制御用データ領域において、最も前部には内蔵デバイスレジスタ設定テーブルと C T C , P I O 設定テーブルがある。内蔵デバイスレジスタ設定テーブルには、C T C や P I O 等の内蔵デバイスの動作状態を決めるための内蔵デバイスレジスタのアドレスや内蔵デバイスを初期化のための値が順次格納されている。すなわち、メイン処理のステップ S 4 で、C P U 5 6 は、所定の汎用レジスタ ( H L レジスタ等 ) に内蔵デバイスレジスタ設定テーブルのアドレスを設定し、H L レジスタ等の内容が指すアドレスのデータ ( 内蔵デバイスレジスタのアドレスおよび内蔵デバイスを初期化のための値 ) を順次ロードして、内蔵デバイスレジスタに、内蔵デバイスを初期化のための値を設定する。

【 0 1 2 4 】

このように、内蔵デバイスレジスタの設定に際して、R O M の制御用データ領域に設定されているデータを使用するので、ステップ S 4 のプログラムでは、直接に内蔵デバイスレジスタのアドレスを設定したり内蔵デバイスレジスタにデータを設定する命令を使用しない。従って、プログラムは見やすいものとなり、プログラム保守が容易になる。また、内蔵デバイスレジスタの初期化のための値を変更する必要が生じても、プログラムを変更する必要はなく、制御用データ領域のデータのみを変更すればよい。

【 0 1 2 5 】

メイン処理のステップ S 5 の C T C および P I O の設定についても、C T C の各チャンネルの制御レジスタおよび P I O の各チャンネル ( 各ポート ) のコマンドレジスタのアドレスや各レジスタに対する設定値が C T C , P I O 設定テーブルに順次格納されている。従って、ステップ S 5 では、C P U 5 6 は、所定の汎用レジスタ ( H L レジスタ等 ) に C T C , P I O 設定テーブルのアドレスを設定し、H L レジスタ等の内容が指すアドレスのデータ ( C T C の各チャンネルの制御レジスタおよび P I O の各チャンネルのコマンドレジスタのアドレスや各レジスタに対する設定値 ) を順次ロードして、各レジスタに設定値を設定する。

【 0 1 2 6 】

制御用データ領域において、内蔵デバイスレジスタの初期設定のためのデータ ( ステップ S 4 , S 5 で使用するデータ ) の次には、作業領域、ワークエリア設定テーブルが格納されている。作業領域、ワークエリア設定テーブルは、C P U 5 6 が遊技制御の実行中に使用する作業領域、ワークエリア ( R A M ) の初期値および遊技進行中の各状態における作業領域の設定値を設定するためのテーブルであり、作業領域、ワークエリアのアドレスと設定されるべき値とが格納されている。C P U 5 6 は、例えば、メイン処理のステップ S 1 1 で、所定の汎用レジスタ ( H L レジスタ等 ) に作業領域、ワークエリア設定テーブルのアドレスを設定し、H L レジスタ等の内容が指すアドレスのデータ ( 作業領域、ワークエリアの初期値 ) を順次ロードして、作業領域、ワークエリアに初期値を設定する。また、ステップ S 2 5 ( 特別図柄プロセス処理 ) で、遊技状態の変化 ( 例えば、図柄変動中状態から大入賞口開放状態への変化 ) が生じたときに、作業領域、ワークエリアに設定されている値を用いて、作業領域の値を設定する。

【 0 1 2 7 】

制御用データ領域において、次に、コマンド拡張データアドレステーブルが格納されている。コマンド拡張データアドレステーブルは、C P U 5 6 が電気部品制御手段に対してコマンドを送出する場合に上述したコマンド拡張データテーブルのデータを使用する際に用いられる。コマンド拡張データアドレステーブルの次には、コマンド送信テーブルが格

10

20

30

40

50

納されている。

【0128】

さらに、大当り図柄設定用テーブルが制御用データ領域に格納されている。大当り図柄設定用テーブルには、大当りとする場合の図柄に対応した図柄番号が設定されている。

【0129】

次いで、制御用データ領域において、変動パターンを特定するためのデータが設定されている変動パターン振り分けテーブルのどのデータを使用するのかを決めるための変動パターン振り分けテーブルオフセット値テーブルが格納されている。変動パターン振り分けテーブルオフセット値テーブルは、メイン処理のステップS25（特別図柄プロセス処理）で参照される。変動パターン振り分けテーブルオフセット値テーブルの次に、変動パターン振り分けテーブルが格納されている。次に、特別図柄変動回数カウンタの初期値が設定されている特別図柄変動回数設定テーブルが格納されている。

10

【0130】

そして、制御用データ領域において、低確率時の特別図柄判定値テーブルが格納されている。低確率時の特別図柄判定値テーブルには、遊技機の状態が低確率状態（大当りとする確率が高められていない状態）における大当り判定値が設定されている。CPU56は、メイン処理のステップS25（特別図柄プロセス処理）において、大当り判定用の乱数が大当り判定値と一致したときに大当りとすることに決定する。また、低確率時の特別図柄判定値テーブルの次に、高確率時の特別図柄判定値テーブルが格納されている。低確率時の特別図柄判定値テーブルには、遊技機の状態が低確率状態（大当りとする確率が高め

20

【0131】

以上のように、内蔵デバイスのレジスタの初期設定のためのデータ、およびCPU56が制御プログラムを実行する際に使用するワークエリアの初期設定のためのデータは、制御用データ領域の前部に格納されている。遊技機の機種が異なっても、使用するマイクロコンピュータが同じである場合には、内蔵デバイスのレジスタの初期設定の方法は変わらないのが一般的であるから、複数の機種間で共通に使用されるデータについては制御用データを格納する記憶領域における前部に配置されることになる。

【0132】

また、作業領域、ワークエリア設定テーブルも、制御用データ領域の前部に格納されている。すなわち、マイクロコンピュータが制御プログラムを実行する際に使用する作業領域、ワークエリアの初期設定のためのデータは、複数の機種間で共通に使用される可能性が高いので、記憶領域における前部に配置される。

30

【0133】

制御用データ領域において、低確率時の特別図柄判定値テーブルおよび高確率時の特別図柄判定値テーブルは、後部に格納されている。従って、機種変更にあたって、大当り判定値を変更するのは容易である。制御用データ領域における後部に設定されていれば、データ数すなわち大当り判定値数を増減することが容易であり、かつ、判定値そのものを変更するにも、後部にあった方が変更誤りの可能性が小さいと考えられるからである。そして、高確率時の特別図柄判定値テーブルは、低確率時の特別図柄判定値テーブルよりも後に設定されている。従って、高確率とする制御を行わない機種（プリペイドカードを使用しない現金機等）に制御プログラムおよび制御用データを流用する場合、高確率時の特別図柄判定値テーブルを削除するだけでよい。

40

【0134】

電気部品制御手段に出力する制御コマンドを作成するためのデータや変動パターン振り分けテーブルのデータ等の識別情報の表示結果に関するデータは、内蔵デバイスレジスタに関するデータや作業領域、ワークエリア設定テーブルに比べて、機種変更に応じて変更される可能性が比較的高いので、制御用データ領域における中間部に設定されている。

【0135】

また、空き領域は、制御用データ領域における最も後部に設けられている。従って、制

50

御用データ領域におけるデータ数の増減に容易に対応することができる。

【0136】

なお、プリペイドカードにより遊技媒体の貸出を行う遊技機（いわゆるCR機）と遊技媒体の貸出についてプリペイドカード介在させない遊技機（いわゆる現金機）とで共通で使用されるデータは、制御用データ領域における前部に配置されていることが好ましい。そして、それらの間で非共通なデータは制御用データ領域における後部に配置されていることが好ましい。そのように構成しておけば、CR機の制御用データの後部のデータを削除するだけで、現金機用の制御用データを作成できる。

【0137】

図16～図17は、電源基板910からの電源断信号に応じて実行される電力供給停止時処理の処理例を示すフローチャートである。なお、電源断信号は、CPU56のマスク不能割込端子に接続され、マスク不能割込によって電力供給停止時処理が起動される。

10

【0138】

電力供給停止時処理において、CPU56は、AFレジスタ（アキュムレータとフラグのレジスタ）を所定のバックアップRAM領域に退避する（ステップS51）。また、割込フラグをパリティフラグにコピーする（ステップS52）。パリティフラグはバックアップRAM領域に形成されている。また、BCレジスタ、DEレジスタ、HLレジスタ、IXレジスタおよびスタックポインタをバックアップRAM領域に退避する（ステップS54～S58）。なお、電源復旧時には、退避された内容にもとづいてレジスタ内容が復元され、パリティフラグの内容に応じて、割込許可状態/禁止状態の内部設定がなされる。

20

【0139】

次に、バックアップあり指定値（この例では「55（H）」）をバックアップフラグにストアする。バックアップフラグはバックアップRAM領域に形成されている。次いで、パリティデータを作成する（ステップS60～S67）。すなわち、まず、クリアデータ（00）をチェックサムデータエリアにセットし（ステップS60）、チェックサム算出開始アドレスをポインタにセットする（ステップS61）。また、チェックサム算出回数をセットする（ステップS62）。

【0140】

そして、チェックサムデータエリアの内容とポインタが指すRAM領域の内容との排他的論理和を演算する（ステップS63）。演算結果をチェックサムデータエリアにストアするとともに（ステップS64）、ポインタの値を1増やし（ステップS65）、チェックサム算出回数の値を1減算する（ステップS66）。ステップS63～S66の処理が、チェックサム算出回数の値が0になるまで繰り返される（ステップS67）。

30

【0141】

チェックサム算出回数の値が0になったら、CPU56は、チェックサムデータエリアの内容の各ビットの値を反転する（ステップS68）。そして、反転後のデータをチェックサムバッファにストアする（ステップS69）。このデータが、電源投入時にチェックされるパリティデータとなる。次いで、RAMアクセスレジスタにアクセス禁止値を設定する（ステップS70）。以後、内蔵RAM55のアクセスができなくなる。

40

【0142】

さらに、CPU56は、クリアデータ（00）を適当なレジスタにセットし（ステップS71）、処理数（この例では「7」）を別のレジスタにセットする（ステップS72）。また、出力ポート0のアドレスをIOポインタに設定する（ステップS73）。IOポインタとして、さらに別のレジスタが用いられる。なお、処理数「7」はI/Oポートの数に相当する。

【0143】

そして、IOポインタが指すアドレスにクリアデータをセットするとともに（ステップS74）、IOポインタの値を1増やし（ステップS75）、処理数の値を1減算する（ステップS77）。ステップS74～S76の処理が、処理数の値が0になるまで繰り返

50

される。その結果、全ての出力ポートにクリアデータが設定され、全ての出力ポートがオフ状態になる。

【0144】

従って、遊技状態を保存するための処理（この例では、チェックサム生成およびRAMアクセス防止）が実行された後、各出力ポートは直ちにオフ状態になる。なお、この実施の形態では、遊技制御処理において用いられるデータが格納されるRAM領域は全て電源バックアップされている。

【0145】

図18は、この実施の形態におけるRAM領域のアドレスマップを示す説明図である。図18に示すように、RAM領域の先頭はバックアップフラグの領域に割り当てられている。そして、最後部にチェックサムバッファの領域が割り当てられている。

10

【0146】

図19は、チェックサム作成方法の一例を説明するための説明図である。ただし、図19に示す例では、簡単のために、バックアップRAM領域のデータのサイズを3バイトとする。電源電圧低下にもとづく電力供給停止時処理において、図19に示すように、チェックサムデータとして初期データ（この例では00(H)）が設定される。次に、「00(H)」と「F0(H)」の排他的論理和がとられ、その結果と「16(H)」の排他的論理和がとられる。さらに、その結果と「DF(H)」の排他的論理和がとられる。そして、その結果（この例では「39(H)」）を論理反転して得られた値（この例では「C6(H)」）がバックアップパリティデータ領域に設定される。なお、図19では、説明を容易にするために、論理反転前のデータ「39(H)」がチェックサムバッファに格納されている様子が示されている。なお、初期データとしての00(H)はステップS60で設定されるチェックサムデータに対するクリアデータに応じた値であり、実際には、00(H)との排他的論理和は演算前と後とで値が変わらないので、00(H)との排他的論理和演算を行わなくてもよい。すなわち、図19に示す初期データは、単に、図16に示されたフローチャートとの整合をとるために記載されているものである。

20

【0147】

この実施の形態では、チェックサムバッファは、バックアップRAM領域（変動データ記憶手段）の最後のアドレスに格納されている。従って、例えば、チェックサム作成方法のプログラムに誤りがないかどうかを確認する際に、容易にその確認を行うことができる。RAM領域の最終アドレスの値が正しいか否かを確認すればよいからである。また、この実施の形態では、チェックサム算出開始アドレスはバックアップフラグが設定されるアドレスであり、チェックサム算出最終アドレスは賞球制御用フラグ・バッファのうちの最後のアドレスである（図18参照）。従って、賞球制御用フラグ・バッファの後、すなわち、バックアップRAM領域の最後のアドレスをチェックサムバッファの領域にすれば、RAM領域において無駄が生ずることはない。

30

【0148】

なお、確認のしやすさやRAM領域の無駄防止を考慮すると、バックアップRAM領域の最初のアドレスをチェックサムバッファの領域にしてもよい。

【0149】

また、遊技機への電力供給開始時にはパリティチェックOKか否かの判断が行われるが（図11におけるステップS8）、その判断では、電力供給停止時処理におけるパリティデータを作成処理（ステップS60～S67）と同様の処理が行われ、処理結果すなわち演算結果がチェックサムバッファの内容と一致したらパリティチェックOKと判定される。

40

【0150】

上記の実施の形態では、バックアップRAM領域の最後または最初のアドレスをチェックサムバッファの領域にしたが、バックアップRAM領域の中途の領域にチェックサムバッファの領域を割り当ててもよい。図20は、そのようなRAM領域のメモリマップの一例を示す説明図である。なお、図20に示すチェックサムバッファの領域の位置は一例で

50

あって、バックアップ R A M 領域の中途であれば、他の箇所をチェックサムバッファの領域の位置にしてもよい。

【 0 1 5 1 】

図 2 1 ~ 図 2 2 は、バックアップ R A M 領域の中途の領域にチェックサムバッファの領域を割り当てた場合の電力供給停止時処理を示すフローチャートである。この場合には、ステップ S 6 2 A において、チェックサム算出回数の前半を設定する。図 2 0 に示す例では、チェックサム算出回数の前半は、バックアップフラグのアドレスから特別図柄関連フラグ・カウンタ・バッファにおける最後のアドレスまでの間の領域サイズに対応する。

【 0 1 5 2 】

そして、チェックサム算出回数の前半に対する演算が終了すると、チェックサム算出回数（後半）をセットする（ステップ S 8 2 ）。図 2 0 に示す例では、チェックサム算出開始アドレス（後半）は普通図柄関連フラグ・カウンタ・バッファの先頭アドレスであり、チェックサム算出回数（後半）は、普通図柄関連フラグ・カウンタ・バッファにおける最初のアドレスから賞球制御用フラグ・バッファにおける最後のアドレスまでの間の領域サイズに対応する。

10

【 0 1 5 3 】

そして、チェックサムデータエリアの内容とポインタが指す R A M 領域の内容との排他的論理和を演算する（ステップ S 8 3 ）。演算結果をチェックサムデータエリアにストアするとともに（ステップ S 8 4 ）、ポインタの値を 1 増やし（ステップ S 8 5 ）、チェックサム算出回数の値を 1 減算する（ステップ S 8 6 ）。ステップ S 8 3 ~ S 8 6 の処理が、チェックサム算出回数の値が 0 になるまで繰り返される（ステップ S 8 7 ）。

20

【 0 1 5 4 】

チェックサム算出回数の値が 0 になったら、C P U 5 6 は、チェックサムデータエリアの内容の各ビットの値を反転する（ステップ S 6 8 ）。そして、反転後のデータをチェックサムバッファにストアする（ステップ S 6 9 ）。次いで、R A M アクセスレジスタにアクセス禁止値を設定する（ステップ S 7 0 ）。そして、図 1 7 に示された処理と同様の処理を行う。

【 0 1 5 5 】

図 2 3 は、バックアップ R A M 領域の中途の領域にチェックサムバッファの領域を割り当てた場合のパリティチェック O K が否かの判断、すなわち電力供給開始時のパリティチェック処理（図 1 1 におけるステップ S 8 ）を示すフローチャートである。

30

【 0 1 5 6 】

パリティチェック処理において、C P U 5 6 は、まず、チェックサムバッファの内容を論理反転し（ステップ S 8 9 ）、初期データ（0 0 ）をチェックサムデータエリアにセットし（ステップ S 9 0 ）、チェックサム算出開始アドレスをポインタにセットする（ステップ S 9 1 ）。また、チェックサム算出回数をセットする（ステップ S 9 2 ）。図 2 0 に示された例では、チェックサム算出開始アドレスはバックアップフラグのアドレスであり、チェックサム算出回数は、バックアップ R A M 領域のアドレスから最後のアドレスまでの領域サイズに対応した数である。すなわち、チェックサムバッファがバックアップ R A M 領域の中途に割り当てられているにもかかわらず、チェックサムの演算は、バックアップ R A M 領域の最初から最後まで通して実行される。

40

【 0 1 5 7 】

そして、チェックサムデータエリアの内容とポインタが指す R A M 領域の内容との排他的論理和を演算する（ステップ S 9 3 ）。演算結果をチェックサムデータエリアにストアするとともに（ステップ S 9 4 ）、ポインタの値を 1 増やし（ステップ S 9 5 ）、チェックサム算出回数の値を 1 減算する（ステップ S 9 6 ）。ステップ S 9 3 ~ S 9 6 の処理が、チェックサム算出回数の値が 0 になるまで繰り返される（ステップ S 9 7 ）。

【 0 1 5 8 】

チェックサム算出回数の値が 0 になったら、C P U 5 6 は、演算結果が 0 0 （H ）であるか否か確認する（ステップ S 9 9 ）。0 0 （H ）であればパリティチェック O K とし（

50

ステップS100)、チェックサムバッファの内容を0クリアする(ステップS102)。00(H)でなければ、パリティチェックNGとし(ステップS101)、チェックサムバッファの内容を0クリアする(ステップS102)。従って、チェックサムバッファの内容は、パリティチェックが行われると内容が00(H)にクリアされる。なお、遊技機への電力供給開始時には、RAMクリア処理(図11に示すステップS11)においてチェックサムバッファの内容は00(H)にクリアされる。

#### 【0159】

このように、遊技機への電力供給停止時に、CPU56は、初期データおよびバックアップRAM領域の各データの排他的論理和を順次演算することによってチェックサムを作成してバックアップRAM領域に格納し、遊技機への電力供給開始時に、バックアップRAM領域に格納されている各データの排他的論理和を順次演算して演算結果が00(H)であったらバックアップRAM領域に記憶されている最終記憶内容(電力供給が停止したことによって遊技が中断された場合に記憶される電力供給停止直前の最終的な制御状態に関する記憶内容)が正常であると判定する。そして、バックアップRAM領域の内容にもとづいて制御状態を電力供給停止前の状態に復旧させる制御を行う。この場合には、演算結果をチェックサムバッファの内容と比較する必要はなく、単に、00(H)と比較すればよいので、パリティチェック処理が簡略化されるメリットがある。

#### 【0160】

図24は、チェックサム作成方法を説明するための説明図である。ただし、図24に示す例では、簡単のために、バックアップRAM領域のデータのサイズを3バイトとする。電源電圧低下にもとづく電力供給停止時処理において、図24(A)に示すように、チェックサムデータとして初期データ(チェックサムデータの初期データとしてのクリアデータ)が設定される。次に、「00(H)」と「F0(H)」の排他的論理和がとられ、その結果と「16(H)」の排他的論理和がとられる。さらに、その結果と「DF(H)」の排他的論理和がとられる。そして、その結果(この例では「39(H)」)を論理反転して得られた値(この例では「C6(H)」)が、バックアップRAM領域におけるバックアップパリティデータ領域に設定される。なお、図24では、説明を容易にするために、論理反転前のデータ「39(H)」がチェックサムバッファに格納されている様子が示されている。

#### 【0161】

そして、電力供給開始時のパリティチェック処理において、図24(B)に示すように、チェックサムデータとして初期データが設定される。次に、「00(H)」と「F0(H)」の排他的論理和がとられ、その結果と「39(H)」の排他的論理和がとられ、さらに「16(H)」の排他的論理和がとられる。次いで、その結果と「DF(H)」の排他的論理和がとられる。そして、演算結果は00(H)であるから、パリティチェックOKと判断される。

#### 【0162】

なお、ここでは、図21および図22に示されたように、チェックサムバッファを排他的論理和演算の対象から除外し、チェックサムバッファよりも前のバックアップRAM領域について順次排他的論理和演算を行い、次いで、チェックサムバッファよりも後のバックアップRAM領域について順次排他的論理和演算を行うようにしたが、チェックサムの作成処理開始時には、バックアップRAM領域におけるチェックサムバッファの内容は00(H)になっていれば排他的論理和演算に影響を与えないので、バックアップRAM領域の最初アドレスから最後のアドレスまで通して順次排他的論理和演算を行っても同じ結果が得られる。なお、上記の実施の形態では、電力供給開始時のRAMクリアの際、およびパリティチェックが行われたときに、バックアップRAM領域におけるチェックサムバッファの内容は00(H)になっている。

#### 【0163】

次に、遊技制御手段以外の電気部品制御手段においてデータ保存処理および復旧処理が行われる場合の例として、払出制御手段においてデータ保存や復旧が行われる場合につい

10

20

30

40

50

て説明する。

【0164】

図25は、払出制御用CPU371周りの一構成例を示すブロック図である。図25に示すように、電源基板910の電源監視回路（電源監視手段）からの電源断信号が、バッファ回路960を介して払出制御用CPU371のマスク不能割込端子（XNMI端子）に接続されている。従って、払出制御用CPU371は、マスク不能割込処理によって電源断の発生を確認することができる。

【0165】

払出制御用CPU371のCLK/TRG2端子には、主基板31からのINT信号が接続されている。CLK/TRG2端子にクロック信号が入力されると、払出制御用CPU371に内蔵されているタイマカウンタレジスタCLK/TRG2の値がダウンカウントされる。そして、レジスタ値が0になると割込が発生する。従って、タイマカウンタレジスタCLK/TRG2の初期値を「1」に設定しておけば、INT信号の入力に応じて割込が発生することになる。

10

【0166】

払出制御基板37には、システムリセット回路975も搭載されているが、この実施の形態では、システムリセット回路975におけるリセットIC976は、電源投入時に、外付けのコンデンサに容量で決まる所定時間だけ出力をローレベルとし、所定時間が経過すると出力をハイレベルにする。また、リセットIC976は、VSLの電源電圧を監視して電圧値が所定値（例えば+9V）以下になると出力をローレベルにする。従って、電源断時には、リセットIC976からの信号がローレベルになることによって払出制御用CPU371がシステムリセットされる。

20

【0167】

リセットIC976が電源断を検知するための所定値は、通常時の電圧より低い、払出制御用CPU371が暫くの間動作しうる程度の電圧である。また、リセットIC976が、払出制御用CPU371が必要とする電圧（この例では+5V）よりも高い電圧を監視するように構成されているので、払出制御用CPU371が必要とする電圧に対して監視範囲を広げることができる。従って、より精密な監視を行うことができる。

【0168】

+5V電源から電力が供給されていない間、払出制御用CPU371の内蔵RAMの少なくとも一部は、電源基板から供給されるバックアップ電源がバックアップ端子に接続されることによってバックアップされ、遊技機に対する電源が断しても内容は保存される。そして、+5V電源が復旧すると、システムリセット回路975からリセット信号が発せられるので、払出制御用CPU371は、通常の動作状態に復帰する。そのとき、必要なデータがバックアップされているので、停電等からの復旧時には停電発生時の払出制御状態に復帰することができる。

30

【0169】

図26は、払出制御用CPU371が実行するメイン処理を示すフローチャートである。メイン処理では、払出制御用CPU371は、まず、必要な初期設定を行う。すなわち、払出制御用CPU371は、まず、割込禁止に設定する（ステップS701）。次に、割込モードを割込モード2に設定し（ステップS702）、スタックポインタにスタックポインタ指定アドレスを設定する（ステップS703）。また、払出制御用CPU371は、内蔵デバイスレジスタの初期化を行い（ステップS704）、CTCおよびPIOの初期化（ステップS705）を行った後に、RAMをアクセス可能状態に設定する（ステップS706）。

40

【0170】

この実施の形態では、内蔵CTCのうちの一つのチャンネルがタイマモードで使用される。従って、ステップS704の内蔵デバイスレジスタの設定処理およびステップS705の処理において、使用するチャンネルをタイマモードに設定するためのレジスタ設定、割込発生を許可するためのレジスタ設定および割込ベクタを設定するためのレジスタ設定が行

50

われる。そして、そのチャンネルによる割込がタイマ割込として用いられる。タイマ割込を例えば 2 m s 毎に発生させたい場合は、初期値として 2 m s に相当する値が所定のレジスタ（時間定数レジスタ）に設定される。

**【 0 1 7 1 】**

なお、タイマモードに設定されたチャンネル（この実施の形態ではチャンネル 3）に設定される割込ベクタは、タイマ割込処理の先頭番地に相当するものである。具体的は、Iレジスタに設定された値と割込ベクタとでタイマ割込処理の先頭番地が特定される。タイマ割込処理ではタイマ割込フラグがセットされ、メイン処理でタイマ割込フラグがセットされていることが検知されると、払出制御処理が実行される。すなわち、タイマ割込処理では、電気部品制御処理の一例である払出制御処理を実行するための設定がなされる。

10

**【 0 1 7 2 】**

また、内蔵 CTC のうちの他の一つのチャンネル（この実施の形態ではチャンネル 2）が、遊技制御手段からの払出制御コマンド受信のための割込発生用のチャンネルとして用いられ、そのチャンネルがカウンタモードで使用される。従って、ステップ S 7 0 4 の内蔵デバイスレジスタの設定処理およびステップ S 7 0 5 の処理において、使用するチャンネルをカウンタモードに設定するためのレジスタ設定、割込発生を許可するためのレジスタ設定および割込ベクタを設定するためのレジスタ設定が行われる。

**【 0 1 7 3 】**

カウンタモードに設定されたチャンネル（チャンネル 2）に設定される割込ベクタは、後述するコマンド受信割込処理の先頭番地に相当するものである。具体的は、Iレジスタに設定された値と割込ベクタとでコマンド受信割込処理の先頭番地が特定される。

20

**【 0 1 7 4 】**

この実施の形態では、払出制御用 CPU 3 7 1 でも割込モード 2 が設定される。従って、内蔵 CTC のカウンタアップにもとづく割込処理を使用することができる。また、CTC が送出した割込ベクタに応じた割込処理開始番地を設定することができる。

**【 0 1 7 5 】**

CTC のチャンネル 2（CH 2）のカウンタアップにもとづく割込は、上述したタイマカウンタレジスタ CLK / TRG 2 の値が「0」になったときに発生する割込である。従って、例えばステップ S 7 0 5 において、特定レジスタとしてのタイマカウンタレジスタ CLK / TRG 2 に初期値「1」が設定される。また、CTC のチャンネル 3（CH 3）のカウンタアップにもとづく割込は、CPU の内部クロック（システムクロック）をカウンタダウンしてレジスタ値が「0」になったら発生する割込であり、後述する 2 m s タイマ割込として用いられる。具体的には、CH 3 のレジスタ値はシステムクロックの 1 / 2 5 6 周期で減算される。ステップ S 7 0 5 において、CH 3 のレジスタには、初期値として 2 m s に相当する値が設定される。

30

**【 0 1 7 6 】**

CTC の CH 2 のカウンタアップにもとづく割込は、CH 3 のカウンタアップにもとづく割込よりも優先順位が高い。従って、同時にカウンタアップが生じた場合に、CH 2 のカウンタアップにもとづく割込、すなわち、コマンド受信割込処理の実行契機となる割込の方が優先される。

40

**【 0 1 7 7 】**

そして、払出制御用 CPU 3 7 1 は、払出制御用のバックアップ RAM 領域にバックアップデータが存在しているか否かの確認を行う（ステップ S 7 0 7）。すなわち、例えば、主基板 3 1 の CPU 5 6 の処理と同様に、電源断時にセットされるバックアップフラグがセット状態になっているか否かによって、バックアップデータが存在しているか否かを確認する。バックアップフラグがセット状態になっている場合には、バックアップデータありと判断する。

**【 0 1 7 8 】**

バックアップありを確認したら、払出制御用 CPU 3 7 1 は、バックアップ RAM 領域のデータチェック（この例ではパリティチェック）を行う。不測の電源断が生じた後に復

50

旧した場合には、バックアップRAM領域のデータは保存されていたはずであるから、チェック結果は正常になる。チェック結果が正常でない場合には、内部状態を電源断時の状態に戻すことができないので、停電復旧時でない電源投入時に実行される初期化処理を実行する。

**【0179】**

チェック結果が正常であれば(ステップS708)、払出制御用CPU371は、内部状態を電源断時の状態に戻すための払出状態復旧処理を行う(ステップS709)。そして、バックアップRAM領域に保存されていたPC(プログラムカウンタ)の指すアドレスに復帰する。

**【0180】**

払出状態復旧処理では、少なくとも未払出の賞球個数を示すデータと未払出の貸し球個数を示すデータとが復元される。すなわち、未払出の賞球個数および未払出の貸し球個数を示すデータはバックアップRAMに形成されている。そして、未払出の賞球個数を示すデータと未払出の貸し球個数を示すデータとが復元されれば、後述する球貸し制御処理(ステップS756)および賞球制御処理(ステップS757)において、それらのデータにもとづいて払出制御が実行される。従って、賞球払出処理中や球貸し処理中に電源断が生じても、電源復旧時に、未払出の賞球や球貸しの処理が続行され、遊技者に不利益が与えられることはない。

**【0181】**

初期化処理では、払出制御用CPU371は、まず、RAMクリア処理を行う(ステップS711)。そして、2ms毎に定期的にタイマ割込がかかるように払出制御用CPU371に設けられているCTCのレジスタの設定が行われる(ステップS712)。すなわち、初期値として2msに相当する値が所定のレジスタ(時間定数レジスタ)に設定される。そして、初期設定処理のステップS701において割込禁止とされているので、初期化処理を終える前に割込が許可される(ステップS713)。

**【0182】**

この実施の形態では、払出制御用CPU371の内蔵CTCが繰り返しタイマ割込を発生するように設定される。この実施の形態では、繰り返し周期は2msに設定される。そして、タイマ割込が発生すると、払出制御用CPU371は、例えばタイマ割込が発生したことを示すタイマ割込フラグをセットする。

**【0183】**

払出制御用CPU371は、ステップS724において、タイマ割込フラグがセットされたことを検出するとステップS751以降の払出制御処理を実行する。以上の制御によって、この実施の形態では、払出制御処理は2ms毎に起動されることになる。なお、この実施の形態では、タイマ割込処理ではフラグセットのみがなされ、払出制御処理はメイン処理において実行されるが、タイマ割込処理で払出制御処理を実行してもよい。

**【0184】**

払出制御処理において、払出制御用CPU371は、まず、中継基板72を介して入力ポート372bに入力される賞球カウントスイッチ301A、球貸しカウントスイッチ301Bがオンしたか否かを判定する(スイッチ処理:ステップS751)。

**【0185】**

次に、払出制御用CPU371は、センサ(例えば、払出モータ289の回転数を検出するモータ位置センサ)からの信号入力状態を確認してセンサの状態を判定する等の処理を行う(入力判定処理:ステップS752)。払出制御用CPU371は、さらに、受信した払出制御コマンドを解析し、解析結果に応じた処理を実行する(コマンド解析実行処理:ステップS753)。

**【0186】**

次いで、払出制御用CPU371は、主基板31から払出停止指示コマンドを受信していたら払出停止状態に設定し、払出開始指示コマンドを受信していたら払出停止状態の解除を行う(ステップS754)。また、プリペイドカードユニット制御処理を行う(ステ

10

20

30

40

50

ップ S 7 5 5 )。

【 0 1 8 7 】

次いで、払出制御用 CPU 3 7 1 は、球貸し要求に応じて貸し球を払い出す制御を行う (ステップ S 7 5 6)。このとき、払出制御用 CPU 3 7 1 は、振分ソレノイド 3 1 0 によって球振分部材 3 1 1 を球貸し側に設定する。

【 0 1 8 8 】

さらに、払出制御用 CPU 3 7 1 は、バックアップ RAM に形成されている総合個数記憶に格納された個数の賞球を払い出す賞球制御処理を行う (ステップ S 7 5 7)。このとき、払出制御用 CPU 3 7 1 は、振分ソレノイド 3 1 0 によって球振分部材 3 1 1 を賞球側に設定する。そして、出力ポート 3 7 2 c および中継基板 7 2 を介して球払出装置 9 7 の払出機構部分における払出モータ 2 8 9 に対して駆動信号を出力し、所定の回転数分払出モータ 2 8 9 を回転させる払出モータ制御処理を行う (ステップ S 7 5 8)。

10

【 0 1 8 9 】

次いで、エラー検出処理が行われ、その結果に応じてエラー表示 LED 3 7 4 に所定の表示を行う (エラー処理 : ステップ S 7 5 9)。

【 0 1 9 0 】

図 2 7 ~ 図 2 8 は、電源基板 9 1 0 からの電源断信号に応じて実行されるマスク不能割込処理 (電力供給停止時処理) の処理例を示すフローチャートである。

【 0 1 9 1 】

電力供給停止時処理において、払出制御用 CPU 3 7 1 は、AF レジスタを所定のバックアップ RAM 領域に退避する (ステップ S 8 0 1)。また、割込フラグをパリティフラグにコピーする (ステップ S 8 0 2)。パリティフラグはバックアップ RAM 領域に形成されている。また、BC レジスタ、DE レジスタ、HL レジスタ、IX レジスタおよびスタックポインタをバックアップ RAM 領域に退避する (ステップ S 8 0 4 ~ 8 0 8)。

20

【 0 1 9 2 】

次に、バックアップあり指定値 (例えば「5 5 H」) をバックアップフラグにストアする。バックアップフラグはバックアップ RAM 領域に形成されている。次いで、主基板 3 1 の CPU 5 6 の処理と同様の処理を行ってパリティデータを作成しバックアップ RAM 領域に保存する (ステップ S 8 1 0 ~ S 8 1 9)。そして、RAM アクセスレジスタにアクセス禁止値を設定する (ステップ S 8 2 0)。以後、内蔵 RAM のアクセスができなくなる。

30

【 0 1 9 3 】

さらに、払出制御用 CPU 3 7 1 は、クリアデータ (0 0) を適当なレジスタにセットし (ステップ S 8 2 1)、処理数 (この例では「3」) を別のレジスタにセットする (ステップ S 8 2 2)。また、出力ポートのアドレスうちの最も小さいアドレス (この例では「0 0 H」) を IO ポインタに設定する (ステップ S 8 2 3)。IO ポインタとして、さらに別のレジスタが用いられる。なお、処理数「3」は、出力ポート数に対応した数である。

【 0 1 9 4 】

そして、IO ポインタが指すアドレスにクリアデータをセットするとともに (ステップ S 8 2 4)、IO ポインタの値を 1 増やし (ステップ S 8 2 5)、処理数の値を 1 減算する (ステップ S 8 2 7)。ステップ S 8 2 4 ~ S 8 2 6 の処理が、処理数の値が 0 になるまで繰り返される。その結果、全ての出力ポートにクリアデータが設定され、全ての出力ポートがオフ状態になる。

40

【 0 1 9 5 】

また、遊技機への電力供給開始時にはパリティチェック OK か否かの判断が行われるが (図 2 6 におけるステップ S 7 0 8)、その判断では、電力供給停止時処理におけるパリティデータを作成処理 (ステップ S 8 1 0 ~ S 8 1 7) と同様の処理が行われ、処理結果すなわち演算結果がチェックサムバッファの内容と一致したらパリティチェック OK と判定される。

50

## 【 0 1 9 6 】

払出制御用CPU371を含む払出制御手段においても、チェックサムバッファは、バックアップRAM領域（変動データ記憶手段）の最初または最後のアドレスに格納されていれば、例えば、チェックサム作成方法のプログラムに誤りがないかどうかを確認する際に、容易にその確認を行うことができる。また、RAM領域において無駄が生ずることはない。

## 【 0 1 9 7 】

そして、払出制御手段についても、CPU56を含む遊技制御手段の場合と同様に、バックアップRAM領域の中途の領域にチェックサムバッファの領域を割り当ててもよい。そのように構成した場合には、電力供給開始時のパリティチェック処理（図26におけるステップS708）において、チェックサムの演算は、バックアップRAM領域の最初から最後まで通して実行される。そして、バックアップRAM領域の中途の領域にチェックサムバッファの領域を割り当てた場合には、演算結果をチェックサムバッファの内容と比較する必要はなく、単に、00(H)と比較すればよいので、パリティチェック処理が簡略化されるメリットがある。

10

## 【 0 1 9 8 】

以上に説明したように、上記の各実施の形態では、複数の機種間で共通に使用されるデータについては制御用データ領域における前部に配置され、複数の機種間で共通に使用される可能性が低いデータについては制御用データ領域における後部に配置されているので、共通に使用される可能性が低いデータについての変更が容易であるとともに、複数の機種間で共通に使用されるデータについては流用の際に変更を施す必要性を低減させることができる。

20

## 【 0 1 9 9 】

また、遊技機への電力供給開始時に、変動データ記憶手段に格納されているチェックデータにもとづいて変動データ記憶手段に記憶されている最終記憶内容が正常であるか否かの判定を行い、正常である場合には最終記憶内容にもとづいて制御状態を電力供給停止前の状態に復旧させる制御を行うように構成されている場合に、チェックデータを、変動データ記憶手段の最初または最後のアドレスに格納するようにしたので、チェックデータ作成方法のプログラムに誤りがないかどうかを確認する際に、容易にその確認を行うことができる。また、RAM領域において無駄が生ずることはない。

30

## 【 0 2 0 0 】

さらに、チェックデータを、変動データ記憶手段の中途のアドレスに格納するようにした場合には、演算結果を、保存されているチェックサムデータと比較する必要はなく、単に、00(H)と比較すればよいので、パリティチェック処理が簡略化されるメリットがある。

## 【 0 2 0 1 】

なお、上記の各実施の形態のパチンコ遊技機1は、始動入賞にもとづいて可変表示部9に可変表示される特別図柄の停止図柄が所定の図柄の組み合わせになると所定の遊技価値が遊技者に付与可能になる第1種パチンコ遊技機であったが、始動入賞にもとづいて開放する電動役物の所定領域への入賞があると所定の遊技価値が遊技者に付与可能になる第2種パチンコ遊技機や、始動入賞または始動ゲートの通過にもとづいて可変表示される図柄の停止図柄が所定の図柄の組み合わせになると開放する所定の電動役物へ入賞し、かつ、複数の入賞領域のうち特別の入賞領域への入賞があると所定の権利が発生または継続する第3種パチンコ遊技機であっても、本発明を適用できる。

40

## 【 0 2 0 2 】

また、パチンコ遊技機に限られず、スロット機等においても、何らかの動作をする電気部品等を制御するためのマイクロコンピュータや電気部品制御基板が備えられている場合などには本発明を適用することができる。

## 【 0 2 0 3 】

また、上記の実施の形態では、下記のような遊技機が開示されている。

50

## 【0204】

(1) 変動データ記憶手段におけるチェックデータが格納されているアドレスの内容は、チェックデータの作成処理が開始される以前の段階でクリアされる遊技機。

そのような構成によれば、そのアドレスの内容が排他的論理和演算に影響を与えないことから、変動データ記憶手段の最初のアドレスから最後のアドレスまで通して順次排他的論理和演算を行うことができ、チェックデータ作成処理をより簡単に行うことができる。

## 【0205】

(2) 遊技機で使用される所定の電源の状態を監視する電源監視手段を備え、マイクロコンピュータが、電源監視手段により電源の状態があらかじめ定められた所定の状態となったことが検出された場合に、チェックデータの作成を行うように構成されている遊技機。

そのような構成によれば、マイクロコンピュータは、チェックデータ作成の契機を容易に認識することができる。

## 【0206】

(3) マイクロコンピュータが、電力供給停止時に、チェックデータを作成して変動データ記憶手段に格納するとともに、変動データ記憶手段に最終記憶内容が記憶されていることを示すバックアップフラグを変動データ記憶手段に格納し、遊技機への電力供給開始時に、バックアップフラグがオン状態であって、かつ、チェックデータにもとづいて変動データ記憶手段に記憶されている最終記憶内容が正常であると判断した場合に、最終記憶内容にもとづいて制御状態を電力供給停止前の状態に復旧させる制御を行うように構成されている遊技機。

そのような構成によれば、バックアップフラグとチェックデータの双方をチェックすることによって、より確実に、電力供給開始時に電力供給停止時の状態から遊技を再開させる制御を行うことができる。

## 【0207】

(4) 遊技の進行に応じて遊技者にとって有利な特定遊技状態に制御可能な遊技機である場合、マイクロコンピュータが、例えば、少なくとも特定遊技状態に制御するか否かの決定を行う制御を含む遊技進行の制御を行う遊技制御手段における遊技制御用マイクロコンピュータである遊技機。

そのような構成によれば、停電等によって不測の電力供給の停止が発生したときに、必要なデータを保存して電力供給開始時に電力供給停止時の状態から遊技を再開できるので、遊技者の不利益を極力防止することができる。

## 【0208】

(5) マイクロコンピュータが、少なくとも特定遊技状態であるか否かに関するデータを復旧させるように構成されている遊技機。

そのような構成によれば、電力供給の復帰時に、遊技者の利益に関連する遊技状態を確実に復旧させることができる。

## 【0209】

(6) 表示状態が変化可能な可変表示装置を含み、可変表示の開始の条件の成立に応じて可変表示を開始し、可変表示の表示結果があらかじめ定められた特定表示態様となったことを条件として遊技者にとって有利な特定遊技状態に制御可能な遊技機であって、マイクロコンピュータが、少なくとも可変表示装置における可変表示の表示結果に関するデータを復旧させるように構成されている遊技機。

そのような構成によれば、見た目も極力電力供給停止直前の状態に戻すことが可能になり、復旧したことを遊技者が容易に認識することができる。

## 【0210】

(7) マイクロコンピュータが、例えば、遊技の結果として払い出される遊技媒体の払出制御を行う払出制御手段における払出制御用マイクロコンピュータである遊技機。

そのような構成によれば、不測の電力供給の停止が発生したときに、必要なデータを保存して電力供給開始時に電力供給停止時の状態から払出制御を再開できる。

## 【0211】

10

20

30

40

50

( 8 ) 払出制御用マイクロコンピュータが、少なくとも、電力供給停止により払出が行われなかった未払出の遊技媒体数に関するデータを復旧させる制御を実行可能であり、復旧させたデータにもとづいて未払出の遊技媒体を払い出すための制御を行うように構成されている遊技機。

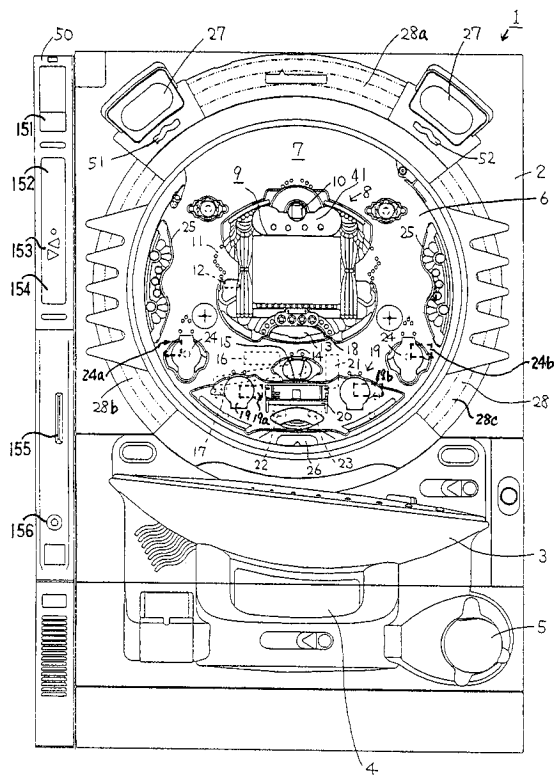
そのような構成によれば、電力供給の復帰時に、遊技者の利益に関連する払出制御状態を確実に復旧させることができ、遊技者に不利益が与えられることを確実に防止できる。

【符号の説明】

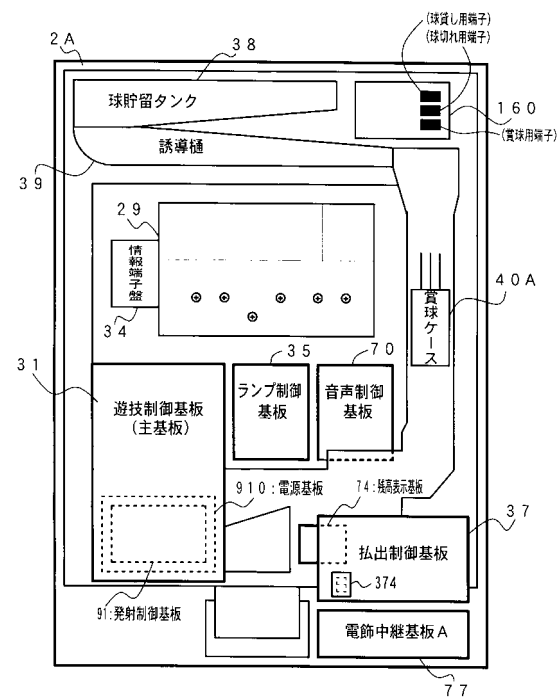
【 0 2 1 2 】

- 3 1 遊技制御基板 (主基板)
- 3 5 ランプ制御基板
- 3 7 払出制御基板
- 5 6 C P U
- 7 0 音制御基板
- 8 0 図柄制御基板
- 1 0 1 表示制御用 C P U
- 3 5 1 ランプ制御用 C P U
- 3 7 1 払出制御用 C P U
- 7 0 1 音制御用 C P U
- 9 1 0 電源基板

【 図 1 】

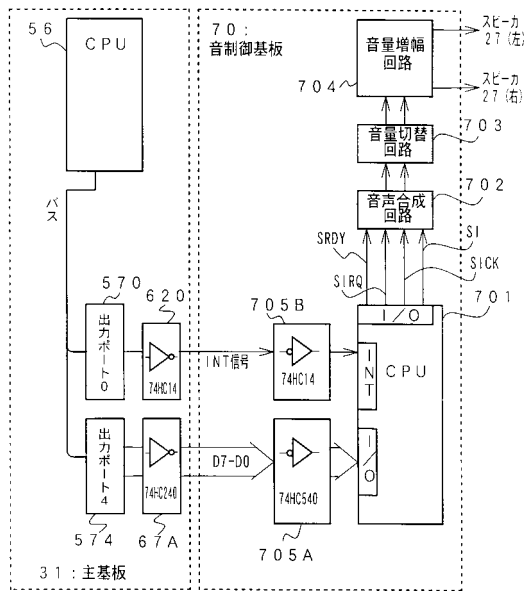


【 図 2 】

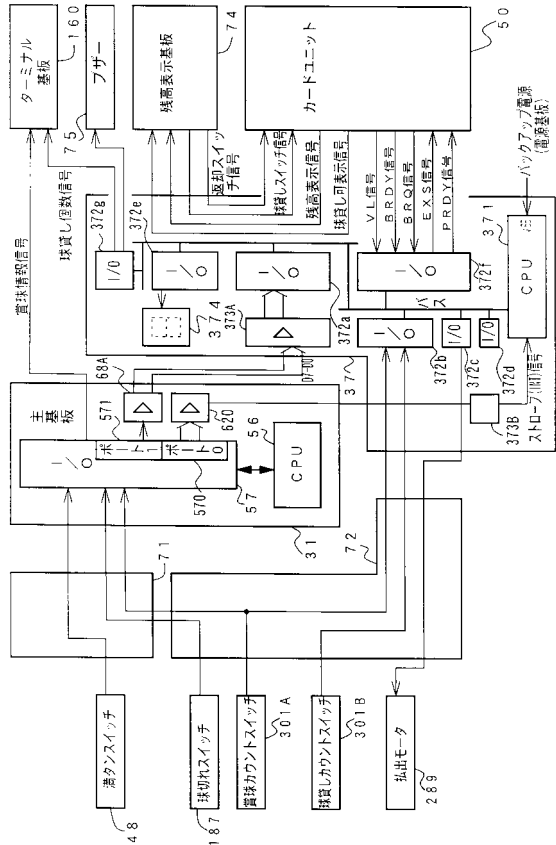




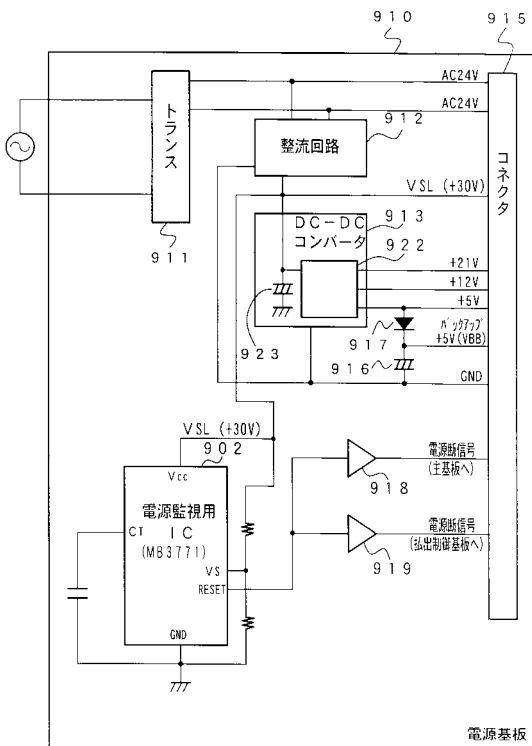
【図7】



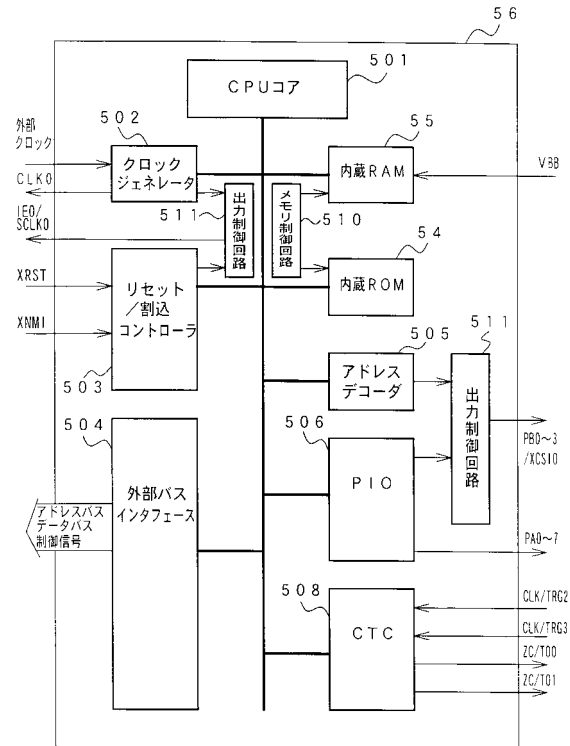
【図8】



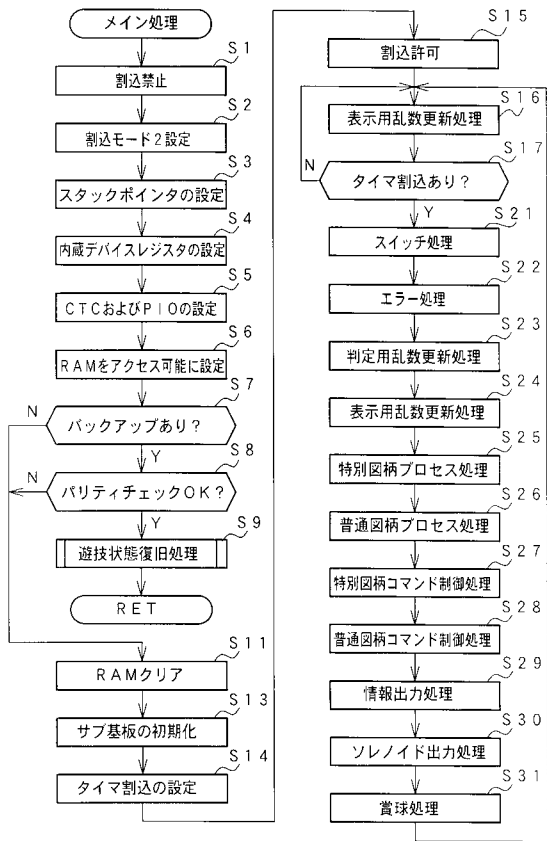
【図9】



【図10】



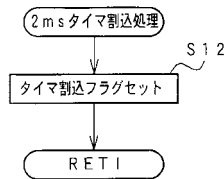
【 図 1 1 】



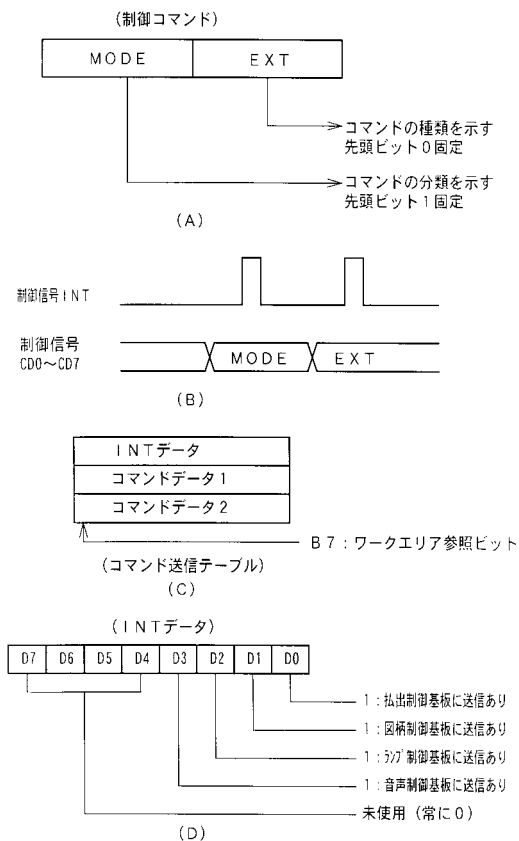
【 図 1 2 】

	バックアップ フラグの値	55H	55H 以外
チェック結果	正常	復旧	初期化
	異常	初期化	初期化

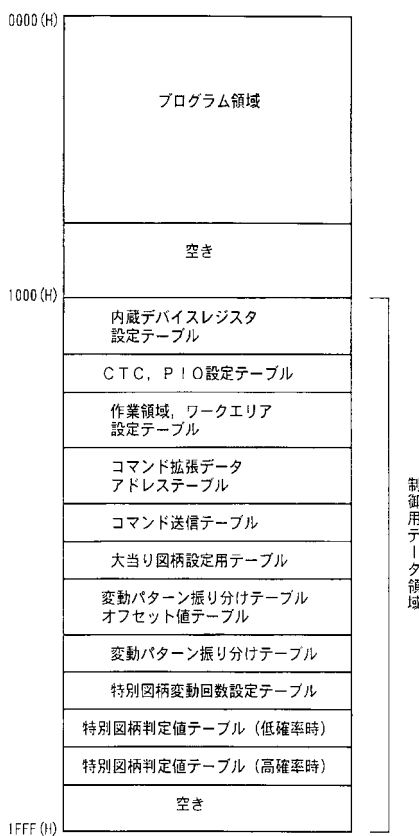
【 図 1 3 】



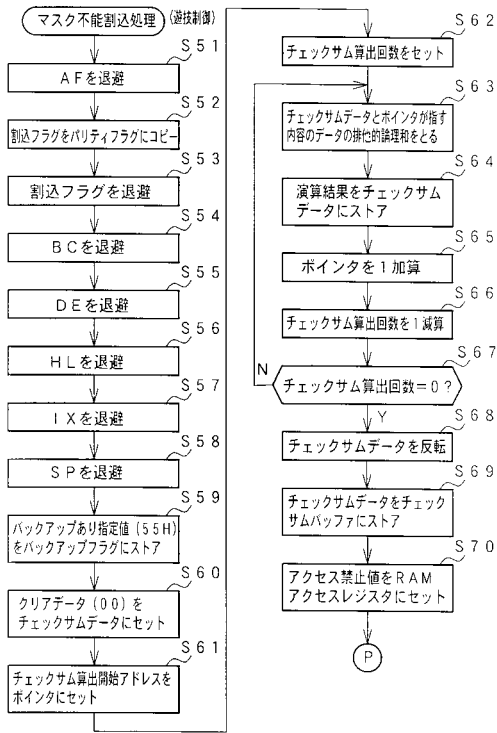
【 図 1 4 】



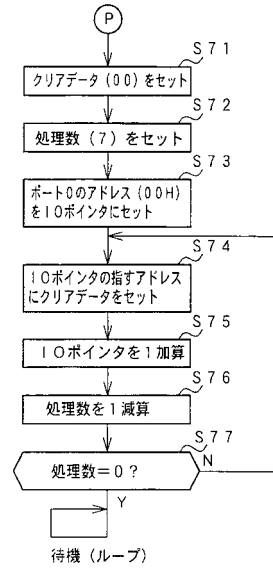
【 図 1 5 】



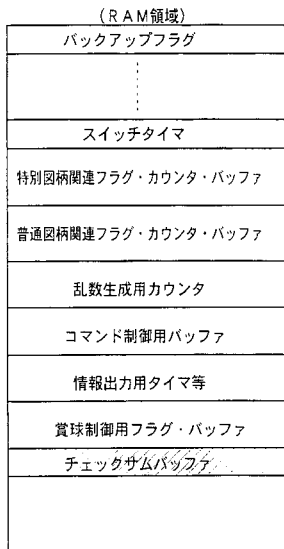
【 図 1 6 】



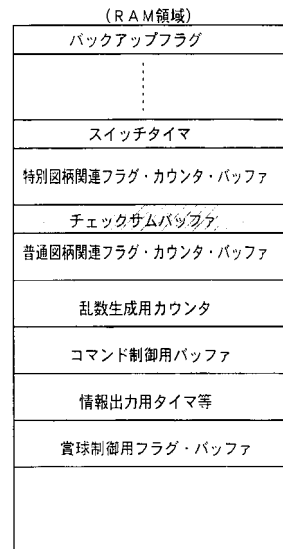
【 図 1 7 】



【 図 1 8 】



【 図 2 0 】

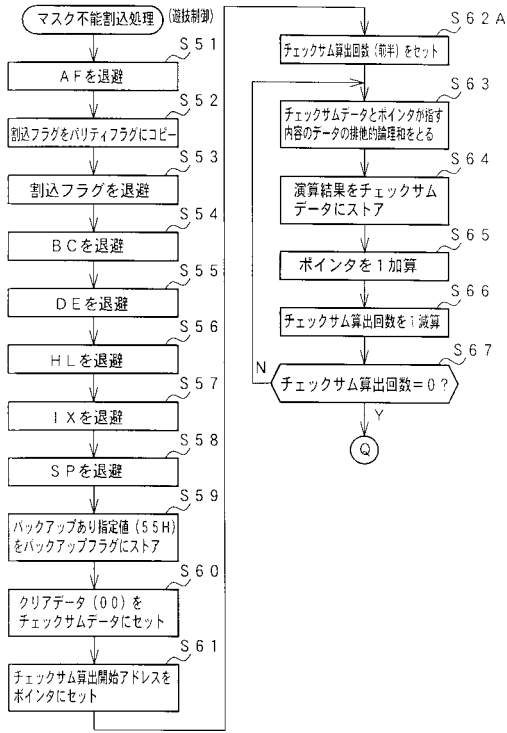


【 図 1 9 】

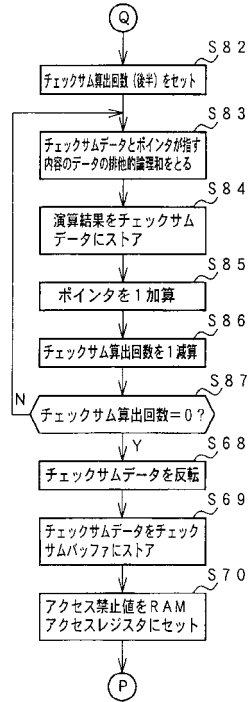
初期データ	00H
データ#1	F0H
データ#2	16H
データ#3	DFH
パリティデータ (チェックサムバッファ)	39H

(実際には反転データを格納)

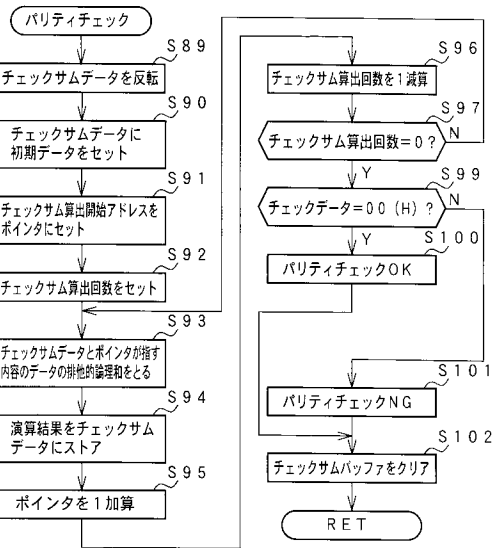
【 図 2 1 】



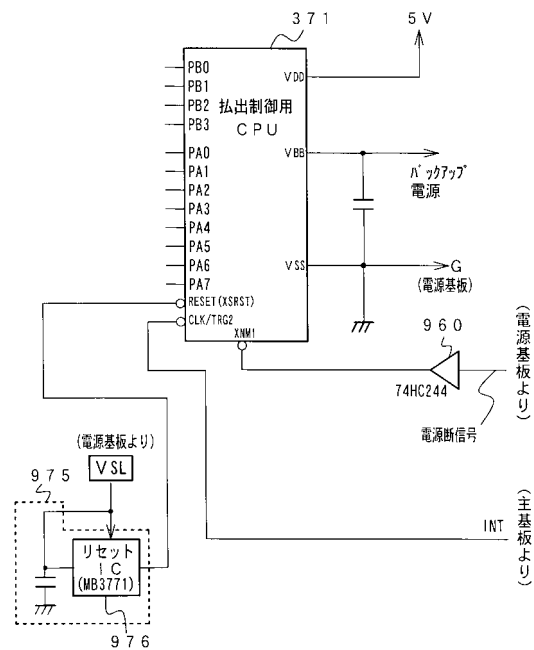
【 図 2 2 】



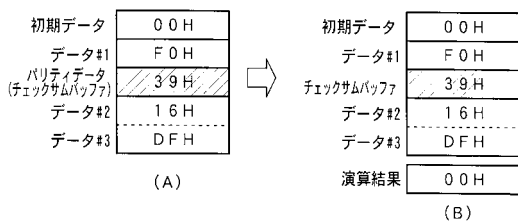
【 図 2 3 】



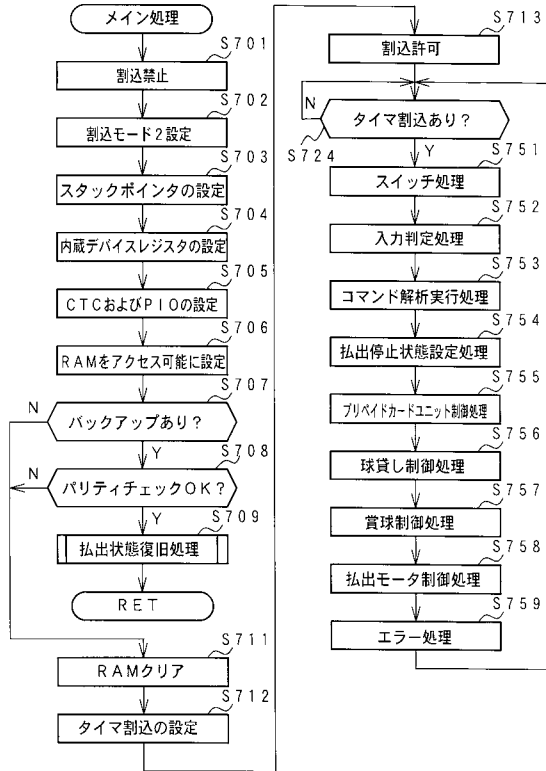
【 図 2 5 】



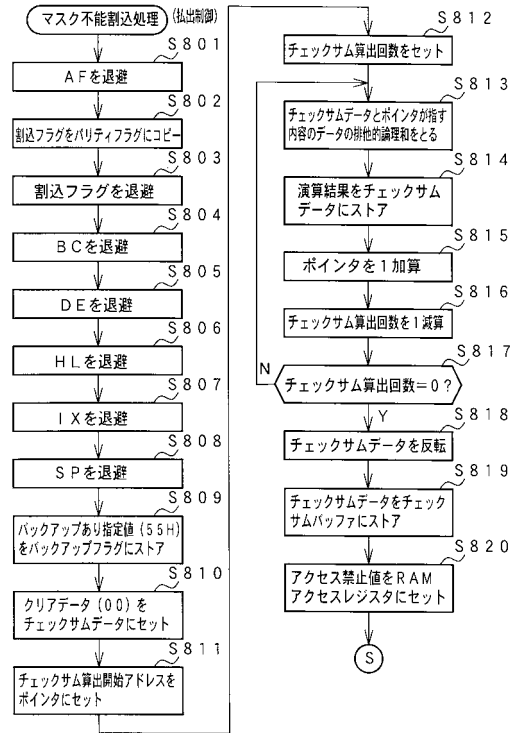
【 図 2 4 】



【図 26】



【図 27】



【図 28】

