

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2011-222675

(P2011-222675A)

(43) 公開日 平成23年11月4日(2011.11.4)

(51) Int.Cl. F I テーマコード (参考)
 HO 1 S 5/042 (2006.01) HO 1 S 5/042 6 1 2 5 F 1 7 3
 HO 1 S 5/022 (2006.01) HO 1 S 5/022

審査請求 未請求 請求項の数 13 O L (全 15 頁)

(21) 出願番号 特願2010-88912(P2010-88912)
 (22) 出願日 平成22年4月7日(2010.4.7)

(71) 出願人 000006013
 三菱電機株式会社
 東京都千代田区丸の内二丁目7番3号
 (74) 代理人 100082175
 弁理士 高田 守
 (74) 代理人 100106150
 弁理士 高橋 英樹
 (74) 代理人 100148057
 弁理士 久野 淑己
 (72) 発明者 西口 晴美
 東京都千代田区丸の内二丁目7番3号 三
 菱電機株式会社内
 (72) 発明者 廣中 美佐夫
 東京都千代田区丸の内二丁目7番3号 三
 菱電機株式会社内

最終頁に続く

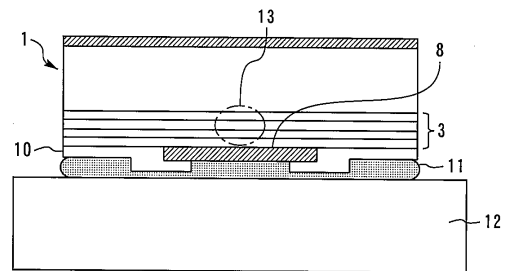
(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】高い放熱性を確保しつつ、歩留まりを向上させることができる半導体装置及びその製造方法を得る。

【解決手段】サブマウント12上に半田11を介してジャンクションダウンで半導体レーザ1が実装されている。半導体レーザ1は、n型GaN基板2と、n型GaN基板2上に形成されpn接合を含む半導体積層構造3と、半導体積層構造3上に形成された電極8とを有する。電極8は、半田11を介してサブマウント12に接合されている。サブマウント12と半導体積層構造3との間において電極8の周りを囲むように高融点金属膜10が配置されている。

【選択図】 図2



【特許請求の範囲】

【請求項 1】

サブマウントと、
前記サブマウント上に半田を介してジャンクションダウンで実装された半導体レーザとを備え、

前記半導体レーザは、半導体基板と、前記半導体基板上に形成され p n 接合を含む半導体積層構造と、前記半導体積層構造上に形成された電極とを有し、

前記電極は、前記半田を介して前記サブマウントに接合され、

前記サブマウントと前記半導体積層構造との間において前記電極の周りを囲むように高融点金属膜又は高融点誘電体膜が配置されていることを特徴とする半導体装置。 10

【請求項 2】

前記半導体積層構造には、前記電極の周りを囲むように溝が形成され、

前記溝の内部を前記高融点金属膜又は前記高融点誘電体膜が覆っており、

前記高融点金属膜は、前記半導体積層構造とオーミック接合していないことを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】

サブマウントと、

前記サブマウント上に半田を介してジャンクションダウンで実装された半導体レーザとを備え、

前記半導体レーザは、半導体基板と、前記半導体基板上に形成され p n 接合を含む半導体積層構造と、前記半導体積層構造上に形成された電極とを有し、 20

前記電極は、前記半田を介して前記サブマウントに接合され、

前記サブマウントと前記半導体積層構造との間において前記電極の周りを囲むようにメタルパッドが配置され、

前記電極の構成材料が前記半田中に拡散して第 1 の合金層が形成され、

前記メタルパッドの構成材料が前記第 1 の合金層中に拡散して第 2 の合金層が形成され、

前記第 2 の合金層の融点は、前記半田の融点よりも高いことを特徴とする半導体装置。

【請求項 4】

サブマウントと、 30

前記サブマウント上に半田を介してジャンクションダウンで実装された半導体レーザとを備え、

前記半導体レーザは、半導体基板と、前記半導体基板上に形成され p n 接合を含む半導体積層構造と、前記半導体積層構造上に形成された電極とを有し、

前記電極は、前記半田を介して前記サブマウントに接合され、

前記サブマウントと前記電極との間において前記電極の外周に金属膜が配置され、

前記電極の構成材料が前記半田中に拡散して第 1 の合金層が形成され、

前記金属膜の構成材料が前記第 1 の合金層中に拡散して第 2 の合金層が形成され、

前記第 2 の合金層の融点は、前記半田の融点よりも高いことを特徴とする半導体装置。 40

【請求項 5】

サブマウントと、

前記サブマウント上に半田を介してジャンクションダウンで実装された半導体レーザとを備え、

前記半導体レーザは、半導体基板と、前記半導体基板上に形成され p n 接合を含む半導体積層構造と、前記半導体積層構造上に形成された電極とを有し、

前記電極は、前記半田を介して前記サブマウントに接合され、

前記電極の周りを囲むように前記サブマウントに溝が形成され、

前記溝内に形成された金属層と、

前記溝内に流れ込んだ前記半田中に前記金属層の構成材料が拡散して金属間化合物が形成され、 50

前記金属間化合物の融点は、前記半田の融点よりも高いことを特徴とする半導体装置。

【請求項 6】

サブマウントと、

前記サブマウント上に半田を介してジャンクションダウンで実装された半導体レーザとを備え、

前記半導体レーザは、半導体基板と、前記半導体基板上に形成され p n 接合を含む半導体積層構造と、前記半導体積層構造上に形成された電極とを有し、

前記電極は、前記半田を介して前記サブマウントに接合され、

前記電極の周りを囲むように前記サブマウントに、前記半田の流動性を向上させる誘引材料が形成されていることを特徴とする半導体装置。

10

【請求項 7】

前記誘引材料は、前記半田と同じ物質、前記半田の構成物質、フラックス、又は前記半田と合金化すると融点が下がる金属材料であることを特徴とする請求項 6 に記載の半導体装置。

【請求項 8】

前記電極の周りを囲むように前記サブマウントに溝が形成され、

前記溝の内側の側面に前記誘引材料が形成されていることを特徴とする請求項 6 又は 7 に記載の半導体装置。

【請求項 9】

半導体基板と、前記半導体基板上に形成され p n 接合を含む半導体積層構造と、前記半導体積層構造上に形成された電極とを有する半導体レーザを準備する工程と、

20

サブマウント上に半田を形成する工程と、

前記電極の周りを囲むようにメタルパッドを前記半導体レーザ上に形成する工程と、

前記サブマウント上に前記半田を介してジャンクションダウンで前記半導体レーザを実装する工程とを備え、

前記電極は、前記半田を介して前記サブマウントに接合され、

前記サブマウントと前記半導体積層構造との間において前記電極の周りを囲むようにメタルパッドが配置され、

前記電極の構成材料が前記半田中に拡散して第 1 の合金層が形成され、

前記メタルパッドの構成材料が前記第 1 の合金層中に拡散して第 2 の合金層が形成され

30

、
前記サブマウント上に前記半導体レーザを実装する際の温度は、前記半田の融点よりも高く、前記第 2 の合金層の融点よりも低いことを特徴とする半導体装置の製造方法。

【請求項 10】

半導体基板と、前記半導体基板上に形成され p n 接合を含む半導体積層構造と、前記半導体積層構造上に形成された電極とを有する半導体レーザを準備する工程と、

サブマウント上の接合領域を囲むようにメタルパッドを形成する工程と、

前記サブマウント上の前記接合領域に半田を形成する工程と、

前記サブマウント上の前記接合領域に前記半田を介してジャンクションダウンで前記半導体レーザを実装する工程とを備え、

40

前記電極は、前記半田を介して前記サブマウントに接合され、

前記サブマウントと前記半導体積層構造との間において前記電極の周りを囲むようにメタルパッドが配置され、

前記電極の構成材料が前記半田中に拡散して第 1 の合金層が形成され、

前記メタルパッドの構成材料が前記第 1 の合金層中に拡散して第 2 の合金層が形成され

、
前記サブマウント上に前記半導体レーザを実装する際の温度は、前記半田の融点よりも高く、前記第 2 の合金層の融点よりも低いことを特徴とする半導体装置の製造方法。

【請求項 11】

半導体基板と、前記半導体基板上に形成され p n 接合を含む半導体積層構造と、前記半

50

導体積層構造上に形成された電極とを有する半導体レーザを準備する工程と、
 前記電極の外周に金属膜を形成する工程と、
 前記電極上の前記金属膜で囲まれた領域に半田を蒸着する工程と、
 前記サブマウント上に前記半田を介してジャンクションダウンで前記半導体レーザを実装する工程とを備え、
 前記電極は、前記半田を介して前記サブマウントに接合され、
 前記サブマウントと前記半導体積層構造との間において前記電極の周りを囲むようにメタルパッドが配置され、
 前記電極の構成材料が前記半田中に拡散して第1の合金層が形成され、
 前記メタルパッドの構成材料が前記第1の合金層中に拡散して第2の合金層が形成され

10

、
 前記サブマウント上に前記半導体レーザを実装する際の温度は、前記半田の融点よりも高く、前記第2の合金層の融点よりも低いことを特徴とする半導体装置の製造方法。

【請求項12】

ウェハ状の半導体基板上に、pn接合を含む半導体積層構造と、前記半導体積層構造上の電極とを有する複数の半導体レーザを形成する工程と、

隣接する前記半導体レーザ同士の境界をスクライブして前記pn接合より深い溝を形成する工程と、

前記溝の内部表面に高抵抗化処理を行って高抵抗化領域を形成するか、又は前記溝内に絶縁膜を形成する工程と、

20

前記高抵抗化領域又は前記絶縁膜を形成した後に、前記溝に沿って個々の前記半導体レーザに分離する工程と、

個々の前記半導体レーザに分離した後に、前記サブマウント上に半田を介してジャンクションダウンで前記半導体レーザを実装する工程とを備えることを特徴とする半導体装置の製造方法。

【請求項13】

前記高抵抗化処理は熱酸化法又はイオン注入であることを特徴とする請求項12に記載の半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

30

【0001】

本発明は、サブマウント上に半田を介して半導体レーザがジャンクションダウンで実装された半導体装置及びその製造方法に関し、特に高い放熱性を確保しつつ、歩留まりを向上させることができる半導体装置及びその製造方法に関する。

【背景技術】

【0002】

半導体レーザは、半田を介してジャンクションアップ又はジャンクションダウンでサブマウント上に実装される。コスト低減のためにチップ幅をシュリンクさせた場合、ジャンクションアップでは、発光ストライプを避けてワイヤボンドするスペースが無くなる。そこで、ジャンクションダウンが一般に用いられる（例えば、特許文献1参照）。また、ジャンクションダウンの方が、放熱性が良くなるため、ハイパワーや高温での特性を改善できる。

40

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特開平5-110203号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

実装時のプレスにより、半田が外側に広がってチップの横にはみ出し、チップの側面に

50

沿って盛り上がる。ジャンクションアップを用いた場合は、実装面から半導体レーザの p n 接合までの距離が離れているため、p n 接合が半田で短絡してしまうことはない。しかし、ジャンクションダウンを用いた場合は、p n 接合が半田で短絡して、歩留まりが低下するという問題がある。

【0005】

また、Ga N系半導体レーザでは、結晶成長速度が遅いことや、活性層への熱ダメージを低減するため、活性層上の上クラッド層やコンタクト層の合計厚みは一般に1 μ m未満である。これは、Ga A s系半導体レーザなどの合計厚み3 μ m ~ 5 μ mに比べて薄い。従って、Ga N系半導体レーザの場合は、実装面からp n接合までの距離が短いため、上記の問題が特に顕著である。

10

【0006】

また、サブマウントと半導体レーザとの間において電極の周りを絶縁膜で囲んで、半田が半導体レーザの側面へ回り込むのを防ぐことが考えられる。しかし、絶縁膜は放熱性が低いため、半導体レーザの発光領域で発生した熱をサブマウントに十分に放熱できない。

【0007】

本発明は、上述のような課題を解決するためになされたもので、その目的は、高い放熱性を確保しつつ、歩留まりを向上させることができる半導体装置及びその製造方法を得るものである。

【課題を解決するための手段】

【0008】

本発明は、サブマウントと、前記サブマウント上に半田を介してジャンクションダウンで実装された半導体レーザとを備え、前記半導体レーザは、半導体基板と、前記半導体基板上に形成されp n接合を含む半導体積層構造と、前記半導体積層構造上に形成された電極とを有し、前記電極は、前記半田を介して前記サブマウントに接合され、前記サブマウントと前記半導体積層構造との間において前記電極の周りを囲むように高融点金属膜又は高融点誘電体膜が配置されていることを特徴とする半導体装置である。

20

【発明の効果】

【0009】

本発明により、高い放熱性を確保しつつ、歩留まりを向上させることができる。

【図面の簡単な説明】

30

【0010】

【図1】実施の形態1に係る半導体レーザを示す断面図である。

【図2】実施の形態1に係る半導体装置を示す断面図である。

【図3】実施の形態2に係る半導体装置を示す断面図である。

【図4】実施の形態3に係る半導体装置を示す断面図である。

【図5】実施の形態3に係る半導体装置の製造方法を説明するための断面図である。

【図6】A u S nの二元系状態図である。

【図7】実施の形態3に係る半導体装置の製造方法の変形例を説明するための断面図である。

【図8】実施の形態4に係る半導体装置を示す断面図である。

40

【図9】実施の形態4に係る半導体装置の製造方法を説明するための断面図である。

【図10】実施の形態5に係る半導体装置を示す断面図である。

【図11】実施の形態5に係る半導体装置の製造方法を説明するための断面図である。

【図12】S n A gの二元系状態図である。

【図13】実施の形態5に係る半導体装置の変形例を説明するための断面図である。

【図14】実施の形態6に係る半導体装置を示す断面図である。

【図15】実施の形態6に係る半導体装置の製造方法を説明するための断面図である。

【図16】実施の形態6に係る半導体装置の変形例を示す断面図である。

【図17】実施の形態7に係る半導体装置の製造方法を示す平面図である。

【図18】実施の形態7に係る半導体装置の製造方法を示す断面図である。

50

【図19】図18の破線で囲った部分の拡大断面図である。

【図20】実施の形態7に係る半導体装置の製造方法の変形例を示す拡大断面図である。

【発明を実施するための形態】

【0011】

本発明の実施の形態に係る半導体装置について図面を参照して説明する。同じ構成要素には同じ符号を付し、説明の繰り返しを省略する場合がある。

【0012】

実施の形態1.

図1は、実施の形態1に係る半導体レーザ1を示す断面図である。n型Ga_{0.5}N基板2(半導体基板)上に、pn接合を含む半導体積層構造3が形成されている。半導体積層構造3は、n型Ga_{0.5}N基板2側から順次積層されたn型AlGa_{0.5}Nクラッド層4、InGa_{0.5}N活性5、p型AlGa_{0.5}Nクラッド層6、及びp型Ga_{0.5}Nコンタクト層7を有する。p型Ga_{0.5}Nコンタクト層7上に電極8が形成され、n型Ga_{0.5}N基板2の下面に電極9が形成されている。電極8,9には金(Au)が含まれている。

10

【0013】

電極8の周りを囲むように高融点金属膜10が配置されている。高融点金属膜10は、白金(Pt)、ニッケル(Ni)、ニッケルクロム合金(NiCr)、タングステン(W)、チタン(Ti)、タングステンチタニウム(TiW)、モリブデン(Mo)、タンタル(Ta)、又はニオブ(Nb)からなる。なお、高融点金属膜10の代わりに、上記の高融点金属膜10の各材料の酸化膜又は窒化膜からなる高融点誘電膜を用いてもよい。

20

【0014】

図2は、実施の形態1に係る半導体装置を示す断面図である。半導体レーザ1は、半田11を介してサブマウント12上にジャンクションダウンで実装されている。半導体レーザ1の電極8は、半田11を介してサブマウント12に接合されている。半田11は、AuSn系、SnAg系、SnAgCu系、Sn-Zn系、Sn-Bi系、PbSn系、AuSi系、AuGe系の合金を形成する材料からなる。

【0015】

以上説明したように、本実施の形態では、サブマウント12と半導体積層構造3との間において電極8の周りを囲むように高融点金属膜10又は高融点誘電体膜が配置されている。この高融点金属膜10又は高融点誘電体膜により、半田11が半導体レーザ1の側面へ回り込んでpn接合が短絡するのを防ぐことができるため、歩留まりを向上させることができる。

30

【0016】

また、高融点金属膜10や高融点誘電体膜は、絶縁膜より熱伝導率が10倍程度高い。高融点金属の熱伝導率は50~200W/m・Kであるのに対して、一般的な絶縁膜であるSiO₂の熱伝導率は10W/m・K以下、SiNの熱伝導率は20W/m・K以下である。

【0017】

半導体レーザ1の発光領域13で発生した熱は、電極8、高融点金属膜10、及び半田11を介してサブマウント12に放熱される。本実施の形態のように電極8の周りを高融点金属膜10や高融点誘電体膜で囲んだ場合、電極8の周りを絶縁膜で囲んだ場合と比べて、高い放熱性を確保することができる。特に、数100mW以上のハイパワーが要求される半導体レーザや、動作電流・電圧の高い半導体レーザには有利である。

40

【0018】

実施の形態2.

図3は、実施の形態2に係る半導体装置を示す断面図である。半導体積層構造3には、電極8の周りを囲むように溝14が形成されている。この溝14の内部を高融点金属膜10又は高融点誘電体膜が覆っている。ただし、高融点金属膜10は、半導体積層構造3とオーミック接合していない。その他の構成は実施の形態1と同様である。

【0019】

50

実装時に、余分な半田 1 1 を溝 1 4 の内部に流れ込ませることができる。従って、半田 1 1 が半導体レーザ 1 の側面へ回り込んで p n 接合が短絡するのを防ぐことができるため、歩留まりを向上させることができる。

【 0 0 2 0 】

溝 1 4 の幅は 3 0 μ m 以下、好適には 5 ~ 2 0 μ m である。溝 1 4 の深さは p n 接合よりも 1 ~ 1 0 μ m 程度深い。これにより、余分な半田 1 1 が流れ込む溝 1 4 の体積を大きくとることができる。

【 0 0 2 1 】

また、溝 1 4 の位置は、半導体レーザ 1 の端から 5 ~ 3 0 μ m 内側、好適には 5 ~ 2 0 μ m 内側である。このように溝 1 4 をチップ端に近づけることで、半導体レーザ 1 の幅を 1 5 0 μ m 以下、例えば 1 0 0 μ m 程度にシュリンクした場合でも、ボンディング幅を大きく取り、接着強度を確保できる。

10

【 0 0 2 2 】

実施の形態 3 .

図 4 は、実施の形態 3 に係る半導体装置を示す断面図である。実施の形態 1 の高融点金属膜 1 0 の代わりに、サブマウント 1 2 と半導体積層構造 3 との間において電極 8 の周りを囲むようにメタルパッド 1 5 が配置されている。メタルパッド 1 5 には金 (A u) が含まれている。半田 1 1 は、 8 0 w t % の A u と 2 0 w t % の S n からなる A u S n である。この半田 1 1 の融点は 2 8 0 である。

【 0 0 2 3 】

図 5 は、実施の形態 3 に係る半導体装置の製造方法を説明するための断面図である。まず、 p n 接合を含む半導体レーザ 1 を準備する。半導体レーザ 1 の電極 8 の周りを囲むようにメタルパッド 1 5 を半導体レーザ 1 上に形成する。サブマウント 1 2 上に半田 1 1 を形成する。その後、サブマウント 1 2 上に半田 1 1 を介してジャンクションダウンで半導体レーザ 1 を実装する。サブマウント 1 2 上に半導体レーザ 1 を実装する際の実装温度は、約 3 0 0 ~ 3 5 0 である。この実装温度は、半田 1 1 の融点よりも高い。

20

【 0 0 2 4 】

この実装時に、図 4 に示すように、電極 8 の構成材料の A u が半田 1 1 中に拡散して第 1 の合金層 1 6 が形成される。図 6 は、 A u S n の二元系状態図である。図 6 に示すように、 A u 含有量が多くなるほど、 A u S n の融点は高くなる。従って、第 1 の合金層 1 6 の融点は半田 1 1 の融点よりも高い。

30

【 0 0 2 5 】

第 1 の合金層 1 6 がメタルパッド 1 5 に達すると、メタルパッド 1 5 の構成材料の A u が第 1 の合金層 1 6 中に拡散して第 2 の合金層 1 7 が形成される。第 2 の合金層 1 7 は、例えば 8 5 w t % の A u と 1 5 w t % の S n からなる。この第 2 の合金層 1 7 の融点は約 4 0 0 まで上昇する。従って、第 2 の合金層 1 7 の融点は実装温度 (約 3 0 0 ~ 3 5 0) よりも高いため、半田 1 1 がメタルパッド 1 5 に達して第 2 の合金層 1 7 になることで半田 1 1 の溶解が止まる。従って、半田 1 1 が半導体レーザ 1 の側面へ回り込んで p n 接合が短絡するのを防ぐことができるため、歩留まりを向上させることができる。

【 0 0 2 6 】

なお、サブマウント 1 2 と半導体積層構造 3 とメタルパッド 1 5 で囲まれた空間の体積が、半田 1 1 が合金化した後の体積とほぼ等しくなるようにメタルパッド 1 5 の厚さを設定する。具体的には、メタルパッド 1 5 の厚さを、図 5 の半田 1 1 の厚さより数 % ~ 3 0 % 程度薄くする。

40

【 0 0 2 7 】

また、 A u S n 半田は S n の組成が高くなった場合も融点が上がるので、構成材料として S n を含むメタルパッド 1 5 を用いてもよい。その場合、例えば第 2 の合金層 1 7 が 7 0 w t % の A u と 3 0 w t % の S n となれば、その融点は約 3 9 0 となる。従って、同様の効果を得ることができる。

【 0 0 2 8 】

50

また、半田 1 1 は、AuSn に限らず、SnAg 系、SnAgCu 系、Sn-Zn 系、Sn-Bi 系、PbSn 系、AuSi 系、又は AuGe 系の合金を形成し、組成比によって融点が変わる材料でもよい。そして、メタルパッド 1 5 の材料として、半田 1 1 と合金化するか、又は半田 1 1 に添加されると、半田 1 1 の融点が高くなる材料を含むものを用いる。これにより、同様の効果を得ることができる。

【0029】

図 7 は、実施の形態 3 に係る半導体装置の製造方法の変形例を説明するための断面図である。上記の例ではメタルパッド 1 5 を半導体レーザ 1 上に形成したが、この変形例では、サブマウント 1 2 上の接合領域 1 8 を囲うようにメタルパッド 1 5 を形成する。そして、サブマウント 1 2 上の接合領域 1 8 に半田 1 1 を形成する。その後、サブマウント 1 2 上の接合領域 1 8 に半田 1 1 を介してジャンクションダウで半導体レーザ 1 を実装する。その他の工程は上記の例と同じであり、同様の効果を得ることができる。

10

【0030】

実施の形態 4 .

図 8 は、実施の形態 4 に係る半導体装置を示す断面図である。実施の形態 1 の高融点金属膜 1 0 の代わりに、サブマウント 1 2 と電極 8 との間において電極 8 の外周に Au 膜 1 9 (金属膜) が配置されている。半田 1 1 は、80wt% の Au と 20wt% の Sn からなる AuSn である。この半田 1 1 の融点は 280 である。

【0031】

図 9 は、実施の形態 4 に係る半導体装置の製造方法を説明するための断面図である。まず、pn 接合を含む半導体レーザ 1 を準備する。そして、半導体レーザ 1 の電極 8 の外周に Au 膜 1 9 を形成する。電極 8 上の Au 膜 1 9 で囲まれた領域に半田 1 1 を蒸着する。その後、サブマウント 1 2 上に半田 1 1 を介してジャンクションダウで半導体レーザ 1 を実装する。サブマウント 1 2 上に半導体レーザ 1 を実装する際の実装温度は、約 300 ~ 350 である。この実装温度は、半田 1 1 の融点よりも高い。

20

【0032】

この実装時に、図 8 に示すように、電極 8 の構成材料の Au が半田 1 1 中に拡散して第 1 の合金層 1 6 が形成される。第 1 の合金層 1 6 が Au 膜 1 9 に達すると、Au 膜 1 9 の構成材料の Au が第 1 の合金層 1 6 中に拡散して第 2 の合金層 1 7 が形成される。第 2 の合金層 1 7 は、例えば 85wt% の Au と 15wt% の Sn からなる。この第 2 の合金層 1 7 の融点は約 400 まで上昇する。従って、第 2 の合金層 1 7 の融点は実装温度 (約 300 ~ 350) よりも高いため、半田 1 1 が Au 膜 1 9 に達して第 2 の合金層 1 7 になることで半田 1 1 の溶解が止まる。従って、半田 1 1 が半導体レーザ 1 の側面へ回り込んで pn 接合が短絡するのを防ぐことができるため、歩留まりを向上させることができる。

30

【0033】

なお、サブマウント 1 2 と電極 8 と Au 膜 1 9 で囲まれた空間の体積が、半田 1 1 が合金化した後の体積とほぼ等しくなるように Au 膜 1 9 の厚さを設定する。具体的には、Au 膜 1 9 の厚さを、図 9 の半田 1 1 の厚さより数% ~ 30% 程度薄くする。

【0034】

実施の形態 5 .

図 10 は、実施の形態 5 に係る半導体装置を示す断面図である。実施の形態 1 の高融点金属膜 1 0 の代わりに、電極 8 の周りを囲むようにサブマウント 1 2 に溝 2 0 が形成されている。溝 2 0 内に Au 層 2 1 (金属層) が形成されている。半田 1 1 は SnAg である。電極 8 及びサブマウント 1 2 上に Auメッキ 2 2 と Pt / フラッシュ Au 層 2 3 が形成されている。

【0035】

図 11 は、実施の形態 5 に係る半導体装置の製造方法を説明するための断面図である。まず、pn 接合を含む半導体レーザ 1 を準備する。次に、サブマウント 1 2 上の接合領域 1 8 を囲うように溝 2 0 を形成し、溝 2 0 内に Au 層 2 1 を形成する。そして、サブマウ

40

50

ント12上の接合領域18に半田11を形成する。その後、サブマウント12上の接合領域18に半田11を介してジャンクションダウンで半導体レーザ1を実装する。サブマウント12上に半導体レーザ1を実装する際の実装温度は、約300～350である。この実装温度は、半田11の融点よりも高い。

【0036】

この実装時に、サブマウント12の溝20に半田11が流入する。これにより、図10に示すように、Au層21の構成材料のAuが半田11中に拡散して金属間化合物24が形成される。金属間化合物24はAuSnからなる。この金属間化合物24が含まれる半田11の融点は、例えば380まで上昇し、実装温度(約300～350)よりも高くなる。これにより、半田11の溶解が止まるため、溝20内での半田11の横方向の広がりを抑制できる。従って、半田11が半導体レーザ1の側面へ回り込んでpn接合が短絡するのを防ぐことができるため、歩留まりを向上させることができる。

10

【0037】

なお、図12は、SnAgの二元系状態図である。SnAgの融点は、Agが3.5%の場合(共晶点)に221と低く、Agが増えると高くなる。従って、Au層21の代わりに溝20内にAg層を設けても同様の効果を得ることができる。また、SnAg半田の代わりに実施の形態3,4と同様にAuSn半田を用い、溝20内にAu層21又はSn層を設けても同様の効果がある。さらに、半田11に混入すると半田11の融点が上がるような他の不純物材料を、Au層21の代わりに溝20内に設けても同様の効果を得ることができる。

20

【0038】

図13は、実施の形態5に係る半導体装置の変形例を説明するための断面図である。Au層21をサブマウント12の溝20内ではなく、電極8の周りを囲むように半導体レーザ1側に設けている。この場合でも同様の効果を得ることができる。なお、Au層21をサブマウント12の溝20内と半導体レーザ1側の両方に設ければ更に効果的である。

【0039】

実施の形態6。

図14は、実施の形態6に係る半導体装置を示す断面図である。実施の形態1の高融点金属膜10の代わりに、電極8の周りを囲むようにサブマウント12に溝20が形成されている。溝20の内側の側面に誘引材料25が形成されている。誘引材料25は、半田11の流動性を向上させる材料である。具体的には、誘引材料25は、半田11と同じ物質、半田11の構成物質、フラックス(融剤)、又は半田11と合金化すると融点が下がる金属材料である。

30

【0040】

フラックスは、具体的には、金属酸化物を融解する性質を持つホウ砂(4ホウ酸ナトリウム $\text{Na}_2\text{B}_4\text{O}_5(\text{OH})_4 \cdot 8\text{H}_2\text{O}$)や塩化亜鉛(ZnCl_2)水溶液などである。半田11と合金化すると融点が下がる金属材料は、具体的には、Sn-Cu半田に対してAg、Sn-Ag-Bi-Cu半田に対してBi、Sn-Ag半田に対してIn、Sn-9Zn半田に対してAg, Al, Gaなどである。Sn-0.75Cu半田(融点227)に対して、Agが添加されたSn-3.5Ag-0.75Cuの融点は217である。Sn-2.5Ag-1.0Bi-0.5Cu半田(融点214)に対して、Biの含有量の大きいSn-2.0Ag-3.0Bi-0.75Cuの融点は207である。

40

【0041】

図15は、実施の形態6に係る半導体装置の製造方法を説明するための断面図である。まず、pn接合を含む半導体レーザ1を準備する。次に、サブマウント12上の接合領域18を囲うように溝20を形成し、溝20の内側の側面に誘引材料25を形成する。そして、サブマウント12上の接合領域18に半田11を形成する。その後、サブマウント12上の接合領域18に半田11を介してジャンクションダウンで半導体レーザ1を実装する。

50

【 0 0 4 2 】

この実装時に、誘引材料 2 5 が半田 1 1 に混入すると半田 1 1 の流動性が向上する。これにより、半田 1 1 が溝 2 0 内に流れ込みやすくなる。従って、半田 1 1 が半導体レーザ 1 の側面へ回り込んで p n 接合が短絡するのを防ぐことができるため、歩留まりを向上させることができる。なお、誘引材料 2 5 の厚さが薄いほど、余分な半田 1 1 が溝 2 0 内に流れ込みやすくなる。そして、誘引材料 2 5 の面積が大きいほど、より多くの半田 1 1 を誘引できる。

【 0 0 4 3 】

図 1 6 は、実施の形態 6 に係る半導体装置の変形例を示す断面図である。サブマウント 1 2 に溝 2 0 は形成されていない。電極 8 の周りを囲むように平坦なサブマウント 1 2 上に、半田 1 1 を融解しやすくする誘引材料 2 5 が形成されている。この場合でも、誘引材料 2 5 により半田 1 1 がサブマウント 1 2 上において横方向に広がりやすくなり、半田 1 1 が盛り上がらないため、同様の効果を得ることができる。

10

【 0 0 4 4 】

実施の形態 7 .

図 1 7 は実施の形態 7 に係る半導体装置の製造方法を示す平面図であり、図 1 8 はその断面図である。図 1 9 は、図 1 8 の破線で囲った部分の拡大断面図である。

【 0 0 4 5 】

まず、ウェハ状の n 型 Ga N 基板 2 上に、p n 接合を含む半導体積層構造 3 と、半導体積層構造 3 上の電極 8 とを有する複数の半導体レーザ 1 を形成する。

20

【 0 0 4 6 】

次に、図 1 7 及び図 1 8 に示すように、隣接する半導体レーザ 1 同士の境界をレーザスクライブによりスクライブして p n 接合より深い溝 2 6 , 2 7 を形成する。なお、具体的には、溝 2 6 , 2 7 を形成する前にフォトレジスト (不図示) を塗布し、パターニングにより溝 2 6 , 2 7 を形成する部分のフォトレジストを除去しておく。また、半導体レーザ 1 の発光領域 1 3 は劈開面を出す必要があるため、劈開用の溝 2 7 は発光領域 1 3 を避けて形成する。

【 0 0 4 7 】

次に、図 1 9 に示すように、溝 2 6 , 2 7 の内部表面に、高温長時間の熱処理である熱酸化法により高抵抗化処理を行って高抵抗化領域 2 8 を形成する。その後、フォトレジストを除去する。Ga N 系材料の場合、溝 2 6 , 2 7 の内部表面は、レーザスクライブによって Ga N 表面の窒素が抜けて Ga リッチな状態となっている。従って、熱酸化法によって Ga O となり、容易に高抵抗化できる。また、高抵抗化処理として、H (プロトン)、F、O、Fe、Zn、Si などのイオンを注入するイオン注入を行ってもよい。

30

【 0 0 4 8 】

次に、溝 2 6 , 2 7 に沿って劈開等を行って個々の半導体レーザ 1 に分離する。そして、サブマウント 1 2 上に半田 1 1 を介してジャンクションダウンで半導体レーザ 1 を実装する。

【 0 0 4 9 】

以上説明したように、溝 2 6 , 2 7 の内部表面に高抵抗化処理を行うため、半導体レーザ 1 の側面に高抵抗化領域 2 8 が形成されている。従って、半田 1 1 が半導体レーザ 1 の側面へ回り込んで p n 接合に達しても p n 接合が短絡するのを防ぐことができるため、歩留まりを向上させることができる。

40

【 0 0 5 0 】

なお、一般的に劈開面はコーティングで保護されるため、p n 接合が露出していない。従って、上記の高抵抗化処理を行わなくてもよい。また、分離用の溝 2 6 と劈開用の溝 2 7 の両方にレーザスクライブを用いたが、分離用の溝 2 6 のみにレーザスクライブを用いてもよい。

【 0 0 5 1 】

また、レーザスクライブは、針スクライブと比較して、微細加工に優れており、作業速

50

度が速い。エッチングと比較しても加工制御性に優れているため、深くスクライプできる。特に GaN 系の半導体レーザでは適当なエッチャント液が無く、ウェットエッチングが困難であるため、レーザスクライプやドライエッチングが必要となる。

【0052】

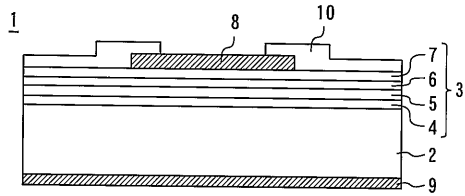
図20は、実施の形態7に係る半導体装置の製造方法の変形例を示す拡大断面図である。上記の例では溝26, 27の内部表面に高抵抗化処理を行ったが、変形例では、溝26, 27内に絶縁膜29を形成する。これにより同様の効果を得ることができる。

【符号の説明】

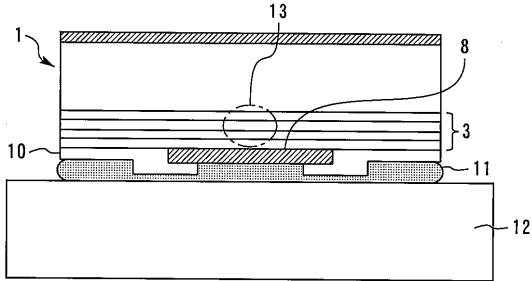
【0053】

- | | | |
|----------------|----------------|----|
| 1 | 半導体レーザ | 10 |
| 2 | n型GaN基板(半導体基板) | |
| 3 | 半導体積層構造 | |
| 8 | 電極 | |
| 10 | 高融点金属膜 | |
| 11 | 半田 | |
| 12 | サブマウント | |
| 14, 20, 26, 27 | 溝 | |
| 15 | メタルパッド | |
| 16 | 第1の合金層 | |
| 17 | 第2の合金層 | 20 |
| 18 | 接合領域 | |
| 19, 21 | Au膜(金属層) | |
| 24 | 金属間化合物 | |
| 25 | 誘引材料 | |
| 28 | 高抵抗化領域 | |
| 29 | 絶縁膜 | |

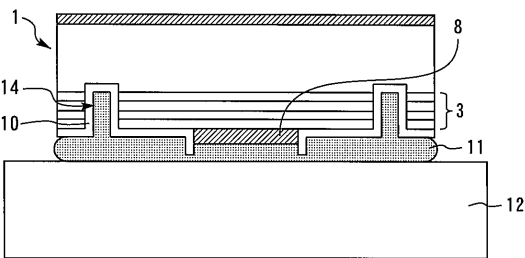
【図1】



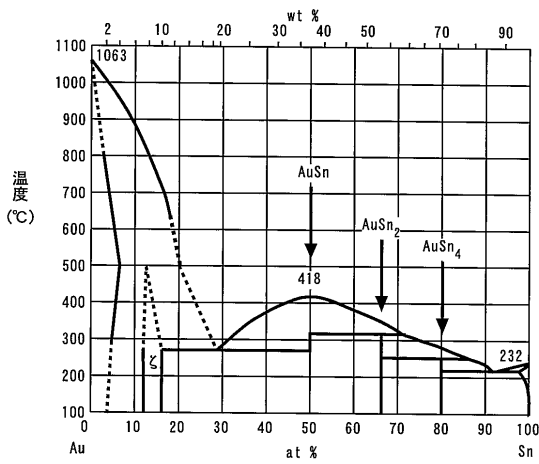
【図2】



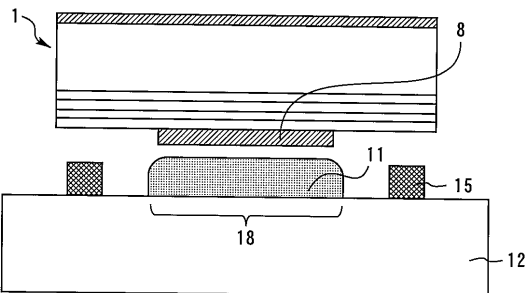
【図3】



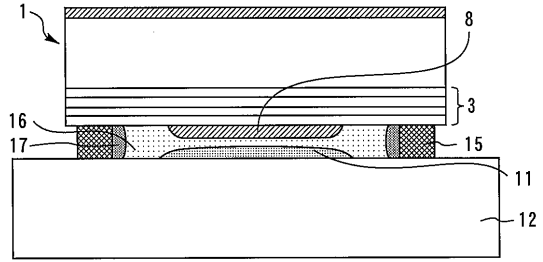
【図6】



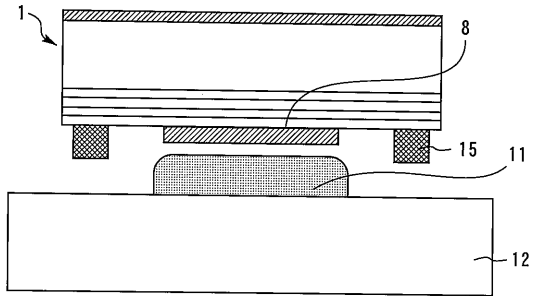
【図7】



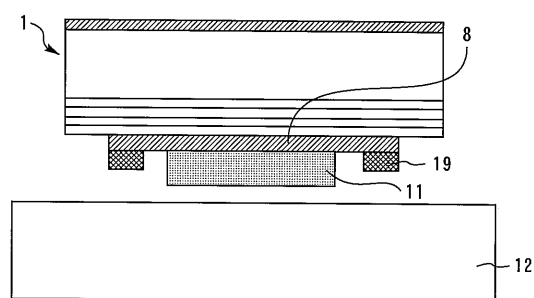
【図4】



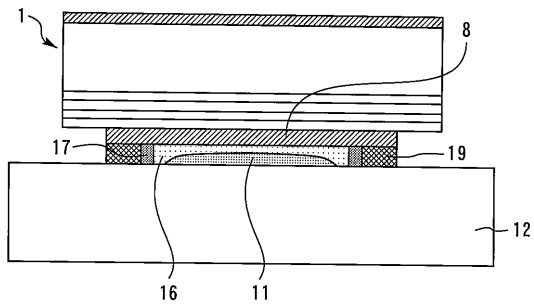
【図5】



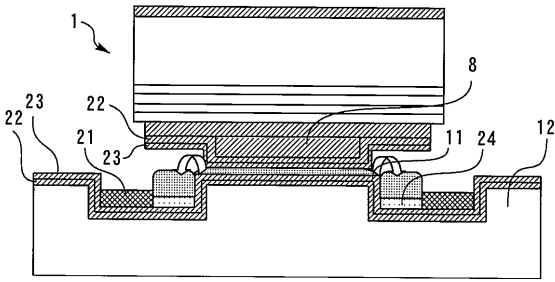
【図8】



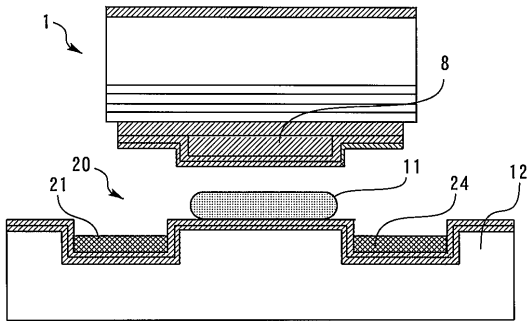
【図9】



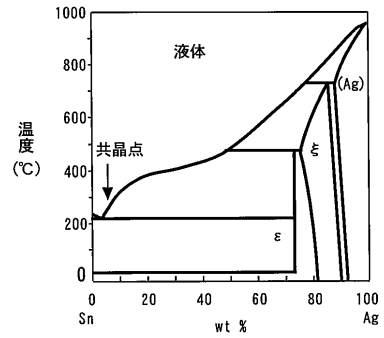
【図10】



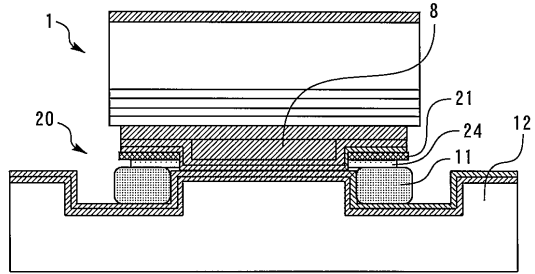
【図11】



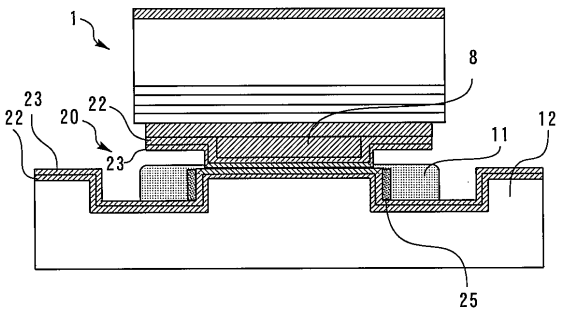
【図12】



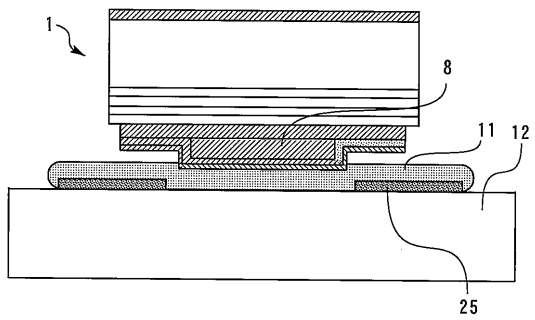
【図13】



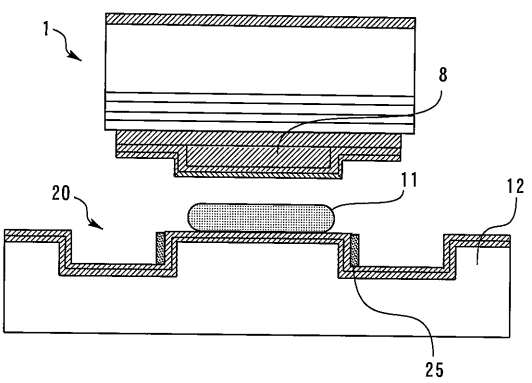
【図14】



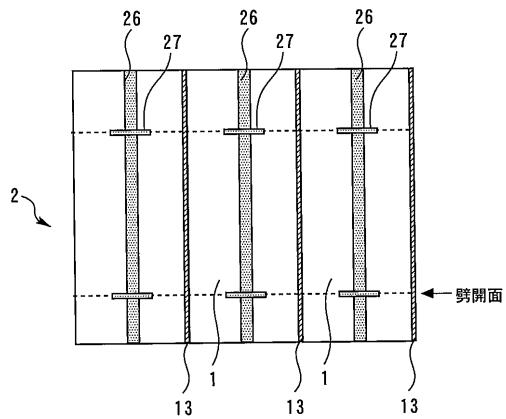
【図16】



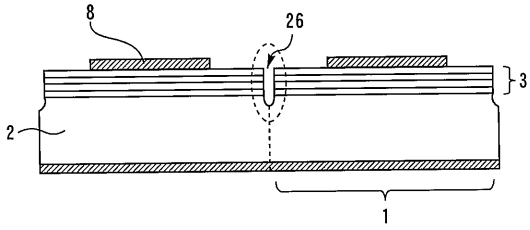
【図15】



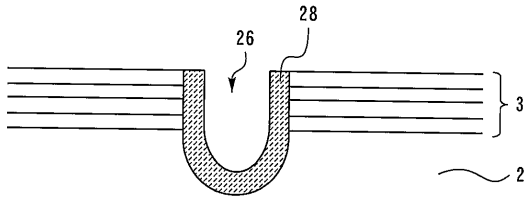
【図17】



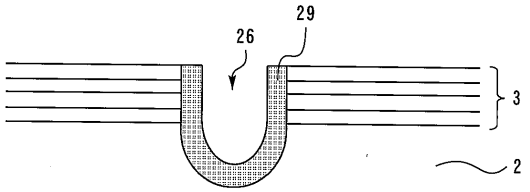
【 図 1 8 】



【 図 1 9 】



【 図 2 0 】



フロントページの続き

(72)発明者 蔵本 恭介

東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内

(72)発明者 楠 政諭

東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内

(72)発明者 鈴木 洋介

東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内

Fターム(参考) 5F173 AH22 AK08 AK21 AK23 AL07 AL12 AP66 AP79 AR61 AR72
AR93 MC12 MC18 MD16 MD24 MD63 MD85