



ÚŘAD PRO VYNÁLEZY  
A OBJEVY

# POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

208956  
(11) (B1)

(22) Přihlášeno 27 12 78  
(21) (PV 8966-78)

(40) Zveřejněno 30 01 81

(45) Vydáno 01 02 84

(51) Int. Cl.<sup>3</sup>  
G 11 C 29/00  
G 06 K 5/00  
G 06 F 11/00

(75)

Autor vynálezu

FIXA ZDENĚK, VŠENORY A NEVEČERÁL DANIEL ing. PRAHA

## (54) Cyklický kontrolní obvod

Vynález se týká cyklického kontrolního obvodu pro kontrolu správnosti paralelního zápisu, čtení a přenosu bloků informací například zaznamenaných na mediích s paralelním záznamem do několika stop (magnetická či děrná páska, magnetické bubny a podobně), či přenášených mezi částmi složitějších systémů pro zpracování informací.

V současné době se používá více metod kontroly přenosu a záznamu informací. Část z nich je založena na principu vícenásobné paritní kontroly, z něhož vychází i předložený vynález. Tento princip je možné poměrně jednoduše realizovat.

Pro seriový přenos binární informace je například vhodný známý cyklický redundantní kód, pro paralelní přenos jednotlivých slov se používají jiné typy vícenásobné paritní kontroly. Ty z nich, které jsou dosti bezpečné vedou obvykle ke složitější realizaci. Nejjednodušší z nich používá pro každou stopu, či přenosovou cestu zvláštní paritní kontrolní bit. Realizace je v tom případě jednoduchá (t. j. bistabilní klopní obvod pro každý kontrolní bit, avšak v mnoha případech tento způsob nevyhovuje, neboť při trvalé závadě v některé přenosové cestě může selhat.

Tyto nevýhody odstraňuje cyklický kontrolní obvod podle vynálezu, skládající se ze dvou nebo více, například osmi stejných stupňů posuvného

registru zapojeného do kruhu, který je vytvořen tak, že každý stupeň tohoto registru se skládá ze dvou dílčích obvodů, totiž z klopného obvodu, například typu D a hradla, například typu AND-NOR, přičemž výstup hradla každého stupně je spojen se vstupem, například D klopného obvodu následujícího stupně, přičemž na první vstup každého hradla je připojen jeden z přímých vstupů kontrolovaných dat, na čtvrtý vstup téhož hradla je připojen vždy odpovídající inverzní vstup kontrolovaných dat, na druhý vstup hradla každého stupně je připojen přímý výstup klopného obvodu téhož stupně, na třetí vstup hradla je připojen inverzní výstup klopného obvodu téhož stupně a hodinové, například C- vstupy klopných obvodů všech stupňů jsou spolu spojeny a připojeny na posouvací vstup cyklického kontrolního obvodu. Inverzní výstupy klopných obvodů jednotlivých stupňů mohou být jednotlivě připojeny na vstupy vícevstupového, například osmivstupového součinového nebo součtového logického obvodu tvořeného například integrovaným hradlem NAND. Výstup tohoto obvodu může být připojen na jeden ze vstupů výstupního klopného obvodu, například na jeho D- vstup, přičemž hodinový vstup tohoto klopného obvodu tvoří vyhodnocovací vstup cyklického kontrolního obvodu. Další ze vstupů výstupního klopného obvodu, například jeho R-

vstup může tvořit inhibiční vstup cyklického kontrolního obvodu. Další stejnojmenné vstupy klopných obvodů jednotlivých stupňů mohou být spolu spojeny a mohou tvořit nastavovací vstup cyklického kontrolního obvodu. Přímé nebo a inverzní výstupy klopných obvodů jednotlivých stupňů mohou být odděleně vyvedeny na výstup cyklického kontrolního obvodu.

Navržený obvod pro kontrolu serioparalelního přenosu informace zajišťuje velmi vysokou spolehlivost kontroly správnosti přenosu pomocí velmi jednoduchých prostředků, jejichž cena se blíží ceně obvodů pro zvláštní kontrolní bit pro každou stopu. Při stejném počtu kontrolních bitů vyžaduje nová metoda stejný počet klopných obvodů, jako uvedená známá metoda, doplněná o stejný počet čtyřvstupových hradel AND-OR, jejichž cena je asi 40 % ceny uvedených klopných obvodů.

Jedno z možných provedení vynálezu je znázorněno na obr. 1 a 2, kde na obr. 1 je celkové schéma cyklického kontrolního obvodu a na obr. 2 je podrobné schéma jednoho jeho stupně navrženého dle vynálezu.

Podle vynálezu se cyklický kontrolní obvod skládá ze dvou, nebo více, například z osmi stejných stupňů 91 až 98 posuvného registru zapojeného do kruhu, přičemž každý stupeň tohoto registru 91 až 98 se skládá ze dvou dílčích obvodů, totiž z klopného obvodu 101 až 108, například typu D a z hradla 111 až 118, například typu AND-NOR, přičemž výstup 21 až 28 hradla každého stupně je spojen se vstupem 12 až 18 a 11, například D, klopného obvodu následujícího stupně, přičemž na první vstup každého hradla je připojen jeden z přímých vstupů 71 až 78, na čtvrtý vstup téhož hradla je připojen vždy odpovídající inverzní vstup 61 až 68 kontrolovaných dat, na druhý vstup hradla každého stupně je připojen přímý výstup klopného obvodu téhož stupně, na třetí vstup hradla je připojen inverzní výstup klopného obvodu téhož stupně a hodinové, například C- vstupy 31 až 38 klopných obvodů všech stupňů jsou spolu spojeny a připojeny na posouvací vstup 30 cyklického kontrolního obvodu. Inverzní výstupy 51 až 58 klopných obvodů 101 až 108 jednotlivých stupňů jsou jednotlivě připojeny na vstupy vícevstupového, například osmivstupového součinového nebo součtového logického obvodu 9, tvořeného například integrovaným hradlem NAND. Výstup logického obvodu 9 je připojen na jeden ze vstupů výstupního klopného obvodu 10, například na jeho D- vstup, přičemž hodinový vstup tohoto klopného obvodu tvoří vyhodnocovací vstup 80 cyklického kontrolního obvodu. Další ze vstupů výstupního klopného obvodu 10, například jeho R- vstup tvoří inhibiční vstup 90 cyklického kontrolního obvodu. Další stejnojmenné vstupy, například 41 až 48 klopných obvodů 101 až 108 jednotlivých stupňů jsou spolu spojeny a připojeny na nastavovací vstup 40 cyklického kontrolního obvodu. Dále buď přímé nebo inverzní výstupy 21 až 28 a 51 až 58 klopných obvodů 101 až 108

jednotlivých stupňů jsou odděleně vyvedeny například na výstup 81 až 88 cyklického kontrolního obvodu.

Nově navržený obvod pro kontrolu serioparalelního přenosu dat pracuje tak, že podle toho, jaká je hodnota bitů přenášeného bloku dat o šířce toku  $t$  větší než jeden bit se vytvoří při vysílání či záznamu kontrolní znak o počtu bitů rovném  $t$  a to tímto způsobem:

Označme  $k$ -tý bit  $j$ -tého přenášeného znaku např. slabiky, slova  $b_{j,k}$ , kde  $k = 1$  až  $t$  a  $j = 1, 2, 3, \dots$ . Označme  $i$ -tý bit kontrolního znaku  $c_i$ , kde  $i = 1$  až  $t$ . Potom bit  $c_i$  se vytvoří jako součet modulo 2 tj. parita všech bitů  $b_{j,k}$ , pro něž platí  $i = (j + k - 2) \text{ Mod } t + 1$ . Na hodnotu každého kontrolního bitu má vliv část bitů každé stopy.

Podle vynálezu se realizuje uvedený princip obvodem obsahujícím kruhový posuvný registr o délce  $t$  bitů. Vazba mezi jednotlivými stupni 1 až  $t$  je provedena tak, že první vstup každého stupně je připojen buď na přímý, či na nepřímý výstup klopného obvodu předchozího stupně podle toho, zda na přímém kontrolním vstupu má informace hodnotu 0 či 1. Stupni 1 kruhového registru předchází stupeň  $t$  tohoto registru, který je tak zapojen do kruhu.

Po příchodu každého znaku se obsah posuvného kruhového registru posune o jeden krok. Signál, vyvolávající posun se po příchodu každého znaku přivádí na paralelně propojené hodinové svorky všech stupňů registru ze společného hodinového zdroje, který není předmětem vynálezu. K nastavení výchozího stavu obvodu slouží paralelně propojené nulovací svorky všech stupňů registru. Na ně se signál přivádí vždy před zahájením kontroly celého kontrolovaného bloku dat. Na výstupu  $t$ -vstupového hradla, které logicky invertuje součin stavů všech stupňů registru se objeví nulový stav jen v případě, když všechny stupně registru jsou ve stavu jedna. Tento signál se využívá po skončení průchodu kontrolovaného bloku informací ke zjištění správnosti přenosu, neboť nastavuje výstupní signál vytvářený výstupním hradlem do stavu jedna. Druhá nulovací svorka obvodu uvádí uvedený výstupní signál do stavu jedna, tj. parita dobrá v době, když se přenášená informace nekontroluje.

Obvod realizovaný podle tohoto patentu může mít široké pole použití. Umožňuje při nízkých nákladech dostatečnou kontrolu přenosu bloků dat po vedeních mezi částmi systémů pro zpracování informací, zvláště v samočinných počítačích, po dálkových vedeních telekomunikační sítě, a to jak komutovaných, tak vyhrazených, kontrolu záznamu a čtení bloků dat zaznamenávaných v pamětech nejružnějšího typu, s výhodou zvláště v tom případě, když informace se přenáší serioparalelním způsobem, jako například u magnetických páskových pamětí, u magnetických bubnových pamětí, při záznamu informací na děrný pásek, či děrný štítek a podobně.

1. Cyklický kontrolní obvod skladající se z alespoň dvou stejných stupňů posuvného registru zapojeného do kruhu vyznačený tím, že každý stupeň posuvného registru (91) až (98) se skládá z klopného obvodu, například typu D (101 až 108) a z hradla, například typu AND-NOR (111 až 118), přičemž výstup (21 až 28) hradla každého stupně je spojen se vstupem (12 až 18) a (11) klopného obvodu následujícího stupně, přičemž na první vstup každého hradla je připojen jeden z přímých vstupů (71 až 78) kontrolovaných dat, na čtvrtý vstup téhož hradla je připojen vždy odpovídající inverzní vstup (61 až 68) kontrolovaných dat, na druhý vstup hradla každého stupně je připojen přímý výstup klopného obvodu téhož stupně, a na třetí vstup hradla je připojen inverzní výstup klopného obvodu téhož stupně a hodinové vstupy, například C- vstupy (31 až 38) klopných obvodů všech stupňů jsou spolu spojeny a připojeny na posouvací vstup (30).

2. Cyklický kontrolní obvod dle bodu 1, vyznačený tím, že inverzní výstupy (51 až 58) klopných obvodů (101 až 108) jednotlivých stupňů jsou jednotlivě připojeny na vstupy vícevstupového,

například osmivstupového součinového nebo součtového logického obvodu (9), tvořeného například integrovaným hradlem NAND.

3. Cyklický kontrolní obvod dle bodu 2, vyznačený tím, že výstup logického obvodu (9) je připojen na jeden ze vstupů výstupního klopného obvodu (10), například na jeho D- vstup, přičemž hodinový vstup tohoto klopného obvodu tvoří vyhodnocovací vstup (80).

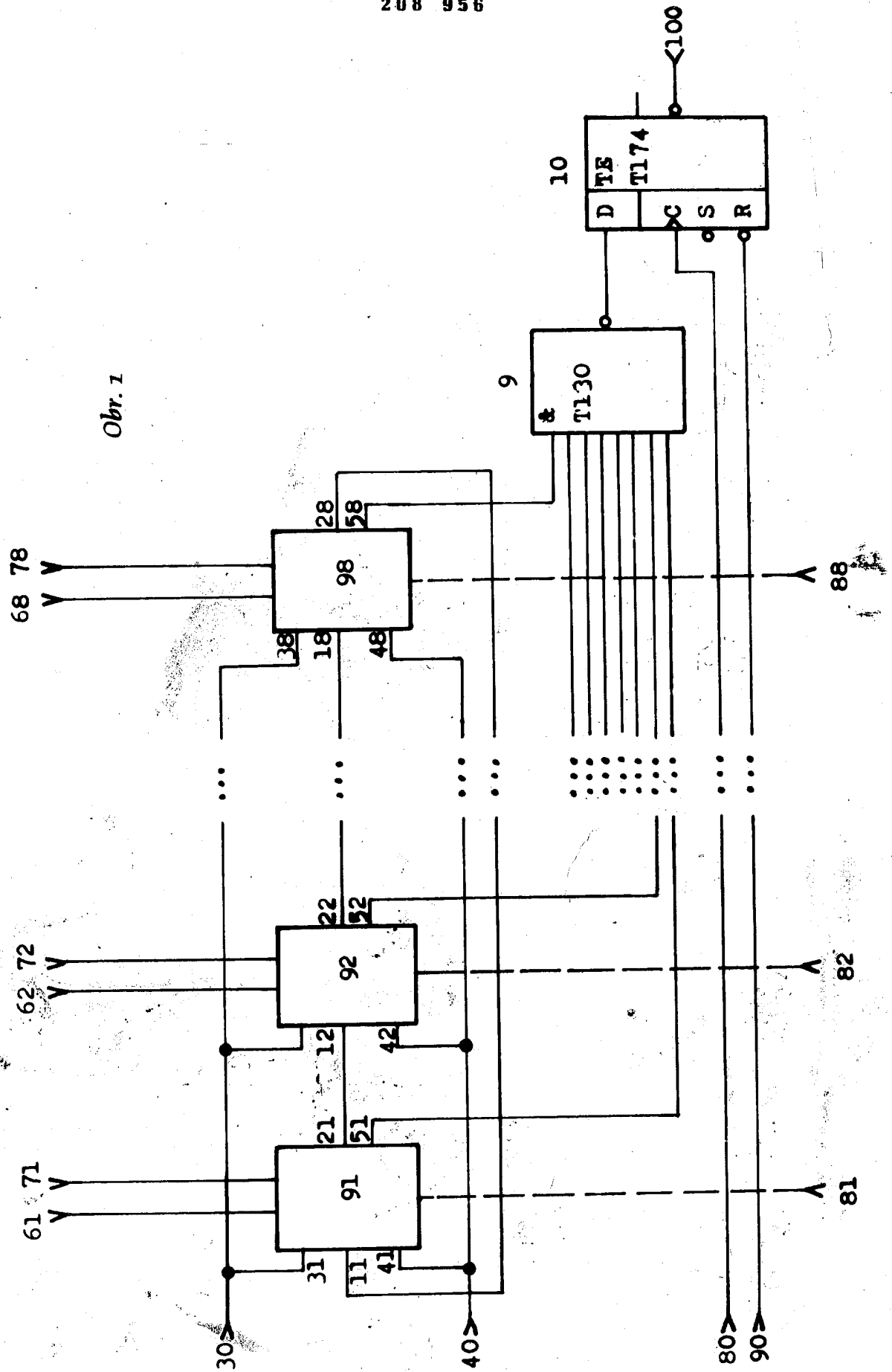
4. Cyklický kontrolní obvod dle bodu 3, vyznačený tím, že další ze vstupů výstupního klopného obvodu (10), například jeho R- vstup tvoří inhibiční vstup (90).

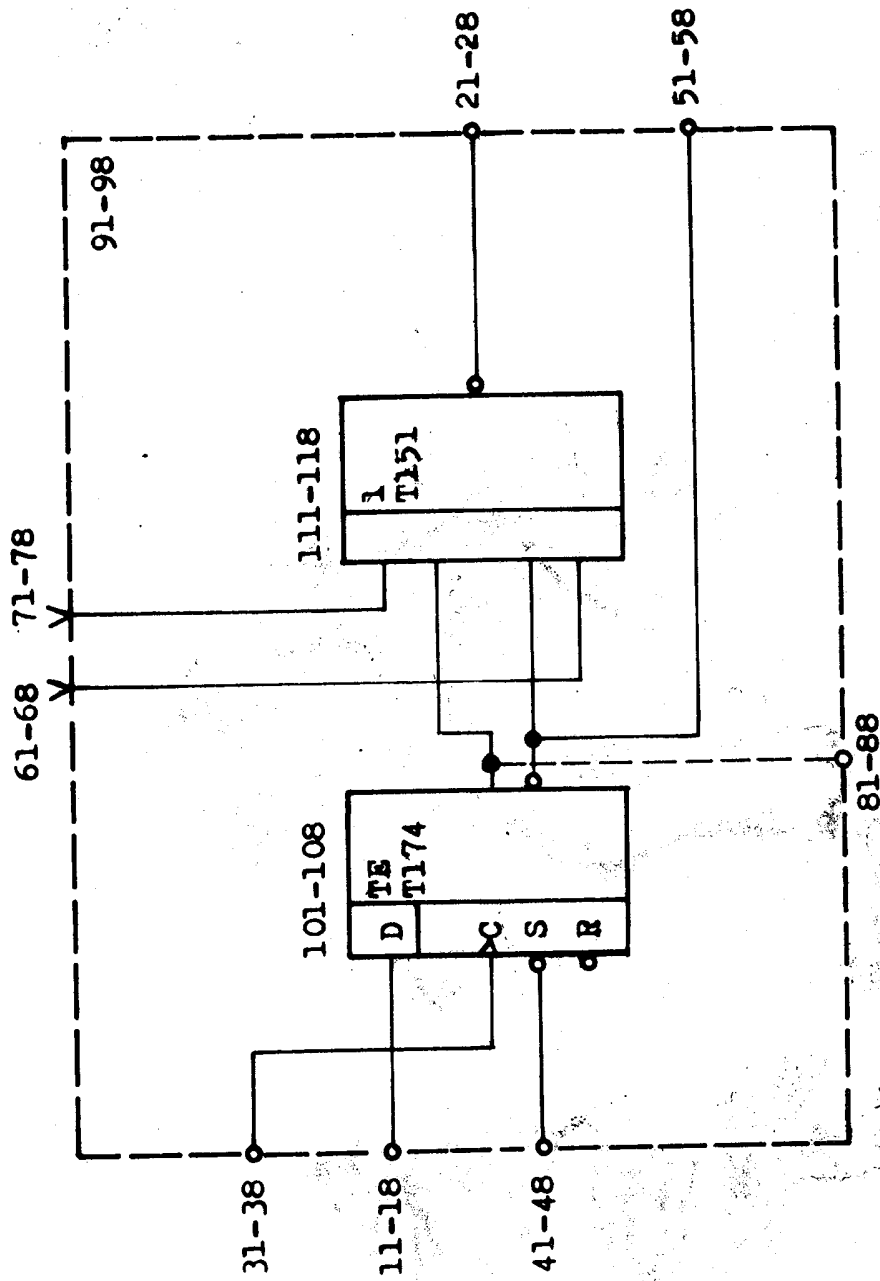
5. Cyklický kontrolní obvod dle bodu 1, 2, 3, nebo 4, vyznačený tím, že vstupy, (41 až 48) klopných obvodů (101 až 108) jednotlivých stupňů jsou spolu spojeny a připojeny na nastavovací vstup (40).

6. Cyklický kontrolní obvod dle bodu 1, 2, 3, 4, nebo 5, vyznačený tím, že buď přímé nebo inverzní výstupy (21 až 28) a (51 až 58) klopných obvodů (101 až 108) jednotlivých stupňů jsou odděleně vyvedeny.

## 2 výkresy

Obr. 1





Obv. 2