(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2010-15639
(P2010-15639A)
(43)公開日　平成22年1月21日(2010.1.21)

(51)Int.Cl.		F I		テーマコード（参考）
G11C 13/00	(2006.01)	G11C 13/00	A	

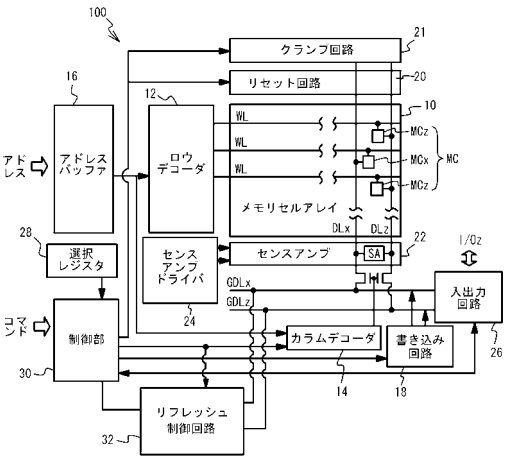
審査請求 未請求　請求項の数 10　ＯＬ　（全 35 頁）

(21)出願番号　特願2008-175381 (P2008-175381)
(22)出願日　平成20年7月4日 (2008.7.4)

(71)出願人　504378124
スパンション　エルエルシー
アメリカ合衆国　カリフォルニア州　９４０８８－３４５３　サニーベイル　デグウィン　ドライブ　９１５
(74)代理人　100087480
弁理士　片山　修平
(72)発明者　篠崎　直治
福島県会津若松市高久工業団地２番　Ｓｐａｎｓｉｏｎ　Ｊａｐａｎ株式会社内
(72)発明者　桜川　聡
福島県会津若松市高久工業団地２番　Ｓｐａｎｓｉｏｎ　Ｊａｐａｎ株式会社内

(54)【発明の名称】半導体装置及びその制御方法

(57)【要約】
【課題】可変抵抗を用いたデータ記憶素子を、揮発性の記憶素子として用いる場合に、リフレッシュを行いデータの保持時間を延ばすことが可能な半導体装置及びその制御方法を提供すること。
【解決手段】本発明は、可変抵抗４３を低抵抗状態及び高抵抗状態のいずれかに変化させてデータを記憶する第１モードを有するデータ記憶素子４０と、第１モードでデータを記憶するデータ記憶素子４０が低抵抗状態及び高抵抗状態のいずれの状態にあるか判定し、第１モードでデータを記憶するデータ記憶素子４０を低抵抗状態にさせるための第１電圧条件及び第１モードでデータを記憶するデータ記憶素子４０を高抵抗状態にさせるための第２電圧条件のいずれかにより、第１モードでデータを記憶するデータ記憶素子４０にリフレッシュを行うリフレッシュ制御回路３２と、を有する半導体装置及びその制御方法である。
【選択図】図１



【特許請求の範囲】
【請求項１】
可変抵抗を低抵抗状態及び高抵抗状態のいずれかに変化させてデータを記憶する第１モードを有するデータ記憶素子と、
前記第１モードでデータを記憶するデータ記憶素子の可変抵抗が前記低抵抗状態及び前記高抵抗状態のいずれの状態にあるか判定し、前記第１モードでデータを記憶するデータ記憶素子の可変抵抗を低抵抗状態にさせるための第１電圧条件及び前記第１モードでデータを記憶するデータ記憶素子の可変抵抗を高抵抗状態にさせるための第２電圧条件のいずれかにより、前記第１モードでデータを記憶するデータ記憶素子にリフレッシュを行うリフレッシュ制御回路と、を有することを特徴とする半導体装置。
【請求項２】
前記データ記憶素子が接続されたデータラインと、
複数の前記データラインが接続されたグローバルデータラインと、を具備し、
前記リフレッシュ制御回路は、前記グローバルデータラインを介して前記データラインに前記第１電圧条件及び前記第２電圧条件のいずれかを供給することにより、前記データラインに接続された前記第１モードでデータを記憶するデータ記憶素子にリフレッシュを行うことを特徴とする請求項１記載の半導体装置。
【請求項３】
前記データ記憶素子が接続されたデータラインと、
前記データラインに接続されたセンスアンプと、
前記センスアンプを介して、複数の前記データラインが接続されたグローバルデータラインと、を具備し、
前記リフレッシュ制御回路は、前記センスアンプと前記グローバルデータラインとの間に接続され、複数の前記データラインごとに、前記判定と前記リフレッシュとを行うことを特徴とする請求項１記載の半導体装置。
【請求項４】
前記リフレッシュ制御回路は、前記第１モードでデータを記憶するデータ記憶素子に実行したリフレッシュの回数を計測し、前記回数に応じて、前記第１電圧条件及び前記第２電圧条件を変化させて、前記第１モードでデータを記憶するデータ記憶素子にリフレッシュを行うことを特徴とする請求項１から３のいずれか一項記載の半導体装置。
【請求項５】
前記データ記憶素子は、前記第１モードに加え、前記第１モードの高抵抗状態における前記可変抵抗の抵抗値より大きい抵抗値からなる高抵抗状態及び前記第１モードの低抵抗状態における前記可変抵抗の抵抗値より小さい抵抗値からなる低抵抗状態のいずれかに変化させてデータを記憶する第２モードを有し、
前記リフレッシュ制御回路は、前記第２モードでデータを記憶するデータ記憶素子に対してリフレッシュを行わないことを特徴とする請求項１から４のいずれか一項記載の半導体装置。
【請求項６】
前記データ記憶素子は、電極に蓄えられた電荷量によりデータを記憶する第３モードを有し、
前記リフレッシュ制御回路は、前記第３モードでデータを記憶するデータ記憶素子に対して、前記電極に電荷を充電させるための第３電圧条件によりリフレッシュを行うことを特徴とする請求項１から５のいずれか一項記載の半導体装置。
【請求項７】
前記リフレッシュ制御回路は、前記第３モードでデータを記憶するデータ記憶素子に対して、リフレッシュの回数によって、前記第３電圧条件を変化させることなく、前記第３モードでデータを記憶するデータ記憶素子にリフレッシュを行うことを特徴とする請求項６記載の半導体装置。
【請求項８】

前記リフレッシュ制御回路は、前記第１モードでデータを記憶するデータ記憶素子に実行したリフレッシュの回数を計測し、前記回数に応じて、前記第１電圧条件及び前記第２電圧条件を変化させて、前記第１モードでデータを記憶するデータ記憶素子にリフレッシュを行うことを特徴とする請求項７記載の半導体装置。

【請求項９】

前記リフレッシュ制御回路は、前記第１モードでデータを記憶するデータ記憶素子に対して、再書き込みを複数回繰り返して行うことにより、前記第１モードでデータを記憶するデータ記憶素子にリフレッシュを行うことを特徴とする請求項１から８のいずれか一項記載の半導体装置。

【請求項１０】

可変抵抗を低抵抗状態及び高抵抗状態のいずれかに変化させてデータを記憶する第１モードを有するデータ記憶素子と前記第１モードでデータを記憶するデータ記憶素子にリフレッシュを行うリフレッシュ制御回路とを有する半導体装置の制御方法であって、

前記第１モードでデータを記憶するデータ記憶素子の可変抵抗が前記低抵抗状態及び前記高抵抗状態のいずれの状態にあるか判定するステップと、

前記第１モードでデータを記憶するデータ記憶素子の可変抵抗を低抵抗状態にさせるための第１電圧条件及び前記第１モードでデータを記憶するデータ記憶素子の可変抵抗を高抵抗状態にさせるための第２電圧条件のいずれかにより、前記第１モードでデータを記憶するデータ記憶素子にリフレッシュを行うステップと、を有することを特徴とする半導体装置の制御方法。

【発明の詳細な説明】

【技術分野】

【０００１】

本発明は、揮発性のデータ記憶素子を有する半導体装置及びその制御方法に関する。

【背景技術】

【０００２】

半導体装置に用いられるデータ記憶素子には、ＤＲＡＭ（Dynamic Random Access Memory）やＳＲＡＭ（Static Random Access Memory）等の揮発性の記憶素子と、フラッシュメモリやＥＥＰＲＯＭ（Erasable Programmable Read Only Memory）等の不揮発性の記憶素子とがある。揮発性の記憶素子は、データの書き込み・読み出しを高速に行うことができるが、データの保持性に乏しいという特性がある。一方、不揮発性の記憶素子は、データの保持性に優れる反面、データの書き込み・読み出し速度が揮発性の記憶素子に比べて遅いという特性がある。

【０００３】

近年、相変化メモリ（Phase-Change Random Access Memory）と呼ばれるデータ記憶素子が開発されている。相変化メモリは、相変化材料の２つの異なる結晶状態を記憶情報とする記憶素子である。相変化材料を高抵抗状態であるアモルファス状態と低抵抗状態である結晶状態とにすることで、論理“０”と“１”とのデータを記憶することができる。

【０００４】

例えば、特許文献１には、相変化メモリを揮発性の記憶素子及び不揮発性の記憶素子として選択的に動作させる技術が開示されている。例えば、特許文献２には、相変化メモリにおいて、アモルファス状態と結晶状態との間の中間状態を形成し、多値記憶を行うことが可能な技術が開示されている。また、特許文献３には、不揮発性メモリデバイスにおいて、メモリセルを選択的にリフレッシュする技術が開示されている。

【特許文献１】特開２００４－２９６０７６号公報

【特許文献２】特開２００３－１０００８４号公報

【特許文献３】特開２００４－３５５７９３号公報

【発明の開示】

【発明が解決しようとする課題】

【０００５】

可変抵抗の抵抗値によりデータを記憶するデータ記憶素子を、揮発性の記憶素子として用いる場合、一定時間ごとにリフレッシュを行い、データの保持時間を延ばすことが求められる。

【０００６】

そこで、本発明は、可変抵抗を用いたデータ記憶素子を、揮発性の記憶素子として用いる場合に、リフレッシュを行いデータの保持時間を延ばすことが可能な半導体装置及びその制御方法を提供することを目的とする。

【課題を解決するための手段】

【０００７】

本発明は、可変抵抗を低抵抗状態及び高抵抗状態のいずれかに変化させてデータを記憶する第１モードを有するデータ記憶素子と、前記第１モードでデータを記憶するデータ記憶素子が前記低抵抗状態及び前記高抵抗状態のいずれの状態にあるか判定し、前記第１モードでデータを記憶するデータ記憶素子を低抵抗状態にさせるための第１電圧条件及び前記第１モードでデータを記憶するデータ記憶素子を高抵抗状態にさせるための第２電圧条件のいずれかにより、前記第１モードでデータを記憶するデータ記憶素子にリフレッシュを行うリフレッシュ制御回路と、を有することを特徴とする半導体装置である。本発明によれば、第１モードでデータを記憶するデータ記憶素子に対し、リフレッシュを行うことが可能となり、第１モードでデータを記憶するデータ記憶素子のデータの保持時間を長くすることができる。

【０００８】

上記構成において、前記データ記憶素子が接続されたデータラインと、複数の前記データラインが接続されたグローバルデータラインと、を具備し、前記リフレッシュ制御回路は、前記グローバルデータラインを介して前記データラインに前記第１電圧条件及び前記第２電圧条件のいずれかを供給することにより、前記データラインに接続された前記第１モードでデータを記憶するデータ記憶素子にリフレッシュを行う構成とすることができる。この構成によれば、１つのリフレッシュ制御回路を設けることで、複数のデータ記憶素子に対して、リフレッシュを実行することができる。

【０００９】

上記構成において、前記データ記憶素子が接続されたデータラインと、前記データラインが接続されたセンスアンプと、前記センスアンプを介して、複数の前記データラインが接続されたグローバルデータラインと、を具備し、前記リフレッシュ制御回路は、前記センスアンプと前記グローバルデータラインとの間に接続され、複数の前記データラインごとに、前記判定と前記リフレッシュとを行う構成とすることができる。この構成によれば、複数のデータ記憶素子に対して、リフレッシュを同時に並行して行うことができる。また、リフレッシュ動作の高速化を図ることができる。

【００１０】

上記構成において、前記リフレッシュ制御回路は、前記第１モードでデータを記憶するデータ記憶素子に実行したリフレッシュの回数を計測し、前記回数に応じて、前記第１電圧条件及び前記第２電圧条件を変化させて、前記第１モードでデータを記憶するデータ記憶素子にリフレッシュを行う構成とすることができる。この構成によれば、データ記憶素子の状態に対応した最適な再書き込み電圧条件により、第１モードでデータを記憶するデータ記憶素子にリフレッシュを行うことができる。

【００１１】

上記構成において、前記データ記憶素子は、前記第１モードに加え、前記第１モードの高抵抗状態における前記可変抵抗の抵抗値より大きい抵抗値からなる高抵抗状態及び前記第１モードの低抵抗状態における前記可変抵抗の抵抗値より小さい抵抗値からなる低抵抗状態のいずれかに変化させてデータを記憶する第２モードを有し、前記リフレッシュ制御回路は、前記第２モードでデータを記憶するデータ記憶素子に対してリフレッシュを行わない構成とすることができる。この構成によれば、データ記憶素子の記憶モードに応じて、データ記憶素子に対して行うリフレッシュを制御することができる。

【００１２】
上記構成において、前記データ記憶素子は、電極に蓄えられた電荷量によりデータを記憶する第３モードを有し、前記リフレッシュ制御回路は、前記第３モードでデータを記憶するデータ記憶素子に対して、前記判定を行うことなく、前記電極に電荷を充電させるための第３電圧条件によりリフレッシュを行う構成とすることができる。この構成によれば、データ記憶素子の記憶モードに応じて、データ記憶素子に対して行うリフレッシュを制御することができる。
【００１３】
上記構成において、前記リフレッシュ制御回路は、前記第３モードでデータを記憶するデータ記憶素子に対して、リフレッシュの回数によって、前記第３電圧条件を変化させることなく、前記第３モードでデータを記憶するデータ記憶素子にリフレッシュを行う構成とすることができる。
【００１４】
上記構成において、前記リフレッシュ制御回路は、前記第１モードでデータを記憶するデータ記憶素子に実行したリフレッシュの回数を計測し、前記回数に応じて、前記第１電圧条件及び前記第２電圧条件を変化させて、前記第１モードでデータを記憶するデータ記憶素子にリフレッシュを行う構成とすることができる。この構成によれば、データ記憶素子の状態に対応した最適な再書き込み電圧条件により、第１モードでデータを記憶するデータ記憶素子にリフレッシュを行うことができる。
【００１５】
上記構成において、前記リフレッシュ制御回路は、前記第１モードでデータを記憶するデータ記憶素子に対して、再書き込みを複数回繰り返して行うことにより、前記第１モードでデータを記憶するデータ記憶素子にリフレッシュを行う構成とすることができる。この構成によれば、データ記憶素子の可変抵抗に与えるストレスを低減することができる。
【００１６】
本発明は、可変抵抗を低抵抗状態及び高抵抗状態のいずれかに変化させてデータを記憶する第１モードを有するデータ記憶素子と前記第１モードでデータを記憶するデータ記憶素子にリフレッシュを行うリフレッシュ制御回路とを有する半導体装置の制御方法であって、前記第１モードでデータを記憶するデータ記憶素子が前記低抵抗状態及び前記高抵抗状態のいずれの状態にあるか判定するステップと、前記第１モードでデータを記憶するデータ記憶素子を低抵抗状態にさせるための第１電圧条件及び前記第１モードでデータを記憶するデータ記憶素子を高抵抗状態にさせるための第２電圧条件のいずれかにより、前記第１モードでデータを記憶するデータ記憶素子にリフレッシュを行うステップと、を有することを特徴とする半導体装置の制御方法である。本発明によれば、第１モードでデータを記憶するデータ記憶素子に対し、リフレッシュを行うことが可能となり、第１モードでデータを記憶するデータ記憶素子のデータの保持時間を長くすることができる。
【発明の効果】
【００１７】
本発明によれば、可変抵抗を低抵抗状態及び高抵抗状態のいずれかに変化させてデータを記憶するデータ記憶素子に対し、リフレッシュを行うことが可能となり、データ記憶素子のデータの保持時間を長くすることができる。
【発明を実施するための最良の形態】
【００１８】
以下、図面を用い本発明に係る実施例について説明する。
【実施例１】
【００１９】
図１は、実施例１に係る半導体装置１００の構成を示したブロック図である。図１において、メモリセルアレイ１０は、データ記憶素子（不図示）を含む複数のメモリセルＭＣを有する。メモリセルアレイ１０には、複数のデータラインＤＬと複数のワードラインＷＬとが設けられている。メモリセルＭＣは、データラインＤＬとワードラインＷＬとの交

差領域に設けられ、データラインＤＬとワードラインＷＬとに接続されている。複数のデータラインＤＬのうち、隣接するデータラインＤＬである、第１データラインＤＬｚと第２データラインＤＬｘとはデータライン対を構成する。複数のメモリセルのうち、第１メモリセルＭＣｚは第１データラインＤＬｚに接続され、第２メモリセルＭＣｘは第２データラインＤＬｘに接続されている。第１メモリセルＭＣｚと第２メモリセルＭＣｘとは、ワードラインＷＬ１本おきに交互に設けられている。

【００２０】

ワードラインＷＬには行選択を行うためのロウデコーダ１２が接続され、データラインＤＬには列選択を行うためのカラムデコーダ１４が接続されている。ロウデコーダ１２で選択される行とカラムデコーダ１４で選択される列との組み合わせによりアクセス対象となるメモリセルＭＣが選択される。メモリセルＭＣを選択するためのアドレス信号は、外部から、アドレスバッファ１６を介して、ロウデコーダ１２とカラムデコーダ１４とに送られる。

【００２１】

書き込み回路１８は、データを書き込む際に、メモリセルＭＣに印加されるデータ書き込み用の高電圧を生成する。リセット回路２０は、データを読み出す際に、データラインＤＬに印加されるリファレンス電圧Ｖｒｅｆを供給する。クランプ回路２１は、データを読み出す際に、データラインＤＬに印加されるクランプ電圧Ｖｃｌｍｐを供給する。センスアンプ２２は、メモリセルＭＣからの信号の読み出し及び増幅を行う。センスアンプドライバ２４は、データを読み出す際に、センスアンプ２２を駆動させる。入出力回路２６は、メモリセルアレイ１０と外部との間でデータのやり取りを行う。

【００２２】

選択レジスタ２８は、メモリセルＭＣにデータを記憶する際の記憶モードに関する情報を格納する。制御部３０は、選択レジスタ２８に記憶された記憶モードに関する情報に基づき、メモリセルＭＣの記憶モードを選択する。また、制御部３０は、外部からのコマンド信号に応じて、書き込み回路１８、リセット回路２０、クランプ回路２１、入出力回路２６に対する制御を行う。さらに、制御部３０は、カラムデコーダ１４を制御することにより、第１データラインＤＬｚ及び第２データラインＤＬｘからなるデータライン対の中から、データを書き込む際及び読み出す際に、電圧を印加すべき１本のデータラインＤＬを選択する。リフレッシュ制御回路３２は、メモリセルＭＣのデータ記憶素子４０に対するリフレッシュの制御を行う。

【００２３】

図２（ａ）から図２（ｄ）は、図１におけるメモリセルＭＣの構成を示す回路図である。図２（ａ）及び図２（ｂ）において、メモリセルＭＣは、データ記憶素子４０と選択トランジスタ４１とを有する。選択トランジスタ４１を有する構造のメモリセルＭＣを１Ｔ１Ｒ型と称する。選択トランジスタ４１はデータ記憶素子４０に対するアクセスを制御する。選択トランジスタ４１のゲートはワードラインＷＬに接続し、ドレインはデータラインＤＬに接続し、ソースはデータ記憶素子４０に接続する。データ記憶素子４０は、記憶モードにより、容量及び可変抵抗のいずれかで機能する。データ記憶素子４０の一端は、不図示のソースライン（接地電位）または任意の電圧レベル（電位）に接続されている。

【００２４】

図２（ｃ）及び図２（ｄ）において、メモリセルＭＣは、データ記憶素子４０と選択ダイオード４２とを有する。選択ダイオード４２を有する構造のメモリセルＭＣを１Ｄ１Ｒ型と称する。データ記憶素子４０のアノード側はワードラインＷＬに接続され、カソード側はデータラインＤＬに接続されている。図２（ａ）及び図２（ｂ）のように、選択トランジスタ４１を設けていないため、データ記憶素子４０の非選択時においては、データラインＤＬの電位をワードラインＷＬの電位より高く維持することで、選択ダイオード４２の働きにより、データ記憶素子４０に電流が流れるのを防ぐことができる。逆に、データラインＤＬの電位をワードラインＷＬの電位より低くすることで、データ記憶素子４０を選択することができる。

【００２５】
図３は、図２（ａ）から図２（ｄ）におけるデータ記憶素子４０の構成を示す断面図である。図３において、データ記憶素子４０は、可変抵抗４３及び電極４４を有する。可変抵抗４３は、抵抗値の大小によりデータを記憶するもので、電流が流れることにより抵抗値が大きく変化（例えば、10^4倍以上）する材料からなる。具体的な材料として、例えば、ＣｕＯをはじめとする遷移金属酸化物が挙げられる。電極４４は、容量として電荷を蓄えることによりデータを記憶するもので、例えばＣｕなどの伝導性の高い物質からなる。電極４４は可変抵抗４３の両端に設けられている。可変抵抗４３は、絶縁部４６にて周囲を覆われている。

【００２６】
次に、表１を用いて、メモリセルＭＣにデータを記憶する際の記憶モードについて説明をする。表１において、メモリセルＭＣにデータを記憶する記憶モードは、３つの記憶モード（ＮＶＭモード、ＭＩＤモード、ＲＡＭモード）がある。ＮＶＭモードとＭＩＤモードとは、可変抵抗４３を高抵抗状態及び低抵抗状態のいずれかに変化させることでデータの記憶を行う。ここで、ＭＩＤモードのことを第１モードとし、ＮＶＭモードのことを第２モードとする。ＮＶＭモードにおいて、高抵抗状態は、例えば10^8Ω程度で、この時に論理“０”を記憶する。低抵抗状態は、例えば10^2Ω程度で、この時に論理“１”を記憶する。ＭＩＤモードにおいては、高抵抗状態は、例えば10^7Ω程度で、この時に論理“０”を記憶する。低抵抗状態は、例えば10^3Ω程度で、この時に論理“１”を記憶する。このように、第２モードであるＮＶＭモードの高抵抗状態における可変抵抗４３の抵抗値は、第１モードであるＭＩＤモードの高抵抗状態における可変抵抗４３の抵抗値に比べて大きい。また、ＮＶＭモードの低抵抗状態における可変抵抗４３の抵抗値は、ＭＩＤモードの低抵抗状態における可変抵抗４３の抵抗値に比べて小さい。即ち、可変抵抗４３の高抵抗状態と低抵抗状態との抵抗値の差は、ＭＩＤモードの方がＮＶＭモードに比べて小さい。

【００２７】
第３モードであるＲＡＭモードは、容量である電極４４に蓄えられた電荷量によりデータを記憶する。容量に電荷が蓄えられていない場合（放電時）に論理“０”を記憶し、電荷が蓄えられている場合（充電時）に論理“１”を記憶する。以上より、図２（ａ）及び図２（ｃ）のように、ＮＶＭモード及びＭＩＤモードの場合には、データ記憶素子４０は可変抵抗として機能し、図２（ｂ）及び図２（ｄ）のように、ＲＡＭモードの場合には、データ記憶素子４０は容量として機能する。

【表１】

モード名	データの記憶方法	論理値との対応	
		0	1
NVMモード	可変抵抗の抵抗値	高抵抗（$10^8\Omega$）	低抵抗（$10^2\Omega$）
MIDモード	可変抵抗の抵抗値	高抵抗（$10^7\Omega$）	低抵抗（$10^3\Omega$）
RAMモード	容量の電荷量	放電	充電

【００２８】
表２は、各記憶モードにおけるデータ記憶素子４０の特性を示したものである。なお、表２の括弧内の数値は一例である。表２において、ＮＶＭモードはデータの保持時間が長

い（例えば１０年）反面アクセス速度が遅い（例えば３００ｎｓ）。これは、従来の不揮発性の記憶素子（フラッシュメモリ等）に近い性質を示す。ＭＩＤモードは、データの保持時間はＮＶＭモードに比べて短く（例えば１日）、アクセス速度はＮＶＭモードに比べて速い（例えば７０ｎｓ）。ＭＩＤモードにおいて、データの保持時間をより長くするためには、一定時間ごとにリフレッシュを行う必要がある。ＲＡＭモードは、アクセス速度は速い（例えば５０ｎｓ）が、データの保持時間は短い（例えば１秒）。これは、従来の揮発性の記憶素子（ＤＲＡＭ等）に近い性質を示す。データの保持時間を長くするためには、リフレッシュを行う必要がある。以上のように、ＭＩＤモードは、ＮＶＭモードとＲＡＭモードの中間の性質を有する。

【００２９】

また、ＮＶＭモード及びＭＩＤモードへのデータの書き込みは可変抵抗４３の状態変化を伴い、データ記憶素子４０にダメージを与えるため、データの書き換え回数に制限がある（例えばＮＶＭモードは１００００回、ＭＩＤモードは１０００００回）。一方、ＲＡＭモードは、電極４４への電荷の出し入れのみが行われ、データ記憶素子４０へのダメージが少ないため、実質的に無限に書き換えを行うことができる。

【表２】

モード	アクセス速度	データ保持時間	書き換え回数
NVMモード	遅い(300nsec)	長い(10年)	有限(10000回)
MIDモード	中間(70nsec)	中間(1日)	有限(100000回)
RAMモード	速い(50nsec)	短い(1秒)	無限

【００３０】

データ記憶素子４０は、流れる電流の大きさ及び印加する電圧の時間を制御することにより、ＮＶＭモード、ＭＩＤモード、ＲＡＭモードの異なる３つの記憶モードで、データを機能させることができる。ここで、１Ｔ１Ｒ型メモリセルＭＣの場合での、データの書き込み及び読み出し動作を説明する。表３は、１Ｔ１Ｒ型メモリセルＭＣの各記憶モードにおける、データの書き込み及び読み出し動作に対応した、選択トランジスタ４１のゲート電圧Ｖｇ、ドレイン電圧Ｖｄ、電圧印加時間Ｓの一例を示す表である。電圧印加時間Ｓは、例えばデータ記憶素子４０に加える電圧条件を変化させることにより制御することができる。なお、電圧条件とは、メモリセルＭＣに印加する電圧の大きさ及び印加時間をいう。

【表３】

NVMモード

動作	ゲート電圧 Vg[V]	ドレイン電圧 Vd[V]	電圧印加時間 S[ns]
書き込み（高抵抗″０″）	2.5	1.2	250
書き込み（低抵抗″１″）	1.2	4	100
読み出し	1.0	Vclmp	－

MIDモード

動作	ゲート電圧 Vg[V]	ドレイン電圧 Vd[V]	電圧印加時間 S[ns]
書き込み（高抵抗″０″）	2.5	1.2	50
書き込み（低抵抗″１″）	1.2	4	50
読み出し	1.0	Vclmp	－

RAMモード

動作	ゲート電圧 Vg[V]	ドレイン電圧 Vd[V]	電圧印加時間 S[ns]
書き込み（放電″０″）	2.5	0	10
書き込み（充電″１″）	2.5	1.2	10
読み出し	2.5	Vref	－

【００３１】

まず、ＮＶＭモードにおけるデータの書き込み及び読み出しの電圧条件について説明する。図４は、データ記憶素子４０の電圧－電流特性を示すグラフである。図４において、実線の矢印で示された（ａ）は、データ記憶素子４０内の可変抵抗４３が、低抵抗状態から高抵抗状態に移行する場合の電圧－電流特性の変化を示し、破線の矢印で示された（ｂ）は、可変抵抗４３が高抵抗状態から低抵抗状態に移行する場合の電圧－電流特性の変化を示す。

【００３２】

データ記憶素子４０には、可変抵抗４３を高抵抗状態から低抵抗状態へと変化させるための閾値電圧Ｖｔｈが存在する。論理“０”を書き込む場合には、閾値電圧Ｖｔｈより低い電圧を一定時間印加する。これにより、データ記憶素子４０には所定時間経過後からほとんど電流が流れなくなり、可変抵抗４３は低抵抗状態から高抵抗状態へと移行する。（図４の（ａ）参照）。このときのゲート電圧Ｖｇは２．５Ｖ、ドレイン電圧Ｖｄは１．２Ｖ、印加電圧時間Ｓは２５０ｎｓである（表３参照）。論理“１”を書き込む場合には、

閾値電圧Ｖｔｈより高い電圧を印加する。これにより、データ記憶素子４０に電流が流れ、可変抵抗４３は高抵抗状態から低抵抗状態へと変化する（図４の（ｂ）参照）。このときのゲート電圧Ｖｇは１．２Ｖ、ドレイン電圧Ｖｄは４Ｖ、印加電圧時間Ｓは１００ｎｓである（表３参照）。このようにして、ＮＶＭモードでのデータの書き込みを行うことができる。

【００３３】

ＮＶＭモードにおいて、データを読み出す際には、データ記憶素子４０に対して閾値電圧Ｖｔｈより低く、且つ可変抵抗４３を高抵抗状態にする場合の電圧より低い電圧を加える。これにより、可変抵抗４３が低抵抗状態の場合は電流が流れ、高抵抗状態の場合は電流が流れないので、論理“０”及び“１”を判別することができる。このときのゲート電圧Ｖｇは１．０Ｖであり、ドレイン電圧ＶｄはＶｃｌｍｐである。

【００３４】

次に、ＭＩＤモードにおけるデータの書き込み及び読み出しの電圧条件について説明する。表３において、ＭＩＤモードでデータを書き込む際の、選択トランジスタ４１のゲート電圧Ｖｇの大きさとドレイン電圧Ｖｄの大きさとは、ＮＶＭモードの場合と同じであり、電圧印加時間Ｓのみ異なる。ＭＩＤモードでのデータ書き込み時の電圧印加時間Ｓは５０ｎｓである。ＭＩＤモードにおいて、データを読み出す際の電圧条件は、ＮＶＭモードの場合と同じである。

【００３５】

次に、ＲＡＭモードにおけるデータの書き込み及び読み出しの電圧条件について説明する。表３において、ＲＡＭモードでデータを書き込む場合の選択トランジスタ４１のゲート電圧Ｖｇは常に２．５Ｖである。これは、ＮＶＭモード及びＭＩＤモードにおいて可変抵抗４３を高抵抗状態にする場合のゲート電圧と同じ大きさである。即ち、ＲＡＭモードでは、可変抵抗４３は高抵抗状態に維持される。ＲＡＭモードで論理“０”を書き込む場合には、データ記憶素子４０に低電圧（例えば、接地電位Ｖｓｓ）を印加して、電極４４に蓄えられた電荷を放電させる。このときのドレイン電圧Ｖｄは０Ｖ、印加電圧時間Ｓは１０ｎｓである。論理“１”を書き込む場合には、データ記憶素子４０に高電圧を印加して、電極４４に電荷を蓄積して充電する。このときのドレイン電圧Ｖｄは１．２Ｖ、電圧印加時間Ｓは１０ｎｓである。ＲＡＭモードでは、電極４４への電荷の出し入れが行われるのみで、可変抵抗４３の状態変化は起こらない。このため、ＮＶＭモード及びＭＩＤモードにおける電圧印加時間Ｓは、ＲＡＭモードにおける電圧印加時間Ｓより長くなっている。また、電極４４に印加される電圧の大きさは、データ記憶素子４０の閾値電圧より小さい。

【００３６】

ＲＡＭモードにおいて、データを読み出す際には、データ記憶素子４０に対してデータ読み出し用のリファレンス電圧Ｖｒｅｆを加える。このときのゲート電圧Ｖｇは２．５Ｖであり、ドレイン電圧ＶｄはＶｒｅｆである。

【００３７】

次に、１Ｔ１Ｒ型メモリセルＭＣへのデータ書き込みに関する具体的な回路構成及び動作について説明する。図５は、図１におけるロウデコーダ１２の構成を示す回路図である。図５において、斜線のあるトランジスタ５３から５５はｐＭＯＳトランジスタであり、それぞれのゲート端子への入力ＡｘｘからＣｘｘに応じて、それぞれのソース端子に印加された電圧Ｖｘ１からＶｘ３を選択する。ｐＭＯＳトランジスタ５３から５５のドレイン端子は、ワードラインＷＬを介して選択トランジスタ４１のゲート端子に接続している。このため、電圧Ｖｘ１からＶｘ３の中から選択された１つの電圧が、選択トランジスタ４１のゲート電圧Ｖｇとして印加される。Ｖｘ１は２．５Ｖであり、Ｖｘ２は１．２Ｖであり、Ｖｘ３は１．０Ｖである。したがって、表３によれば、ＮＶＭモード及びＭＩＤモードにおける論理“０”の書き込みと、ＲＡＭモードにおける書き込み及び読み出しとにおいてＶｘ１が選択される。ＮＶＭモード及びＭＩＤモードにおける論理“１”の書き込みにはＶｘ２が選択される。ＮＶＭモード及びＭＩＤモードにおけるデータの読み出しには

Ｖｘ３が選択される。

【００３８】

ＮＡＮＤゲート５０には、ワードライン選択のためのアドレス信号Ａ＃ｘ／ｚと、選択トランジスタ４１のゲート電圧Ｖｇの立ち上げ及び立ち下げをコントロールするタイミング信号Ｔｉｍｘｐｚが入力される。アドレス信号Ａ＃ｘ／ｚがＨ（ハイ）レベルの時、タイミング信号Ｔｉｍｘｐｚに応じて電圧Ｖｘ１からＶｘ３のいずれかが、インバータ５２を介してワードラインＷＬに印加される。

【００３９】

図６は、図１におけるカラムデコーダ１４の構成を示す回路図である。図６において、ＮＡＮＤゲート５６には、データライン選択のためのアドレス信号Ａ＃ｘ／ｚと、選択トランジスタ４１のドレイン電圧Ｖｄの立ち上げ及び立ち下げをコントロールするタイミング信号Ｔｉｍｙｐｚが入力される。インバータ５８はＮＡＮＤゲート５６の出力を反転させる。アドレス信号Ａ＃ｘ／ｚがＨレベルの時、タイミング信号Ｔｉｍｙｐｚに応じて、制御信号Ｔｉｍｙｐｚｂが書き込み回路１８に出力される。ここで、カラムデコーダ１４はアクセス対象となるメモリセルＭＣが接続されたデータラインと、それに対応したデータラインとからなるデータライン対を選択する。データライン対を構成する２本のデータラインのうち、ドレイン電圧Ｖｄを印加するデータラインは、後述するデータライン選択部６２（図８参照）において選択される。

【００４０】

図７は、図１における書き込み回路１８の構成を示す回路図である。図７において、書き込み回路１８は、電圧選択部６０とデータライン選択部６２とを備える。電圧選択部６０内のｐＭＯＳトランジスタ６６から６８は、それぞれソース端子にＶｙ１、Ｖｙ２、Ｖｃｌｍｐが印加されている。ｐＭＯＳトランジスタ６６から６８のドレイン端子は、データライン選択部６２とデータラインＤＬとを介して選択トランジスタ４１のドレイン端子に接続されている。これにより、電圧Ｖｙ１、Ｖｙ２、Ｖｃｌｍｐの中から選択された電圧が、選択トランジスタ４１のドレイン電圧Ｖｄとして印加される。Ｖｙ１は４Ｖであり、Ｖｙ２は１．２Ｖであり、Ｖｃｌｍｐは０．８Ｖである。したがって、表３によれば、ＮＶＭモード及びＭＩＤモードにおける論理“１”の書き込みにおいてＶｙ１が選択される。ＮＶＭモード及びＭＩＤモードにおける論理“０”の書き込みと、ＲＡＭモードにおける論理“１”の書き込みにおいてＶｙ２が選択される。ＮＶＭモード及びＭＩＤモードにおけるデータの読み出しにはＶｃｌｍｐが選択される。

【００４１】

ＮＡＮＤゲート６４には、信号ＲＡＭｚがインバータ６３により反転されて入力されると共に、データ記憶素子４０に記憶される論理値に対応した信号ＤＡＴＡｚが入力される。つまり、ＲＡＭモードにおいて、信号ＲＡＭｚはＨレベルとなり、ＮＡＮＤゲート６４の出力は常にＨレベルとなる。ＮＡＮＤゲート６４の出力はインバータ６５により反転されてトランジスタ６７のゲート端子に入力される。これにより、トランジスタ６７がＯＮとなり電圧Ｖｙ２が選択される。ＮＶＭモード及びＭＩＤモードにおいては、ＲＡＭｚはＬレベルとなり、信号ＤＡＴＡｚに応じて電圧が選択される。即ち、ＮＶＭモード及びＭＩＤモードにおける論理“０”の書き込みにおいては、信号ＤＡＴＡｚはＬレベルとなり、ＮＡＮＤゲート６４の出力はＨレベルとなる。これにより、ＲＡＭモードの場合と同じくトランジスタ６７がＯＮとなり、電圧Ｖｙ２が選択される。ＮＶＭモード及びＭＩＤモードにおける論理“１”書き込みにおいては、信号ＤＡＴＡｚはＨレベルとなり、ＮＡＮＤゲート６４の出力はＬレベルとなる。これにより、トランジスタ６６がＯＮとなり、電圧Ｖｙ１が選択される。

【００４２】

実施例１に係る半導体装置１００は、第１データラインＤＬｚ及び第２データラインＤＬｘからなるデータライン対を備え、それぞれのデータラインＤＬにはメモリセルＭＣが交互に配置されている。このため、ＮＶＭモード、ＭＩＤモードとＲＡＭモードとでは、ドレイン電圧Ｖｄを印加すべきデータラインの選択方法が異なる。以下、これについて説

明する。

【００４３】

図８は、図７におけるデータライン選択部６２と図１におけるメモリセルアレイ１０の一部との構成を示す回路図である。図８（ａ）はＮＶＭモード及びＭＩＤモードに対応し、図８（ｂ）はＲＡＭモードに対応する。図８（ａ）及び図８（ｂ）において、データライン選択部６２は、インバータ７０から７２、ＮＡＮＤゲート７３、パスゲート７４、７５で構成される。インバータ７０と７１とには、電圧選択部６０において選択されたドレイン電圧Ｖｄが印加されている。パスゲート７４には第１データラインＤＬｚが、パスゲート７５には第２データラインＤＬｘがそれぞれ接続されている。第１データラインＤＬｚには、第１データ記憶素子を有する第１メモリセルＭＣｚが接続され、第２データラインＤＬｘには、第２データ記憶素子を有する第２メモリセルＭＣｘが接続されている。

【００４４】

図８（ａ）において、ＮＶＭモード及びＭＩＤモードの場合、ＮＡＮＤゲート７３に入力される信号ＮＶＭｚがＨレベルとなり、カラムデコーダ１４から入力されるタイミング信号Ｔｉｍｙｐｚｂに応じて、パスゲート７４及び７５がＯＮ又はＯＦＦに切り替わる。また、インバータ７０に入力される信号Ｙａ０ｚは、第１データラインＤＬｚと第２データラインＤＬｘとからなるデータライン対のうち、データ書き込み対象となるメモリセルが接続されたデータラインを選択するアドレス信号である。

【００４５】

図８（ｂ）において、ＲＡＭモードの場合、ＮＡＮＤゲート７３に入力される信号ＲＡＭｚがＨレベルとなり、カラムデコーダ１４から入力されるタイミング信号Ｔｉｍｙｐｚｂに応じて、パスゲート７４及び７５がＯＮまたはＯＦＦに切り替わる。また、インバータ７０に入力される信号ＤＡＴＡｚは、メモリセルＭＣに書き込まれるデータの論理値である。以下において、論理Ｈ（ハイ）は表１における論理“１”に対応し、論理Ｌ（ロー）は表１における論理“０”に対応するものとする。

【００４６】

次に、図９を用い、図１における第１メモリセルＭＣｚと第２メモリセルＭＣｘとへのデータ書き込みについて説明する。図９において、制御部３０が、メモリセルＭＣに行うデータ記憶の記憶モードを選択する（ステップＳ１０）。ＮＶＭモード及びＭＩＤモードの場合はステップＳ１１へ、ＲＡＭモードの場合はステップＳ１５へとそれぞれ進む。

【００４７】

ＮＶＭモード及びＭＩＤモードの場合、書き込み対象であるデータ記憶素子４０を有するメモリセルＭＣが、第１メモリセルＭＣｚであるか第２メモリセルＭＣｘであるか判定する（ステップＳ１１）。第１メモリセルＭＣｚ内の第１データ記憶素子に書き込みを行う場合には、制御部３０は、第１データラインＤＬｚを選択する。このとき、図８（ａ）における信号Ｙａ０ｚがＨレベルとなり、第１データラインＤＬｚはＨレベルに、第２データラインＤＬｘはＨレベルより低い電圧レベル（例えば、電源電圧Ｖｃｃの半分）にそれぞれ設定される（ステップＳ１２）。第２メモリセルＭＣｘ内の第２データ記憶素子に書き込みを行う場合には、制御部３０は、第２データラインＤＬｘを選択する。このとき、図８（ａ）における信号Ｙａ０ｚはＬレベルとなり、第２データラインＤＬｘがＨレベルに、第１データラインＤＬｚがＨレベルより低い電圧レベルにそれぞれ設定される（ステップＳ１３）。

【００４８】

次に、制御部３０が、書き込み回路１８を制御することにより、ステップＳ１２及びステップＳ１３においてＨレベルに設定されたデータラインに対して書き込み電圧を印加し、データの書き込みを行う（ステップＳ１４）。図８（ａ）において、第１データラインＤＬｚ及び第２データラインＤＬｘに対し印加される書き込み電圧は、電圧選択部６０（図７参照）において選択されたドレイン電圧Ｖｄであり、データ記憶素子４０内の可変抵抗４３を高抵抗状態及び低抵抗状態のいずれかに変化させるためのものである。

【００４９】

図９に戻り、ステップＳ１０においてＲＡＭモードと判定された場合は、メモリセルＭＣ内のデータ記憶素子４０に記憶する論理値に応じて、書き込み電圧を印加すべきデータラインを選択する。まず、制御部３０が、メモリセルＭＣに書き込まれるデータの論理値を判定する（ステップＳ１５）。論理“１”（論理Ｈ）を書き込む場合は、制御部３０は第１データラインＤＬｚを選択する。このとき、図８（ｂ）における信号ＤＡＴＡｚがＨレベルとなり第１データラインＤＬｚがＨレベルに、第２データラインＤＬｘがＬレベルにそれぞれ設定される（ステップＳ１６）。論理“０”（論理Ｌ）を書き込む場合は、制御部３０は第２データラインＤＬｘを選択する。このとき、図８（ｂ）における信号ＤＡＴＡｚがＬレベルとなり、第１データラインＤＬｚがＬレベルに、第２データラインＤＬｘがＨレベルにそれぞれ設定される（ステップＳ１７）。

【００５０】

次に、制御部３０が、書き込み回路１８を制御することにより、ステップＳ１６及びステップＳ１７においてＨレベルに設定されたデータラインに対し、データ記憶素子４０内の電極４４に電荷を充電するための電圧を印加し、データの書き込みを行う（ステップＳ１８）。図８（ｂ）において、Ｈレベルに設定されたデータラインに対し印加される書き込み電圧は、電圧選択部６０（図７参照）において選択されたドレイン電圧Ｖｄである。また、制御部３０は、同時に、Ｌレベルに設定されたデータラインに対し、データ記憶素子４０内の電極４４から電荷を放電させるための電圧（例えば、接地電位Ｖｓｓ）を印加する。以上により、データ記憶素子４０へのデータの書き込みが完了する。

【００５１】

ＲＡＭモードにおいては、書き込み対象となるメモリセルＭＣが第１データラインＤＬｚ及び第２データラインＤＬｘのどちらに接続されているかに関係なく、メモリセルＭＣに記憶される論理値に応じて、ドレイン電圧Ｖｄを印加すべきデータラインを選択する。このため、メモリセルＭＣに記憶される論理値（以下、外部の論理）と、メモリセルＭＣ内のデータ記憶素子４０の状態を示す論理値（以下、内部の論理）とは必ずしも一致しない。以下、これについて説明する。

【００５２】

例えば、第１メモリセルＭＣｚに論理“１”を記憶する場合（外部の論理が１）、図８（ｂ）における信号ＤＡＴＡｚはＨレベルとなり、第１データラインＤＬｚがＨレベルに設定される。このため、第１メモリセルＭＣｚは充電される（内部の論理は１）。第１メモリセルＭＣｚに論理“０”を記憶する場合（外部の論理が０）、図８（ｂ）における信号ＤＡＴＡｚはＬレベルとなり、第１データラインＤＬｚがＬレベルに設定されるため、第１メモリセルＭＣｚは放電する（内部の論理は０）。このように、第１メモリセルＭＣｚにおいては、外部の論理と内部の論理とは同じになる。

【００５３】

一方、第２メモリセルＭＣｘに論理“１”を記憶する場合（外部の論理が１）、図８（ｂ）における信号ＤＡＴＡｚはＨレベルとなり、第１データラインＤＬｚがＨレベルに設定される。このとき、第２データラインＤＬｘはＬレベルに設定されるため、第２データラインＤＬｘに接続された第２メモリセルＭＣｘは放電する（内部の論理は０）。第２メモリセルＭＣｘに論理“０”を記憶する場合（外部の論理が０）、図８（ｂ）における信号ＤＡＴＡｚはＬレベルとなり、第１データラインＤＬｚがＬレベルに設定される。このとき、第２データラインＤＬｘはＨレベルに設定されるため、第２データラインＤＬｘに接続された第２メモリセルＭＣｘは充電される（内部の論理は１）。このように、第２メモリセルＭＣｘにおいては、外部の論理と内部の論理とが反対となる。しかしながら、後述するように、第２メモリセルＭＣｘからのデータの読み出しの際に、論理値を逆転させて読み出しを行うため、それぞれのメモリセルＭＣからデータを正しく読み出すことが可能となる。

【００５４】

ＮＶＭモードとＭＩＤモードとは、可変抵抗４３の抵抗値によりデータを記憶するため、データの書き込みに際しては共通の回路（図６から図８）を用いることができる。制御

部３０は、選択トランジスタ４１のゲート電圧Ｖｇ、及びドレイン電圧Ｖｄをコントロールするタイミング信号Ｔｉｍｘｐｚ及びＴｉｍｙｐｚを制御することにより、メモリセルに対する電圧印加時間を制御し、ＮＶＭモード、ＭＩＤモード、及びＲＡＭモードの切り替えを行うことができる。

【００５５】

次に、１Ｄ１Ｒ型メモリセルＭＣへのデータ書き込みに関する具体的な回路構成及び動作について説明する。１Ｄ１Ｒ型メモリセルＭＣにおいては、前述の通り、セルを選択するための選択トランジスタ４１を有していないため、データ記憶素子４０の可変抵抗４３の抵抗値を変化させるためには、電圧条件が設定されたパルスをグローバルデータラインＧＤＬ及びデータラインＤＬを介して、データ記憶素子４０に送る必要がある。ここで、表４に、メモリセルＭＣに印加する電圧条件の一例を示す。

【００５６】

表４において、ＮＶＭモードの場合、データ記憶素子４０の可変抵抗４３を高抵抗状態にするためには、振幅の小さいパルス（例えば１．２Ｖ）を長時間（例えば２５０ｎｓ）印加する。また、データ記憶素子４０の可変抵抗４３を低抵抗状態にするためには、振幅の大きいパルス（例えば４．０Ｖ）を短時間（例えば１００ｎｓ）印加する。

【００５７】

次に、ＭＩＤモードの場合、表４のように、印加する電圧の大きさは、ＮＶＭモードの場合と同じであり、電圧印加時間Ｓのみ異なり、ＮＶＭモードの半分の時間を印加する。また、ＲＡＭモードの場合、データ記憶素子４０の電極４４を放電状態にするためには、振幅の小さいパルス（例えば０Ｖ）を短時間（例えば１０ｎｓ）印加する。また、電極４４を充電状態にするためには、振幅の大きいパルス（例えば１．２Ｖ）を短時間（例えば１０ｎｓ）印加する。

【表４】

NVMモード

動作	電圧[V]	電圧印加時間 S[ns]
書き込み（高抵抗″０″）	1.2	250
書き込み（低抵抗″１″）	4	100

MIDモード

動作	電圧[V]	電圧印加時間 S[ns]
書き込み（高抵抗″０″）	1.2	125
書き込み（低抵抗″１″）	4	50

RAMモード

動作	電圧[V]	電圧印加時間 S[ns]
書き込み（放電″０″）	0	10
書き込み（充電″１″）	1.2	10

【００５８】

図１０（ａ）から図１０（ｄ）は、図１における周辺回路の構成を示した回路図である。図１０（ａ）から図１０（ｄ）を用いて、ＮＶＭモード及びＭＩＤモードでのデータの書き込みを説明する。図１０（ａ）において、入出力回路２６は、外部から入力される信号Ｉ／Ｏｚに応じて、メモリセルＭＣに書き込まれるデータであるデータ信号Ｄａｔａｚを出力する。

【００５９】

図１０（ｂ）において、選択回路であるワードライン駆動回路ＷＤｒ（図１において不図示）は、書き込み信号ＷＲｚ及びアドレス信号Ａｄｄ．に応じて、メモリセルＭＣを選択するための選択信号をワードラインＷＬに供給する。書き込み信号ＷＲｚ及びアドレス信号Ａｄｄ．はＮＡＮＤゲート１３４に入力され、双方の入力が共に“Ｈ”の場合にのみ、電位がＶｄｄ１の選択信号がインバータ１３６を介してワードラインＷＬに出力される。Ｖｄｄ１は、例えば４．０Ｖである。

【００６０】

非選択時におけるメモリセルＭＣの電位は、ワードラインＷＬ側が低電位に、データラインＤＬ側が高電位にそれぞれ設定されている。ワードライン駆動回路ＷＤｒから供給される選択信号により、ワードラインＷＬの電位は上昇し、データラインＤＬの電位と等しくなる。この段階では、メモリセルＭＣに電流は流れない。

【００６１】

図１０（ｃ）において、書き込み制御回路１３０（図１において不図示）は、書き込み信号ＷＲｚ及びタイミング信号Ｔｉｍｙｐｚに応じて第１パルス生成信号ＷＲＨｚ及び第２パルス生成信号ＷＲＬｚを出力する。書き込み制御回路１３０は、２つのＮＡＮＤゲート１３８及び１４０と、それぞれのＮＡＮＤゲートに接続された遅延回路１４２からなる。ＮＡＮＤゲート１３８に接続された遅延回路１４２のインバータの数は、ＮＡＮＤゲート１４０に接続されたインバータの数より多い。従って、第１パルス生成信号ＷＲＨｚのパルス幅は、第２パルス生成信号ＷＲＬｚのパルス幅より短くなる。

【００６２】

図１０（ｄ）において、データライン駆動回路ＤＤｒ（図１において不図示）は、入出力回路２６から供給されるデータ信号Ｄａｔａｚに応じて、第１パルス生成信号ＷＲＨｚから第１パルスを、第２パルス生成信号ＷＲＬｚから第２パルスをそれぞれ生成する。データライン駆動回路ＤＤｒは、生成された第１パルス及び第２パルスのいずれかである書き込みパルスをデータラインＤＬへ供給する。

【００６３】

図１０（ｄ）のように、データ信号Ｄａｔａｚはインバータ１４６及び１４８を介し、パスゲート１５０及び１５２、並びにＮ型トランジスタ１５４及び１５６のＯＮ／ＯＦＦを制御する。第１パルス生成信号ＷＲＨｚはＰ型トランジスタ１６０及びＮ型トランジスタ１６２のゲートに入力される。第２パルス生成信号ＷＲＬｚはＰ型トランジスタ１５８及びＮ型トランジスタ１６４のゲートに入力される。データの書き込みが行われない場合は、第１パルス生成信号ＷＲＨｚ及び第２パルス生成信号ＷＲＬｚは共に“Ｌ”となるため、Ｐ型トランジスタ１５８及び１６０はＯＮに、Ｎ型トランジスタ１６２及び１６４はＯＦＦに設定される。その結果、Ｐ型トランジスタ１５８及び１６０を介して電圧Ｖｄｄ１が出力され、データラインＤＬの電位はＶｄｄ１に維持される。

【００６４】

データ信号Ｄａｔａｚが“Ｈ”の場合には、パスゲート１５２がＯＮとなり第１パルス生成信号ＷＲＨｚが回路に入力される。また、Ｎ型トランジスタ１５４はＯＮに、Ｎ型トランジスタ１５６はＯＦＦに設定される。Ｎ型トランジスタ１５６がＯＦＦに設定されたことで、Ｐ型トランジスタ１６０のゲートには第１パルス生成信号ＷＲＨｚの“Ｈ”が入力され、ＯＦＦに設定される。また、Ｎ型トランジスタ１６２のゲートにも同様に“Ｈ”が入力され、こちらはＯＮに設定される。この結果、電圧ＶｓｓがデータラインＤＬへと出力される。Ｖｓｓは、例えば接地電位である。

【００６５】

ワードラインＷＬの電位が選択信号によりＶｄｄ１に設定されている場合、前述のようにデータラインＤＬの電位をＶｓｓとすることで両者の電位差はＶｄｄ１となり、バイアスが逆転するためメモリセルＭＣに電流が流れる。この状態を、表４の低抵抗“１”の場合の印加時間だけ維持することにより、メモリセルＭＣの可変抵抗４３は低抵抗状態となり、論理“１”が書き込まれる。以上のように、データライン駆動回路ＤＤｒは、選択信号がメモリセルＭＣに対し印加されている間に、第１パルス生成信号ＷＲＨｚに応じて、可変抵抗４３を低抵抗状態に変化させる第１パルスをデータラインＤＬに供給する。

【００６６】

データ信号Ｄａｔａｚが“Ｌ”の場合には、パスゲート１５０がＯＮとなり第２パルス生成信号ＷＲＬｚが回路に入力される。また、Ｎ型トランジスタ１５４はＯＦＦに、Ｎ型トランジスタ１５６はＯＮに設定される。Ｎ型トランジスタ１５４がＯＦＦに設定されたことで、Ｐ型トランジスタ１５８のゲートには第２パルス生成信号ＷＲＬｚの“Ｈ”が入力されＯＦＦに設定される。また、Ｎ型トランジスタ１６４のゲートにも同様に“Ｈ”が入力され、こちらはＯＮに設定される。この結果、電圧Ｖｄｄ１－Ｖｄｄ０がデータラインＤＬへと出力される。Ｖｄｄ０は、例えば１．２Ｖである。

【００６７】

ワードラインＷＬの電位が選択信号によりＶｄｄ１に設定されている場合、前述のようにデータラインＤＬの電位をＶｄｄ１－Ｖｄｄ０とすることで両者の電位差はＶｄｄ０と

なり、バイアスが逆転するためメモリセルＭＣに電流が流れる。この状態を表４の高抵抗“０”の場合の印加時間だけ維持することにより、メモリセルＭＣの可変抵抗４３は高抵抗状態となり、論理“０”が書き込まれる。以上のように、データライン駆動回路ＤＤｒは、選択信号がメモリセルＭＣに対し印加されている間に、第２パルス生成信号ＷＲＬｚに応じて、可変抵抗４３を高抵抗状態に変化させる第２パルスをデータラインＤＬに供給する。

【００６８】

図１１は、データ書き込み時の動作を示したフローチャートである。図１０及び図１１を参照に、データ書き込みの開始時においてワードラインＷＬの電位はＶｓｓに、データラインＤＬの電位はＶｄｄ１に設定されている。メモリセルＭＣには逆バイアスが印加されており、電流は流れない。最初に、制御部３０が、メモリセルＭＣに行うデータ記憶の記憶モードを選択する（ステップＳ２０）。ＮＶＭモード及びＭＩＤモードである場合はステップＳ２２へ進む。ＲＡＭモードの場合はステップＳ２６に進む。

【００６９】

ＮＶＭモード及びＭＩＤモードである場合、選択回路であるワードライン駆動回路ＷＤｒは、ワードラインＷＬに対し選択信号を供給する（ステップＳ２２）。これにより、ワードラインＷＬの電位はＶｄｄ１に上昇する。次に、論理“１”のデータを書き込む場合、データライン駆動回路ＤＤｒは、データラインＤＬに対し電圧条件が設定された第１パルスを供給する（ステップＳ２４）。これにより、データラインの電位はＶｓｓとなり、メモリセルＭＣに電流が流れ、データ記憶素子４０内の可変抵抗４３は低抵抗状態となる。また、論理“０”のデータを書き込む場合、書き込み回路であるデータライン駆動回路ＤＤｒは、データラインＤＬに対し電圧条件が設定された第２パルスを供給する（ステップＳ２２）。これにより、データラインＤＬの電位はＶｄｄ１－Ｖｄｄ０となり、メモリセルＭＣに電流が流れ、データ記憶素子４０内の可変抵抗４３は高抵抗状態となる。以上のステップにより、ＮＶＭモード及びＭＩＤモードでの、メモリセルＭＣへのデータの書き込みが完了する。

【００７０】

ＲＡＭモードである場合も、選択回路であるワードライン駆動回路ＷＤｒは、ワードラインＷＬに対し選択信号を供給する（ステップＳ２６）。次に、論理“１”のデータを書き込む場合、書き込み回路であるデータライン駆動回路ＤＤｒは、データラインＤＬに対し電圧条件が設定された第３パルスを供給する（ステップＳ２８）。これにより、メモリセルＭＣに電流が流れ、データ記憶素子４０の電極４４に電荷を蓄えることができる。この際、表４に示すように、ＲＡＭモードにおける電圧印加時間は短時間であるため、可変抵抗４３は高抵抗状態を維持する。論理“０”のデータを書き込む場合には、データ駆動回路ＤＤｒが、データラインＤＬに対し、降伏電圧（ブレークダウン電圧）を印加（供給）する（ステップＳ２８）。これにより、データ記憶素子４０の電極４４に蓄えられている電荷を引き抜く（放電する）ことができ、論理“０”のデータを書き込むことができる。以上のステップにより、ＲＡＭモードでの、メモリセルＭＣへのデータの書き込みが完了する。

【００７１】

次に、メモリセルＭＣからのデータの読み出しに関する具体的な回路構成及び動作について説明する。図１２は、図１におけるメモリセルアレイ１０、リセット回路２０、検出回路であるセンスアンプ２２の構成を示す回路図である。図１２において、第１データラインＤＬｚには第１メモリセルＭＣｚが接続しており、第２データラインＤＬｘには第２メモリセルＭＣｘが接続している。このため、第１メモリセルＭＣｚに記憶されたデータは第１データラインＤＬｚから読み出され、第２メモリセルＭＣｘに記憶されたデータは第２データラインＤＬｘから読み出される。

【００７２】

リセット回路２０は、第１データラインＤＬｚと第２データラインＤＬｘとの間に設けられている。つまり、データライン対に対してリセット回路２０が設けられている。リセ

ット回路２０は、トランジスタ８４、８６、８８で構成される。トランジスタ８４は、リセット信号ＢＲＳｚに応じて第１データラインＤＬｚと第２データラインＤＬｘとを短絡させる。トランジスタ８６と８８とは、リセット信号ＢＲＳｚに応じて、第１データラインＤＬｚと第２データラインＤＬｘとに対しリファレンス電圧Ｖｒｅｆを供給する。

【００７３】

センスアンプ２２は、第１データラインＤＬｚと第２データラインＤＬｘとの間に、リセット回路２０に対応して設けられており、インバータ８０と８２とからなるインバータ・ペアで構成される。インバータ８０と８２とには、センスアンプドライバ２４から電源電圧Ｖｃｃと接地電圧Ｖｓｓとが供給されている。センスアンプ２２は、ラッチ信号ＬＥｚ（不図示）に応じて両データライン間の電位差を増幅する。ここで、リファレンス電圧Ｖｒｅｆは、電源電圧Ｖｃｃの半分程度の大きさである場合が好ましい。電源電圧Ｖｃｃは、例えば１．２Ｖであり、リファレンス電圧Ｖｒｅｆは、例えば０．６Ｖである。

【００７４】

図１３は、図１におけるクランプ回路２１の構成を示す回路図である。図１３において、クランプ回路２１は、ＮＡＮＤゲート９０と９１、インバータ９２と９３、ｐＭＯＳトランジスタ９４と９５で構成される。ｐＭＯＳトランジスタ９４と９５とのソース端子は、図７における電圧選択部６０の出力端子Ｖｄに接続されている。図７において、ＮＶＭモード及びＭＩＤモードで記憶されたデータをメモリセルＭＣから読み出す場合には、出力端子Ｖｄにクランプ電圧Ｖｃｌｍｐが供給される。クランプ電圧Ｖｃｌｍｐはリファレンス電圧Ｖｒｅｆより高くなるよう設定されている。Ｖｃｌｍｐは、例えば０．８Ｖである。

【００７５】

ＮＡＮＤゲート９０と９１とに入力されるクランプ信号ｃｌｍｐｚは、クランプ回路２１を作動させるための信号である。ＮＶＭモード及びＭＩＤモードで記憶されたデータを読み出す場合に、クランプ信号ｃｌｍｐｚはＨレベルに設定される。インバータ９２に入力されるアドレス信号Ｙａ０ｚは、クランプ電圧Ｖｃｌｍｐを印加すべきデータラインを選択する信号である。クランプ信号ｃｌｍｐｚがＨレベルの場合、アドレス信号Ｙａ０ｚに応じて、クランプ電圧Ｖｃｌｍｐが印加されるデータラインが選択される。即ち、ＮＶＭモード及びＭＩＤモードでデータを記憶した第１メモリセルＭＣｚからデータを読み出す場合は、信号Ｙａ０ｚはＨレベルとなり、ｐＭＯＳトランジスタ９４がＯＮとなる。これにより、第１データラインＤＬｚに対しクランプ電圧Ｖｃｌｍｐが印加される。ＮＶＭモード及びＭＩＤモードでデータを記憶した第２メモリセルＭＣｘからデータを読み出す場合は、信号Ｙａ０ｚはＬレベルとなり、ｐＭＯＳトランジスタ９５がＯＮとなる。これにより、第２データラインＤＬｘに対しクランプ電圧Ｖｃｌｍｐが印加される。

【００７６】

図１４は、図１におけるセンスアンプドライバ２４の構成を示す回路図である。図１４において、センスアンプドライバ２４は、インバータ９６、ｐＭＯＳトランジスタ９７、ｎＭＯＳトランジスタ９８で構成される。ｐＭＯＳトランジスタ９７のソース端子には、電源電圧Ｖｃｃが印加されており、ｎＭＯＳトランジスタ９８のソース端子には接地電圧Ｖｓｓが印加されている。ｐＭＯＳトランジスタ９７のドレイン端子ＰＳＡはセンスアンプ２２のＰチャネル側に接続され、ｎＭＯＳトランジスタ９８のドレイン端子ＮＳＡはセンスアンプ２２のＮチャネル側に接続されている。インバータ９６は、ラッチ信号ＬＥｚをｐＭＯＳトランジスタ９７のゲート端子に反転して入力する。ラッチ信号ＬＥｚがＨレベルに設定されると、ｐＭＯＳトランジスタ９７とｎＭＯＳトランジスタ９８とはそれぞれＯＮになる。よって、ｐＭＯＳトランジスタ９７のドレイン端子ＰＳＡには電源電圧Ｖｃｃが供給され、ｎＭＯＳトランジスタ９８のドレイン端子ＮＳＡには接地電圧Ｖｓｓが供給される。

【００７７】

図１５は、メモリセルＭＣからのデータの読み出しにおける制御を示したフローチャートである。図１５において、まず、制御部３０は、データの読み出し対象である第１メモ

リセルＭＣｚ又は第２メモリセルＭＣｘがそれぞれ接続する、第１データラインＤＬｚと第２データラインＤＬｘとにリファレンス電圧Ｖｒｅｆを印加する（ステップＳ３０）。このとき、図１２において、リセット回路２０にリセット信号ＢＲＳｚが供給され、トランジスタ８４がＯＮとなることで、第１データラインＤＬｚと第２データラインＤＬｘとが短絡する。後述するように、データの読み出しが終了した後は、第１データラインＤＬｚ及び第２データラインＤＬｘのうちいずれか一方は電源電圧Ｖｃｃが印加され、他方は接地電圧Ｖｓｓが印加される。このため、両者を短絡させることで、データラインの電圧をリファレンス電圧Ｖｒｅｆ（＝Ｖｃｃ／２）付近に制御することが可能となる。これにより、回路の消費電力を抑制することができる。また、リセット信号ＢＲＳｚによりトランジスタ８６と８８とがＯＮとなるため、第１データラインＤＬｚと第２データラインＤＬｘとにリファレンス電圧Ｖｒｅｆが供給される。これにより、第１データラインＤＬｚと第２データラインＤＬｘとがリファレンス電圧Ｖｒｅｆに正確に設定される。

【００７８】

次に、制御部３０は、読み出し対象であるメモリセルＭＣの記憶モードの判定を行う（ステップＳ３２）。記憶モードがＮＶＭモード及びＭＩＤモードのいずれかである場合はステップＳ３４に進み、記憶モードがＲＡＭモードである場合はステップＳ５０に進む。

【００７９】

記憶モードがＮＶＭモード及びＭＩＤモードのいずれかである場合、制御部３０は、読み出し対象であるメモリセルＭＣの特定を行う（ステップＳ３４）。読み出し対象のメモリセルＭＣが、第１データ記憶素子を有する第１メモリセルＭＣｚである場合、制御部３０は、第１データラインＤＬｚを選択する（ステップＳ３６）。読み出し対象のメモリセルＭＣが、第２データ記憶素子を有する第２メモリセルＭＣｘである場合、制御部３０は、第２データラインＤＬｘを選択する（ステップＳ３８）。そして、選択されたデータラインに対してクランプ電圧Ｖｃｌｍｐを印加する（ステップＳ４０）。クランプ電圧Ｖｃｌｍｐは、図１３に示したクランプ回路２１により供給される。これにより、読み出し対象であるメモリセルＭＣが接続されたデータラインＤＬの電圧は、リファレンス電圧Ｖｒｅｆより高いクランプ電圧Ｖｃｌｍｐまで上昇する。一方、読み出し対象のメモリセルＭＣが接続されていないデータラインＤＬの電圧は、リファレンス電圧Ｖｒｅｆのまま維持される。

【００８０】

次に、制御部３０は、メモリセルＭＣ内のデータ記憶素子４０とデータラインＤＬとを導通させる（ステップＳ４２）。

【００８１】

データ記憶素子４０内の可変抵抗４３が高抵抗状態の場合は、メモリセルＭＣに電流が流れないため、データラインＤＬの電圧はＶｃｌｍｐのまま変化しない。したがって、読み出し対象であるメモリセルＭＣが接続するデータラインＤＬ（第１データラインＤＬｚ及び第２データラインＤＬｘのうちいずれか一方）の電圧は、読み出し対象のメモリセルが接続しないデータラインＤＬ（第１データラインＤＬｚ及び第２データラインＤＬｘの他方）の電圧に比べて高くなる。

【００８２】

データ記憶素子４０内の可変抵抗４３が低抵抗状態の場合は、メモリセルＭＣに電流が流れるため、読み出し対象のメモリセルＭＣが接続するデータラインＤＬの電圧はＶｃｌｍｐから降下する。したがって、読み出し対象であるメモリセルＭＣが接続するデータラインＤＬの電圧は、読み出し対象のメモリセルＭＣが接続しないデータラインＤＬの電圧に比べて低くなる。このように、制御部３０が、第１データラインＤＬｚと第２データラインＤＬｘとの電圧を比較することで、メモリセルＭＣからのデータの読み出しを行う（ステップＳ４４）。

【００８３】

ここで、図１６に、ＮＶＭモード及びＭＩＤモードの場合の、データ読み出し時の動作を表したタイミングチャートを示す。図１６において、制御部３０から供給されるリセッ

ト信号ＢＲＳｚにより、データライン電圧はＶｒｅｆに維持されている。データ読み出し時には、制御部３０は、リセット信号ＢＲＳｚをＬレベルに設定し、リセット電圧Ｖｒｅｆの供給を停止する（Ａ）。次に、制御部３０は、クランプ信号ｃｌｍｐｚをＨレベルに設定し（Ｂ）、データライン電圧をＶｃｌｍｐへと上昇させる（Ｃ）。その後、再びクランプ信号ｃｌｍｐｚをＬレベルに設定し（Ｄ）、クランプ電圧Ｖｃｌｍｐの供給を停止する。

【００８４】

次に、制御部３０は、ワードラインＷＬ（選択トランジスタ４１のゲート電圧Ｖｇ）の電圧を上昇させ（Ｅ）、データ記憶素子４０とデータラインＤＬとを導通させる。データ記憶素子４０に論理“０”が記憶されている場合は、可変抵抗４３は高抵抗状態のため、データライン電圧は変化しない（Ｆ）。データ記憶素子４０に論理“１”が記憶されている場合は、可変抵抗４３は低抵抗状態のため、データライン電圧は下降していき、リファレンス電圧Ｖｒｅｆを下回る（Ｇ）。次に、制御部３０は、ラッチ信号ＬＥｚをＨレベルに設定すると（Ｈ）、データライン電圧がＶｒｅｆより高い場合は、電源電圧Ｖｃｃまで上昇し（Ｉ）、データライン電圧がＶｒｅｆより低い場合は、接地電圧Ｖｓｓまで下降する（Ｊ）。これにより、データ記憶素子４０から読み出された信号が増幅され、外部へと取り出される。

【００８５】

図１５に戻り、記憶モードがＲＡＭモードである場合、制御部３０は、メモリセルＭＣ内のデータ記憶素子４０とデータラインＤＬとを導通させる（ステップＳ５０）。ＲＡＭモードにおいては、データラインＤＬへのクランプ電圧Ｖｃｌｍｐの供給は行わない。

【００８６】

データ記憶素子４０が充電状態である場合、電極４４に蓄えられた電荷はデータラインＤＬに放出される。これにより、読み出し対象であるメモリセルＭＣが接続するデータラインＤＬ（第１データラインＤＬｚ及び第２データラインＤＬｘのうちいずれか一方）の電圧は上昇し、読み出し対象のメモリセルが接続しないデータラインＤＬ（第１データラインＤＬｚ及び第２データラインＤＬｘの他方）の電圧Ｖｒｅｆより高くなる。

【００８７】

データ記憶素子４０が放電状態である場合、電極４４に電荷が充電されるため、読み出し対象のメモリセルＭＣが接続するデータラインＤＬの電圧は降下する。したがって、読み出し対象のメモリセルＭＣが接続するデータラインＤＬの電圧は、読み出し対象のメモリセルＭＣが接続しないデータラインＤＬの電圧Ｖｒｅｆに比べて低くなる。

【００８８】

制御部３０は、第１データラインＤＬｚの電圧と第２データラインＤＬｘの電圧との比較を行い（ステップＳ５２）、第１データラインＤＬｚの電圧が大きい場合は論理“１”を読み出し（ステップＳ５４）、第２データラインＤＬｘの電圧が大きい場合は論理“０”を読み出す（ステップＳ５６）。

【００８９】

このように、ＲＡＭモードで記憶するメモリセルＭＣからのデータの読み出しにおいて、制御部３０は、第１データラインＤＬｚの電圧レベルに基づきデータの読み出しを行う。即ち、第１データラインＤＬｚがＨレベルの場合は論理“１”が読み出され、第１データラインＤＬｚがＬレベルの場合は論理“０”が読み出される。その結果、読み出し対象であるメモリセルＭＣが第１メモリセルＭＣｚである場合、第１メモリセルＭＣｚ内の第１データ記憶素子の状態（内部の論理）と読み出されるデータの論理値（外部の論理）とは同じになる。一方、読み出し対象であるメモリセルＭＣが第２メモリセルＭＣｘである場合、第２メモリセルＭＣｘ内の第２データ記憶素子の状態（内部の論理）と読み出されるデータの論理値（外部の論理）とは反対になる。

【００９０】

例えば、第２データ記憶素子が放電状態の場合（内部の論理は“０”）、データ読み出し時に第１データラインＤＬｚはＨレベルになり、第２データラインＤＬｘはＬレベルに

なるため、論理“１”が読み出される（外部の論理は“１”）。第２データ記憶素子が充電状態の場合（内部の論理は“１”）、データ読み出し時に第１データラインＤＬｚはＬレベルになり、第２データラインＤＬｘはＨレベルになるため、論理“０”が読み出される（外部の論理は“０”）。前述のように、ＲＡＭモードで第２メモリセルＭＣｘにデータを記憶させる場合、第２データ記憶素子の状態を示す内部の論理と、第２メモリセルＭＣｘに記憶するデータを示す外部の論理とは反対であった。このため、第２メモリセルＭＣｘからデータを読み出す場合には、内部の論理と外部の論理とを逆転させることで、データを正確に読み出すことが可能となる。

【００９１】

ここで、図１７に、ＲＡＭモードの場合の、データ読み出し時の動作を表したタイミングチャートを示す。図１７において、最初に、制御部３０から供給されるリセット信号ＢＲＳｚにより、データライン電圧はＶｒｅｆに維持されている。データ読み出し時には、制御部３０は、リセット信号ＢＲＳｚをＬレベルに設定し（Ａ）、リセット電圧Ｖｒｅｆの供給を停止する。次に、制御部３０は、ワードラインＷＬ（選択トランジスタのゲート電圧Ｖｇ）の電圧を上昇させ（Ｂ）、データ記憶素子とデータラインとを導通させる。データ記憶素子４０に論理“０”が記憶されている場合、電極４４は放電状態のため、データライン電圧は下降していく（Ｃ）。データ記憶素子４０に論理“１”が記憶されている場合は、電極４４は充電状態のため、データライン電圧は上昇していく（Ｄ）。

【００９２】

次に、制御部３０が、ラッチ信号ＬＥｚをＨレベルに設定すると（Ｅ）、データライン電圧がＶｒｅｆより高い場合は、電源電圧Ｖｃｃまで上昇し（Ｆ）、データライン電圧がＶｒｅｆより低い場合は、接地電圧Ｖｓｓまで下降する（Ｇ）。これにより、データ記憶素子４０から読み出された信号が増幅され、外部へと取り出される。

【００９３】

次に、データ記憶素子４０に対して行うリフレッシュについて説明する。表２に示すように、ＭＩＤモード及びＲＡＭモードでデータを記憶するデータ記憶素子４０は、データの保持時間が短いが、リフレッシュを行うことで、データの保持時間を延ばすことができる。図１８は、図１におけるリフレッシュ制御回路３２の構成を示すブロック図である。図１８において、リフレッシュ制御回路３２は、リフレッシュ回路３４とタイマー３６とで構成されている。リフレッシュ回路３４は、グローバルデータラインＧＤＬに接続されている。グローバルデータラインＧＤＬは、複数のデータラインＤＬに接続されている。

【００９４】

タイマー３６には、ＭＩＤモードでデータを記憶するデータ記憶素子４０に対して行うリフレッシュの間隔に対応する時間が予め設定されている。また、タイマー３６には、制御部３０から、データ記憶素子４０の記憶モードに関する信号Ｍｏｄｅが入力される。タイマー３６は、制御部３０から入力された信号ＭｏｄｅがＭＩＤモードであると判定した場合、タイマーを始動させる。そして、タイマー３６は、タイマー始動後、設定時間に到達したら、信号ｔｉｍｅｒをリフレッシュ回路３４に出力する。

【００９５】

リフレッシュ回路３４には、制御部３０から、データ記憶素子４０の記憶モードに関する信号Ｍｏｄｅが入力される。リフレッシュ回路３４は、制御部３０から入力された信号ＭｏｄｅがＭＩＤモードであると判定した場合、タイマー３６から、信号ｔｉｍｅｒが入力されるまで待機する。リフレッシュ回路３４は、タイマー３６から信号ｔｉｍｅｒが入力された後、ＭＩＤモードでデータを記憶するデータ記憶素子４０に対してリフレッシュを実行する。また、リフレッシュ回路３４は、制御部３０から入力された信号ＭｏｄｅがＲＡＭモードであると判定した場合は、即座にＲＡＭモードでデータを記憶するデータ記憶素子４０に対してリフレッシュを実行する。さらに、リフレッシュ回路３４は、制御部３０から入力された信号ＭｏｄｅがＮＶＭモードであると判定した場合は、ＮＶＭモードでデータを記憶するデータ記憶素子４０に対してリフレッシュを実行しない。

【００９６】

図１９は、データ記憶素子４０に対して行うリフレッシュの制御を示したフローチャートである。図１９において、リフレッシュ制御回路３２は、制御部３０から入力された信号Ｍｏｄｅに基づき、メモリセルＭＣ内のデータ記憶素子４０の記憶モードを判定する（ステップＳ６０）。信号Ｍｏｄｅは、メモリセルＭＣに対してデータの書き込み又はリフレッシュを行った際に、制御部３０から入力される。リフレッシュ制御回路３２は、制御部３０から入力された信号Ｍｏｄｅに基づき、データ記憶素子４０の記憶モードがＭＩＤモードであると判定した場合、内蔵するタイマー３６を始動させる（ステップＳ６２）。前述したように、タイマー３６には、予め、ＭＩＤモードでデータを記憶するデータ記憶素子４０に対して行うリフレッシュの間隔に対応する時間が設定されている。

【００９７】

リフレッシュ制御回路３２は、タイマー３６に設定されている時間に到達した後、制御部３０に対して、メモリセルＭＣからデータを読み出すよう指示する（ステップＳ６４）。このときのデータの読み出し方法は、前述したメモリセルＭＣからのデータの読み出し方法を用いることができる。メモリセルＭＣから読み出されたデータは、データラインＤＬとグローバルデータラインＧＤＬとを介してリフレッシュ制御回路３２に入力される。リフレッシュ制御回路３２は、メモリセルＭＣから読み出されたデータが、論理“１”であるか論理“０”であるか判定する（ステップＳ６６）。

【００９８】

リフレッシュ制御回路３２は、メモリセルＭＣから読み出されたデータが論理“１”（データ記憶素子４０の可変抵抗４３は低抵抗状態）であると判定した場合、制御部３０に、論理“１”である旨の判定結果を出力する。

【００９９】

メモリセルＭＣが１Ｔ１Ｒ型である場合、リフレッシュ制御回路３２は、制御部３０から入力された、論理“１”の判定結果に基づく書き込み信号ＷＲｚ及びタイミング信号Ｔｉｍｙｐｚに応じて、データ記憶素子４０の可変抵抗４３を低抵抗状態にするための第１電圧条件を設定する。ロウデコーダ１２及びカラムデコーダ１４により、リフレッシュを行うメモリセルＭＣが選択され、書き込み回路１８により、リフレッシュ制御回路３２で設定された第１電圧条件に基づいて、可変抵抗４３を低抵抗状態にさせるリフレッシュを実行する（ステップＳ６８）。

【０１００】

メモリセルＭＣが１Ｄ１Ｒ型である場合、リフレッシュ制御回路３２は、制御部３０から入力された、論理“１”の判定結果に基づく書き込み信号ＷＲｚ及びタイミング信号Ｔｉｍｙｐｚに応じて、データ記憶素子４０の可変抵抗４３を低抵抗状態にするための第１電圧条件が設定された第１パルスを生成する。リフレッシュ制御回路３２は、生成された第１パルスを、グローバルデータラインＧＤＬを介してデータラインＤＬに供給し、可変抵抗４３を低抵抗状態にさせるリフレッシュを実行する（ステップＳ６８）。

【０１０１】

次に、リフレッシュ制御回路３２は、メモリセルＭＣから読み出されたデータが論理“０”（データ記憶素子４０の可変抵抗４３は高抵抗状態）であると判定した場合、制御部３０に、論理“０”である旨の判定結果を出力する。

【０１０２】

メモリセルＭＣが１Ｔ１Ｒ型である場合、リフレッシュ制御回路３２は、制御部３０から入力された、論理“０”の判定結果に基づく書き込み信号ＷＲｚ及びタイミング信号Ｔｉｍｙｐｚに応じて、データ記憶素子４０の可変抵抗４３を高抵抗状態にするための第２電圧条件を設定する。ロウデコーダ１２及びカラムデコーダ１４により、リフレッシュを行うメモリセルＭＣが選択され、書き込み回路１８により、リフレッシュ制御回路３２で設定された第２電圧条件に基づいて、可変抵抗４３を高抵抗状態にさせるリフレッシュを実行する（ステップＳ７０）。

【０１０３】

メモリセルＭＣが１Ｄ１Ｒ型である場合、リフレッシュ制御回路３２は、制御部３０か

ら入力された、論理“０”の判定結果に基づく書き込み信号ＷＲｚ及びタイミング信号Ｔｉｍｙｐｚに応じて、データ記憶素子４０の可変抵抗４３を高抵抗状態にするための第２電圧条件が設定された第２パルスを生成する。リフレッシュ制御回路３２は、生成された第２パルスを、グローバルデータラインＧＤＬを介してデータラインＤＬに供給し、可変抵抗４３を高抵抗状態にさせるリフレッシュを実行する（ステップＳ７０）。

【０１０４】

次に、リフレッシュ制御回路３２が、制御部３０から入力された信号Ｍｏｄｅに基づき、メモリセルＭＣ内のデータ記憶素子４０の記憶モードがＲＡＭモードであると判定（ステップＳ６０）した場合、ステップＳ７２に進む。リフレッシュ制御回路３２は、内蔵タイマー３６を始動させずに、制御部３０に対して、メモリセルＭＣからデータを読み出すよう指示する（ステップＳ７２）。メモリセルＭＣから読み出されたデータは、データラインＤＬとグローバルデータラインＧＤＬとを介してリフレッシュ制御回路３２に入力される。リフレッシュ制御回路３２は、メモリセルＭＣから読み出されたデータが論理“１”（データ記憶素子４０の電極４４は充電状態）であると判定した場合、制御部３０に、論理“１”の判定結果を出力する。

【０１０５】

メモリセルＭＣが１Ｔ１Ｒ型である場合、リフレッシュ制御回路３２は、制御部３０から入力された、論理“１”の判定結果に基づく書き込み信号ＷＲｚ及びタイミング信号Ｔｉｍｙｐｚに応じて、データ記憶素子４０の電極４４に電荷を充電するための第３電圧条件を設定する。ロウデコーダ１２及びカラムデコーダ１４により、リフレッシュを行うメモリセルＭＣが選択され、書き込み回路１８により、リフレッシュ制御回路３２で設定された第３電圧条件に基づいて、電極４４を充電状態にさせるリフレッシュを実行する（ステップＳ７４）。

【０１０６】

メモリセルＭＣが１Ｄ１Ｒ型である場合、リフレッシュ制御回路３２は、制御部３０から入力された、論理“１”の判定結果に基づく書き込み信号ＷＲｚ及びタイミング信号Ｔｉｍｙｐｚに応じて、データ記憶素子４０の電極４４に電荷を充電するための第３電圧条件が設定された第３パルスを生成する。リフレッシュ制御回路３２は、生成された第３パルスを、グローバルデータラインＧＤＬを介してデータラインＤＬに供給し、電極４４を充電状態にさせるリフレッシュを実行する（ステップＳ７４）。

【０１０７】

次に、リフレッシュ制御回路３２が、制御部３０から入力された信号Ｍｏｄｅに基づき、メモリセルＭＣ内のデータ記憶素子４０の記憶モードがＮＶＭモードであると判定（ステップＳ６０）した場合、リフレッシュ制御回路３２は、ＮＶＭモードでデータを記憶するメモリセルＭＣに対して、リフレッシュを実行しない。ＮＶＭモードでデータを記憶するデータ記憶素子４０は、データの保持時間が長いため、リフレッシュを行わなくても、データが消失することはないためである。

【０１０８】

ここで、図２０に、１Ｔ１Ｒ型メモリセルＭＣの場合において、ＭＩＤモードでデータを記憶するデータ記憶素子４０に対する再書き込み（リフレッシュ）を表したタイミングチャートを示す。図２０（ａ）は、論理“１”の状態にあるメモリセルＭＣ内のデータ記憶素子４０に対して行うリフレッシュ動作のタイミングチャートを示しており、図２０（ｂ）は、論理“０”の状態にあるメモリセルＭＣ内のデータ記憶素子４０に対して行うリフレッシュ動作のタイミングチャートを示している。

【０１０９】

図２０（ａ）において、リフレッシュ制御回路３２が、メモリセルＭＣは論理“１”であると判定し、判定結果を制御部３０に出力した後、制御部３０から供給されるタイミング信号Ｔｉｍｘｐｚが立ち上がる（Ａ）。それに伴い、ワードラインＷＬが立ち上がり、リフレッシュされるメモリセルＭＣのゲートにゲート電圧（Ｖｇ＝１．２Ｖ）を印加する（Ｂ）。続いて、制御部３０から供給されるタイミング信号Ｔｉｍｙｐｚが立ち上がる（

Ｃ）。それに伴い、データラインＤＬも立ち上がり、リフレッシュされるメモリセルＭＣのドレインにドレイン電圧（Ｖｄ＝４．０Ｖ）を時間（ｔ＝５０ｎｓ）だけ印加する（Ｄ）。以上のプロセスにより、メモリセルＭＣ内のデータ記憶素子４０に対してリフレッシュを実行することができる。

【０１１０】

図２０（ｂ）においても同様に、リフレッシュ制御回路３２が、メモリセルＭＣは論理“０”であると判定し、判定結果を制御部３０に出力した後、制御部３０から供給されるタイミング信号Ｔｉｍｘｐｚが立ち上がる（Ａ）。それに伴い、ワードラインＷＬが立ち上がり、リフレッシュされるメモリセルＭＣのゲートにゲート電圧（Ｖｇ＝２．５Ｖ）を印加する（Ｂ）。続いて、制御部３０から供給されるタイミング信号Ｔｉｍｙｐｚが立ち上がる（Ｃ）。それに伴い、データラインＤＬも立ち上がり、リフレッシュされるメモリセルＭＣのドレインにドレイン電圧（Ｖｄ＝１．２Ｖ）を時間（ｔ＝５０ｎｓ）だけ印加する（Ｄ）。以上のプロセスにより、メモリセルＭＣ内のデータ記憶素子４０に対してリフレッシュを実行することができる。

【０１１１】

次に、図２１に、１Ｄ１Ｒ型メモリセルＭＣの場合において、ＭＩＤモードでデータを記憶するデータ記憶素子４０に対する再書き込み（リフレッシュ）を表したタイミングチャートを示す。図２１（ａ）は、論理“１”の状態にあるメモリセルＭＣ内のデータ記憶素子４０に対して行うリフレッシュ動作のタイミングチャートを示しており、図２１（ｂ）は、論理“０”の状態にあるメモリセルＭＣ内のデータ記憶素子４０に対して行うリフレッシュ動作のタイミングチャートを示している。

【０１１２】

図２１（ａ）において、リフレッシュ制御回路３２が、メモリセルＭＣは論理“１”であると判定し、判定結果を制御部３０に出力した後、制御部３０から供給されるタイミング信号Ｔｉｍｙｐｚが立ち上がる（Ａ）。続いて、書き込み信号ＷＲＨｚが立ち上がり（Ｂ）、リフレッシュ制御回路３２は、書き込み信号ＷＲＨｚに応じた、時間（ｔ＝５０ｎｓ）と書き込み電圧（Ｖ＝４．０Ｖ）とに対応した第１パルスを生成し、この第１パルスをグローバルデータラインＧＤＬに供給する。第１パルスは、グローバルデータラインＧＤＬに接続するデータラインＤＬにも供給され（Ｃ）、所望のメモリセルＭＣに第１パルスが印加される。以上のプロセスにより、メモリセルＭＣ内のデータ記憶素子に対してリフレッシュを実行することができる。ここで、第１パルスは、データ記憶素子の可変抵抗４３を低抵抗状態にさせるパルスであり、高電圧で短時間のパルスを用いることできる。

【０１１３】

図２１（ｂ）においても同様に、リフレッシュ制御回路３２が、メモリセルＭＣは論理“０”であると判定し、判定結果を制御部３０に出力した後、制御部３０から供給されるタイミング信号Ｔｉｍｙｐｚが立ち上がる（Ａ）。続いて、書き込み信号ＷＲＬｚが立ち上がり（Ｂ）、リフレッシュ制御回路３２は、書き込み信号ＷＲＬｚに応じた、時間（ｔ＝１２５ｎｓ）と書き込み電圧（Ｖ＝１．２Ｖ）に対応した第２パルスを生成し、この第２パルスをグローバルデータラインＧＤＬに供給する。第２パルスは、グローバルデータラインＧＤＬに接続するデータラインＤＬにも供給され（Ｃ）、所望のメモリセルに第２パルスが印加される。以上のプロセスにより、メモリセルＭＣ内のデータ記憶素子に対してリフレッシュを実行することができる。ここで、第２パルスは、データ記憶素子の可変抵抗４３を高抵抗状態にさせるパルスであり、低電圧で長時間のパルスを用いることができる。

【０１１４】

実施例１の半導体装置１００は、可変抵抗４３と電極４４とを備えたデータ記憶素子４０を有する。データ記憶素子４０は、可変抵抗４３を低抵抗状態及び高抵抗状態のいずれかに変化させてデータを記憶するＭＩＤモード（第１モード）とＮＶＭモード（第２モード）とを有する。また、電極４４の電荷量によりデータを記憶するＲＡＭモード（第３モード）を有する。さらに、半導体装置１００は、リフレッシュ制御回路３２を有する。リ

フレッシュ制御回路３２は、ＭＩＤモードでデータを記憶するデータ記憶素子４０の可変抵抗４３が低抵抗状態及び高抵抗状態のいずれの状態にあるか判定する。そして、リフレッシュ制御回路３２は、ＭＩＤモードでデータを記憶するデータ記憶素子４０の可変抵抗４３を低抵抗状態にさせるための第１電圧条件及び高抵抗状態にさせるための第２電圧条件のいずれかを用いて、ＭＩＤモードでデータを記憶するデータ記憶素子４０にリフレッシュを行う。このような、リフレッシュ制御回路３２を備えていることで、ＭＩＤモードでデータを記憶するデータ記憶素子に対して、リフレッシュを実行することが可能となる。このため、ＭＩＤモードでデータを記憶するメモリセルＭＣのデータの保持時間を長くすることが可能となり、例えば実質的に不揮発性の記憶素子として使用することも可能となる。

【０１１５】

また、データ記憶素子４０が有するＮＶＭモードの高抵抗状態は、ＭＩＤモードの高抵抗状態における可変抵抗４３の抵抗値より大きい抵抗値からなり、ＮＶＭモードの低抵抗状態は、ＭＩＤモードの低抵抗状態における可変抵抗４３の抵抗値より小さい抵抗値からなる。このように、ＮＶＭモードでは、高抵抗状態における可変抵抗４３の抵抗値をより大きくし、低抵抗状態における可変抵抗４３の抵抗値をより小さくすることで、ＮＶＭモードでデータを記憶するメモリセルＭＣを、不揮発性の記憶素子として使用することができる。このため、表２のように、ＮＶＭモードでデータを記憶するメモリセルＭＣのデータの保持時間は長くなる。よって、リフレッシュ制御回路３２は、ＮＶＭモードでデータを記憶するデータ記憶素子に対しては、リフレッシュを実行しない。

【０１１６】

さらに、データ記憶素子４０が有するＲＡＭモードは、電極４４に蓄えられた電荷量により、データの記憶を行う。これにより、ＲＡＭモードでデータを記憶するメモリセルＭＣは、揮発性の記憶素子として働き、表２のように、データの保持時間が短くなる。このため、データの保持時間を延ばすには、リフレッシュが必要となる。したがって、リフレッシュ制御回路３２は、ＲＡＭモードでデータを記憶するデータ記憶素子４０に対して、電極４４に電荷を充電させるための第３電圧条件によりリフレッシュを実行する。

【０１１７】

このように、リフレッシュ制御回路３２は、データ記憶素子４０の記憶モードに応じて、データ記憶素子４０に行うリフレッシュを制御することができる。換言すれば、リフレッシュ制御回路３２は、データ記憶素子４０の記憶モードに応じて、データ再書き込みの電圧条件を変更して、データ記憶素子４０に対してリフレッシュを実行することが可能となる。

【０１１８】

また、図２１で説明したように、１Ｄ１Ｒ型メモリセルＭＣにおいて、リフレッシュ制御回路３２は、グローバルデータラインＧＤＬを介して、データラインＤＬに第１パルス及び第２パルスのいずれかを供給することにより、データラインＤＬに接続されたメモリセルＭＣ内のデータ記憶素子４０にリフレッシュを実行している。グローバルデータラインＧＤＬには複数のデータラインＤＬが接続しているため、１つのリフレッシュ制御回路３２を設けることで、複数のデータ記憶素子４０に対して、リフレッシュを実行することが可能となる。

【０１１９】

また、ＭＩＤモードでデータを記憶するデータ記憶素子４０に対して行うリフレッシュにおいて、リフレッシュを行う前のデータ記憶素子４０の可変抵抗４３が、既にある程度、低抵抗状態及び高抵抗状態のいずれかになっていることを考慮すると、表３及び表４で示した、書き込み時の電圧及び電圧印加時間より、低い電圧及び短い電圧印加時間を用いて、リフレッシュを行うことができる。これにより、消費電力の低減を図ることができる。さらに、より低い電圧、より短い電圧印加時間を用いて、複数回繰り返して再書き込みを行うことで、リフレッシュを実行してもよい。これにより、データ記憶素子４０の可変抵抗４３に与えるストレスを低減することができる。

【０１２０】
また、図１８に示すように、リフレッシュ制御回路３２は、タイマー３６を備えている。タイマー３６には、予め、ＭＩＤモードで記憶するデータ記憶素子４０に行うリフレッシュ間隔に対応した時間が設定されている。設定する時間は任意に変更することが可能であり、ＭＩＤモードで記憶するデータ記憶素子４０のデータの保持時間より短い時間を設定する場合が好ましい。そして、リフレッシュ制御回路３２は、設定した時間に応じて、リフレッシュの対象であるデータ記憶素子４０の可変抵抗４３が低抵抗状態及び高抵抗状態のいずれの状態にあるか判定し、可変抵抗４３を低抵抗状態にさせるための第１電圧条件及び高抵抗状態にさせるための第２電圧条件のいずれかにより、データ記憶素子４０にリフレッシュを実行する。これにより、例えば、データ記憶素子４０のデータ保持時間が１日である場合や１年である場合でも、データ記憶素子４０に行うリフレッシュに、柔軟に対応することができる。
【０１２１】
実施例１において、データ記憶素子４０は、ＮＶＭモード、ＭＩＤモード、及びＲＡＭモードの３つの記憶モードを有する場合を例に示したが、この場合に限られない。少なくともＭＩＤモードのような、可変抵抗を低抵抗状態及び高抵抗状態のいずれかに変化させ、揮発性の性質の記憶モードを有していれば良い。
【０１２２】
また、実施例１において、図１８に示すように、リフレッシュ制御回路３２は、リフレッシュ回路３４とタイマー３６とを備えている場合を例に示したが、更に、カウンタ３８を備えている場合でも良い。図２２に、カウンタ３８を更に備えたリフレッシュ制御回路３２のブロック図を示す。図２２において、カウンタ３８が、タイマー３６とリフレッシュ回路３４との間に設けられている。カウンタ３８は、タイマー３６からリフレッシュ回路３４に出力される信号ｔｉｍｅｒに応じて、リフレッシュを実行するメモリセルＭＣのアドレス等をカウントする。つまり、例えば、ＭＩＤモードでデータを記憶するメモリセルＭＣのデータ記憶素子に対して、３回目のリフレッシュを実行する場合は、カウンタ３８は、メモリセルＭＣについてリフレッシュ回数を３としてカウントする。
【０１２３】
ＭＩＤモードでデータを記憶するデータ記憶素子４０に対して、リフレッシュを繰り返し行っていくと、データ記憶素子４０は、不揮発性の性質に近づいていく。図２３（ａ）から図２３（ｄ）に、ＭＩＤモードとＲＡＭモードとにおいて、リフレッシュを実行した回数とリフレッシュのための再書き込みに必要な電圧の大きさ、電圧印加時間との関係を示している。図２３（ａ）は１Ｔ１Ｒ型メモリセルのゲート電圧、図２３（ｂ）は１Ｔ１Ｒ型メモリセルに与える電圧印加時間、図２３（ｃ）はメモリセルのドレイン（カソード）電圧、図２３（ｄ）は１Ｄ１Ｒ型メモリセルに与える電圧印加時間をそれぞれ示す。
【０１２４】
図２３（ａ）及び図２３（ｃ）において、横軸はリフレッシュを実行した回数、縦軸はリフレッシュのための再書き込みに必要な電圧の大きさを示している。グラフ中の実線は、ＭＩＤモードにおけるリフレッシュで、データ記憶素子４０の可変抵抗４３を高抵抗状態（論理“０”）にさせるために必要な電圧の大きさを示し、一点鎖線は、可変抵抗４３を低抵抗状態（論理“１”）にさせるために必要な電圧の大きさを示す。また、二点鎖線は、ＲＡＭモードにおけるリフレッシュで、データ記憶素子４０の電極４４に電荷を蓄積させるために必要な電圧の大きさを示す。図２３（ｂ）及び図２３（ｄ）において、横軸はリフレッシュを実行した回数、縦軸はリフレッシュのための再書き込みに必要な電圧印加時間を示している。グラフ中の実線は、ＭＩＤモードにおけるリフレッシュについて示しており、二点鎖線は、ＲＡＭモードにおけるリフレッシュについて示している。
【０１２５】
図２３（ａ）及び図２３（ｃ）によれば、ＭＩＤモードにおけるリフレッシュの場合、リフレッシュの回数が増えるに従い、リフレッシュのための再書き込みに必要な電圧が低くなっていくことが分かる。一方、ＲＡＭモードにおけるリフレッシュ場合、リフレッシ

ュの回数に関わらず、リフレッシュのための再書き込みに必要な電圧は一定であることが分かる。図２３（ｂ）及び図２３（ｄ）によれば、ＭＩＤモードにおけるリフレッシュ場合、リフレッシュの回数が増えるに従い、リフレッシュのための再書き込みに必要な電圧印加時間が短くなっていくことが分かる。一方、ＲＡＭモードにおけるリフレッシュの場合、リフレッシュの回数に関わらず、リフレッシュのための再書き込みに必要な電圧印加時間は一定であることが分かる。

【０１２６】

このことから、ＭＩＤモードでデータを記憶するデータ記憶素子４０に対して行うリフレッシュの際、データ記憶素子４０に対して実行したＭＩＤモードでのリフレッシュ回数を計測し、このリフレッシュ回数に応じて、第１電圧条件及び第２電圧条件を変化させて、リフレッシュを実行することが好ましい。このように、データ記憶素子４０の状態に対応した最適な再書き込み電圧条件によりリフレッシュを行うことで、データ記憶素子４０の不揮発性化を防止し、書き換え回数を増加させることが可能になる。また、ＲＡＭモードでデータを記憶するデータ記憶素子４０に対して行うリフレッシュは、データ記憶素子４０に対して実行したＲＡＭモードでのリフレッシュ回数に関わらず、第３電圧条件を変化させずに、リフレッシュを実行することが好ましい。

【実施例２】

【０１２７】

図２４は、実施例２に係る半導体装置１００の一部分に関してのブロック図である。なお、その他の部分については実施例１と同じ構成をしている。図２４において、リフレッシュ制御回路３２は、センスアンプ２２とグローバルデータラインＧＤＬとの間に設けられている。センスアンプ２２には、データラインＤＬが接続されている。また、リフレッシュ制御回路３２に対応してリフレッシュ選択回路３５が設けられている。リフレッシュ制御回路３２は、実施例１と同じように、メモリセルＭＣ内のデータ記憶素子４０の記憶モードの判定を行う。そして、リフレッシュ制御回路３２は、データ記憶素子４０の記憶モードがＭＩＤモードであると判定した場合は、メモリセルＭＣから読み出されたデータが論理“１”であるか論理“０”であるか判定する。そして、その判定結果により、Ｔｉｍｙｈｐｚ、Ｔｉｍｙｌｐｚを選択するための切り替え信号ＳＷｚをリフレッシュ選択回路３５に出力する。

【０１２８】

リフレッシュ選択回路３５は、リフレッシュ制御回路３２から入力された切り替え信号ＳＷｚに基づき、制御部３０から出力されているタイミング信号Ｔｉｍｙｐｈｚ、Ｔｉｍｙｐｌｚのいずれかを選択し、リフレッシュ制御回路３２に入力する。この場合のタイミング信号Ｔｉｍｙｐｈｚ、Ｔｉｍｙｐｌｚは書き込み信号として作用する。

【０１２９】

リフレッシュ制御回路３２は、リフレッシュ選択回路３５から入力されたタイミング（書き込み）信号ＴｉｍｙｐｈｚまたはＴｉｍｙｐｌｚに応じて、リフレッシュのための再書き込みパルスを生成する。リフレッシュ制御回路３２は、生成された再書き込みパルスをデータラインＤＬに供給することで、メモリセルＭＣ内のデータ記憶素子４０に対してリフレッシュを実行する。

【０１３０】

ここで、図２５に、１Ｄ１Ｒ型メモリセルＭＣの場合において、ＭＩＤモードでデータを記憶するデータ記憶素子４０に対する再書き込み（リフレッシュ）を表したタイミングチャートを示す。図２５（ａ）は、論理“１”の状態にあるメモリセルＭＣ内のデータ記憶素子に対して行うリフレッシュ動作のタイミングチャートを示しており、図２５（ｂ）は、論理“０”の状態にあるメモリセルＭＣ内のデータ記憶素子に対して行うリフレッシュ動作のタイミングチャートを示している。

【０１３１】

図２５（ａ）において、リフレッシュ制御回路３２が、メモリセルＭＣは論理“１”であると判定し、判定結果に応じた切り替え信号ＳＷｚがＨレベルになる（Ａ）。リフレッ

シュ選択回路３５は、切り替え信号ＳＷｚに基づき、制御部３０から出力されているタイミング信号Ｔｉｍｙｐｚのうち、データ記憶素子の可変抵抗４３を低抵抗状態にさせる、タイミング信号Ｔｉｍｙｐｈｚを選択する。

【０１３２】

リフレッシュ選択回路３５から供給されるタイミング信号Ｔｉｍｙｐｈｚが立ち上がり（Ｂ）、リフレッシュ制御回路３２は、タイミング（書き込み）信号Ｔｉｍｙｐｈｚに応じた、時間（ｔ＝５０ｎｓ）と書き込み電圧（Ｖ＝４．０Ｖ）とに対応した第１パルスを生成し、この第１パルスを、データラインＤＬを介して（Ｃ）、所望のメモリセルＭＣに印加する。以上のプロセスにより、メモリセルＭＣ内のデータ記憶素子を低抵抗状態にリフレッシュさせることができる。

【０１３３】

図２５（ｂ）においても同様に、リフレッシュ制御回路３２が、メモリセルＭＣは論理“０”であると判定し、判定結果に応じて切り替え信号ＳＷｚがＬレベルになる（Ａ）。リフレッシュ選択回路３５は、切り替え信号ＳＷｚに基づき、制御部３０から出力されているタイミング信号Ｔｉｍｙｐｚのうち、データ記憶素子の可変抵抗４３を高抵抗状態にさせる、タイミング信号Ｔｉｍｙｐｌｚを選択する。

【０１３４】

リフレッシュ選択回路３５から供給されるタイミング信号Ｔｉｍｙｐｌｚが立ち上がり（Ｂ）、リフレッシュ制御回路３２は、タイミング（書き込み）信号Ｔｉｍｙｐｌｚに応じた、時間（ｔ＝１２５ｎｓ）と書き込み電圧（Ｖ＝１．２Ｖ）とに対応した第２パルスを生成し、この第２パルスを、データラインＤＬを介して（Ｃ）、所望のメモリセルＭＣに印加する。以上のプロセスにより、メモリセルＭＣ内のデータ記憶素子の抵抗素子４３を高抵抗状態にリフレッシュさせることができる。

【０１３５】

実施例２の半導体装置１００は、図２４のように、リフレッシュ制御回路３２が、センスアンプ２２とグローバルデータラインＧＤＬとの間に設けられている。リフレッシュ制御回路３２に対応してリフレッシュ選択回路３５が設けられている。また、センスアンプ２２には、データラインＤＬが接続されている。これにより、データ記憶素子４０に行うリフレッシュをデータラインＤＬ単位で制御することができる。つまり、複数のデータラインＤＬごとに、データ記憶素子４０の論理状態の判定とリフレッシュとを実行することができる。このため、複数のデータラインＤＬにそれぞれ接続するデータ記憶素子４０に対して、リフレッシュを同時に並行して行うことが可能となる。また、実施例１のように、メモリセルＭＣのデータをグローバルデータラインＧＤＬまで出力する必要がない。このため、実施例１に比べて、リフレッシュ動作の高速化を図ることができる。

【０１３６】

実施例２において、ＭＩＤモードでデータを記憶するデータ記憶素子４０に対して行うリフレッシュの間隔が、全てのデータ記憶素子４０で同じである場合は、図２６のように、リフレッシュ制御回路３２それぞれにタイマー３６を設けず、全てのリフレッシュ制御回路３２に対して、タイマー３６を１つ設ける場合でもよい。

【０１３７】

以上、本発明の好ましい実施例について詳述したが、本発明は係る特定の実施例に限定されるものではなく、特許請求の範囲に記載された本発明の要旨の範囲内において、種々の変形・変更が可能である。

【図面の簡単な説明】

【０１３８】

【図１】図１は実施例１に係る半導体装置の構成を示すブロック図である。

【図２】図２はメモリセルの構成を示す図である。

【図３】図３はデータ記憶素子の構成を示す図である。

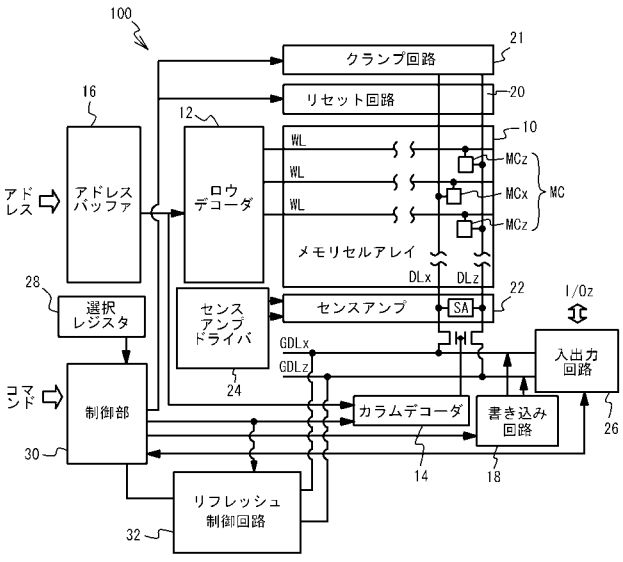
【図４】図４はデータ記憶素子の電圧－電流特性を示す図である。

【図５】図５はロウデコーダの構成を示す図である。

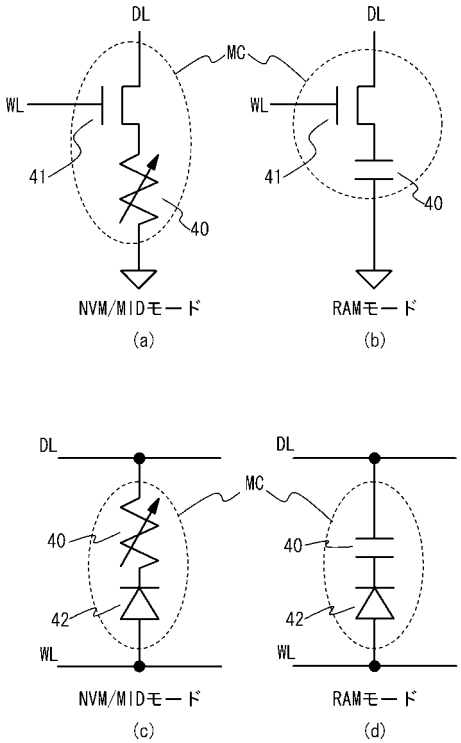
【図６】図６はカラムデコーダの構成を示す図である。
【図７】図７は書き込み回路の構成を示す図である。
【図８】図８はデータライン選択部及びメモリセルアレイの一部の構成を示す図である。
【図９】図９は、１Ｔ１Ｒ型メモリセルＭＣにおける、データ書き込み時の動作を示すフローチャートである。
【図１０】図１０は図１における周辺回路の構成を示す図である。
【図１１】図１１は、１Ｄ１Ｒ型メモリセルＭＣにおける、データ書き込み時の動作を示すフローチャートである。
【図１２】図１２はリセット回路及びセンスアンプの構成を示す図である。
【図１３】図１３はクランプ回路の構成を示す図である。
【図１４】図１４はセンスアンプドライバの構成を示す図である。
【図１５】図１５は、データ読み出し時の動作を示すフローチャートである。
【図１６】図１６は、ＮＶＭモード及びＭＩＤモードにおけるデータ読み出し時のタイミングチャートである。
【図１７】図１７は、ＲＡＭモードにおけるデータ読み出し時のタイミングチャートである。
【図１８】図１８はリフレッシュ制御回路の構成を示すブロック図である。
【図１９】図１９はリフレッシュ時の動作を示すフローチャートである。
【図２０】図２０は、１Ｔ１Ｒ型メモリセルＭＣの場合の、ＭＩＤモードにおけるリフレッシュ動作のタイミングチャートである。
【図２１】図２１は、１Ｄ１Ｒ型メモリセルＭＣの場合の、ＭＩＤモードにおけるリフレッシュ動作のタイミングチャートである。
【図２２】図２２はカウンタを備えたリフレッシュ制御回路の構成を示すブロック図である。
【図２３】図２３はリフレッシュ回数と印加電圧及び電圧印加時間との関係を示す図である。
【図２４】図２４は実施例２に係る半導体装置の構成の一部を示すブロック図である。
【図２５】図２５は、１Ｄ１Ｒ型メモリセルＭＣの場合の、ＭＩＤモードにおけるリフレッシュ動作のタイミングチャートである。
【図２６】図２６は複数のリフレッシュ制御回路に対して、タイマーを１つ備えた場合の構成を示すブロック図である。
【符号の説明】
【０１３９】
１０　メモリセルアレイ
１２　ロウデコーダ
１４　カラムデコーダ
１６　アドレスバッファ
１８　書き込み回路
２０　リセット回路
２１　クランプ回路
２２　センスアンプ
２４　センスアンプドライバ
２６　入出力回路
２８　選択レジスタ
３０　制御部
３２　リフレッシュ制御回路
３４　リフレッシュ回路
３５　リフレッシュ選択回路
３６　タイマー
３８　カウンタ

４０　データ記憶素子
４１　選択トランジスタ
４２　選択ダイオード
４３　可変抵抗
４４　電極
４６　絶縁部
６０　電圧選択部
６２　データライン選択部
１００　半導体装置

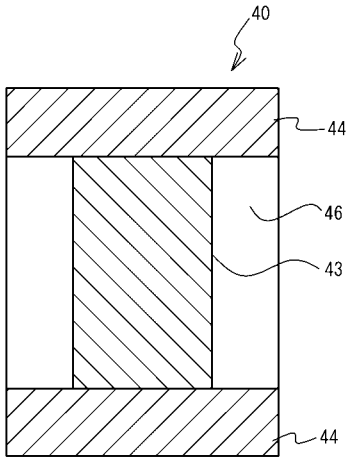
【図１】



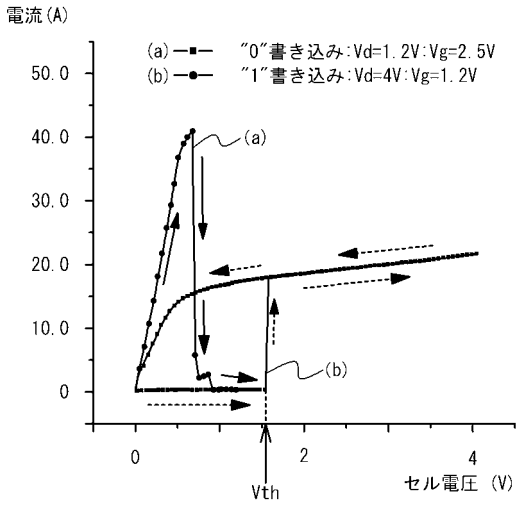
【図２】



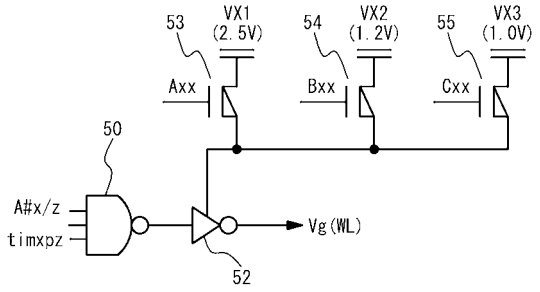
【図３】



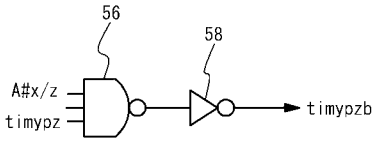
【図４】



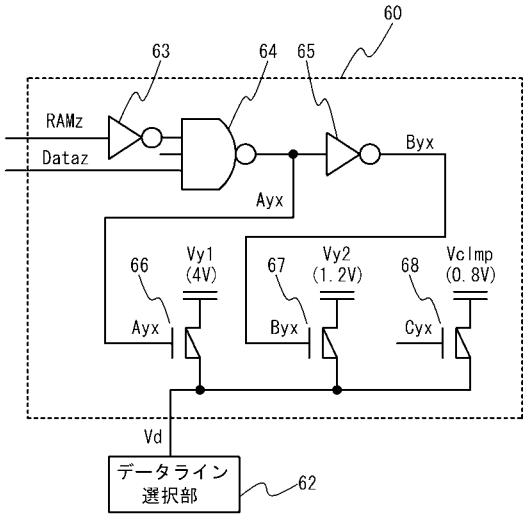
【図５】



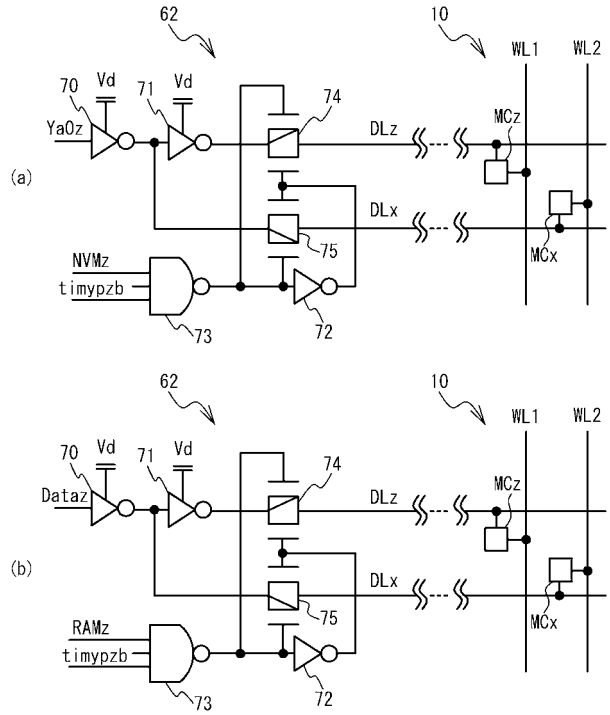
【図６】



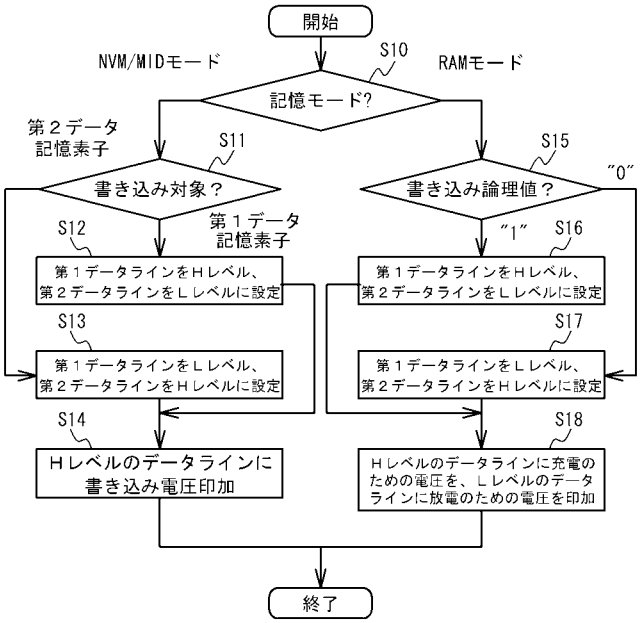
【図７】



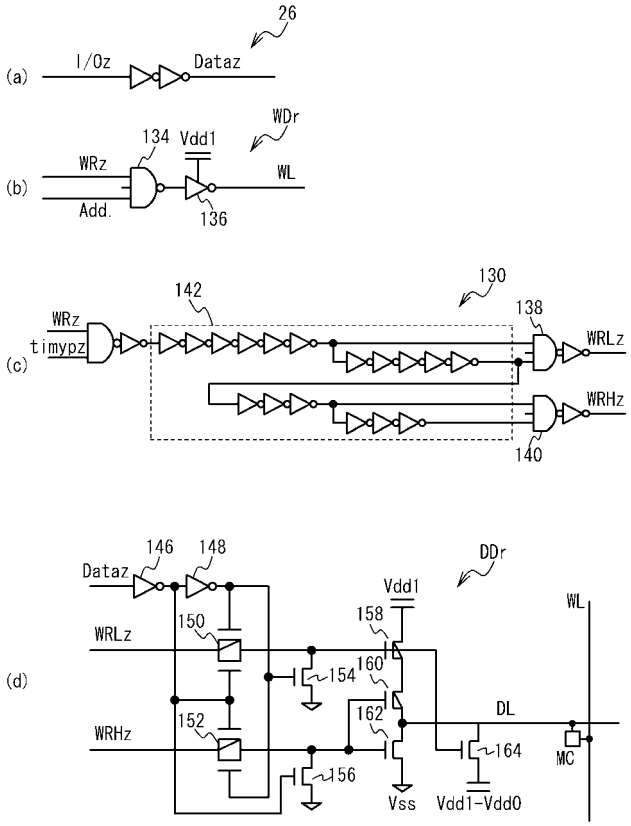
【図８】



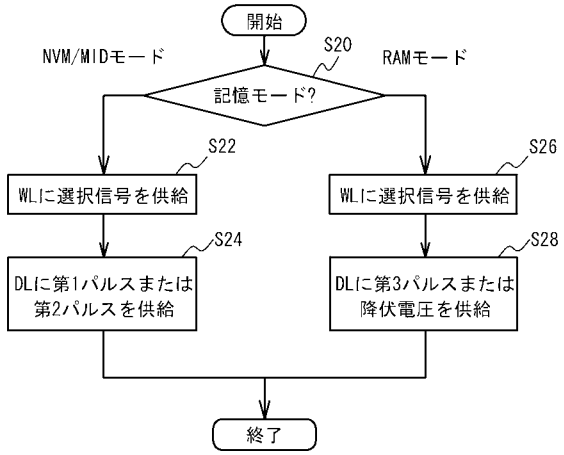
【図９】



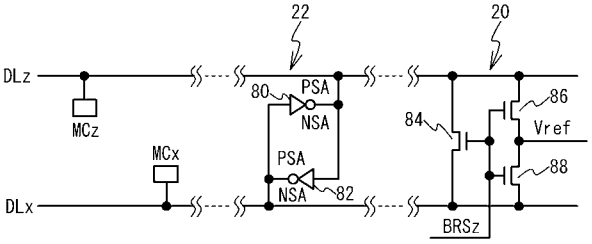
【図１０】



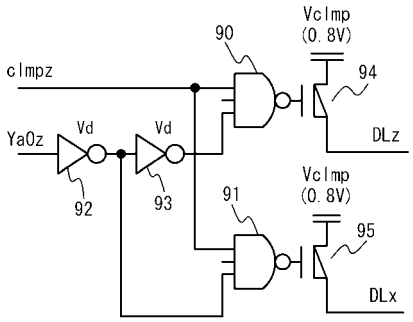
【図１１】



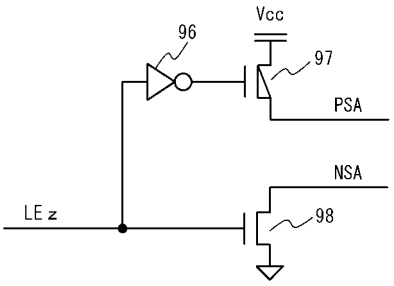
【図１２】



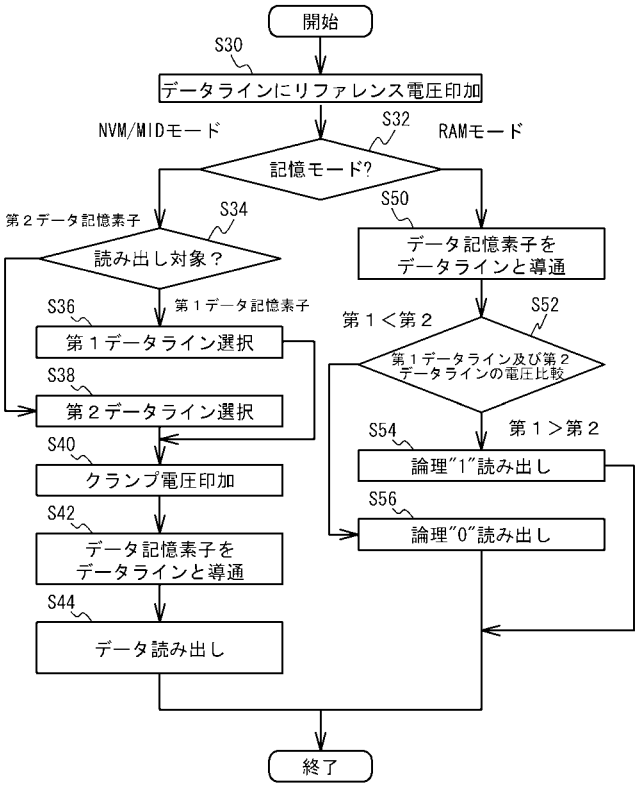
【図１３】



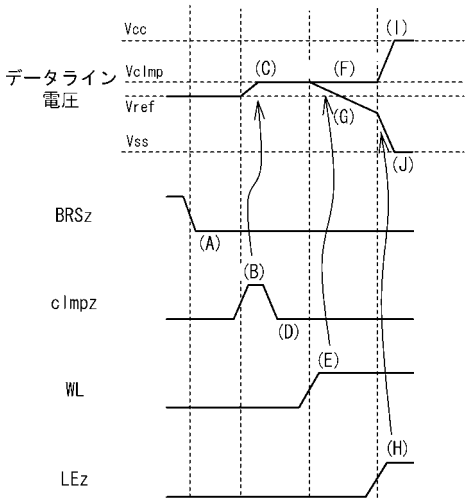
【図１４】



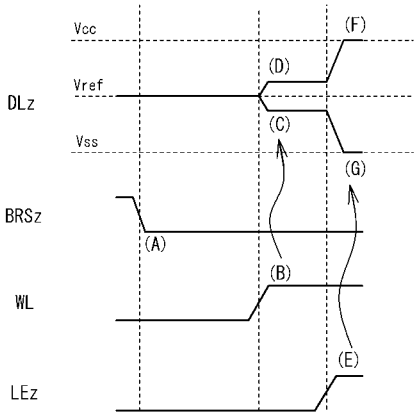
【図１５】



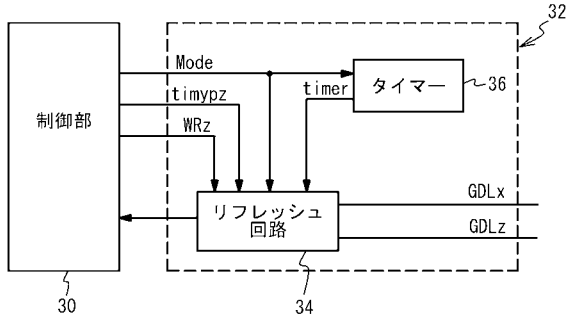
【図１６】



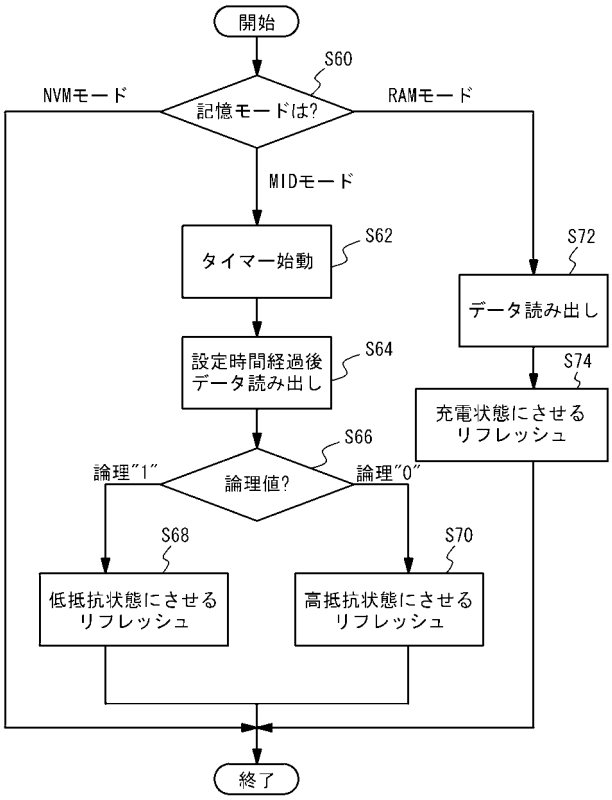
【図１７】



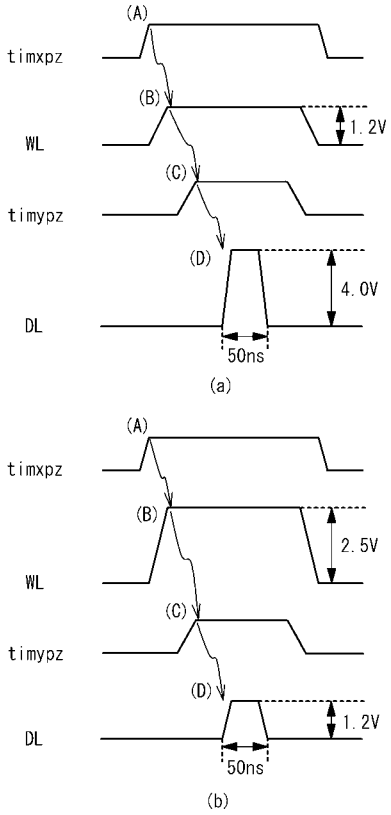
【図１８】



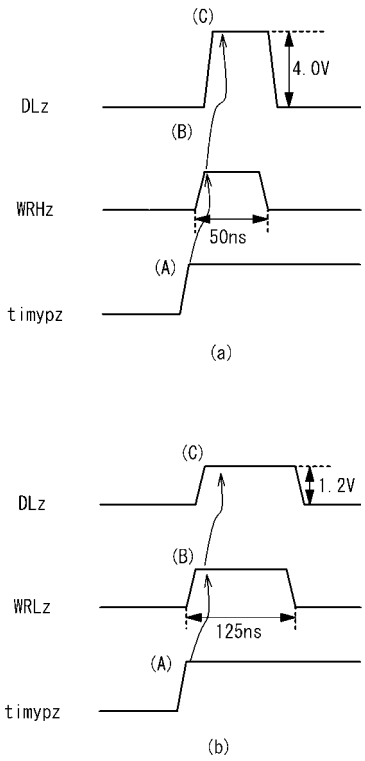
【図１９】



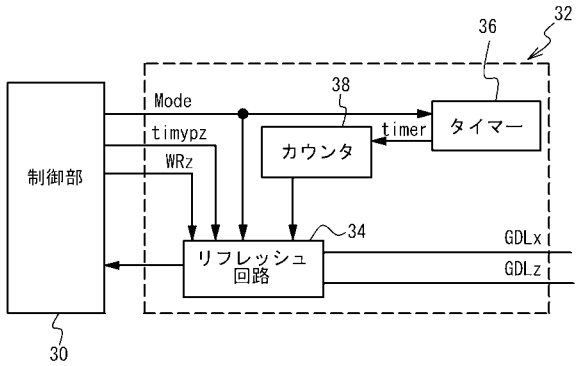
【図２０】



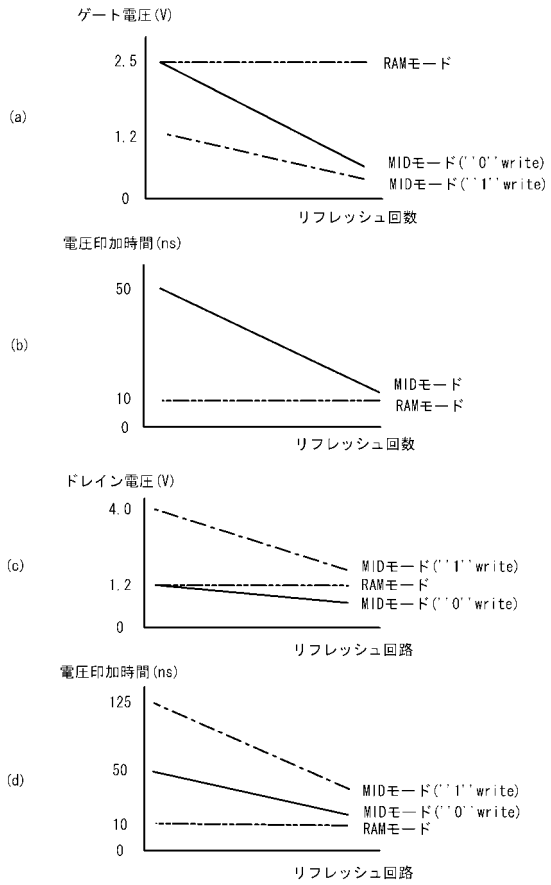
【図２１】



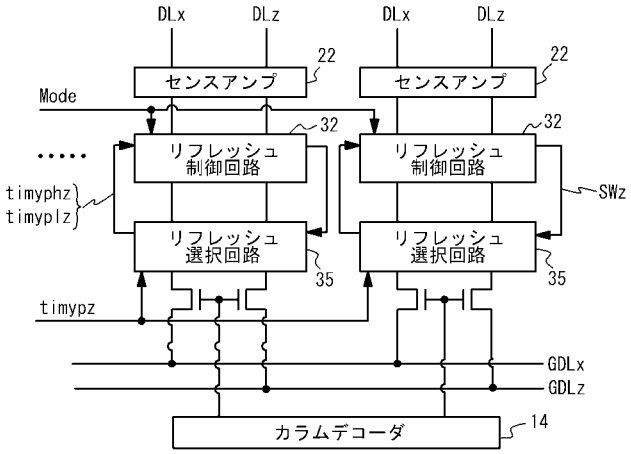
【図２２】



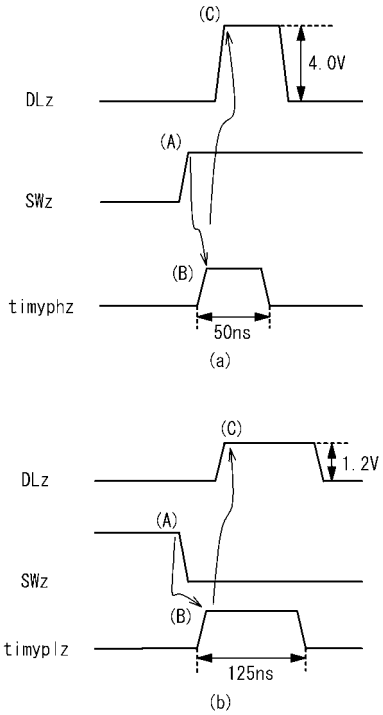
【図２３】



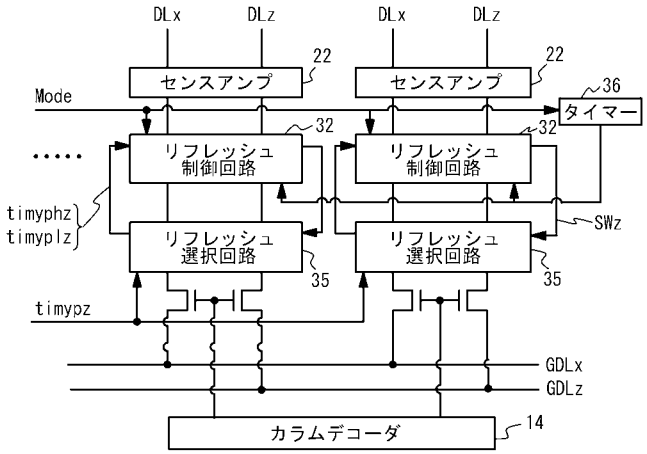
【図２４】


DLx
DLz
DLx
DLz
22
センスアンプ
22
センスアンプ
Mode
32
リフレッシュ
制御回路
32
リフレッシュ
制御回路
timyphz
timyplz
SWz
リフレッシュ
選択回路
35
リフレッシュ
選択回路
35
timypz
GDLx
GDLz
カラムデコーダ
14

【図２５】


(C)
4.0V
DLz
(A)
SWz
(B)
timyphz
50ns
(a)
(C)
1.2V
DLz
(A)
SWz
(B)
timyplz
125ns
(b)

【図２６】


DLx
DLz
DLx
DLz
22
センスアンプ
22
センスアンプ
36
タイマー
Mode
32
リフレッシュ
制御回路
32
リフレッシュ
制御回路
timyphz
timyplz
SWz
リフレッシュ
選択回路
35
リフレッシュ
選択回路
35
timypz
GDLx
GDLz
カラムデコーダ
14