



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2015년06월25일

(11) 등록번호 10-1531790

(24) 등록일자 2015년06월19일

(51) 국제특허분류(Int. Cl.)

G06F 1/00 (2006.01) G06F 1/26 (2006.01)
G06F 3/14 (2006.01)

(21) 출원번호 10-2014-0026185

(22) 출원일자 2014년03월05일

심사청구일자 2014년03월05일

(65) 공개번호 10-2014-0110762

(43) 공개일자 2014년09월17일

(30) 우선권주장 13/791,218 2013년03월08일 미국(US)

(56) 선행기술조사문헌

JP07200110 A

JP2005184619 A

JP2007219688 A

KR1020040050580 A

(73) 특허권자

인텔 코포레이션

미합중국 캘리포니아 95054 산타클라라 미션 칼리지 블러바드 2200

(72) 발명자

해레라 메지아, 이반

미국 95630 캘리포니아주 폴솜 루이스 웨이 1492

슈마커, 케네스 디.

미국 94024 캘리포니아주 로스 알토스 힐즈 스톤브룩 드라이브 10925

웰스, 라이언 디.

미국 95630 캘리포니아주 폴솜 케이블 스트리트 107

(74) 대리인

양영준, 백만기

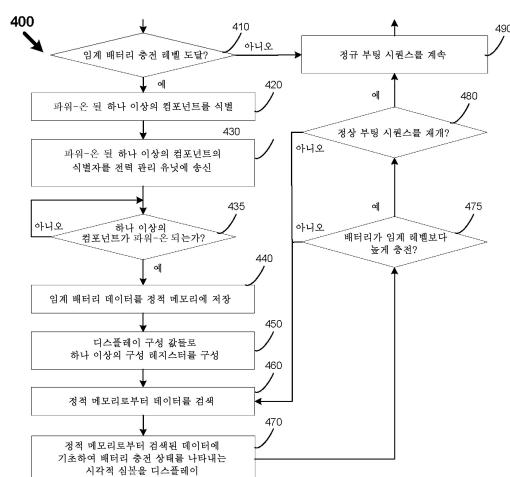
전체 청구항 수 : 총 20 항

심사관 : 김곤희

(54) 발명의 명칭 모바일 디바이스에서의 임계 배터리 상태의 표시

(57) 요약

SoC와 같은 집적 회로는 호스트 프로세싱 코어들을 포함하는 상당 부분을 파워-온 하지 않고서도 임계 배터리 상태를 나타낼 수 있다. SoC는 임계 배터리 상태 데이터가 정적 메모리 내에 저장되게 할 수 있는 마이크로컨트롤러를 포함할 수 있고, 디스플레이 유닛은 스크린 상에 시각적 심볼을 디스플레이하기 위해 그러한 데이터를 정적 메모리로부터 검색할 수 있다. 임계 배터리 상태가 스크린 상에 시각적 형태로 디스플레이되는 동안, 동적 메모리, 시스템 에이전트, 미디어 프로세서 및 메모리 제어기 허브와 같은 SoC의 다른 부분들이 파워-다운 될 수 있다.

대 표 도 - 도4

명세서

청구범위

청구항 1

집적 회로로서,

배터리 상태 전하(charge)가 임계 배터리 충전 레벨(critical battery charge level)로 감소하는 경우에 상태 표시자를 생성하기 위한 전력 제어 유닛;

상기 상태 표시자를 검출한 것에 응답하여 상기 집적 회로의 제1 부분을 파워-온(power-on) 하기 위한 요청을 송신하고 - 상기 제1 부분은 정적 메모리 및 디스플레이 제어기를 포함함 -;

구성 값들로 하나 이상의 구성 레지스터를 구성하고,

임계 배터리 상태 데이터를 상기 정적 메모리 내에 저장하기 위한

제어기; 및

상기 구성 값들에 기초하여 상기 임계 배터리 상태 데이터가 상기 정적 메모리로부터 검색되어야 함을 결정하고,

상기 임계 배터리 상태 데이터를 상기 정적 메모리로부터 검색하고,

상기 임계 배터리 상태 데이터를 디스플레이 상에 시각적 형태로 렌더링하기 위한

디스플레이 제어기

를 포함하는 집적 회로.

청구항 2

제1항에 있어서, 상기 제어기는, 상기 상태 표시자의 발생을 검출하고 상기 제1 부분을 파워-온 하기 위한 요청을 생성하기 위한 전력 표시 로직을 더 포함하고, 상기 요청은 상기 제1 부분 내의 블록들의 식별자를 포함하는 집적 회로.

청구항 3

제2항에 있어서, 메모리를 더 포함하고, 상기 전력 표시 로직은 상기 메모리 내에 저장된 상기 임계 배터리 상태 데이터가 상기 정적 메모리로 전송되게 하는 집적 회로.

청구항 4

제2항에 있어서, 상기 제어기는 디스플레이 드라이버를 더 포함하고, 상기 디스플레이 드라이버는 상기 전력 표시자 로직으로부터 신호를 수신한 것에 응답하여, 상기 구성 값들을 상기 하나 이상의 구성 레지스터에 기입하는 집적 회로.

청구항 5

제3항에 있어서, 상기 정적 메모리는 제어 유닛 및 하나 이상의 메모리 블록을 더 포함하고, 상기 임계 배터리 상태 데이터는 상기 하나 이상의 메모리 블록 내에 저장되는 집적 회로.

청구항 6

제4항에 있어서, 상기 하나 이상의 구성 레지스터는 제1 레지스터를 포함하고, 상기 제1 레지스터는 전력 표시 비트(PIB: power indication bit), 정적 랜덤 액세스 메모리 식별자(SRAM ID: static random access memory identifier) 필드, 시작 어드레스(STRT ADDR) 필드 및 종료 어드레스(END ADDR) 필드를 포함하고, 상기 PIB는 제1 값으로 구성되고, SRAM ID 필드는 상기 정적 메모리의 식별자로 구성되고, STRT ADDR은 상기 임계 배터리 상태 데이터가 검색될 메모리 블록들의 시작하는 어드레스로 구성되고, 상기 END ADDR 필드는 상기 임계 배터리

상태 데이터를 저장하는 메모리 블록들의 최종 어드레스로 구성되는 집적 회로.

청구항 7

제6항에 있어서, 상기 PIB 내에 상기 제1 값을 저장하는 것은 상기 SRAM ID 필드, 상기 STRT ADDR 필드 및 상기 END ADDR 필드 내에 저장된 구성 값들이 유효임을 나타내는 집적 회로.

청구항 8

제6항에 있어서, 상기 PIB 내에 제2 값을 저장하는 것은 상기 SRAM ID 필드, 상기 STRT ADDR 필드 및 상기 END ADDR 필드 내에 저장된 하나 이상의 값이 무효임을 나타내는 집적 회로.

청구항 9

제8항에 있어서, 상기 디스플레이 제어기는, 상기 정적 메모리의 상기 메모리 블록들로부터 상기 임계 배터리 상태 데이터를 검색한 후에 상기 디스플레이 스크린 상에 상기 시작적 형태를 디스플레이하기 전에 상기 임계 배터리 상태 데이터를 프레임 버퍼 내에 저장하는 집적 회로.

청구항 10

제9항에 있어서, 상기 디스플레이 제어기는 제어 유닛을 더 포함하고, 상기 제어 유닛은 상기 임계 배터리 상태 데이터를 디스플레이 상에 시작적 형태로 렌더링하는 것인 집적 회로.

청구항 11

집적 회로에서의 방법으로서,

임계 배터리 충전 레벨에 도달한 것을 검출한 것에 응답하여 상태 표시자를 생성하는 단계;

상기 상태 표시자의 발생에 응답하여 파워-온 될 하나 이상의 블록의 식별자들을 송신하는 단계;

상기 하나 이상의 블록의 식별자들에 기초하여 상기 하나 이상의 블록을 파워-온 하는 단계 - 상기 하나 이상의 블록은 정적 메모리 블록 및 디스플레이 유닛을 포함함 -;

상기 정적 메모리 블록 내에 임계 배터리 상태 데이터를 저장하는 단계 - 상기 정적 메모리 블록은 파워-온 되는 상기 하나 이상의 블록 중 하나임 -; 및

호스트 프로세서를 포함하는 상당 부분이 파워-다운(power-down) 되는 동안 배터리가 충전되고 있음을 나타내기 위해 배터리 상태를 시작적 형태로 디스플레이하는 단계

를 포함하는 방법.

청구항 12

제11항에 있어서, 상기 임계 배터리 상태 데이터가 상기 정적 메모리 블록으로부터 검색되게 하도록 제1 레지스터를 구성하는 단계를 더 포함하는 방법.

청구항 13

제12항에 있어서, 상기 제1 레지스터의 다른 필드들 내의 구성 값들이 유효임을 나타내기 위해, 제1 값으로 상기 제1 레지스터의 전력 표시 비트를 구성하는 단계를 포함하는 방법.

청구항 14

제13항에 있어서, 상기 임계 배터리 상태 데이터가 저장되는 상기 정적 메모리의 식별자로 정적 메모리 식별자 필드를 구성하는 단계를 포함하고, 상기 다른 필드들은 상기 정적 메모리 필드를 포함하는 방법.

청구항 15

제13항에 있어서, 상기 임계 배터리 상태가 저장되는 메모리 블록들의 시작하는 어드레스 및 최종 어드레스로 시작 어드레스 및 종료 어드레스 필드를 각각 구성하는 단계를 포함하는 방법.

청구항 16

제15항에 있어서, 상기 시작하는 어드레스 및 최종 어드레스에 기초하여 상기 임계 배터리 상태 데이터를 검색하고, 상기 임계 배터리 상태 데이터를 프레임 버퍼 내에 저장하는 단계를 포함하는 방법.

청구항 17

제16항에 있어서, 제2 레지스터의 다른 필드들 내의 구성 값들이 무효임을 나타내기 위해, 제2 값으로 상기 제2 레지스터의 전력 표시 비트를 구성하는 단계를 포함하고, 상기 다른 필드들은 동적 메모리의 식별자를 저장하기 위한 필드를 포함하는 방법.

청구항 18

제11항에 있어서, 상기 배터리가 충전 중임을 사용자에게 나타내기 위해 상기 디스플레이 스크린 상에 배터리 심볼을 디스플레이하는 단계를 포함하는 방법.

청구항 19

제11항에 있어서, 일정한 간격으로 상기 배터리의 충전 레벨을 검사하고, 사용자로부터 입력을 수신한 것에 응답하여 상기 상당 부분을 파워-온 하는 단계를 더 포함하는 방법.

청구항 20

제19항에 있어서, 상기 사용자로부터 입력을 수신한 것에 응답하여, 적어도 상기 호스트 프로세서, 동적 메모리 블록 및 시스템 에이전트를 파워-온 하는 단계를 포함하는 방법.

발명의 설명**기술 분야**

[0001] 본 명세서는 모바일 디바이스 내의 배터리 상태를 나타내는 것과, 거기에서 실행되는 코드에 관한 것이고, 더 구체적으로는 모바일 디바이스 내의 임계 배터리 상태(critical battery status)를 나타내는 것에 관한 것이지만, 전적으로 그에 한정되지는 않는다.

배경 기술

[0002] 모바일 디바이스 내에서의 배터리 상태의 디스플레이는 사용자에게 있어서 모바일 디바이스의 상태에 관한 중요한 표시이다. 그러나, 현재의 모바일 디바이스는 처음에 호스트 프로세서가 파워-온 되는 정상 부팅 시퀀스(normal boot sequence)를 따른다. 다음으로, 호스트 프로세서는 리셋으로부터 나와서, 디스플레이 디바이스를 파워-온 하기 전에, 시스템 에이전트, 동적 메모리(예를 들어, DRAM)와 같은 다른 블록들을 파워-온 할 수 있다. 다음으로, 디스플레이 디바이스는 모바일 디바이스가 충전 중이라는 것을 사용자에게 나타내기 위해, 사용자 인터페이스 상에 시각적 상태(예를 들어, 배터리 심볼)를 제공할 수 있다. 배터리가 임계(비충전 또는 최소) 충전 상태에 있더라도 정상 부팅 시퀀스를 따를 수 있다. 호스트 프로세서는 계산적으로 강력하고 전력도 낮지만, 배터리는 호스트 프로세서, 동적 메모리, 시스템 에이전트 및 기타 다른 블록들이 파워-온 되는 동안 발생할 수 있는 전류 서지(current surges)를 지원하지 못할 수 있다.

[0003] 그러나, 배터리가 임계 충전 상태(즉, 비충전 또는 매우 낮게 충전됨)인 경우, 그리고 정상 부팅 시퀀스를 따르는 경우, 배터리는 호스트 프로세서를 파워-온 하기 위한 전류 서지를 지원할 상태에 있지 않을 것이다. 그 결과, 디스플레이가 파워-온 되지 않을 수 있고, 배터리 상태의 시각적 표시가 없을 수 있으며, 모바일 디바이스는 데드(dead) 상태에 있지 않은데도 데드 상태인 것처럼 보이게 된다. 그러한 표시가 없으면, 사용자는 모바일 디바이스가 작동하지 않고 있거나 오작동 중이라고 속단할 수 있다.

도면의 간단한 설명

[0004] 여기에 설명되는 본 발명의 실시예들은 제한이 아닌 예시로서 첨부 도면들에 도시된다. 도시를 단순하고 명확하게 하기 위해, 도면들에 도시되는 구성요소들이 반드시 비례에 맞춰 그려지지는 않는다. 예를 들어, 일부 구성요소들의 치수는 명확성을 위해 다른 구성요소들에 비해 과장될 수 있다. 또한, 적절하다고 생각되는 경우,

대응하거나 유사한 구성요소들을 나타내기 위해 도면들 간에서 참조 부호들이 반복되었다.

도 1은 일 실시예에 따라 모바일 디바이스 내에서 임계 배터리 상태를 나타내기 위한 기법을 지원할 수 있는 시스템-온-칩(SoC)(100)을 도시한다.

도 2는 일 실시예에 따라 SoC(100)의 나머지(제2) 부분들이 파워-오프 되는 동안 모바일 디바이스 내의 임계 배터리 상태를 나타내는 기법을 지원할 수 있는 SoC(100)의 제1 부분을 도시한다.

도 3은 일 실시예에 따라 모바일 디바이스 내에서 임계 배터리 상태를 나타내는 기법을 지원하기 위해 제1 부분의 블록들 간에서 교환되는 신호를 도시한다.

도 4는 일 실시예에 따라 모바일 디바이스 내에서 임계 배터리 상태를 나타내는 기법을 지원하기 위한 제1 부분의 블록들의 동작을 도시하는 흐름도이다.

도 5는 일 실시예에 따라 임계 배터리 상태의 시각적 표시를 제공할 수 있는 예시적인 모바일 디바이스이다.

도 6은 일 실시예에 따라 모바일 디바이스 내에서 임계 배터리 상태를 나타내는 기법을 지원할 수 있는 컴퓨터 시스템이다.

발명을 실시하기 위한 구체적인 내용

[0005] 이하의 설명은 모바일 디바이스 내의 임계 배터리 상태를 나타낼 수 있는 실시예들을 기술한다. 이하의 설명에서, 본 발명의 보다 더 완전한 이해를 제공하기 위해, 로직 구현, 자원 구획화 또는 공유, 또는 시스템 컴포넌트들의 중복 구현, 유형 및 상호 관계, 및 로직 구획화 또는 통합 선택과 같은 다수의 구체적인 상세가 제시된다. 그러나, 본 기술분야의 숙련된 자는 본 발명이 그러한 구체적인 상세 없이도 실시될 수 있음을 알 것이다. 다른 경우들에서, 제어 구조, 게이트 레벨 회로, 및 완전한 소프트웨어 명령어 시퀀스는 본 발명을 모호하게 하지 않기 위해 상세하게 보여지지 않았다. 본 기술분야의 통상의 지식을 가진 자들은 포함되어 있는 설명을 이용하여, 과도한 실험 없이도 적절한 기능을 구현할 수 있을 것이다.

[0006] 명세서에서의 "일 실시예", "실시예", "예시적인 실시예"에 대한 언급은 설명되는 실시예가 특정한 특징, 구조 또는 특성을 포함할 수 있지만, 모든 실시예가 반드시 그 특정한 특징, 구조 또는 특성을 포함하지는 않을 수 있음을 나타낸다. 또한, 그러한 구문들이 반드시 동일 실시예를 지칭하지는 않는다. 또한, 특정한 특징, 구조 또는 특성이 실시예에 관련하여 설명될 때, 명시적으로 설명되는지의 여부에 상관없이, 그러한 특징, 구조 또는 특성을 다른 실시예들에 관련하여 실시하는 것은 본 기술분야의 숙련된 자의 지식 범위 내에 있다고 할 수 있다.

[0007] 본 발명의 실시예들은 하드웨어, 펌웨어, 소프트웨어 또는 그들의 임의의 조합으로 구현될 수 있다. 본 발명의 실시예들은 또한 하나 이상의 프로세서에 의해 관독 및 실행될 수 있는 머신 관독가능한 매체에 저장된 명령어들로서 구현될 수 있다. 머신 관독가능한 매체는 머신(예를 들어, 컴퓨팅 디바이스)에 의해 관독가능한 형태로 정보를 저장하거나 전송하기 위한 임의의 메커니즘을 포함할 수 있다.

[0008] 예를 들어, 머신 관독가능한 매체는 ROM(read only memory); RAM(random access memory); 자기 디스크 저장 매체; 광학 저장 매체; 플래시 메모리 디바이스; 전기, 광학, 음향 또는 다른 유사한 신호를 포함할 수 있다. 또한, 펌웨어, 소프트웨어, 루틴 및 명령어는 여기에서 특정 행동들을 수행하는 것으로서 설명될 수 있다. 그러나, 그러한 설명들은 편의를 위한 것에 지나지 않으며, 그러한 행동들이 실제로는 컴퓨팅 디바이스, 프로세서, 제어기 및 다른 디바이스가 펌웨어, 소프트웨어, 루틴 및 명령어를 실행한 결과임을 알아야 한다.

[0009] SoC는 호스트 프로세서, 시스템 에이전트, 동적 메모리, 정적 메모리, 전력 관리 유닛, 미디어 프로세서, 버스 제어기, 통합된 메모리 제어기 및 그러한 다른 블록들을 포함할 수 있다. 일 실시예에서, SoC는 호스트 프로세서를 파워-온 하지 않고서도 임계 배터리 상태가 나타내어지게 하는 마이크로컨트롤러를 포함할 수 있다. 일 실시예에서, 마이크로컨트롤러는 배터리 상태가 임계 충전 상태에 있는지를 판정할 수 있고, 특수 부팅 시퀀스를 개시할 수 있다. 일 실시예에서, 마이크로컨트롤러는 파워-업 신호를 전력 관리 유닛에 송신하여, 정상 부팅 시퀀스에서 파워-온 되는 블록의 개수에 비교해 상당히 더 적은 개수의 블록을 파워-온 할 수 있다. 또한, 특수 부팅 시퀀스 동안 파워-온 되는 상당히 더 적은 개수의 블록들은, 정상 부팅 시퀀스 동안 파워-온 되는 호스트 프로세서 및 다른 블록들을 동작시키는 데에 요구되는 전류 서지에 비하여 더 적은 크기의 전류 서지로 동작할 수 있다.

[0010] 일 실시예에서, 마이크로컨트롤러로부터 파워-업 신호를 수신한 것에 응답하여, 전력 관리 유닛은 예를 들어 정

적 메모리(예를 들어, SRAM), 디스플레이 제어기, 및 마이크로컨트롤러와 정적 메모리와 디스플레이 제어기 사이에 제공되는 버스 인터페이스를 파워-업 할 수 있다. 일 실시예에서, 마이크로컨트롤러는 임계 배터리 상태 디스플레이 데이터를 정적 메모리 내에 저장할 수 있다. 일 실시예에서, 다음으로, 마이크로컨트롤러는 구성 값들을 디스플레이 제어기 내에 제공되는 구성 레지스터에 저장할 수 있다. 일 실시예에서, 디스플레이 제어기는 구성 레지스터들 내에 저장된 구성 값들에 응답하여 정적 메모리로부터 임계 배터리 상태 데이터를 검색할 수 있다. 일 실시예에서, 다음으로, 디스플레이 제어기는 모바일 디바이스의 디스플레이 스크린 상에 임계 배터리 상태 데이터를 렌더링할 수 있다. 일 실시예에서, 임계 배터리 상태 데이터는 모바일 디바이스의 사용자에게 배터리 상태를 나타내기 위한 시각적 형태로 디스플레이될 수 있다. 일 실시예에서, 임계 배터리 상태 데이터는 모바일 디바이스의 디스플레이 스크린 상에 배터리 심볼로서 디스플레이될 수 있다. 스크린 상에 제공된 시각적 표시의 결과로서, 모바일 디바이스의 사용자는 모바일 디바이스가 데드 상태이거나 오작동 중이라고 추론하지 않고, 배터리 상태를 볼 수 있다.

[0011] 모바일 디바이스의 스크린 상에 임계 배터리 상태를 나타내기 위한 하나 이상의 기법을 지원할 수 있는 시스템-온-칩(SoC)(100)의 실시예가 도 1에 도시되어 있다. 일 실시예에서, SoC(100)는 싱글 코어 또는 멀티코어 애플리케이션 프로세서(110), 상호접속 유닛(들)(112), 통합된 메모리 제어기 유닛(들)(114), 버스 제어기 유닛(들)(116), 미디어 프로세서들(120), SRAM 유닛들(130), DRAM 유닛들(132), 제어기(135), 시스템 에이전트(140), 전력 관리 유닛(150) 및 디스플레이 유닛(160)을 포함할 수 있다.

[0012] 프로세서(110 또는 120)는 캘리포니아 주 산타클라라의 Intel Corporation으로부터 입수 가능한 Core™ i3, i5, i7, 2 Duo 및 Quad, Xeon™, Itanium™, XScale™, Atom™ 또는 StrongARM™ 프로세서와 같은 범용 프로세서일 수 있다. 다르게는, 프로세서는 ARM Holdings, Ltd, MIPS, Advanced Micro Devices 등과 같은 다른 회사의 것일 수 있다. 프로세서는 예를 들어 네트워크 또는 통신 프로세서, 압축 엔진, 그래픽 프로세서, 코프로세서, 내장형 프로세서 또는 그와 유사한 것과 같은 특수 목적의 프로세서일 수 있다. 프로세서는 하나 이상의 칩 상에 구현될 수 있다. 프로세서(100)는 예를 들어 BiCMOS, CMOS 또는 NMOS와 같은 다수의 프로세스 기술 중 임의의 것을 이용하여 하나 이상의 기판에 구현될 수 있고/거나 그것의 일부일 수 있다.

[0013] SoC(100)는 랩톱, 테스크탑, 핸드헬드형 PC, PDA(personal digital assistant), 엔지니어링 워크스테이션, 서버, 네트워크 디바이스, 네트워크 허브, 스위치, 내장형 프로세서, DSP(digital signal processor), 그래픽 디바이스, 비디오 게임 디바이스, 셋탑 박스, 마이크로컨트롤러, 셀폰, 휴대용 미디어 플레이어, 핸드헬드형 디바이스 및 역시 적합한 다양한 다른 전자 디바이스들에 대하여 본 기술분야에 알려져 있는 시스템 설계 및 구성에서 이용될 수 있다. 일반적으로, 여기에 개시된 프로세서 및/또는 다른 실행 로직을 통합할 수 있는 매우 다양한 시스템 또는 전자 디바이스들이 일반적으로 적합하다.

[0014] 도 1에서, 상호접속 유닛(들)(112)은 하나 이상의 코어(102A-N)의 집합 및 공유 캐시 유닛(들)(106)을 포함하는 애플리케이션 프로세서(110); 시스템 에이전트 유닛(140); 버스 제어기 유닛(들)(116); 통합된 메모리 제어기 유닛(들)(114); 통합된 그래픽 로직(108), 정지화상 및/또는 비디오 카메라 기능을 제공하기 위한 이미지 프로세서(124), 하드웨어 오디오 가속을 제공하기 위한 오디오 프로세서(126), 및 비디오 인코딩/디코딩 가속을 제공하기 위한 비디오 프로세서(128)를 포함할 수 있는 하나 이상의 미디어 프로세서(120)의 집합; 정적 랜덤 액세스 메모리(SRAM) 유닛(130); 직접 메모리 액세스(DMA) 유닛(132); 및 하나 이상의 외부 디스플레이를 제어하기 위한 하나 이상의 디스플레이 제어기(165), 및 제어기(135)를 포함할 수 있는 디스플레이 유닛(160)에 연결된다. 일 실시예에서, 제어기(135)는 미니 또는 마이크로컨트롤러일 수 있으며, 상당히 낮은 전력을 소비하도록 설계될 수 있다. 일 실시예에서, 임계(또는 최소) 충전 상태의 배터리조차도 제어기(135)의 전력 소비를 지원할 수 있다.

[0015] 메모리 계층구조는 코어들 내의 하나 이상의 레벨의 캐시, 하나 이상의 공유 캐시 유닛(106)의 집합, 및 통합된 메모리 제어기 유닛들(114)의 집합에 연결된 외부 메모리(도시되지 않음)를 포함한다. 공유 캐시 유닛들(106)의 집합은 레벨 2(L2), 레벨 3(L3), 레벨 4(L4) 또는 다른 레벨의 캐시와 같은 하나 이상의 중간 레벨 캐시, 최종 레벨 캐시(LLC), 및/또는 그들의 조합을 포함할 수 있다. 일 실시예에서는, 링 기반 상호접속 유닛(들)(112)이 통합된 그래픽 로직(108), 공유 캐시 유닛들(106)의 집합 및 시스템 에이전트 유닛(140)을 상호접속하지만, 대안적인 실시예들은 그러한 유닛들을 상호접속하기 위해 임의의 수의 공지된 기법들을 이용할 수 있다. 일부 실시예들에서, 코어들(102A-N) 중 하나 이상은 멀티스레딩(multithreading)을 할 수 있다.

[0016] 코어들(102A-N)은 아키텍처 및/또는 명령어 집합과 관련하여 균일(homogenous) 또는 이종(heterogeneous)일 수 있다. 예를 들어, 코어들(102A-N) 중 일부는 유효(in order)할 수 있는 한편, 다른 것들은 고장(out-of-

order)일 수 있다. 다른 예로서, 코어들(102A-N) 중 둘 이상은 동일 명령어 집합을 실행할 수 있을 수 있는 한편, 다른 것들은 그 명령어 집합의 부분집합 또는 다른 명령어 집합만을 실행할 수 있을 수 있다.

[0017] 일 실시예에서, 시스템 에이전트(140)는 코어들(102A-N)을 조정(coordinating)하고 동작시키기 위한 컴포넌트들을 포함할 수 있다. 일 실시예에서, 시스템 에이전트 유닛(140)은 예를 들어 전력 제어 유닛(PCU)(150) 및 디스플레이 유닛(160)을 포함할 수 있다. PCU(150)는 코어들(102A-N) 및 통합된 그래픽 로직(108)의 전력 상태를 조절하는 데에 필요한 로직 및 컴포넌트들을 포함할 수 있다. 디스플레이 유닛(160)은 하나 이상의 외부 접속된 디스플레이를 구동하기 위한 것이다. 다른 실시예들에서, PCU(150) 및 디스플레이 유닛(160)은 도 1에 도시된 것과 같이 시스템 에이전트(140) 외부에 제공될 수 있다. 일 실시예에서, PCU(150)는 배터리(190)에 연결될 수 있고, PCU(150)는 배터리(190) 상의 전하를 계속하여 검사할 수 있다. 일 실시예에서, PCU(150)는 배터리(190) 상의 전하가 임계 배터리 충전 레벨에 도달했거나 그 아래로 감소되었음을 나타내기 위해 배터리 표시자를 생성할 수 있다. 일 실시예에서, PCU(150)는 SoC(100)의 거의 모든 부분을 파워-다운 할 수 있다. 그러나, 일 실시예에서, PCU(150)는 제어기(135)를 파워-다운 하지 않을 수 있다. 일 실시예에서, PCU(150)는 제어기(135)로부터의 요청을 수신한 것에 응답하여, SoC(100)의 적은 부분(예를 들어, SRAM 유닛(130), 디스플레이 유닛(160), 및 인터페이스(134 및 136))을 파워-온 할 수 있다. 일 실시예에서, PCU(150)는 디스플레이 제어기(165)를 구성하거나, 그 작업을 제어기(135)에 위임할 수 있다.

[0018] 일 실시예에서, 제어기(135)는 SoC(100)의 대부분을 파워-온 하지 않고서 임계 배터리 상태가 나타내어지게 할 수 있다. 일 실시예에서, 제어기(135)는 애플리케이션 프로세서(110), 미디어 프로세서(들)(120), 시스템 에이전트(140), DRAM 유닛(132) 및 그러한 다른 블록들을 파워-온 하지 않고서 임계 배터리 상태가 나타내어지게 할 수 있다. 일 실시예에서, 제어기(135)는 배터리 상태가 임계 충전 상태에 있는지를 판정할 수 있고, 특수 부팅 시퀀스를 개시할 수 있다. 일 실시예에서, 제어기(135)는 파워-업 신호를 전력 관리 유닛(150)에 송신하여, 정상 부팅 시퀀스에서 파워-온 되는 블록의 개수에 비해 상당히 더 적은 개수의 블록을 파워-온 할 수 있다. 일 실시예에서는, SRAM 유닛(130), 디스플레이 유닛(160), 및 인터페이스들(134 및 136)과 같은 인터페이스들이다. 또한, 특수 부팅 시퀀스 동안 파워-온 되는 상당히 더 적은 개수의 블록들은, 정상 부팅 시퀀스 동안 파워-온 되는 애플리케이션 프로세서(110), 미디어 프로세서(120) 및 다른 블록들을 동작시키는 데에 요구되는 전류 수치에 비하여 더 적은 크기의 전류 수치로 동작할 수 있다.

[0019] 일 실시예에서, 제어기(135)는 SRAM 유닛(130), 디스플레이 유닛(160), 및 제어기(135), SRAM 유닛(130) 및 디스플레이 유닛(160) 간에 제공되는 버스 인터페이스들(134 및 136)을 파워-업 하기 위한 요청을 (전력 관리 유닛(150)에) 송신할 수 있다. 일 실시예에서, 제어기(135)는 SRAM 유닛(130) 내에 임계 배터리 상태 디스플레이 데이터를 저장할 수 있다. 일 실시예에서, 다음으로, 제어기(135)가 디스플레이 제어기(165) 내에 제공되는 하나 이상의 구성 레지스터에 구성 값들을 저장할 수 있는데, PCU(150)가 그러한 작업을 제어기(135)에 위임하는 경우에 그러하다. 일 실시예에서, 디스플레이 제어기(165)는 구성 레지스터들 내에 저장된 구성 값들에 응답하여 SRAM 유닛(130)으로부터의 임계 배터리 상태 데이터를 검색할 수 있다. 일 실시예에서, 다음으로, 디스플레이 제어기(165)는 모바일 디바이스의 디스플레이 스크린 상에 임계 배터리 상태 데이터를 렌더링할 수 있다. 일 실시예에서, 임계 배터리 상태 데이터는 모바일 디바이스의 사용자에게 배터리 상태를 나타내기 위해 시각적 형태로 디스플레이될 수 있다. 일 실시예에서, 임계 배터리 상태 데이터는 모바일 디바이스의 디스플레이 스크린 상에 배터리 심볼로서 디스플레이될 수 있다.

[0020] 배터리 상의 전하가 최소 레벨에 있는 동안에도 임계 배터리 상태를 나타내기 위해 함께 동작할 수 있는 제어기(135), SRAM 유닛(130) 및 디스플레이 유닛(160)의 블록도의 실시예가 도 2에 도시되어 있다. 일 실시예에서, 제어기(135)는 전력 표시자 로직(210) 및 디스플레이 드라이버(215)를 포함할 수 있다. 그러나, 제어기(135)는 다른 유닛들도 물론 포함할 수 있고, 간단히 하기 위해, 그러한 다른 유닛들 모두가 여기에 도시되어 있지는 않다. 일 실시예에서, 전력 표시자 로직(210)은 배터리의 상태를 모니터링할 수 있으며, 표시가 사용자에게 제공되며 할 수 있다. 배터리 상의 전하가 특정 레벨(즉, 임계 배터리 상태 레벨) 미만으로 감소하는 경우, 전력 제어 유닛(150)은 SoC(100) 내에 제공되는 상당 수의 유닛을 파워-오프 할 수 있다. 일 실시예에서, 전력 제어 유닛(150)은 전압 및 주파수 스로틀링(voltage and frequency throttling), 동적 전압 및 주파수 스케일링(DVFS: dynamic voltage and frequency scaling), 명령어 스로틀링, 복수의 코어에 대한 선택적 및 독립적 전력 제어, 시스템 슬립 상태 및 코어 슬립 상태에서의 변화, 및 그러한 다른 기법들과 같은 기법들을 이용하여 SoC(100)의 다양한 부분들에 대한 전력을 제어할 수 있다.

[0021] 일 실시예에서, SoC(100)의 상당 부분은 배터리 상의 전하가 임계 충전 또는 전력 상태에 도달하거나 그 아래로 감소된 것에 응답하여, 스위치 오프되거나 휴면 상태에 들어가거나 임의의 다른 깊은 전력 절약 상태로 될 수

있다. 그러나, 제어기(135)는 배터리 상의 전하 또는 전력 레벨이 임계 충전 또는 전력 상태에 도달하거나 그 아래로 감소하더라도, 여전히 파워-온 될 수 있다(또는 파워-다운 되지 않을 수 있다). 일 실시예에서, 전력 표시자 로직(210)은 SRAM 유닛(130), 디스플레이 유닛(160) 및 인터페이스들(134 및 136)을 파워-온 하기 위한 요청을 PCU(150)에 송신할 수 있다. 일 실시예에서, 전력 표시자 로직(210)은 SRAM 유닛(130), 디스플레이 유닛(160)을 파워-온 한 후에, PCU(150)로부터의 응답을 수신할 수 있다. 일 실시예에서, 전력 표시자 로직(210)은 배터리 상태 데이터를 메모리(216)로부터 SRAM 유닛(130) 내에 제공되는 메모리 블록들(225-A 내지 225-N)에 전송할 수 있다. 대안적인 실시예에서, 전력 표시자 로직(210)은 배터리 상태 데이터의 전송을 수행하기 위해, 제1 신호를 디스플레이 드라이버(215)에 송신할 수 있다. 또 다른 대안적인 실시예에서, 전력 표시자 로직(210)은 메모리(216) 내의 배터리 상태 데이터가 메모리 블록들(225)에 전송되게 하기 위해, 제2 신호를 SRAM 제어기(230)에 송신할 수 있다.

[0022] 일 실시예에서, 전력 표시자 로직(210)으로부터 표시를 수신한 것에 응답하여, 디스플레이 드라이버(215)는 배터리 상태 데이터가 메모리(216)로부터 메모리 블록들(225-A 내지 225-N), 또는 메모리 블록들(225)의 부분집합에 전송되게 할 수 있다. 일 실시예에서, 배터리 상태는 예를 들어 배터리 심볼과 같은 시각적 데이터를 표시할 수 있는데, 그것은 렌더링될 때에 사용자가 배터리의 상태를 이해하기 위한 쉬운 수단을 제공할 수 있다. 일 실시예에서, 디스플레이 드라이버(215)는 다음으로 디스플레이 유닛(160) 내의 디스플레이 제어기(165) 내의 구성 레지스터들을 구성할 수 있다. 일 실시예에서, 디스플레이 드라이버(215)는 구성 레지스터들(251 및 261)을 구성할 수 있다. 일 실시예에서, 디스플레이 드라이버(135)는 각각 필드들 PIB(252), DRAMID(253), STRT ADDR(254) 및 END ADDR(255) 내에 있는 (0, dram_id, strt_addr, end_addr)로 제1 구성 레지스터(251)를 구성할 수 있다. 또한, 디스플레이 드라이버(135)는 각각 필드들 PIB(262), SRAM ID(263), STRT ADDR(264) 및 END ADDR(265) 내에 있는 (1, sram_id, strt_addr, end_addr)로 제2 구성 레지스터(261)를 구성할 수 있다. 일 실시예에서, PIB(262)가 제1 값(예를 들어, 1)으로 구성되는 경우, 임계 배터리 상태 데이터는 SRAM ID(263), STRT ADDR(264) 및 END ADDR(265) 필드 내에 저장된 값들에 기초하여 판독될 수 있다. 일 실시예에서, 필드들(263, 264 및 265)에 저장된 구성 값들은 PIB(262)가 제1 값(예를 들어, 1)으로 구성된 경우에만 유효할 수 있고, PIB(262)가 제2 값(예를 들어, 0)으로 구성된 경우에는 필드들(263 내지 265) 내의 값들은 무효일 수 있다. 일 실시예에서, SRAM ID(263)는 정적 메모리의 식별자, 즉 SRAM 유닛(130)의 식별자로 구성될 수 있고, STRT ADDR(264)는 임계 배터리 상태 데이터가 검색될 수 있는 메모리 블록들의 시작하는 어드레스 또는 식별자(예를 들어, 225-A)로 구성될 수 있고, END ADDR(264)는 임계 배터리 상태 데이터가 거기까지 저장되게 되는 메모리 블록들의 종료 어드레스 또는 식별자(예를 들어, 225-Q)로 구성될 수 있다. 다른 실시예에서, 디스플레이 드라이버(215)는 구성 값들을 제어 유닛(250)에 제공할 수 있으며, 이것은 결국 제1 및 제2 구성 레지스터(251 및 261)를 구성할 수 있다. 또 다른 실시예에서, 전력 제어 유닛(150)은 SRAM 유닛(130) 및 디스플레이 유닛(160)을 파워-온 한 것에 더하여 구성 레지스터들(251 및 261)을 구성할 수 있다.

[0023] 일 실시예에서, SRAM 유닛(130)은 하나 이상의 메모리 블록(225-A 내지 225-N), 및 SRAM 제어기(230)를 포함할 수 있다. 일 실시예에서, SRAM 제어기(230)는 전력 표시 로직(210)으로부터 제2 신호를 수신할 수 있고, 그에 응답하여, SRAM 제어기(230)는 배터리 상태 데이터를 메모리 블록들(225-A 내지 225-N) 또는 그것의 일부에 전송할 수 있다. 일 실시예에서, SRAM 제어기(230)는 배터리 상태 데이터가 검색을 위해 판독됨을 나타내기 위해 제3 신호를 제어 유닛(250)에 송신할 수 있다.

[0024] 일 실시예에서, 디스플레이 유닛(160)은 디스플레이 제어기(165) 및 프레임 버퍼(270)를 포함할 수 있다. 일 실시예에서, 디스플레이 제어기(165)는 제어 유닛(250), 및 제1 및 제2 구성 레지스터(251)를 포함할 수 있다. 일 실시예에서, 제어 유닛(250)은 SRAM 제어기(230) 또는 디스플레이 드라이버(215)로부터 요청을 수신한 것에 응답하여 배터리 상태 데이터를 메모리 블록들(225)로부터 전송하고 배터리 상태 데이터를 프레임 버퍼(270) 내에 저장할 수 있다. 일 실시예에서, 제어 유닛(250)은 디스플레이 드라이버(215)로부터 하나 이상의 구성 값을 수신할 수 있고, 그에 응답하여, 제어 유닛(250)은 구성 레지스터들(251 및 261)을 구성할 수 있다. 일 실시예에서, 제어 유닛(250)은 프레임 버퍼(270) 내에 저장된 배터리 상태 데이터를 디스플레이 디바이스 상에 렌더링 할 수 있다.

[0025] 제어기(135), PCU(150), SRAM 유닛(130) 및 디스플레이 유닛(170) 간에 교환되는 신호들을 도시하는 라인 다이어그램(300)의 실시예가 도 3에 도시되어 있다. 일 실시예에서, 제어기(135)는 배터리 상의 전하가 임계 배터리 충전 레벨 또는 상태에 도달했거나 그 아래로 감소되었음을 검출할 수 있고, 그러한 검출은 이벤트(330)로서 표현된다. 일 실시예에서, 전력 제어 유닛(150)은 임계 배터리 충전 레벨 또는 상태를 검출한 것에 응답하여, SoC(100)를 파워-다운 할 수 있다(또는 임의의 다른 그러한 저전력 절약 상태로 할 수 있다). 일 실시예에서,

제어기(135)는 전력 제어 유닛(150)에 요청(335)을 송신할 수 있다. 일 실시예에서, 요청(335)은 SoC(150)의 (상당한) 제2 부분이 계속하여 파워-오프 상태로 남아있을 수 있는 동안 SoC(100)의 제1 부분만을 파워-온 하기 위한 요청을 나타낼 수 있다.

[0026] 일 실시예에서, PCU(150)는 제1 파워-온 신호(357)를 송신함으로써 SRAM 유닛(130)을 파워-온 할 수 있다. 마찬가지로, PCU(150)는 제2 파워-온 신호(356)를 송신함으로써 디스플레이 유닛(160)을 파워-온 할 수 있다. 일 실시예에서, SRAM 유닛(130) 및 디스플레이 유닛(160)은 각각 파워-온 신호들(357 및 356)을 수신한 것에 응답하여, 확인응답 신호(375 및 365)를 송신할 수 있다. 일 실시예에서, PCU(150)는 준비 신호(355)를 제어기(135)에 송신할 수 있다. 또한, 일 실시예에서, PCU(150)는 디스플레이 제어기(165) 내에 제공되는 구성 레지스터들(251 및 261)을 구성하기 위해, 구성 신호(336-B)(점선)를 디스플레이 유닛(160)에 송신할 수 있다.

[0027] 일 실시예에서, 제어기(135)(또는 더 구체적으로는 전력 표시 로직(210))는 임계 배터리 상태 데이터를 메모리 블록들(225-A 내지 225-N)에 저장할 수 있고, 제어기(135) 내의 메모리(216)로부터 메모리 블록들(225)로의 그러한 임계 배터리 상태 데이터의 전송은 데이터 전송 신호(337)에 의해 나타내어진다. 다른 실시예들에서, 전력 표시 로직(210)은 데이터 전송 신호를 SRAM 제어기(230)에 송신할 수 있고, SRAM 제어기(230)는 메모리(216)로부터 임계 배터리 상태 데이터를 검색하고, 그러한 데이터를 메모리 블록(225) 내에 저장할 수 있다. 다른 실시예들에서, 제어기(135)는 구성 레지스터들(251 및 261)을 구성할 수 있는데, PCU(150)가 그 작업을 제어기(135)에 위임한 경우에 그러하고, 그러한 구성 활동은 구성 신호(336-A)에 의해 나타내어진다.

[0028] 일 실시예에서, 디스플레이 제어기(165)는 데이터 판독 신호(367)를 SRAM 제어기(230)에 송신할 수 있고, 그에 응답하여, SRAM 제어기(230)는 임계 배터리 데이터를 프레임 버퍼(270)에 기입할 수 있다. 그러한 데이터 전송 활동은 데이터 기입 신호(376)에 의해 표현된다. 다른 실시예들에서, 디스플레이 제어기(165) 내의 제어 유닛(250)은 임계 배터리 데이터를 검색하고, 그러한 데이터를 프레임 버퍼(270) 내에 저장할 수 있다. 일 실시예에서, 제어 유닛(230)은 다음으로 그러한 임계 배터리 데이터를 디스플레이 스크린(280) 상에 디스플레이하거나 렌더링할 수 있고, 그러한 활동은 렌더링 신호(368)에 의해 표현된다.

[0029] 디스플레이 스크린 상에 임계 배터리 상태를 나타내기 위한 SoC(100)의 제1 부분(도 2에 도시됨)의 동작의 실시 예가 도 4의 흐름도에 도시되어 있다. 블록(410)에서, 제어기(135)는 배터리(190) 상의 전하가 임계 배터리 충전 레벨에 도달했는지를 검사할 수 있다. 일 실시예에서, PCU(150)는 상태 표시자를 생성할 수 있고, 제어기(135)는 그러한 상태 표시자를 이용하여 이하에 설명되는 다른 작업들을 수행할 수 있다. 배터리(190) 상의 전하가 임계 배터리 충전 레벨에 도달한 경우, 제어는 블록(420)으로 가고, 그렇지 않으면, 제어는 블록(490)으로 간다.

[0030] 블록(420)에서, 제어기(135)는 파워-온 될 SoC(100)의 제1 부분(예를 들어, SRAM 유닛(130), 디스플레이 유닛(160), 및 인터페이스들(134 및 136))을 식별할 수 있다. 블록(430)에서, 제어기(135)는 SoC(100)의 제1 부분 내의 블록들의 식별자들을, SoC(100)의 제1 부분 내의 그러한 블록들을 파워-온 하라는 요청과 함께 PCU(150)에 송신할 수 있다.

[0031] 블록(435)에서, 제어기(135)는 SoC(100)의 제1 부분 내의 블록들이 파워-온 되어 있지를 검사할 수 있고, 제1 부분 내의 블록들이 파워-온 되어 있는 경우, 제어는 블록(440)으로 간다. 블록(440)에서, 제어기(135)는 임계 배터리 데이터를 SRAM 유닛(130)의 메모리 블록들(225)과 같은 정적 메모리 내에 저장할 수 있다. 블록(450)에서, 제어기(135)는 레지스터들(251 및 261)과 같은 구성 레지스터들을 위에서 설명된 구성 값들로 구성할 수 있다.

[0032] 블록(460)에서, 디스플레이 제어기(165)는 SRAM 유닛(130)으로부터 임계 배터리 데이터를 검색하고, 그러한 데이터를 프레임 버퍼(270) 내에 저장할 수 있다. 블록(470)에서, 디스플레이 제어기(165)는 정적 메모리로부터 검색된 임계 배터리 데이터에 기초하여 임계 배터리 데이터를 디스플레이 스크린 상에 렌더링할 수 있다. 일 실시예에서, 시각적 심볼은 배터리 충전 상태를 나타낼 수 있다. 일 실시예에서, 시각적 심볼은 도 5에 도시된 모바일 디바이스(500)의 스크린 상에 디스플레이된 것과 같은 배터리 심볼(550)일 수 있다.

[0033] 블록(475)에서, 제어기(135)는 배터리 상의 전하가 임계 배터리 충전 레벨을 초과했는지를 검사할 수 있고, 배터리 상의 전하가 임계 배터리 충전 레벨을 초과한 경우에는 제어가 블록(480)으로 가고, 그렇지 않으면, 제어는 블록(460)으로 간다. 블록(480)에서, 전력 제어 유닛(150)은 정상 부팅 시퀀스가 재개될 수 있는지를 판정할 수 있고, 정상 부팅 시퀀스가 재개되어야 하는 경우에는 제어가 블록(490)으로 가고, 그렇지 않으면 제어는 블록(460)으로 간다.

[0034] 도 6은 본 발명의 실시예에 따라 여기에 개시되는 방법들을 구현하기 위한 시스템 또는 플랫폼(600)을 도시하고 있다. 시스템(600)은 데스크탑 컴퓨터, 태블릿 컴퓨터, 랙탑 컴퓨터, 넷북, 노트북 컴퓨터, PDA(personal digital assistant), 서버, 워크스테이션, 셀룰러 전화기, 모바일 컴퓨팅 디바이스, 스마트폰, 인터넷 어플라이언스 또는 임의의 다른 유형의 컴퓨팅 디바이스를 포함하지만, 그에 한정되지는 않는다. 다른 실시예에서, 여기에 개시된 방법들을 구현하기 위해 이용되는 시스템(600)은 SoC(system on a chip) 시스템일 수 있다.

[0035] 프로세서(610)는 시스템(600)의 명령어들을 실행하기 위한 프로세싱 코어(512)를 갖는다. 프로세싱 코어(612)는 명령어들을 폐칭하기 위한 폐칭 로직, 명령어들을 디코딩하기 위한 디코딩 로직, 명령어들을 실행하기 위한 실행 로직, 및 그와 유사한 것을 포함하지만, 그에 한정되지는 않는다. 프로세서(610)는 시스템(600)의 명령어들 및/또는 데이터를 캐싱하기 위한 캐시 메모리(516)를 갖는다. 본 발명의 다른 실시예에서, 캐시 메모리(616)는 프로세서(610) 내의 레벨 1, 레벨 2 및 레벨 3 캐시 메모리, 또는 임의의 다른 구성의 캐시 메모리를 포함하지만, 그에 한정되지는 않는다. 본 발명의 일 실시예에서, 프로세서(610)는 중앙 전력 제어 유닛(PCU)(613)을 갖는다.

[0036] 메모리 제어 허브(MCH: memory control hub)(614)는 프로세서(610)가 휘발성 메모리(632) 및/또는 비휘발성 메모리(634)를 포함하는 메모리(630)에 액세스하고 그와 통신할 수 있게 하는 기능들을 수행한다. 휘발성 메모리(632)는 SDRAM(Synchronous Dynamic Random Access Memory), DRAM(Dynamic Random Access Memory), RDRAM(RAMBUS Dynamic Random Access Memory) 및/또는 임의의 다른 유형의 랜덤 액세스 메모리 디바이스를 포함하지만, 그에 한정되지 않는다. 비휘발성 메모리(634)는 NAND 플래시 메모리, PCM(phase change memory), ROM(read only memory), EEPROM(electrically erasable programmable read only memory) 또는 임의의 다른 유형의 비휘발성 메모리 디바이스를 포함하지만, 그에 한정되지 않는다.

[0037] 메모리(630)는 프로세서(610)에 의해 실행될 명령어들 및 정보를 저장한다. 메모리(630)는 또한 프로세서(610)가 명령어들을 실행하는 동안 임시 변수 또는 다른 중간 정보를 저장할 수 있다. 칩셋(620)은 점-대-점(PtP) 인터페이스(617 및 622)를 통해 프로세서(510)에 접속한다. 칩셋(620)은 프로세서(610)가 시스템(600) 내의 다른 모듈들에 접속할 수 있게 한다. 본 발명의 다른 실시예에서, 칩셋(620)은 플랫폼 제어기 허브(PCH: platform controller hub)이다. 본 발명의 일 실시예에서, 인터페이스들(617 및 622)은 Intel® QPI(QuickPath Interconnect) 또는 그와 유사한 것과 같은 PtP 통신 프로토콜에 따라 동작한다. 칩셋(620)은 LCD(liquid crystal display), CRT(cathode ray tube) 디스플레이 또는 임의의 다른 형태의 시각적 디스플레이 디바이스를 포함하지만 그에 한정되지는 않는 GPU 또는 디스플레이 디바이스(640)에 접속된다. 본 발명의 다른 실시예에서, GPU(640)는 칩셋(620)에 접속되지 않으며, 프로세서(610)의 일부이다(도시되지 않음).

[0038] 추가로, 칩셋(620)은 다양한 모듈들(674, 680, 682, 684 및 686)을 상호접속하는 하나 이상의 버스(650 및 660)에 접속된다. 버스들(650 및 660)은 버스 속도 또는 통신 프로토콜에 불일치가 있는 경우에 버스 브리지(672)를 통해 함께 상호접속될 수 있다. 칩셋(620)은 비휘발성 메모리(680), 대용량 저장 디바이스(들)(682), 키보드/마우스(684) 및 네트워크 인터페이스(686)와 연결되지만, 그에 한정되지는 않는다. 대용량 저장 디바이스(682)는 솔리드 스테이트 드라이브, 하드 디스크 드라이브, USB(universal serial bus) 플래시 메모리 드라이브, 또는 임의의 다른 형태의 컴퓨터 데이터 저장 매체를 포함하지만, 그에 한정되지 않는다. 네트워크 인터페이스(686)는 이더넷 인터페이스, USB(universal serial bus) 인터페이스, PCI(Peripheral Component Interconnect) 익스프레스 인터페이스, 무선 인터페이스 및/또는 임의의 다른 적절한 유형의 인터페이스를 포함하지만 그에 한정되지는 않는 임의의 유형의 잘 알려진 네트워크 인터페이스 표준을 이용하여 구현된다. 무선 인터페이스는 IEEE 802.11 표준 및 그에 관련된 표준군인 HPAV(Home Plug AV), UWB(Ultra Wide Band), 블루투스, WiMax, 또는 임의의 형태의 무선 통신 프로토콜에 따라 동작하지만, 그에 한정되지는 않는다.

[0039] 도 6에 도시된 모듈들이 시스템(600) 내에서는 별개의 블록들로 도시되어 있지만, 이러한 블록들 중 일부에 의해 수행되는 기능들은 단일 반도체 회로 내에 통합될 수 있거나, 둘 이상의 별개의 접적 회로를 이용하여 구현될 수 있다. 시스템(600)은 본 발명의 다른 실시예에서는 둘 이상의 프로세서/프로세싱 코어를 포함할 수 있다.

[0040] 여기에 개시된 방법들은 하드웨어, 소프트웨어, 펌웨어 또는 그들의 임의의 다른 조합으로 구현될 수 있다. 개시된 발명의 주제의 실시예들의 예시들이 설명되어 있지만, 관련 기술분야의 통상의 지식을 가진 자는 개시된 발명의 주제를 구현하는 다수의 다른 방법이 대안적으로 이용될 수 있음을 쉽게 알 것이다. 상기의 설명에서, 개시된 발명의 주제의 다양한 양태들이 설명되었다. 설명을 위해, 발명의 주제의 완전한 이해를 제공하기 위해, 특정 수치, 시스템 및 구성이 제시되었다. 그러나, 본 명세서의 혜택을 받는 관련 기술분야의 숙련된 자

에게는, 발명의 주제가 그러한 구체적인 상세 없이도 실시될 수 있음이 분명하다. 다른 경우들에서, 개시된 발명의 주제를 모호하게 하지 않기 위해, 잘 알려진 특징들, 컴포넌트들 또는 모듈들은 생략되거나 단순화되거나 결합되거나 분리되었다.

[0041] 여기에서 이용되는 "동작가능하다(is operable)"는 용어는, 디바이스, 시스템, 프로토콜 등이 그 디바이스 또는 시스템이 파워-오프 상태에 있을 때 그것의 원하는 기능성을 위해 동작할 수 있거나 그를 위해 동작하도록 적응됨을 의미한다. 개시된 발명의 주제의 다양한 실시예들은 하드웨어, 펌웨어, 소프트웨어 또는 그것의 조합으로 구현될 수 있으며, 명령어, 함수, 프로시저, 데이터 구조, 로직, 애플리케이션 프로그램, 디자인 표현, 또는 디자인의 시뮬레이션, 에뮬레이션 및 제조를 위한 포맷과 같은 프로그램 코드를 참조하여, 또는 그와 관련하여 설명될 수 있으며, 그러한 프로그램 코드는 머신에 의해 액세스될 때, 머신이 작업을 수행하거나, 추상 데이터 유형 또는 로우레벨 하드웨어 컨텍스트를 정의하거나, 결과를 생성하게 한다.

[0042] 도면들에 도시된 기법들은 범용 컴퓨터 또는 컴퓨팅 디바이스와 같은 하나 이상의 컴퓨팅 디바이스 상에 저장되어 실행될 수 있는 코드 및 데이터를 이용하여 구현될 수 있다. 그러한 컴퓨팅 디바이스들은 머신 판독가능한 저장 매체(예를 들어, 자기 디스크, 광학 디스크, 랜덤 액세스 메모리, 판독 전용 메모리, 플래시 메모리 디바이스, 상 변화 메모리) 및 머신 판독가능한 통신 매체(예를 들어, 반송파, 적외선 신호, 디지털 신호 등과 같은 전기, 광학, 음향 또는 다른 형태의 전파 신호)와 같은 머신 판독가능한 매체를 이용하여 코드 및 데이터를 (내부적으로 및 네트워크를 통해 다른 컴퓨팅 디바이스들과 함께) 저장하고 통신한다.

[0043] 개시된 발명의 주제는 실례를 참조하여 설명되었지만, 그러한 설명은 제한적인 의미로 해석되도록 의도된 것이다. 실례의 다양한 수정들과, 개시된 발명의 주제가 관련되는 기술분야의 숙련된 자들에게 명백한 발명의 주제의 다른 실시예들은 개시된 발명의 주제의 범위 내에 포함되어야 한다.

[0044] 본 발명의 일부 특징들이 예시적인 실시예들을 참조하여 설명되었다. 그러나, 설명은 제한적인 의미로 해석되도록 의도된 것이 아니다. 예시적인 실시예들의 다양한 수정들과, 본 발명이 관련되는 기술분야의 숙련된 자들에게 명백한 발명의 다른 실시예들은 본 발명의 취지 및 범위 내에 포함되는 것으로 간주한다.

부호의 설명

[0045] 135 : 제어기

210 : 전력 표시자 로직(PIL)

216 : 메모리

215 : 디스플레이 드라이버

130 : SRAM 유닛

230 : SRAM 제어기

280 : 디스플레이 스크린

160 : 디스플레이 유닛

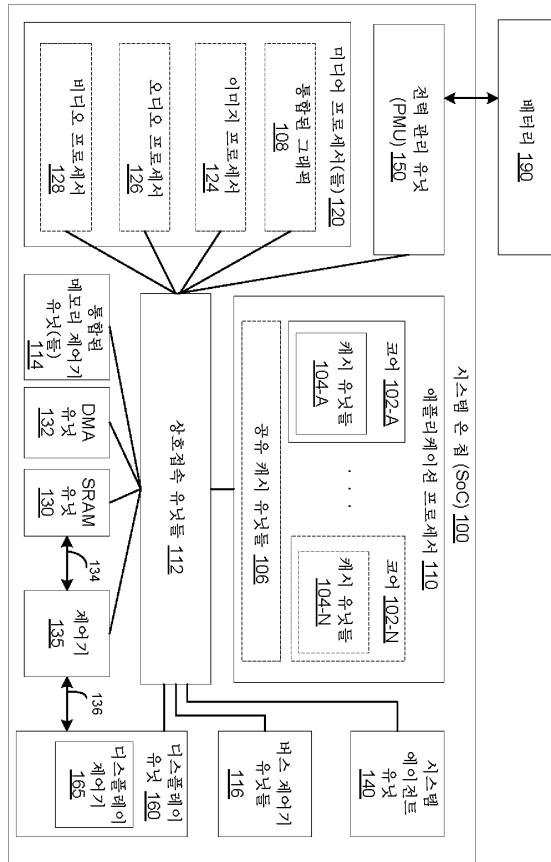
165 : 디스플레이 제어기

250 : 제어 유닛

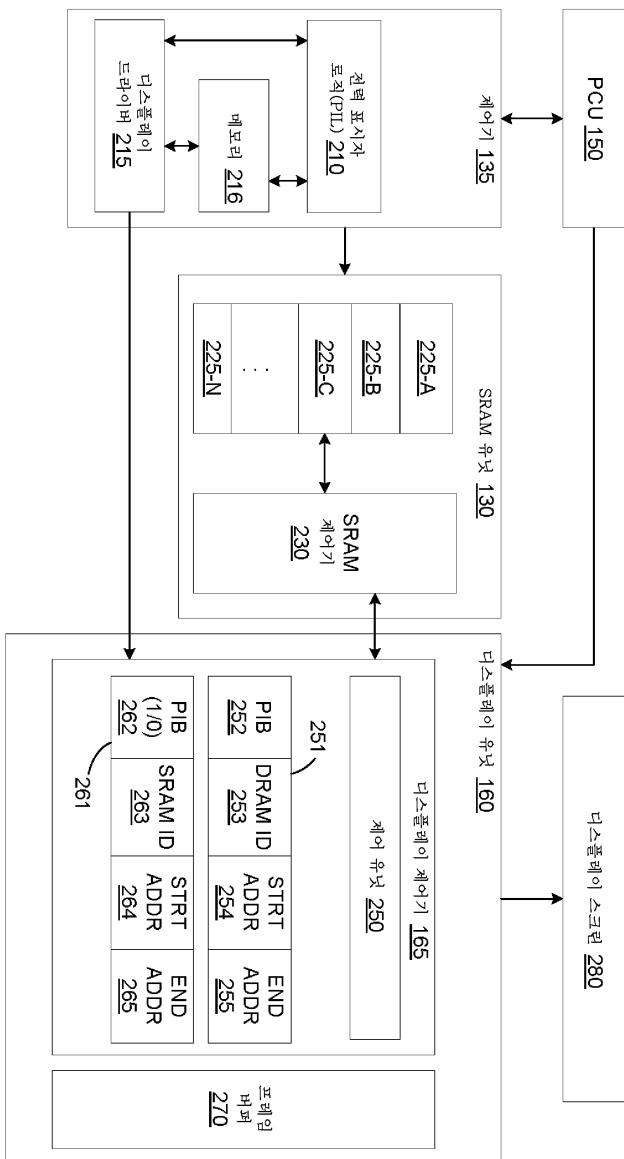
270 : 프레임 버퍼

도면

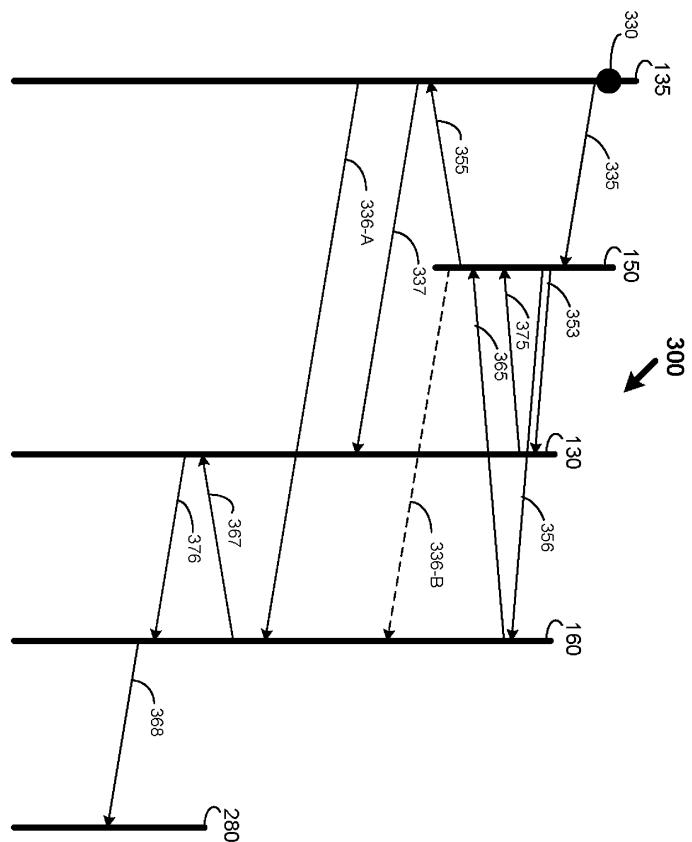
도면1



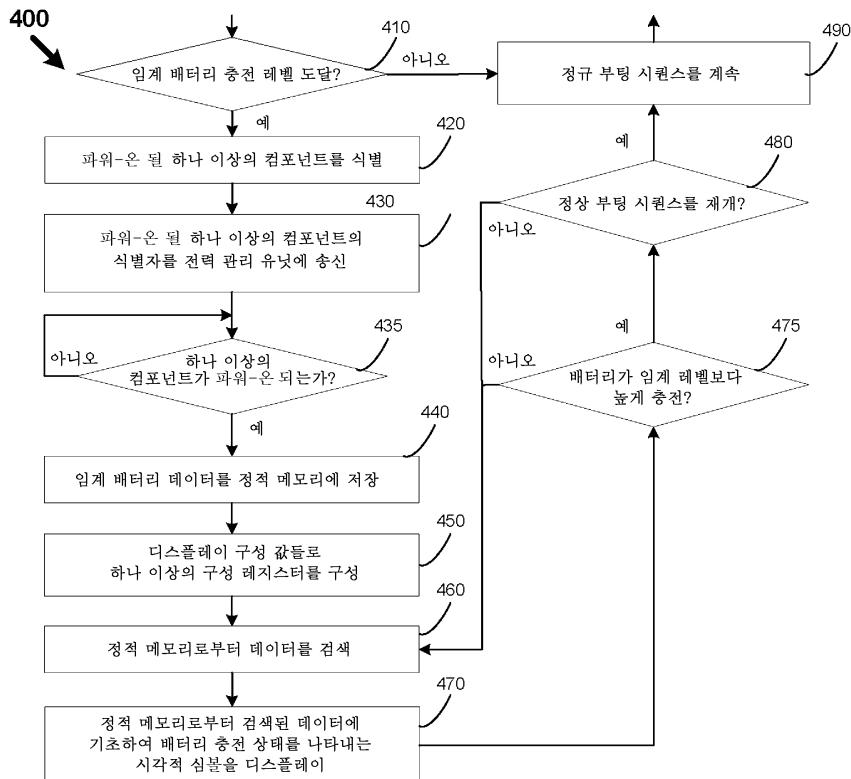
도면2



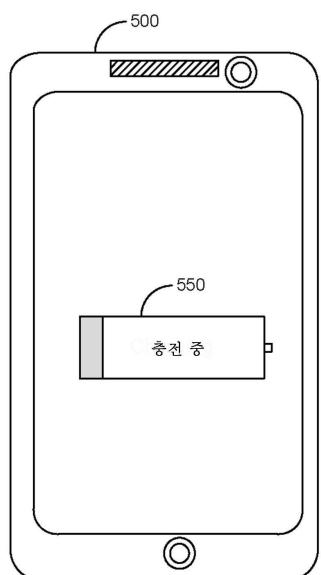
도면3



도면4



도면5



도면6

