

(19) 日本国特許庁(JP)

## (12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-108385

(P2010-108385A)

(43) 公開日 平成22年5月13日(2010.5.13)

(51) Int.Cl.	F 1	テーマコード (参考)
<b>G06F 12/06</b> (2006.01)	G06F 12/06	522A
<b>G06F 12/00</b> (2006.01)	G06F 12/00	560B
	G06F 12/06	525B
	G06F 12/00	597U

審査請求 未請求 請求項の数 5 O L (全 9 頁)

(21) 出願番号	特願2008-281957 (P2008-281957)	(71) 出願人	000233169 株式会社日立超エル・エス・アイ・システムズ 東京都国分寺市東恋ヶ窪三丁目1番地1
(22) 出願日	平成20年10月31日 (2008.10.31)	(74) 代理人	100081938 弁理士 德若 光政
		(72) 発明者	真国 一起 東京都小平市上水本町五丁目22番1号 株式会社日立超エル・エス・アイ・システムズ内
		(72) 発明者	冲永 隆幸 東京都小平市上水本町五丁目22番1号 株式会社日立超エル・エス・アイ・システムズ内

最終頁に続く

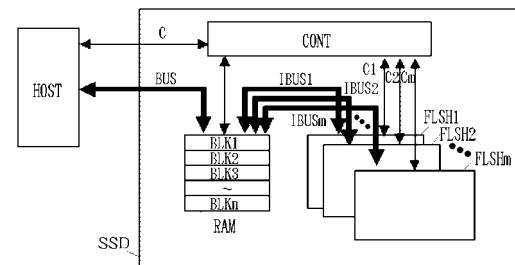
(54) 【発明の名称】記憶装置

## (57) 【要約】

【課題】ホストからの恒常的な高速書き込みとフラッシュメモリへの書き換え頻度の低減を可能にした記憶装置を提供する。

【解決手段】記憶装置は、記憶領域が複数からなるn個のブロックに分けられたRAMと、複数のm組に分けられたフラッシュメモリと、外部からRAMに対してデータの書き込みが可能にされた第1バスと、RAMから前記m組に分けられたフラッシュメモリに対してそれぞれ独立してデータの書き込みが可能にされたm個の第2バスからなる内部バスと、第1バスを用いてRAMの書き込みを行う第1動作と、第1動作のための記憶領域を確保すべく、RAMの記憶データのうち書き込み時の古い順であって、かかる記憶データのデータ量に対応して第2バスを用いて1ないしm個のブロック分のデータをフラッシュメモリに対して書き込む第2動作とを時分割的に同時にを行う内部コントローラ部とを有する。

【選択図】図1



**【特許請求の範囲】****【請求項 1】**

半導体ランダム・アクセス・メモリと、  
一括消去型不揮発性メモリと、  
上記半導体ランダム・アクセス・メモリ及び上記一括消去型不揮発性メモリに対して第1動作及び第2動作を含むメモリアクセスを行うコントローラ部と、  
内部バスとを有し、  
上記半導体ランダム・アクセス・メモリは、記憶領域が複数からなるn個のブロックに分けられ、  
上記一括消去型不揮発性メモリは、複数のm組に分けられ、  
上記内部バスは、

外部から上記半導体ランダム・アクセス・メモリに対してデータの書き込みが可能にされた第1バスと、

上記半導体ランダム・アクセス・メモリから前記m組に分けられた一括消去型不揮発性メモリに対してそれぞれ独立してデータの書き込みが可能にされたm個の第2バスとを有し、

上記コントローラ部は、

上記第1動作と上記第2動作とを時分割的に同時にを行うことが可能にされ、

上記第1動作は、上記第1バスを用いて外部から上記半導体ランダム・アクセス・メモリに対してデータの書き込み、

第2動作は、上記半導体ランダム・アクセス・メモリに対する上記第1動作のための記憶領域を確保すべく、上記半導体ランダム・アクセス・メモリの記憶データのうち書き込み時の古い順であって、かかる記憶データのデータ量に対応して上記第2バスを用いて1ないし m個のブロック分を上記一括消去型不揮発性メモリに対して書き込む、

記憶装置

**【請求項 2】**

請求項1において、  
上記一括消去型不揮発性メモリは、上記半導体ランダム・アクセス・メモリのブロック単位に対応した記憶領域毎の一括消去動作が可能にされる、  
記憶装置。

**【請求項 3】**

請求項1において、  
上記第2動作は、上記第2バスを用いて上記記憶データの書き込み時の古い複数順であって、上記最大m個のブロック分を上記一括消去型不揮発性メモリに対して書き込む動作を含む、  
記憶装置。

**【請求項 4】**

請求項1又は2において、  
上記半導体ランダム・アクセス・メモリの上記n個のブロックは、複数のp組に分けられ、各組には上記m個のブロックがそれぞれ割り当てられ、  
上記第2動作は、m個のブロック単位で上記一括消去型不揮発性メモリに対して上記第2バスを用いて上記一括消去型不揮発性メモリに対して書き込む動作を含む、  
記憶装置

**【請求項 5】**

請求項1ないし4において、  
上記コントローラ部は、ホストとの間でのデータの入出力を行うHDD互換性のインターフェイス部とを更に備え、  
上記半導体ランダム・アクセス・メモリ、一括消去型不揮発性メモリ、コントローラ部及び内部バスは、汎用小型ハードディスクドライブ装置に対応された外形サイズ及びコネクタピンを備えたパッケージに搭載される、

10

20

30

40

50

記憶装置。

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、記憶装置に関し、一括消去型不揮発性メモリ（以下、フラッシュメモリという）を用いて構成され、例えばハードディスクドライブメモリと置き換え可能な記憶装置に利用して有効な技術に関するものである。

【背景技術】

【0002】

ハードディスクドライブ（以下：HDD）の置き換え製品として、記憶媒体にフラッシュメモリを使用したSSD（Solid State Drive）の製品化を図った記憶装置として、例えば特開2006-252535号公報がある。

【特許文献1】特開2006-252535号公報

【発明の開示】

【発明が解決しようとする課題】

【0003】

フラッシュメモリを用いた記憶装置において、データの格納時の書き込み速度は、フラッシュメモリへの書き込み速度が上限値となる。フラッシュメモリへの書き込み速度は、HDDへの書き込み速度に比べて遅く、フラッシュメモリへの書き込みを多段化（パイプライン動作又はインターリーブ動作）することにより見かけ上HDDと同等の高速化が可能であるが構成上の上限がある。また、このような多段化は、上記のような高速化には有利も反面、一部のデータ書き換えを行う際にも、上記多段化によるデータ量に対応した不要な部分に対するデータの書き換えが必要となり、フラッシュメモリの書き換え頻度が上がり寿命低減につながる。

【0004】

前記特許文献1のように高速書き込みが可能な半導体ランダム・アクセス・メモリ（以下、単にRAMという）をバッファメモリとして介在させることにより、フラッシュメモリのみを用いるものに比べて高速化やフラッシュメモリの書き換え回数を低減させることができる。しかしながら、RAMのデータをフラッシュメモリに転送する間は、記憶装置として新たなデータの入力を受け付けることができず、ホストからのデータ入力の一時中断が余儀なくされて使い勝手が悪いものとなる。

【0005】

この発明の1つの目的は、ホストからの恒常的な高速書き込みと、フラッシュメモリの書き換え頻度の低減を可能にした記憶装置を提供することにある。この発明の前記ならびにそのほかの目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【課題を解決するための手段】

【0006】

本願において開示される1つの実施例は、以下の通りである。記憶装置は、RAM、フラッシュメモリ、RAM及びフラッシュメモリに対してメモリアクセスを行うコントローラ部及び内部バスを有する。RAMは、記憶領域が複数からなるn個のブロックに分けられる。フラッシュメモリは、複数のm組に分けられる。内部バスは、外部からRAMに対してデータの書き込みが可能にされた第1バスと、RAMから前記m組に分けられたフラッシュメモリに対してそれぞれ独立してデータの書き込みが可能にされたm個の第2バスとを有する。コントローラ部は、第1バスを用いて外部からRAMの書き込みを行う第1動作と、RAMに対する第1動作のための記憶領域を確保すべく、RAMの記憶データのうち書き込み時の古い順であって、かかる記憶データのデータ量に対応して第2バスを用いて1ないし m個のブロック分のデータをフラッシュメモリに対して書き込む第2動作とを時分割的に同時に行う。

【発明の効果】

10

20

30

40

50

## 【0007】

上記第1動作と第2動作の時分割的に同時動作によりホストからの恒常的な高速書き込みが可能にされ、RAMから前記m組に分けられたフラッシュメモリに対してそれぞれ独立してデータの書き込みが可能にされたm個の第2バスにより、フラッシュメモリへの書き込み高速化と書き換え頻度の低減を可能にできる。

## 【発明を実施するための最良の形態】

## 【0008】

図1には、この発明に係る記憶装置の一実施例の概略構成図が示されている。この実施例の記憶装置は、HDDの置き換え製品として、記憶媒体にフラッシュメモリを使用したSSD (Solid State Drive)に向けられている。記憶装置は、コントローラ部CONT、高速メモリRAM、フラッシュメモリFLSH、及び内部バスBUS, IBUS1~IBUSmから構成される。上記高速メモリRAMは、例えばシンクロナス・ダイナミック・ランダム・アクセス・メモリ(以下、SDRAMという)により構成される。この高速メモリRAMは、ブロックBLK1ないしBLKnのnブロックに分けられた記憶容量を有する。これらのブロックBLK1ないしBLKnは、特に制限されないが、128KB(キロバイト)のような記憶容量を持つ。

10

## 【0009】

フラッシュメモリFLSHは、m組に分けられたフラッシュメモリFLSH1~FLSHmから構成される。上記高速メモリRAMとm組に分けられたフラッシュメモリFLSH1~FLSHmとの間は、内部バスの一部を構成するm個の第2バスIBUS1~IBUSmでデータ転送が行われる。これらの第2バスIBUS1~IBUSmは、それぞれが独立して使用することが可能にされる。例えば、IBUS1~IBUSmのうちいずれか1つを単独で使用することもできるし、IBUS1~IBUSmを可変的に組み合わせて各々を同時に使用することが可能にされる。また、外部のホストHOSTから上記RAMにデータの書き込みを可能にする内部バスの他の一部を構成する第1バスBUSが設けられる。

20

## 【0010】

上記コントローラ部CONTは、第1動作と第2動作とを時分割的に同時にを行うことが可能にされる。上記第1動作は、上記第1バスBUSを用いて外部のホストHOSTから上記高速メモリRAMに対してデータを書き込む動作である。上記第2動作は、上記高速メモリRAMに対する上記第1動作のための記憶領域を確保すべく、上記高速メモリRAMに格納されている記憶データのうち書き込み時の古い順であって、かかる記憶データのデータ量に対応して上記第2バスを用いて1ないし m個のブロック分を上記フラッシュメモリに対して書き込む動作である。上記各バスBUS、IBIS1~IBUSmのそれぞれ対応して、かかるバスを用いた動作に使用される制御信号を伝える制御線C, C1~Cmがそれぞれが設けられる。

30

## 【0011】

前記SDRAMのような高速メモリRAMは、HDDでのデータ書き込み速度や、フラッシュメモリへのデータ書き込み速度に比べて十分に速い。このことを利用して、ホストからのデータ書き込みに必要な時間が割り当てられて上記第1バスを用いた高速メモリRAMへの書き込みや読み出しが可能にされる。これにより、コントローラ部は、上記時分割的に割り当てられた時間を利用して、ホストHOSTによる恒常的な書き込み動作や高速RAMに該当する記憶データが格納されていることを条件に恒常的な読み出し動作が確保される。

40

## 【0012】

この実施例では、記憶媒体としての記憶容量がフラッシュメモリFLSHの記憶容量で決定され、この実施例の記憶装置は、HDDとの置き換えあるいは互換を可能にすべくHDDに匹敵するような大きな記憶容量が設定される。上記高速メモリRAMの記憶容量は、上記フラッシュメモリFLSHの記憶容量に比べて小さくされる。したがって、上記高速メモリRAMの記憶領域が満杯になると、それ以上の書き込みができなくなる。コントロ-

50

ラ部は、上記第1動作を恒常に維持できるようにするために、上記高速メモリRAMに格納されている記憶データのうち書き込み時の古い順に記憶データをフラッシュメモリFLSHに退避させて、外部のホストHOSTからの新たなデータ書き込むための記憶領域を確保する第2動作を実施する。

【0013】

上記第2動作は、上記高速メモリRAMに対するメモリアクセス可能な時間のうち上記第1動作により使用された残り時間が割り当てられる。これにより、高速メモリRAMに対して、上記第1動作及び第2動作を時分割的に行われることにより、高速RAMに対して外部からのメモリアクセスとフラッシュメモリへのデータ退避とを同時に実施することができる。上記第2動作の前提として、フラッシュメモリFLSHは、消去状態であることが必要である。それ故、フラッシュメモリFLSHでは、退避先に書き込みデータをあるときには、消去動作が実施される。したがって、フラッシュメモリFLSHは、上記高速メモリRAMのブロックサイズに対応して消去単位サイズを決めることが便利である。消去単位サイズは、上記ブロックサイズの整数分の1であっても、整数倍分を同時に消去すればよいので構わない。

10

【0014】

上記第2動作は、例えば高速メモリRAMの書き込み可能な記憶領域のブロック数が最低値になると、第1動作とは無関係に書き込み時の古い順の記憶データが含まれるブロックの記憶データをフラッシュメモリFLSHに退避させる。このとき、連続する一連のデータが複数ブロックに跨がって存在するときには、複数ブロック分が同時に退避される。つまり、第2バスは、IBS1ないしIBUSmのようにm個存在するので、最大mブロック分が同時にフラッシュメモリFLSHに転送される。上記退避される連続データが小さく、1つのブロック内であるときには、例えば1つのバスIBUS1を用いて1ブロック分がフラッシュメモリFLSHに退避させられる。この構成は、フラッシュメモリFLSHにおける書き換え回数を低減する上で有益である。

20

【0015】

上記第2動作は、例えば高速メモリRAMの書き込み可能な記憶領域のブロック数が最低値以上であっても、第1動作による書き込む要求のデータ量が上記最低値より大きいときには、かかる第1動作に対応して第2動作が実施される。この場合、大量のデータを書き込む記憶領域を単時間で確保する必要から、上記連続する一連のデータが複数ブロックに跨がって存在するときには、複数ブロック分を同時に退避し、データバスに余りがあるときには、次に古い記憶データを合わせて退避させる。つまり、最大m個分のデータを退避するよう退避データを選択する。

30

【0016】

例えば、上記m=4であって、1ブロックBLKが256セクタ(128KB)であるとき、1ないし4ブロックの任意量連続論理アドレスデータを一度に転送することが可能にされる。例えば、連続論理アドレス退避データが上記256セクタ分なら1ブロック分が転送され、連続論理アドレス退避データが上記512セクタ分なら2ブロック分が同時に転送されて、上記1ブロック分の転送と同じ時間内に転送される。仮に、高速メモリRAMとフラッシュメモリFLSHとの間の内部バスを固定的に使用する構成では、この内部バスでの転送量に合わせてデータ退避が行われる。したがって、上記内部バスIBUS1～IBUS4を設けた場合には、上記4ブロック単位でのデータ退避となり、上記1ブロック分のデータ退避でもよいときにも、4ブロック分のデータ退避が行われてしまう。この結果、フラッシュメモリFLSHでの書き換え回数が増大してしまうが、この実施例のように各バスを退避データ量に応じて独立して使用できる構成では、上記フラッシュメモリFLSHでの書き換え回数を低減できる。

40

【0017】

上記第2バスの独立使用は、高速メモリRAMにおける不連続論理アドレスデータのフラッシュメモリFLSHへの同時格納を可能にできる。例えば、ハードデスク内の全てのセクタに通し番号を振り、その通し番号によってセクタを指定するアドレス方式であるLB

50

A (Logical Block Addressing)  $0 \times 0000$  を先頭アドレスとする 1 ブロック分、  $LBA 0 \times 0500$  を先頭アドレスとする 1 ブロック分、  $LBA 0 \times 0A00$  を先頭アドレスとする 1 ブロック分、  $LBA 0 \times 0F00$  を先頭アドレスとする 1 ブロック分の計 4 ブロック分を同時にフラッシュメモリ FLSH に退避させることができる。このような不連続論理アドレスデータの組み合わせは、 1 ブロック分が 2 個で 2 ブロック分が 1 個の組み合わせ、 1 ブロックが 1 個で、 3 ブロック分が 1 個の組み合わせにより以下のように 7 通り存在する。つまり、 (1, 1, 1, 1)、 (1, 1, 2)、 (1, 2, 1)、 (2, 1, 1)、 (1, 3)、 (3, 1) である。括弧内の数字 1 ~ 3 は、 ブロック数を表している。

## 【0018】

図 2 には、この発明に係る記憶装置の他の一実施例の概略構成図が示されている。この実施例の高速メモリ RAM は、 ブロック BLK 1 ないし BLK m を 1 組として、 p 組が設けられる。この場合の前記図 1 の n は、  $n = m \times p$  の関係とされる。これら各組のブロック BLK 1 ないし BLK m は、特に制限されないが、 それぞれが前記同様に 256 セクタ (128KB) のような記憶容量を持つ。

10

## 【0019】

この構成では、前記図 1 の実施例のようにブロック単位での第 2 動作を実施できることの他、上記組単位での第 2 動作を実施することができる。つまり、コントローラ部は、退避データ量が大きいときには、逐一ブロック BLK と、それに対応したバスの組み合わせを指定することなく、上記 p 組のうちの 1 つの組を指定するだけで、  $m = 4$  のときには自動的に前記 4 つの連続したブロックと 4 つのバス IBUS 1 ~ IBUS 4 を選択することができる。

20

## 【0020】

コントローラ部は、上記高速メモリ RAM に対して 1 ~ p 組の区分動作を処理する。各区分の動作モードは、転送 / 待機 / 格納であり、ホスト HOST からのデータの書き込みのために 1 区分以上を確保する仕組み (スケジューリング) を有する。滞りなく各動作を行うためには、例えば、高速メモリ RAM の 1 ないし p 組のうち、例えば第 1 組がフラッシュメモリ FLSH へのデータ転送を行うとき、第 2 組がフラッシュメモリ FLSH への転送待機中で、第 3 組がホスト HOST からのデータの格納中のモデルが考えられる。したがって、上記 p 組は、 3 が最小構成値となる。

30

## 【0021】

図 3 には、この発明に係る記憶装置の一実施例の概略ブロック図が示されている。この実施例の記憶装置は、記憶媒体にフラッシュメモリ (FLSH) を使用した SSD (Solid State Drive) として、特に制限されないが、 1024M ビットの記憶容量を持つ 2 値又は多値 (4 値) フラッシュメモリを、多数個を 1 つのパッケージの中に搭載して HDD と置き換え可能な記憶容量を持つようにされる。

## 【0022】

これら多数個の不揮発性メモリ (FLSH) は、特に制限されないが、 4 組に分割されて、それぞれ不揮発性メモリ I/F (インターフェイス) を通して前記第 2 バスとしての内部バス IBUS 1 ~ IBUS 4 に接続される。前記第 1 バスとしての内部バス BUS は、例えば ATA 又は SCSI のようなインターフェイス I/F を有するコントローラ部に接続される。上記コントローラ部は、 CPU で示したような 1 チップマイクロコンピュータ等のようなコントローラと上記 ATA (AT Attachment) 又は SCSI (Small Computer System Interface) のようなインターフェイス I/F とから構成される。したがって、コントローラ部は、不揮発性メモリインターフェイス I/F に設けられたドライバと上記不揮発性メモリ (FLSH) との間でデータのやりとり、つまりはデータの書き込みや読み出しを行う。

40

## 【0023】

上記コントローラ部は、揮発性メモリ (RAM) とのインターフェイス部にマルチブレクサ MPX を有しており、このマルチブレクサ MPX の切り替えにより、前記ホスト HOST からのアクセスと、揮発性メモリ (RAM) 内のデータ退避のためのアクセスとが時分

50

割的に同時動作が可能にされる。

【0024】

上記フラッシュメモリ F L S H からのデータ読み出しは、書き込み動作に比べて高速にできるので、もしも揮発性メモリ ( R A M ) に該当する論理アドレスのデータが存在しない場合にも、揮発性メモリ ( R A M ) からの読み出し動作と同等にフラッシュメモリ F L S H から上記 A T A 又は S C S I のようなインターフェイス I / F とデータ線 ( 第 1 バス ) を通してホスト H O S T に読み出すことができる。このため、前記図 1 、図 2 の実施例では省略されているが、フラッシュメモリ F L S H からホスト H O S T に向けてデータを読み出す信号経路が上記コントローラ部 C O N T に設けられるものである。コントローラ部 C O N T に設けられたテーブル T B L は、前記揮発性メモリ ( 高速メモリ ) R A M のデータ退避のスケジューリングに利用される論理アドレス等が格納されている。

10

【0025】

この実施例では、上記パッケージには、特に制限されないが、電源検出回路と電源遮断時の動作電圧を確保するためのコンデンサ C P 及びスイッチ S W を更に備えている。このコンデンサ C P は、システム側において予期しない電源遮断が生じた場合でも、その蓄積電荷によって不揮発性メモリやコントローラ部及び揮発性メモリや電源検出回路に電圧を供給して、不揮発性メモリの中断処理を含めた正常終了状態まで動作電圧を維持するように動作する。上記のような中断処理が行われるような動作電圧確保のために、セラミックコンデンサもしくは電気二重層コンデンサを複数個並列して例えば約数百  $\mu$  F から数十 m F 程度の容量値を持つようにされる。

20

【0026】

上記電源検出回路は、マイクロコンピュータ等のようなホスト側からの電源電圧 V cc を受けて、その電源投入と電源遮断を検出する。この検出信号は、ゲート回路 G の一方の入力に供給される。このゲート回路 G の他方の入力にはコントロール線を通したコントロール信号が供給される。ゲート回路 G は、例えば NAND ( N A N D ) ゲート回路のような論理回路からなり、電源投入又は電源遮断に対応したコントローラ部からの信号、あるいはコントロール線から供給される制御信号に対応してスイッチ S W の制御等を行う。

20

【0027】

スイッチ S W は、ゲート回路 G の出力信号によって切り替えられ、コンデンサ C P が電源 V cc による充電動作から、その保持電圧を記憶装置 S S D の内部回路の動作電圧として供給する動作を行う。上記電源検出回路は、上記コンデンサ C P の保持電圧が有効に利用できるようにするために、コンデンサ C P で形成された動作電圧がシステム側に逆流してしまうのを防止するような機能も持つものである。最も簡単な構成は、ダイオード等の一方向性素子を通してシステム側からの電源電圧 V cc が、記憶装置 S S D の電源電圧として上記スイッチ S W を通してコンデンサ C P にチャージアップされるとともに、コントロール部、不揮発性メモリ ( フラッシュメモリ F L S H ) 、揮発性メモリ ( 高速メモリ R A M ) 、インターフェイス回路 I / F 及び電源検出回路に伝えられる。

30

【0028】

上記記憶装置 S S D は、例えば 2 . 5 インチのハードディスクドライブ装置と同様な外形サイズ ( 7 0 . 0 × 1 0 0 . 0 × 9 . 5 m m ) 又は 3 . 5 インチのハードディスクドライブ装置と同様な外形サイズ ( 1 0 1 . 6 × 1 4 6 . 0 × 2 5 . 4 m m ) のパッケージに搭載され、インターフェイス回路 I N F に接続されるコネクタピンも上記 2 . 5 インチのハードディスクドライブ装置又は 3 . 5 インチのハードディスクドライブ装置と同様なものが用いられる。これにより、この実施例の記憶装置 S S D は、H D D ( ハードディスクドライブ ) 互換性記憶装置とされる。

40

【0029】

この実施例の記憶装置 S S D においては、電源検出回路によって電源遮断を検出したときの動作中の取扱いは、正常動作完了させるまで待つ場合と、動作中断させる場合が選択できる。これは、動作中の処理内容、そのメモリコントローラ部による揮発性メモリから不揮発性メモリに書き込むデータ量 ( 所要時間 ) および電源再投入時の継続可否などから

50

決められる。

【 0 0 3 0 】

以上本発明者によってなされた発明を、前記実施形態に基づき具体的に説明したが、本発明は、前記実施形態に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能である。例えば、揮発性メモリは、例えば高速メモリRAMは、前記のようなSDRAMの他に、スタティック型RAMであってもよい。フラッシュメモリは、NAND型フラッシュメモリの他にNOR型のフラッシュメモリであってもよい。コントローラ部は、高速メモリRAMに対して前記時分割により複数のバスから同時アクセスできるようにするものであれば何であってもよい。

### 【産業上の利用可能性】

【 0 0 3 1 】  
フラッシュメモリを用いて構成され、例えばハードディスクドライブメモリと置き換え

可能な記憶装置等に広

## 【図面の簡単

【 0 0 3 2 】

【図1】この発明に係る記憶装置の一実施例の概略構成図である。

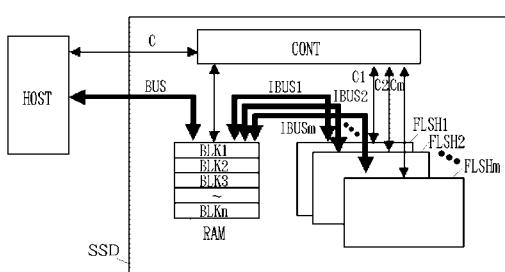
【図2】この発明に係る記憶装置の他の一実施例の概略構成図である。

### 【図3】この発

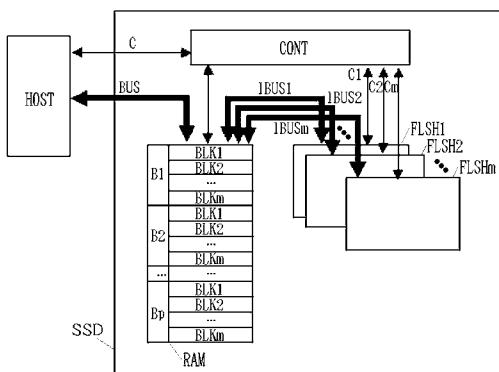
## 【符号の説明】

【 0 0 3 3 】  
C O N T ... コントローラ部、R A M ... 高速メモリ（揮発性メモリ）、B L K 1 ~ B L K n ... ブロック、F L S H ( F L S H 1 ~ m ) ... フラッシュメモリ（不揮発性メモリ）、B U S ... 第1バス（内部バス）、I B U S 1 ~ I B U S m ... 第2バス（内部バス）、H O S T ... ホスト、C P U ... 1チップマイクロコンピュータ、T B L ... テーブル、S W ... スイッチ  
C P ... コンデンサ、G ... ゲート回路

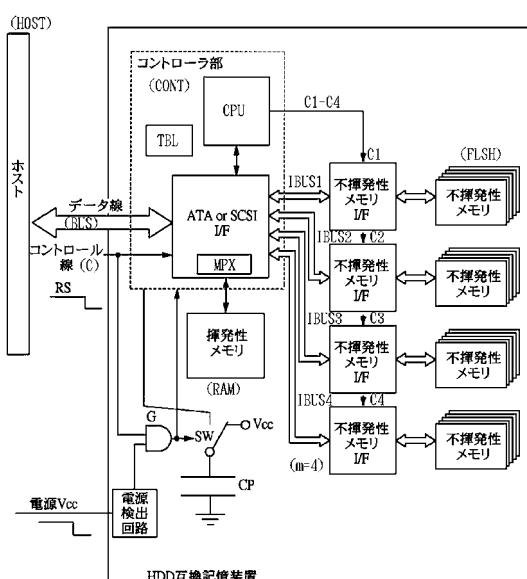
【图1】



【図2】



【 3 】



10

30

---

フロントページの続き

(72)発明者 東 修一郎

東京都小平市上水本町五丁目22番1号 株式会社日立超エル・エス・アイ・システムズ内

(72)発明者 小池 康之

東京都小平市上水本町五丁目22番1号 株式会社日立超エル・エス・アイ・システムズ内

(72)発明者 曽我 純平

東京都小平市上水本町五丁目22番1号 株式会社日立超エル・エス・アイ・システムズ内

F ターム(参考) 5B060 CB01 CB06 CD07