



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201329966 A1

(43)公開日：中華民國 102 (2013) 年 07 月 16 日

(21)申請案號：101136056

(22)申請日：中華民國 101 (2012) 年 09 月 28 日

(51)Int. Cl. : **G11B5/09 (2006.01)** **G11B20/10 (2006.01)**

(30)優先權：2011/09/30 美國 13/250,246

(71)申請人：L S I 公司 (美國) LSI CORPORATION (US)

美國

(72)發明人：沃瑞爾 克特 J WORRELL, KURT J. (US) ; 哈瑞區 艾利希 F HARATSCH, ERICH F. (DE) ; 徐長友 XU, CHANGYOU (CN) ; 席格敦 傑佛森 SINGLETON, JEFFERSON (US) ; 凡卡塔查倫 克里帕 VENKATACHALAM, KRIPA (IN) ; 史賓伯格 大衛 G SPRINGBERG, DAVID G. (US)

(74)代理人：陳長文

申請實體審查：無 申請專利範圍項數：10 項 圖式數：10 共 60 頁

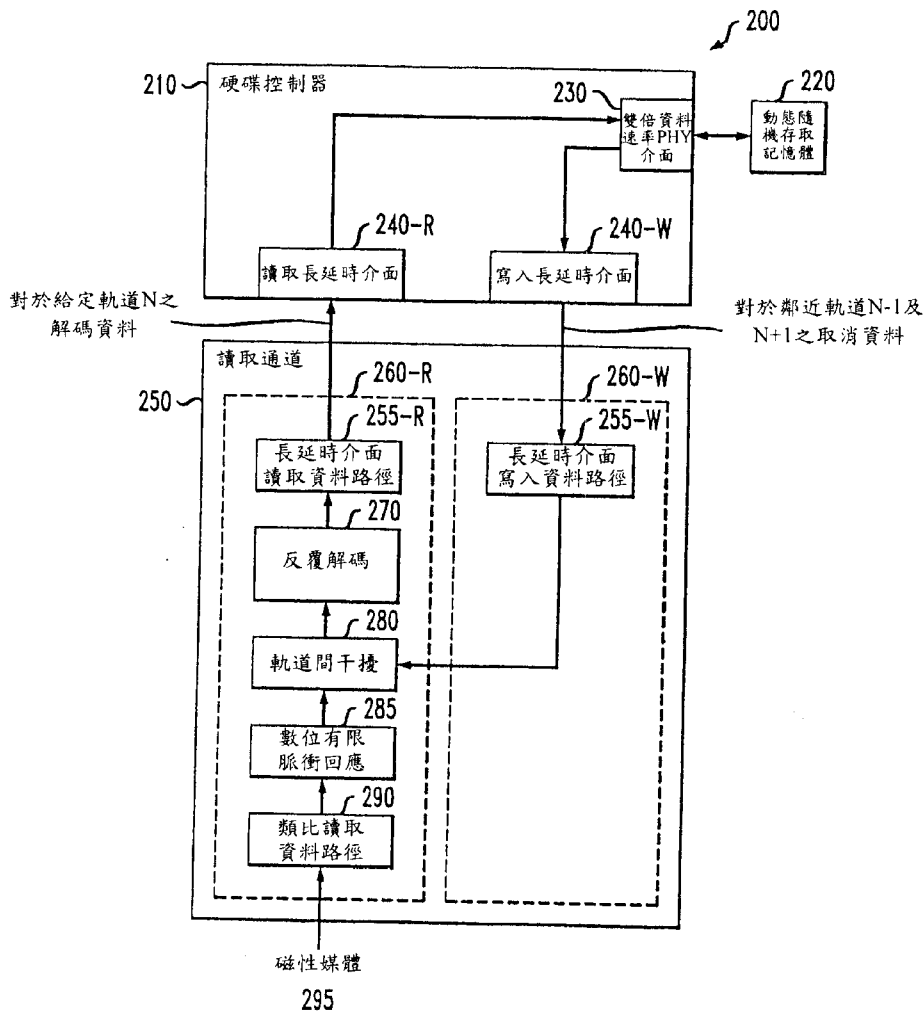
(54)名稱

用於在磁性記錄系統中之軌道間干擾減輕之以硬體為基礎之方法及裝置

HARDWARE-BASED METHODS AND APPARATUS FOR INTER-TRACK INTERFERENCE MITIGATION IN MAGNETIC RECORDING SYSTEMS

(57)摘要

本發明提供一種用於磁性記錄系統中之軌道間干擾(ITI)減輕之以硬體為基礎之方法及裝置。藉由獲取 ITI 取消資料而減輕一磁性記錄系統中之 ITI；且使用該磁性記錄系統中之一寫入資料路徑將該 ITI 取消資料提供至一 ITI 減輕電路。該寫入資料路徑可視需要與執行讀取操作之讀取資料路徑實質上同時操作。該 ITI 取消資料包括(例如)使用者資料及/或媒體資料。



- 200：磁性記錄系統
- 210：硬碟控制器
- 220：動態隨機存取記憶體
- 230：雙倍資料速率PHY介面
- 240-R：長延時介面
- 240-W：長延時介面
- 250：讀取通道
- 255-R：長延時介面
- 255-W：長延時介面
- 260-R：讀取資料路徑
- 260-W：寫入資料路徑
- 270：反覆解碼組塊
- 280：軌道間干擾減輕電路
- 285：數位有限脈衝回應濾波器
- 290：類比讀取資料路徑組塊
- 295：磁性媒體



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201329966 A1

(43)公開日：中華民國 102 (2013) 年 07 月 16 日

(21)申請案號：101136056

(22)申請日：中華民國 101 (2012) 年 09 月 28 日

(51)Int. Cl. : **G11B5/09 (2006.01)** **G11B20/10 (2006.01)**

(30)優先權：2011/09/30 美國 13/250,246

(71)申請人：L S I 公司 (美國) LSI CORPORATION (US)
美國

(72)發明人：沃瑞爾 克特 J WORRELL, KURT J. (US) ; 哈瑞區 艾利希 F HARATSCH, ERICH F. (DE) ; 徐長友 XU, CHANGYOU (CN) ; 席格敦 傑佛森 SINGLETON, JEFFERSON (US) ; 凡卡塔查倫 克里帕 VENKATACHALAM, KRIPA (IN) ; 史賓伯格 大衛 G SPRINGBERG, DAVID G. (US)

(74)代理人：陳長文

申請實體審查：無 申請專利範圍項數：10 項 圖式數：10 共 60 頁

(54)名稱

用於在磁性記錄系統中之軌道間干擾減輕之以硬體為基礎之方法及裝置

HARDWARE-BASED METHODS AND APPARATUS FOR INTER-TRACK INTERFERENCE MITIGATION IN MAGNETIC RECORDING SYSTEMS

(57)摘要

本發明提供一種用於磁性記錄系統中之軌道間干擾(ITI)減輕之以硬體為基礎之方法及裝置。藉由獲取 ITI 取消資料而減輕一磁性記錄系統中之 ITI；且使用該磁性記錄系統中之一寫入資料路徑將該 ITI 取消資料提供至一 ITI 減輕電路。該寫入資料路徑可視需要與執行讀取操作之讀取資料路徑實質上同時操作。該 ITI 取消資料包括(例如)使用者資料及/或媒體資料。

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：101136056

※ 申請日：2012.09.28

※IPC 分類：G11B 5/09 (2006.01)

G11B 20/10 (2006.01)

一、發明名稱：(中文/英文)

用於在磁性記錄系統中之軌道間干擾減輕之以硬體為基礎之方法及裝置

HARDWARE-BASED METHODS AND APPARATUS FOR INTER-
TRACK INTERFERENCE MITIGATION IN MAGNETIC RECORDING
SYSTEMS

二、中文發明摘要：

本發明提供一種用於磁性記錄系統中之軌道間干擾(ITI)減輕之以硬體為基礎之方法及裝置。藉由獲取ITI取消資料而減輕一磁性記錄系統中之ITI；且使用該磁性記錄系統中之一寫入資料路徑將該ITI取消資料提供至一ITI減輕電路。該寫入資料路徑可視需要與執行讀取操作之讀取資料路徑實質上同時操作。該ITI取消資料包括(例如)使用者資料及/或媒體資料。

三、英文發明摘要：

Hardware-based methods and apparatus are provided for inter-track interference mitigation in magnetic recording systems.

Inter-track interference (ITI) is mitigated in a magnetic recording system by obtaining ITI cancellation data; and providing the ITI cancellation data to an ITI mitigation circuit using a write data path in the magnetic recording system. The write data path can optionally operate substantially simultaneously with the read data path performing the read operation. The ITI cancellation data comprises, for example, user data and/or media data.

四、指定代表圖：

(一)本案指定代表圖為：第（ 2 ）圖。

(二)本代表圖之元件符號簡單說明：

200	磁性記錄系統
210	硬碟控制器
220	動態隨機存取記憶體
230	雙倍資料速率PHY介面
240-R	長延時介面
240-W	長延時介面
250	讀取通道
255-R	長延時介面
255-W	長延時介面
260-R	讀取資料路徑
260-W	寫入資料路徑
270	反覆解碼組塊
280	軌道間干擾減輕電路
285	數位有限脈衝回應濾波器
290	類比讀取資料路徑組塊
295	磁性媒體

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

六、發明說明：

【發明所屬之技術領域】

本發明一般係關於磁性記錄系統，且更特定地關於用於減輕此等磁性記錄系統中之軌道間干擾效應之改良技術。

【先前技術】

在磁性記錄(MR)系統中，資料通常作為一序列之小磁域而記錄於磁性媒體上之同心圓軌道上。寫入至鄰近一給定軌道之軌道上之資料將影響從媒體之該給定軌道之讀回信號。在讀取該給定軌道期間由於一個或多個鄰近軌道而引入之信號被稱為串擾或軌道間干擾(ITI)。由該給定軌道之讀回信號中之鄰近軌道引起之ITI雜訊之減輕通常依賴關於從鄰近軌道供應至一ITI減輕電路或程序之資料型樣之資訊。

ITI在同心或螺旋軌道之資料記錄於相對於磁頭大小緊密接近彼此之媒體上之硬碟機(HDD)中特別令人擔憂。藉由將軌道更緊密置於一起，磁碟機之容量增加。然而，已知ITI會隨技術演進而增加，且隨著軌道分離距離變得更小而變為顯著雜訊源。隨著軌道更緊密置於一起，當從媒體讀回給定軌道之信號時，鄰近軌道更可能影響該給定軌道之信號，降低整體信雜比。因此，ITI限制可可靠地儲存於一磁性媒體之一給定區域中之軌道數量。ITI在疊瓦式磁性記錄(SMR)系統中甚至更令人擔憂，其中足夠緊密安置軌道，使得當寫入資料時，在一些情況中軌道彼此觸碰，且在其他情況中甚至可彼此重疊。

已提出在磁性記錄系統中減輕ITI效應之許多技術。例如，在現存SMR實施中，通常由硬碟控制器(HDC)中之軟體執行減輕程序。然而已發現，當啟用ITI減輕時，硬碟控制器無法足夠快地處理資料以對於磁碟之每3至6次旋轉而恢復多於幾個磁區(且通常為僅一個磁區)。然而，磁碟之每次旋轉可例如含有500個或更多個磁區(例如，取決於所利用之特定磁碟機，磁盤大小及磁碟上每個軌道之徑向位置)。

因此，需要存在對於減輕ITI效應之改良技術。進一步需要存在對於減輕ITI效應之以硬體為基礎之技術。另外需要存在對於不需要硬碟控制器執行ITI計算之減輕ITI效應之以硬體為基礎之技術。

【發明內容】

一般而言，提供用於在磁性記錄系統中之軌道間干擾減輕之以硬體為基礎之方法及裝置。根據本發明之一態樣，藉由獲取軌道間干擾(ITI)取消資料；及在一磁性記錄系統中使用一寫入資料路徑而在一讀取操作期間將該ITI取消資料提供至一ITI減輕電路，而減輕該磁性記錄系統中之ITI。該寫入資料路徑可視需要與執行該讀取操作之讀取資料路徑實質上同時操作。

可例如從該寫入資料路徑外部之一記憶體獲取該ITI取消資料。該ITI取消資料包括(例如)使用者資料及/或媒體資料。在一實施例中，為了ITI減輕，該寫入資料路徑將使用者資料轉換為媒體資料。

可對於一給定磁區之資料選擇性地啟用ITI減輕。此外，可對於一個或多個鄰近軌道之一給定讀取操作而選擇性地執行ITI減輕。可視需要與後處理程序組合而執行ITI減輕，以後處理ITI校正之資料及/或對後處理之資料執行ITI減輕。

將藉由參考下文之詳細描述及圖式而獲取本發明之更完全理解以及本發明之額外特徵及優點。

【實施方式】

本發明提供用於在磁性記錄系統中之軌道間干擾減輕之以硬體為基礎之方法及裝置。ITI減輕將從媒體讀取之資料與額外資料(在下文中稱為「取消資料」)組合，以改良正確資料恢復之可能性。該取消資料必須供應至ITI減輕電路或程序。如一般技術者所瞭解，該取消資料可從磁碟媒體讀取，或從另一個源獲取。

根據本發明之一態樣，所揭示之用於軌道間干擾減輕之以硬體為基礎之技術從硬碟控制器獲取取消資料，但不需要該硬碟控制器中之處理單元執行ITI計算。根據本發明之另一態樣，揭示一種用於儲存、供應及操縱該取消資料以呈現給用於後續數位信號處理(DSP)之讀取資料路徑之系統，藉此改良正確恢復所寫入資料之機會。

讀取通道通常是在一給定時間處於一讀取模式或一寫入模式中之從屬器件。在每個模式中，資料通常僅在一個方向上流動。例如，在一寫入模式中時，資料從一硬碟控制器(HDC)流動至讀取通道(RC)、至媒體，且在一讀取模式

中從該媒體流動至該RC且接著流動至該硬碟控制器。本發明認識到，當該讀取通道正在一讀取模式中執行一讀取操作時，寫入資料路徑(WDP)之至少一部分通常係空閒的。

因此，根據本發明之一進一步態樣，利用該寫入資料路徑(其在讀取操作期間通常是空閒或休眠的)以將該取消資料遞送至該讀取資料路徑中之一ITI減輕電路。因此，在讀取操作期間使用該寫入資料路徑，以將取消資料傳輸至該讀取通道。該取消資料連同由該讀取資料路徑從磁性媒體獲取之媒體資料實質上同時提供至該ITI減輕電路。除其他優點之外，該寫入資料路徑通常包含編碼、擾亂及緩衝資料，及計算錯誤校正資料(其隨後寫入至媒體)之功能，且此功能可根據本發明而利用於ITI減輕。以此方式，所揭示之ITI減輕系統以非常小之設計資源(design effort)、區域支出(area expense)及電力成本，利用否則為空閒之硬體及寫入路徑中現存之緩衝容量以啟用ITI減輕。

圖1繪示一例示性疊瓦式磁性記錄(SMR)系統之一磁性媒體100上之例示性軌道110-1至110-3之一部分。該等軌道110-1至110-3通常以增加數值之順序寫入(諸如圖1中從底部至頂部所繪示)。本文中描述之許多實例引用左軌道及右軌道，其等係分別指鄰近一給定軌道之左邊及右邊之軌道。如圖1中所示，該等例示性軌道110-1、110-2及110-3被寫入，其中第一重疊區域120-1介於軌道110-1與110-2之

間，且其中第二重疊區域120-2介於軌道110-2與110-3之間。例如從軌道110-3讀取之信號嚴重影響從軌道110-2讀取之信號，此係因為重疊先前之寫入軌道110-2而寫入軌道110-3。先前寫入於軌道110-1上之資料而亦影響從軌道110-2讀取之信號，此係因為軌道110-2之左邊緣寫入於軌道110-1之右邊緣上。軌道110-2之讀取信號非常取決於定位於軌道上以讀取所記錄之資料之讀取頭之位置及大小。若該讀取頭經定位比其他軌道110-3之邊緣(諸如邊緣140，例如)更接近軌道110-2之一邊緣(諸如邊緣130)，則鄰近邊緣130之對應軌道110-1將比鄰近邊緣140之軌道110-3更多地影響軌道110-2之讀取信號。若該讀取頭之大小相同於或大於軌道110-2之不重疊區域，則軌道110-1及110-3兩者皆可能引發ITI雜訊。

注意，一鄰近軌道可比其他鄰近軌道具有更顯著之ITI效應。例如，相對於鄰近軌道之位置，該讀取頭在中間軌道110-2上之位置可影響由每個鄰近軌道貢獻於該中間軌道之ITI的量。因此，可視需要首先對於具有更顯著ITI貢獻之鄰近軌道而執行ITI減輕。如下文中進一步所討論，若執行雙側ITI減輕，則本文中所述之例證性實施例未限制使用一側軌道或另一側軌道、或側軌道之順序。所揭示之ITI減輕機制允許首先執行最重要之取消(若事先已知)，以便允許一旦達成成功恢復時終止該ITI減輕程序。

圖2係根據本發明併入ITI減輕之一磁性記錄系統200之部分之一示意性方塊圖。圖2繪示用於在一讀取操作期間

ITI減輕之磁性記錄系統200之組態。如圖2中所示，該磁性記錄系統200包括一硬碟控制器(HDC)210及一讀取通道(RC)250。該讀取通道250包括一讀取資料路徑(RDP)260-R及一寫入資料路徑(WDP)260-W。如前文所指示，本發明利用之該寫入資料路徑260-W將對於一個或多個鄰近軌道(諸如鄰近一給定軌道N之軌道N-1及N+1)之取消資料遞送至該讀取資料路徑260-R中之一ITI減輕電路280。該取消資料與由該讀取資料路徑260-R從磁性媒體獲取之媒體資料實質上同時提供至該ITI減輕電路280。

通常，類比RDP組塊290包括許多類比組件，諸如：一交流耦合衰減器(ACC)；一可變增益放大器(VGA)，其具有適應性控制、基線補償、磁阻不對稱(MRA)補償、熱微凸(thermal asperity；TA)偵測；連續時間濾波器(CTF)，其具有用於數位信號處理之適應性控制；及一類比轉數位轉換器(ADC)。一般而言，當該讀取頭遭遇在磁碟磁盤之平面上(磁性材料位於其上)凸起之一部分磁性材料時出現熱微凸，致使信號振幅實質上增加。熱微凸偵測組塊識別此等磁性材料部分，且嘗試以已知之方式補償其等。

接著由等化該信號之一數位有限脈衝回應(DFIR)濾波器285濾波該數位化之信號。該DFIR 285將濾波之輸出提供至該ITI減輕電路280。由該ITI減輕電路280產生之ITI取消之信號接著被提供至包含一維特比偵測器及一解碼器(諸如低密度同位檢查解碼器)之反覆解碼組塊270。該讀取資料路徑260-R將對於一給定軌道N之經解碼之資料提供至硬

碟控制器 210。

如前文所指示，該寫入資料路徑 260-W 通常包含編碼將要寫入於該媒體上之資料之功能，使得可在隨後讀取該資料時執行錯誤校正。此外，該寫入資料路徑 260-W 亦擾亂及緩衝資料，且根據本發明可利用此功能用於 ITI 減輕。

對於一例示性 ITI 減輕電路 280 之更詳細討論，例如參見 2011 年 7 月 19 日申請之標題為「Systems and Methods for Inter-Track Interference Compensation」之美國專利申請案第 13/186,174 號(代理人檔案號碼 AGERE-022110)，其以引用之方式併入本文中。根據本發明之用於 ITI 減輕之許多例示性技術在下文中結合圖 5 至圖 10 而進一步討論。例如，本發明之各種實施無論包含或不包含 ITI 減輕皆支援直接讀取磁性媒體 295。此外，本發明之另一實施支援包含至少一側 ITI 減輕之運作中(OTF)或即時讀取。本發明之又另一實施支援包含至多兩側 ITI 減輕之離線讀取。

本發明亦支援後處理之 DFIR 資料之 ITI 減輕，諸如 Y 平均資料及/或 ITI 減輕之 DFIR 資料之後處理，諸如 ITI 減輕之資料之 Y 平均。例如，ITI 減輕之 Y 平均資料包括獲取多次讀取之 Y 平均，且接著使用 Y 平均之樣本而執行 ITI 減輕及解碼。類似地，ITI 減輕之資料之 Y 平均包括讀取一磁區，使用當前讀取磁區執行 ITI 減輕，且視需要解碼，且使用來自多次讀取之 ITI 減輕之樣本獲取 Y 平均，接著讀取下一個磁區，等等。

如圖 2 中所示，該硬碟控制器 210 包括例示性長延時介面

(LLI)240-R、240-W，其等分別用於與讀取資料路徑(RDP)260-R及寫入資料路徑(WDP)260-W中之對應長延時介面(LLI)255-R、255-W通信。

該硬碟控制器210亦包含與外部雙倍資料速率(DDR)器件(諸如動態隨機存取記憶體(DRAM)220)通信之DDR PHY介面230。該取消資料可例如儲存於外部DRAM 220或另一個非揮發性記憶體中，諸如靜態隨機存取記憶體(SRAM)或快閃記憶體。該例示性DRAM 220可儲存對於磁性媒體100(圖1)或磁性媒體295(圖2)之一個或多個軌道之取消資料。例如，被儲存之取消資料之量可隨當前正在被讀取之軌道之軌道間距而變化。該例示性DRAM 220亦可儲存僅對於一個或多個磁區(例如，在先前讀取操作期間無法成功恢復之磁區)之取消資料，以減少需要儲存於DRAM中之資料量。

如一般技術者所瞭解，該取消資料(亦稱為側軌道資料)可具有許多例示性格式。一般而言，該例示性取消資料可包括對應於寫入媒體波形之編碼媒體資料，或通常由硬碟控制器210供應之未編碼使用者資料。一般而言，該例示性媒體資料格式包括編碼之資料，包含低密度同位檢查(LDPC)附加項、運行長度限制(RLL)編碼附加項及錯誤偵測碼(EDC)附加項。圖3及圖4分別呈現併入用於處理媒體資料之不同實施例之讀取通道250之替代實施250'及250''。在圖3及圖4中，運行長度限制及錯誤偵測碼編碼器及解碼器功能及擾碼器功能被標記為「ESR」(即，錯誤偵測碼、

擾碼器及RLL)。

還應注意，在該例示性實施例中，ITI減輕電路280處理等化類比轉數位轉換器(ADC)樣本，稱為「Y資料」。在一替代實施例中，該ITI減輕電路280可處理原始(未等化)ADC樣本，在本文中稱為「ADC資料」。對於寫入媒體上之每個媒體位元，該Y資料或ADC資料例如可為6位元之資料。該ADC資料或Y資料從該磁性媒體295讀取，且分別在ADC或DFIR等化器之輸出處可用。反覆解碼組塊270將每個Y資料樣本轉換為單個位元之偵測媒體資料(且在移除同位及其他附加項位元之後)，轉換為單個位元之偵測使用者資料。該反覆解碼組塊270可例如使用一熟知LDPC解碼器而體現。

在一例示性實施例中，該寫入資料路徑260-W呈現依使用者或媒體資料格式之ITI取消資料。在一替代實施例中，該寫入資料路徑260-W呈現依ADC或Y資料格式之ITI取消資料，在該等情況中，按每媒體位元之多個位元儲存於該DRAM中，且從該硬碟控制器供應至該寫入資料路徑260-W。該ITI減輕電路280基於媒體資料、ADC資料或Y資料(取決於寫入資料路徑260-W供應什麼)而減輕ITI。若該硬碟控制器將依使用者資料格式之ITI取消資料提供至該讀取通道，則該寫入資料路徑將使用者資料轉換為媒體資料，如圖3及圖4中所述。

注意，若DDR PHY 230在沒有額外費用及系統設計修改之下不具有足夠頻寬以支援Y資料或ADC資料格式(例如，

按每儲存之媒體位元之6個位元)，仍然可支援單個位元格式之格式，其係實施本發明之使用者或媒體資料格式。用單個位元格式，僅需要添加一位元單位之頻寬。還應注意，讀取資料被寫入至現存非ITI碟機中之記憶體。因此，僅添加一頻寬位元單位，以從該DDR讀取資料，且將該取消資料發送至該讀取通道，以使用於揭示之ITI取消程序中。藉由使用單個位元格式，該DRAM中之ITI取消資料所需之儲存器的量亦大大減小。

在一例示性實施例中，該磁性記錄系統200包含一ITI控制信號或暫存器(例如稱為METACMD[1]或ITI_GATE)，以指示ITI取消資料是否應使用於一給定讀取操作。若該ITI控制信號指示該ITI取消資料不應用於一給定讀取操作，則可視需要旁繞該ITI減輕電路280(因為沒有用於ITI減輕之資料)，如下文在圖3至圖4中進一步所展示。此外，該例示性磁性記錄系統200包含一模式控制信號或暫存器(例如稱為ITI_SIDES)，以指示在該例示性實施例中是否對於僅一個鄰近軌道(例如，ITI_SIDES設為ITI_SIDES=0)或兩個鄰近軌道(例如，ITI_SIDES設為ITI_SIDES=1)而執行ITI取消。一般而言，任何數量N之軌道可具有對中間軌道之ITI影響。此外，如一般技術者所瞭解，可根據本發明在N個步驟中執行N側ITI減輕。

圖3係圖2之讀取通道250之一替代實施250'之一示意性方塊圖，其中該寫入資料路徑產生媒體資料，以呈現給ITI減輕電路280。如圖3中所示，以類似於圖2之方式，該

例示性讀取通道250'包括一讀取資料路徑360-R及一寫入資料路徑360-W。可以類似於圖2之讀取資料路徑260-R之方式實施該讀取資料路徑360-R。如前文所指示，本發明利用該寫入資料路徑360-W以將取消資料遞送至該讀取資料路徑360-R中之一ITI減輕電路280。該取消資料與由該讀取資料路徑360-R從磁性媒體獲取之媒體資料實質上同時被提供至該ITI減輕電路280。在另一例示性實施例中，在由該讀取資料路徑360-R從磁性媒體獲取之對應媒體資料之前或之後提供該取消資料至該ITI減輕電路280。

可以類似於圖2之方式實施分別在該讀取資料路徑(RDP)360-R及寫入資料路徑360-W中之長延時介面(LLI)255-R、255-W。此外，可以類似於圖2之方式實施該反覆解碼組塊270及ITI減輕電路280。

在圖3之例示性實施例中，由該寫入資料路徑360-W產生編碼之媒體資料。該硬碟控制器將ITI取消資料依使用者資料格式提供至該寫入資料路徑。如圖3中所示，該例示性寫入資料路徑360-W包括一ESR編碼器320-W及一LDPC編碼器330，其將使用者資料編碼為編碼之媒體資料，其作為ITI取消資料而提供至該ITI減輕電路。該寫入資料路徑將使用者資料以類似於在寫入操作期間一般的方式編碼為媒體資料。

如圖3中所示，可視需要在未對一給定讀取操作啟用ITI取消時旁繞該讀取資料路徑360-R中之ITI減輕電路280。此外，可視需要在將恢復媒體資料格式時旁繞該讀取資料

路徑 360-R 中之 ESR 編碼器 320-R。

圖 4 係圖 2 之讀取通道 250 之一替代實施 250'' 之一示意性方塊圖，其中該寫入資料路徑將使用者資料提供至該 ITI 減輕電路 280，且該 ITI 減輕電路 280 從該使用者資料產生媒體資料。如圖 4 中所示，以類似於圖 2 之方式，該例示性讀取通道 250'' 包括一讀取資料路徑 460-R 及一寫入資料路徑 460-W。可以類似於圖 2 之該讀取資料路徑 260-R 之方式實施該讀取資料路徑 460-R。如前文所指示，本發明利用該寫入資料路徑 460-W 以將取消資料遞送至該讀取資料路徑 460-R 中之一 ITI 減輕電路 280。該取消資料與由該讀取資料路徑 460-R 從磁性媒體獲取之媒體資料實質上同時被提供至該 ITI 減輕電路 280。在另一項例示性實施例或操作模式中，在由該讀取資料路徑 460-R 從磁性媒體獲取之媒體資料之前或之後提供該取消資料至該 ITI 減輕電路 280。

可以類似於圖 2 之方式實施分別在該讀取資料路徑 (RDP) 460-R 及寫入資料路徑 460-W 中之長延時介面 (LLI) 255-R、255-W。此外，可以類似於圖 2 之方式實施該反覆解碼組塊 270 及 ITI 減輕電路 280。

在圖 4 之例示性實施例中，由該 ITI 減輕電路 280 從由該寫入資料路徑 460-W 提供之使用者資料產生編碼之媒體資料。因此，如圖 4 中所示，提供至該 ITI 減輕電路 280 之使用者資料旁繞該例示性寫入資料路徑 460-W 中之 ESR 編碼器 420-W 及 LDPC 編碼器 430。當該使用者資料在寫入至媒體之前被編碼為媒體資料時，在寫入操作期間使用者資料

未旁繞寫入資料路徑460-W中之ESR編碼器420-W及LDPC編碼器430。

如圖4中所示，當未對一給定讀取操作啟用ITI取消時可視需要旁繞該讀取資料路徑460-R中之ITI減輕電路280。此外，當恢復媒體資料格式時可視需要旁繞該讀取資料路徑460-R中之ESR編碼器420-R。

圖5至圖10繪示各種組態之讀取通道250，以實施若干例示性操作模式。在圖5至圖10中，使用黑體虛線箭頭展示作用中信號路徑。如圖5至圖10中所示，且如上文所討論，該讀取通道250包括一數位有限脈衝回應濾波器285、ITI減輕電路280及反覆解碼組塊270。

此外，如下文中結合圖5至圖10而進一步討論，該讀取通道250進一步包括多工器505、515、Y-AVG後處理組塊510、Y-MEM記憶體組塊520及Y-MEM定址組塊530以處理Y資料。

圖5A繪示一例示性非ITI操作模式中之讀取通道250。一般而言，該非ITI模式允許當不需要ITI減輕時選擇性地停用ITI減輕(例如，當軌道分離足夠時)，且亦允許連同可能不支援ITI減輕之舊有系統使用該讀取通道250。如圖5A中所示，使用多工器505而旁繞該ITI減輕電路280，且使用多工器515而旁繞該Y-AVG組塊510。因此，用於非ITI模式之作用中信號路徑包括DFIR濾波器285、Y-MEM組塊520及反覆解碼組塊270。一般而言，Y資料儲存於Y-MEM組塊520中，且接著施加至該反覆解碼組塊270，以解碼。

圖 5B 繪示針對圖 5A 之例示性非 ITI 操作模式之隨時間變化之若干介面信號。一般而言，在以下圖中，MEDIA 信號繪示媒體上有什麼(伺服、片段或完整磁區)。圖中之術語「FRG」指示磁區之片段，術語「FULL」指示一完整磁區，且術語「SERVO」指示一分裂磁區(例如，FRG5.1 係一左磁區片段，FRG5.2 係右磁區片段，且其等如由「SERVO」標籤所指示般分開)。因此，FRG5.1 及 FRG5.2 一起組成 FULL5 (一完整磁區被分成兩塊)。此外，使用兩個 RDGATE 脈衝以讀取每個部分，且通道組合及恢復 full5 磁區。在一些圖中，術語「MEDIA (rev 1)」及「MEDIA (rev 2)」指示相同磁區被讀取兩次(磁碟需要一直轉，以使磁頭再次經過該磁區)。

SVGATE 信號指示伺服開(僅用於參考，且高於媒體上之任何 SERVO)，DATA_W 信號指示寫路徑資料(其中 ITI 取消資料將進入通道中)。LEFT# 指示具有相同號碼之磁區之左邊取消資料，其對應於左邊軌道中寫入之鄰近資料。RIGHT# 指示具有相同號碼之磁區之右邊取消資料，其對應於右邊軌道中寫入之鄰近資料。參考圖 1，若軌道 2 係恢復資料之當前軌道，則軌道 1 及 3 分別係鄰近之左邊及右邊軌道。

RDGATE 信號對應於讀取開，且起始從媒體之讀取。該 RDGATE 信號在每個磁區及磁區片段之起始時為作用中。RETRYGATE 信號起始從儲存之樣本(從 y 記憶體)之重試。注意，雖然本文中於 ITI 減輕內容背景中圖解說明該

RETRYGATE信號，但是如一般技術者所瞭解，於其他應用中亦可利用該RETRYGATE信號。

如本文中所討論，信號METACMD[1]用讀取或重試(與RDGATE或RETRYGATE對準)觸發ITI減輕。因為圖5B對應於無減輕之一正常讀取操作，故該METACMD[1]非為作用中。

DATA_R信號指示恢復之磁區資料(FULL#意指相同名稱之媒體磁區之恢復的資料)。此外，SECTOR_GOOD信號指示已恢復之較好磁區(當該磁區不佳時，執行額外工作以恢復該磁區)。

此外，在一個或多個以下圖中，利用以下標記法：

avg(data1,data2)指示從相同資料之兩次讀取操作之資料之按位元平均，其中對於儲存於媒體上之每個位元，對應之Y樣本data1及data2被平均。在一替代實施中，該等ADC樣本被平均；

decode(data)指示一LDPC解碼操作(資料恢復、從Y資料轉換為媒體位元或使用者位元)，其中例如使用6位元表示Y資料；

iti(left, data)指示由從「data」中之主要軌道信號移除左邊鄰近軌道所導致ITI；及

iti(left, right, data)指示從「data」中之主要軌道信號移除左邊及右邊鄰近軌道兩者所導致ITI。

圖6A繪示一例示性後處理(非ITI)操作模式中之讀取通道250。如圖6A中所示，使用多工器505而旁繞該ITI減輕

電路 280。因此，該非 ITI 模式之作用中信號路徑包括 DFIR 濾波器 285、Y-AVG 組塊 510(使用多工器 515 選擇)、Y-MEM 組塊 520 及反覆解碼組塊 270。Y-MEM 定址組塊 530 以一已知方式控制 Y-MEM 組塊 520 之選擇。一般而言，從一給定磁區第一次讀取之儲存之資料的 Y 資料被儲存於該 Y-MEM 組塊 520 中，且接著合併從該磁區後續重新讀取之資料之所有樣本，即，使用回饋路徑 540 由 Y-AVG 組塊 510 而將樣本與 Y-MEM 組塊 520 之內容平均。一給定磁區可被多次讀取，其中在每次反覆時更新 Y-MEM 組塊 520 之內容，直到成功讀取來自該給定磁區之儲存之資料，如由成功解碼操作所指示。該 Y-MEM 組塊 520 之輸出亦施加至該反覆解碼組塊 270 以解碼。

圖 6B 繪示針對圖 6A 之例示性後處理(非 ITI)操作模式之隨時間變化之若干介面信號。於該例示性實施例中執行之後處理包括無 ITI 減輕之平均讀取，諸如藉由在圖 6B 中所示之兩次讀取操作中兩次讀取所儲存之資料且執行所讀取之資料之按位元平均。如一般技術者所瞭解，可對於任何次數之讀取操作而執行該平均。注意，不需要 ITI 減輕，此係因為第二次讀取及平均充分減小雜訊，使得可恢復資料。如圖 6B 中所示，在第一次經過第三磁區之時不存在 SECTOR_GOOD 信號，但是接著第二次經過第三磁區時存在 SECTOR_GOOD 信號。注意，在第一次讀取期間讀取磁區 FULL3，且接著被傳遞至反覆解碼器，且解碼之磁區被傳遞至 DATA_R 匯流排。因為該磁區未無錯誤地成功解

碼，故 SECTOR_GOOD 信號未被確證。第二次旋轉時，在第二次讀取之後，將兩次讀取之 Y 資料平均，且 Y 平均之資料被傳遞至該反覆解碼組塊，其成功解碼該磁區。

圖 7A 繪示一例示性即時 ITI 操作模式中之讀取通道 250。一般而言，以資料速率執行 ITI 減輕，且可視需要對每個磁區執行 ITI 減輕。在圖 7A 之實施例中，對於僅一個鄰近軌道執行 ITI 減輕，以減小對總處理能力上之影響(例如，由例示性模式控制信號或暫存器 (ITI_SIDES) 指示)。如上文結合圖 2 所討論，從寫入資料路徑 260-W 獲取 ITI 取消資料(圖 2)。如圖 7A 中所示，該 ITI 減輕電路 280 由多工器 505 而置於作用中信號路徑中，且由多工器 515 旁繞該 Y-AVG 組塊 510。因此，該即時 ITI 模式之作用中信號路徑包括該 DFIR 濾波器 285、該 ITI 減輕電路 280、該 Y-MEM 組塊 520 及該反覆解碼組塊 270。一般而言，該 ITI 減輕電路 280 之 ITI 校正之輸出儲存於該 Y-MEM 組塊 520 中，且接著施加至該反覆解碼組塊 270 以解碼。

圖 7B 繪示針對圖 7A 之例示性即時 ITI 操作模式之隨時間變化之若干介面信號。如本文中所討論，該例示性即時 ITI 操作模式允許藉由實質上同時確證 METACMD[1] 信號與 RDGATE 信號而選擇性地啟用 ITI 減輕。(對於 OTF 或重試操作，ITI_SIDES=0)。

RDGATE 信號指示從媒體讀取磁區 1、2、3、4、5、6、7。DATA_W 信號指示將使用磁區 3、4 及 6 之左側軌道而執行 ITI 減輕。METACMD[1] 信號用讀取或重試(與 RDGATE

或RETRYGATE對準)觸發一ITI減輕。注意，正常處理磁區1、2、5及7，此係因為該METACMD[1]信號不與相關聯RDGATE被確證。

注意，在下文中結合圖10A至圖10C進一步討論兩側ITI操作模式。

圖8A繪示在例示性後處理中具有ITI減輕之操作模式之讀取通道250。一般而言，具有ITI減輕模式之後處理對後處理之Y資料執行ITI減輕。如圖8A中所示，使用多工器505而將該ITI減輕電路280選擇性地置於作用中信號路徑中，且使用多工器515而將Y-AVG組塊510置於作用中信號路徑中。因此，具有ITI減輕模式之後處理之作用中信號路徑包括該DFIR濾波器285、該ITI減輕電路280、該Y-AVG組塊510、Y-MEM組塊520及該反覆解碼組塊270。該Y-MEM定址組塊530以一已知方式控制該Y-MEM組塊520之選擇。

一般而言，對於一給定磁區之第一次讀取，旁繞該ITI減輕電路280及Y-AVG組塊510，且Y資料儲存於該Y-MEM組塊520中。對於隨後M次重新讀取該磁區，使用回饋路徑540由Y-AVG組塊510而將來自各個讀取之新的Y樣本與Y-MEM組塊520之內容合併(即，平均)。一給定磁區可被多次讀取，其中在每次反覆時更新Y-MEM組塊520之內容，直到成功讀取該磁區。在第M+1次讀取操作及完成Y平均操作之後，該Y-MEM組塊520含有來自相同磁區之M+1次讀取操作之Y資料之平均。該Y-MEM組塊520之輸出

亦施加至該反覆解碼組塊270以解碼。

若使用後處理之Y資料在預定義次數(M+1)之重新讀取之後未成功讀取該磁區，則可啟用ITI減輕，以對後處理之資料執行ITI減輕。由RETRYGATE及METACMD[1]之組合信號(或由RETRYGATE及ITI_GATE之組合信號)起始執行ITI減輕之指示。在此模式中，使用回饋路徑545，在多工器502之控制下將Y-資料從Y-MEM組塊520施加至該ITI減輕電路280。該RETRYGATE信號指示Y資料不是藉由從媒體讀取磁區而獲取，而是藉由讀取含有來自先前讀取操作之Y樣本之Y-MEM組塊。如上文結合圖2所討論，從寫入資料路徑260-W獲取ITI取消資料(以例示性ITI_SIDES控制字組之值為基礎，一側或兩側之ITI取消資料)。此外，現在使用多工器515而旁繞Y-AVG組塊510，使得後處理、接著取消之資料可在由該反覆解碼組塊270解碼之前儲存於該Y-MEM組塊520中。

在一額外變化案中，可動態地決定平均重新讀取操作次數(或取決於出現預定義條件而終止)。在每次平均操作時，隨著平均之資料被推送至解碼器，該資料被解碼，且產生對解碼之品質的一或多個度量。例如，一例示性品質度量可包含若干位元錯誤。在一例示性實施例中，可繼續平均程序直到位元錯誤之數量減少。若位元錯誤之數量趨平(plateau)(即，額外平均可能不再有用)，則可執行ITI減輕。類似地，亦可動態地決定ITI減輕之後續使用。隨著執行ITI減輕操作，計算資料及度量，且發送至控制器，

一旦已達成恢復時其可立即終止(可能使用上文關於位元錯誤所討論之相同實例)。在此情況中，信號ITI_SIDES經調整以執行僅一側取消，且每側一次執行一者，其中在每個步驟之後分析度量/資料，直到成功恢復為止。

圖8B繪示針對圖8A之用單側ITI減輕操作模式之例示性後處理之隨時間變化之若干介面信號(ITI_SIDES=0)。該例示性實施例中執行之後處理包括用單側ITI減輕之平均讀取，諸如圖8B中所示之兩次讀取之平均。如一般技術者所瞭解，可對於任何次數之讀取操作而執行該平均。注意，若第一次或第二次讀取操作具有一SECTOR_GOOD信號，則可停止讀取。還應注意，關於DATA_R信號，圖8B中之第一「FULL3」包括一 $\text{decode}(\text{avg}(\text{read1}, \text{read2}))$ ，且第二「FULL3」包括一 $\text{decode}(\text{iti}(\text{left}, \text{avg}(\text{read1}, \text{read2})))$ 。注意，在第一次讀取期間讀取磁區FULL3，且接著傳遞至該反覆解碼器，且該解碼之磁區被傳遞至該DATA_R匯流排。因為未無錯誤地成功解碼該磁區，故該SECTOR_GOOD信號未被確證。第二次旋轉時，在第二次讀取之後，將兩次讀取之Y資料平均，且Y平均之資料被傳遞至該反覆解碼組塊，且解碼之磁區被傳遞至該DATA_R匯流排。因為未無錯誤地成功解碼該磁區，故該SECTOR_GOOD信號未被確證。接著，根據本發明，RETRYGATE及METACMD[1]信號起始ITI取消，以處理Y平均之資料，且使用在主要軌道中鄰近磁區3之左邊軌道(LEFT3)之取消資料而減輕ITI。此取消資料LEFT3使用

DATA_W匯流排而較早地提供於該寫入資料路徑上。結果被傳遞至該反覆解碼組塊，其產生解碼之磁區。該解碼之磁區被傳遞至該DATA_R匯流排。因為無錯誤地成功解碼此磁區，故確證該SECTOR_GOOD信號。

圖8C繪示針對圖8A之用自動兩側ITI減輕操作模式之例示性後處理之隨時間變化之若干介面信號(ITI_SIDES=1)。該例示性實施例中執行之後處理包括用自動兩側ITI減輕之平均讀取，諸如圖8C中所示之兩次讀取之平均。如一般技術者所瞭解，可對於任何次數之讀取操作而執行該平均。注意，若第一次或第二次讀取操作具有一SECTOR_GOOD信號或當該第一次ITI RETRY具有一SECTOR_GOOD信號時可停止讀取。還應注意，關於DATA_R信號，圖8C中之第一「FULL3」包括一decode($\text{avg}(\text{read1}, \text{read2})$)，且第二「FULL3」包括一decode($\text{iti}(\text{left}, \text{right}, \text{avg}(\text{read1}, \text{read2}))$)。注意，在第一次讀取期間讀取磁區FULL3，且接著傳遞至該反覆解碼器。該解碼之磁區被傳遞至該DATA_R匯流排。因為未無錯誤地成功解碼該磁區，故該SECTOR_GOOD信號未被確證。第二次旋轉時，在第二次讀取之後，將兩次讀取之Y資料平均，且Y平均之資料被傳遞至該反覆解碼組塊。解碼之磁區被傳遞至該DATA_R匯流排。因為未無錯誤地成功解碼該磁區，故該SECTOR_GOOD信號未被確證。接著，RETRYGATE及METACMD[1]信號(其中ITI_Sides=1)起始自動兩側ITI減輕操作模式，以處理Y平均之資料，且使用

在主要軌道中鄰近磁區3之左邊軌道(LEFT3)及右邊軌道(RIGHT3)兩者之取消資料而減輕ITI。此取消資料LEFT3及RIGHT3使用DATA_W匯流排而較早地提供於該寫入資料路徑上。組合之結果被傳遞至該反覆解碼組塊，其產生解碼之磁區。該解碼之磁區被傳遞至該DATA_R匯流排。因為無錯誤地成功解碼此磁區，故確證該SECTOR_GOOD信號。

圖8D繪示針對圖8A之用兩側ITI減輕操作模式之例示性後處理之隨時間變化之若干介面信號，其中一次一側地執行該ITI減輕(ITI_SIDES=0)。該例示性實施例中執行之後處理包括用兩側ITI減輕之平均讀取(一次一側)，諸如圖8D中所示之兩次讀取之平均。如一般技術者所瞭解，可再次對於任何次數之讀取操作而執行該平均。注意，無論何時偵測到一SECTOR_GOOD信號皆可停止讀取。還應注意，關於DATA_R信號，圖8D之下半圖中之第一「FULL3」包括一decode(read1)，第二FULL3包括一decode(avg(read1, read2))，第三「FULL3」包括一decode(iti(left, avg(read1, read2)))，且第四「FULL3」包括一decode(iti(left, right, avg(read1, read2)))。注意，在第一次讀取期間讀取磁區FULL3，且接著傳遞至該反覆解碼器。該解碼之磁區被傳遞至該DATA_R匯流排。因為未無錯誤地成功解碼該磁區，故該SECTOR_GOOD信號未被確證。第二次旋轉時，在第二次讀取之後，將兩次讀取之Y資料平均，且Y平均之資料被傳遞至該反覆解碼組塊。解碼之磁區被傳遞至該

DATA_R匯流排。因為未無錯誤地成功解碼該磁區，故該SECTOR_GOOD信號未被確證。接著，第一RETRYGATE及METACMD[1]信號(其中ITI_Sides=0)起始兩側ITI減輕操作模式(其中一次一側)，以處理Y平均之資料，且使用在主要軌道中鄰近磁區3之左邊軌道(LEFT3)之取消資料而減輕ITI。此取消資料LEFT3使用DATA_W匯流排而較早地提供於該寫入資料路徑上。來自該ITI取消之結果被傳遞至該反覆解碼組塊，其產生解碼之磁區。該解碼之磁區被傳遞至該DATA_R匯流排。因為未無錯誤地成功解碼此磁區，故該SECTOR_GOOD信號未被確證。第二組RETRYGATE及METACMD[1]信號(其中ITI_Sides=0)使用鄰近於主要軌道中之磁區3之右邊軌道(RIGHT3)之取消資料而起始ITI減輕。此取消資料RIGHT3使用DATA_W匯流排而較早地提供於該寫入資料路徑上。組合之結果接著被傳遞至該反覆解碼組塊，其產生解碼之磁區。該解碼之磁區被傳遞至該DATA_R匯流排。因為此磁區無錯誤地成功解碼，故確證該SECTOR_GOOD信號。

圖9A繪示在用後處理操作模式之一例示性ITI減輕中之讀取通道250。在此組態中，用後處理模式之ITI減輕首先執行ITI減輕，且接著後處理Y資料。如圖9A中所示，使用多工器505而將該ITI減輕電路280選擇性地置於作用中信號路徑中，且使用多工器515而將該Y-AVG組塊510置於作用中信號路徑中。因此，用後處理模式之ITI減輕之作用中信號路徑包括該DFIR濾波器285、ITI減輕電路280、該

Y-AVG組塊510、Y-MEM組塊520及該反覆解碼組塊270。
該Y-MEM定址組塊530以一已知方式控制Y-MEM組塊520之選擇。

在圖9A之實施例中，對於任一個鄰近軌道或兩個軌道執行ITI減輕，或對於一給定讀取操作完全不執行ITI減輕，例如，如由例示性模式控制信號或暫存器ITI_SIDES及METACMD[1](以旁繞ITI減輕，即，「完全不執行」)所指示。如上文結合圖2所討論，從寫入資料路徑260-W獲取ITI取消資料(圖2)。如圖9A中所示，對於第一組樣本，由多工器505將ITI減輕電路280置於該作用中信號路徑中，且由多工器515旁繞該Y-AVG組塊510，且ITI校正之資料被發送至該Y-MEM組塊520及該反覆解碼組塊270。

此外，使用回饋路徑540由該Y-AVG組塊510而將所有剩餘ITI校正之樣本與Y-MEM組塊520之內容合併(即，平均)。可多次讀取一給定磁區，其中在每次反覆時更新Y-MEM組塊520之內容，直到該磁區被成功讀取。該Y-MEM組塊520之輸出亦被施加至該反覆解碼組塊270以用於解碼。

圖9B繪示針對圖9A之用後處理操作模式之例示性ITI減輕之隨時間變化之若干介面信號。該例示性實施例中執行之後處理包括對ITI減輕之資料之平均。如一般技術者所瞭解，可同樣對於任何次數之讀取操作而執行該平均。一般而言，程序包括兩次讀取該媒體。對於每次媒體讀取，減輕ITI，且將結果與先前計算/儲存之結果平均。例如，

對於兩次讀取操作之平均，程序包括從該媒體讀取一目標磁區，對讀取資料執行ITI減輕(例如，減輕來自左邊鄰近軌道之ITI)，儲存結果(即，儲存一組樣本之平均)，從該媒體295再次讀取相同目標磁區，對所讀取資料執行ITI減輕(例如，減輕來自右邊鄰近軌道之ITI)，且將該第二次ITI減輕之資料與所儲存之資料平均(導致ITI取消之資料之平均)。此可表達為 $\text{avg}(\text{iti}(\text{first_read}), \text{iti}(\text{second_read})) = (\text{iti}(\text{read1}) + \text{iti}(\text{read2})) / 2.0$ 。注意，在兩次讀取期間，可已在一替代操作模式中減輕來自相同鄰近軌道之ITI。

注意，雖然圖9A及圖9B之用後處理操作模式之例示性ITI減輕繪示為一側ITI減輕，但是N側ITI減輕係可行的，如本文中所討論及如一般技術者所瞭解。

圖10A繪示一例示性兩側ITI操作模式中之讀取通道250。如上文結合圖2所討論，從寫入資料路徑260-W獲取ITI取消資料(圖2)。首先，以類似於圖7A之方式執行一側ITI減輕(即，對於一鄰近軌道之ITI減輕)。如圖10A中所示，由多工器505而將該ITI減輕電路280置於作用中信號路徑中，且由多工器515旁繞該Y-AVG組塊510。因此，該即時ITI模式之作用中信號路徑包括該DFIR濾波器285、該ITI減輕電路280、該Y-MEM組塊520及該反覆解碼組塊270。一般而言，該ITI減輕電路280之ITI校正之輸出儲存於該Y-MEM組塊520中，且接著施加至該反覆解碼組塊270以解碼。

為對於該第二鄰近軌道執行ITI減輕，使用回饋路徑545

且由多工器 502 在 RETRYGATE 信號之控制下或自動地適當選擇而將來自該 Y-MEM 組塊 520 之 Y 資料施加至該 ITI 減輕組塊 280。以此方式，資料僅一次被傳遞至該解碼器 270，此係因為媒體之一次讀取產生一個磁區之資料(無論側之數量)。因此，當由該 RETRYGATE 信號控制時，兩個事件(一次媒體讀取及一次重試)產生兩個磁區之資料，或一個事件(媒體讀取)產生一個磁區之資料(在自動模式中)。如上文結合圖 2 所討論，對於另一個鄰近軌道從寫入資料路徑 260-W 獲取 ITI 取消資料(圖 2)。由多工器 505 將該 ITI 減輕電路 280 保留於作用中信號路徑中，且再次由多工器 515 旁繞該 Y-AVG 組塊 510。因此，即時 ITI 模式之作用中信號路徑包括該 DFIR 濾波器 285、該 ITI 減輕電路 280、該 Y-MEM 組塊 520 及該反覆解碼組塊 270。一般而言，該 ITI 減輕電路 280 之 ITI 校正之輸出儲存於該 Y-MEM 組塊 520 中，且接著施加至該反覆解碼組塊 270 以解碼。以此方式，兩側 ITI 操作模式允許用僅單次讀取磁性媒體而進行對於兩個鄰近軌道之 ITI 減輕。

圖 10B 繪示針對圖 10A 之例示性兩側 ITI 操作模式之隨時間變化之若干介面信號，其中依次觸發兩次單側 ITI 取消。該例示性兩側 ITI 操作模式允許對於兩個鄰近軌道執行 ITI 減輕 (ITI_SIDES=0，僅 RETRY 操作)。在圖 10B 中，對於例示性兩側 ITI 模式，一次一側地執行 ITI 減輕。因此，ITI_SIDES=0。該例示性 DATA_W 信號指示將對於磁區 4 使用左側及右側軌道而執行 ITI 減輕。METACMD[1] 信

號用重試觸發一ITI減輕(與RDGATE或RETRYGATE對準)。因為圖10B對應於具有ITI減輕之讀取操作，故當METACMD[1]與磁區4之RDGATE信號及RETRY信號對準時，METACMD[1]係作用中的。注意，DATA_R上之第一FULL4「不佳」，故嘗試第二側減輕，導致一SECTOR_GOOD信號。注意，圖10B中之第一「FULL4」包括一decode(iti(left, read1))，且第二「FULL4」包括一decode(iti(left, right, read1)) [ITI_SIDES=0]。

圖10C繪示針對圖10A之例示性自動兩側ITI操作模式之隨時間變化之若干介面信號。該例示性自動兩側ITI操作模式允許對於兩個鄰近軌道執行ITI減輕。在圖10C中，對於例示性自動兩側ITI模式，一次對於兩個鄰近軌道執行ITI減輕。因此，ITI_SIDES=1，僅RETRY模式。例示性DATA_W信號指示將對於磁區4使用左側及右側軌道而執行ITI減輕。該METACMD[1]信號用讀取觸發一ITI減輕(與RDGATE對準)。因為圖10C對應於具有ITI減輕之讀取操作，故當METACMD[1]與磁區4之RDGATE信號對準時，METACMD[1]係作用中的。注意，圖10C中之「FULL4」包括一decode(iti(left, right, read1)) [ITI_SIDES=1]。

減輕架構及實施

該DFIR濾波器285之輸出處之信號(例如，圖2至圖4)包含符號間干擾及軌道間干擾。根據本發明，使用儲存於鄰近軌道中之資料之硬判決而減輕ITI。對於單側ITI減輕使用任一個鄰近軌道之資料，而對於兩側ITI減輕使用兩個

鄰近軌道之資料。

藉由在先前讀取操作中讀取鄰近軌道110-1及110-3而獲取鄰近軌道110-1及110-3之資料(圖1)，且將資料例如儲存於DRAM 220中(圖2)。使用鄰近軌道資料以估計及減輕包括於該DFIR 285之輸出處之信號中之ITI。

接著，該ITI減輕之信號視需要傳遞通過一雜訊預測最大可能性(NPML)偵測器(未作圖式)及解碼器270以恢復軌道N中之資料。為促進ITI減輕，預期SMR硬碟機(HDD)將使用對準之磁區資料格式，其中鄰近軌道中之磁區相對於該等軌道內之位置而對準。習知非疊瓦式HDD通常使用非對準之磁區資料格式，其中鄰近軌道中之磁區通常未對準。對準之磁區資料格式之優點在於為減輕軌道N中之磁區之ITI，僅需要考慮軌道N-1及N+1中之一個鄰近磁區之資料。在非對準之磁區資料格式之情況中，需考慮軌道N-1及N+1之各者中之兩個鄰近磁區之資料。

甚至用對準之磁區資料格式，由於寫入程序中之不理想性，鄰近軌道中之磁區可偏移至多若干位元週期。再者，當將資料寫入不同軌道中時，磁碟頻率變動可導致資料寫入鄰近軌道之間之輕微頻率偏移。此頻率偏移可導致從軌道N讀取信號時N-1及N+1 ITI回應之相位漂移。為了良好之位元錯誤率(BER)效能，ITI減輕演算法應考量到由於不理想之寫入程序之鄰近磁區之間的相位差及由於鄰近軌道之間之頻率偏移之ITI回應的相位漂移兩者。

SMR硬碟機將可能利用ITI減輕用於離線錯誤恢復。在

正常讀取操作期間，每當在無ITI減輕時解碼軌道N中之目標磁區失敗，則HDD將讀取鄰近軌道中之磁區(或在一重試操作期間重新讀取軌道N中之失敗磁區)，且隨著ITI減輕而重新開始解碼此磁區。因此，單側ITI減輕將招致一次額外旋轉，且兩側ITI減輕將招致兩次額外旋轉，以恢復鄰近軌道之硬判決，其等用於如本文中所述之ITI減輕。

側軌道N-1及N+1之硬判決可例如儲存於DRAM 220中(圖2)。對於離線單個磁區ITI減輕，僅需要將軌道N-1及N+1之一個磁區(對於單側ITI減輕總共一個磁區，且對於兩側ITI減輕總共兩個磁區)儲存於該DRAM 220中。與習知HDD相比較，需要在該HDD控制器210與讀取通道250之間之一額外資料路徑，以傳送對應於軌道N-1及N+1之資料，以用於ITI減輕。在所揭示之實施例中，該寫入資料路徑用於傳送對應於軌道N-1及N+1之取消資料，以用於ITI減輕。

在一正常讀取操作期間，運作中(OTF)ITI減輕需要循序讀取軌道，此係因為隨機讀取軌道將需要額外旋轉以讀取鄰近軌道資料。在以循序讀取之單側OTF ITI減輕中，循序讀取軌道1、2、3等等，以用於ITI減輕，其中使用來自先前讀取軌道的儲存之硬判決而減輕來自軌道N之ITI。對於單側OTF ITI減輕，以顛倒之順序循序讀取該等軌道，其中使用來自先前讀取軌道的儲存之硬判決而減輕來自軌道N之ITI。因此，單側OTF ITI減輕需要將整個軌道之有

價值之硬判決儲存於該DRAM 220中。

OTF ITI減輕亦需要HDD之DRAM記憶體中之額外頻寬，此係因為需要支援從讀取通道250至控制器210之兩個同步資料串流：解碼之磁區從讀取通道250之傳送至控制器210；及鄰近軌道中之磁區之資料從控制器210之傳送至讀取通道250。

注意，如一般技術者所瞭解，可根據本發明執行使用額外軌道之ITI減輕，諸如三側ITI減輕。

如前文所指示，相對於習知配置，如本文中所述之磁性記錄系統及讀取通道之配置提供許多優點。再一次，應強調本發明之上文所述之實施例僅意為例證性的。一般而言，如一般技術者所瞭解，可修改例示性磁性記錄系統以併入使用寫入資料路徑而提供ITI減輕資料之ITI減輕方案。此外，所揭示之用於ITI減輕之技術可利用於任何磁性記錄系統中，諸如虛擬儲存系統/儲存虛擬化系統，諸如獨立磁碟冗餘陣列(RAID)系統。

如一般技術者所瞭解，本文中所述之介面及資料流機制在無修改之下支援額外操作模式及組態。例如，可在下列中實施所揭示之ITI減輕技術：具有如所展示干擾之多個側軌道(潛在使用N側減輕)之習知碟機；具有對準或未對準之磁區之疊瓦式或習知碟機(潛在使用已知資料)；及具有無意擠壓(squeezing)之習知碟機(使得碟機需要ITI恢復，儘管其不是疊瓦式碟機)之習知碟機。一般而言，當鄰近磁區之資料未對準時出現未對準之磁區。例如參考圖

1，若中間軌道110-2未對準一個或多個鄰近軌道110-1、110-3，則該等軌道被認為未對準。在不對準軌道之情況中，本發明允許使用與給定軌道之磁區對準之鄰近軌道之部分而進行對給定軌道之磁區之ITI減輕(無論鄰近軌道之對準部分屬於哪些磁區)。

如熟習此項技術者所瞭解，雖然本發明之例示性實施例已關於數位邏輯組塊而描述，但是可在數位域中(如軟體程式中之處理步驟)、在藉由電路元件或狀態機之硬體中、或軟體及硬體兩者之組合中實施各種功能。可例如於數位信號處理器、特定應用積體電路、微控制器或通用電腦中利用此軟體。此硬體及軟體可體現於實施於一積體電路中之電路中。

在本發明之一積體電路實施中，通常在一晶圓表面上以一重複型樣形成多個積體電路晶粒。每個此晶粒可包含如本文所述之器件，且可包含其他結構或電路。該等晶粒從晶圓切割或切塊，接著封裝為積體電路。熟習此項技術者將瞭解如何將晶圓切塊及封裝晶粒以生產封裝之積體電路。這樣製造積體電路視為本發明之部分。

因此，可以實踐此等方法之方法及裝置之形式體現本發明之功能。本發明之一或多項態樣可例如以載入至機器中及/或由機器執行、或在一些傳輸媒體上傳輸之程式碼之形式予以體現(無論是否儲存於一儲存器媒體中)，其中當程式碼載入至機器中且由機器(諸如一電腦)執行時，該機器變為實踐本發明之一裝置。當在一通用處理器上實施

時，程式碼段與該處理器組合以提供類似於特定邏輯電路而操作之一器件。亦可在積體電路、數位信號處理器、微處理器及微控制器之一者或多者中實施本發明。

應理解，本文中展示及描述之實施例及變化案僅為本發明之原理之例證，且在未脫離本發明之範圍及精神之下，可由熟習此項技術者實施各種修改。

【圖式簡單說明】

圖1繪示一疊瓦式磁性記錄(SMR)系統之一磁性媒體上之若干例示性軌道之一部分；

圖2係根據本發明併入ITI減輕之一磁性記錄系統之一示意性方塊圖

圖3及圖4係繪示為圖2之部分之讀取通道之替代實施之示意性方塊圖；及

圖5至圖10(包括圖5A、圖5B、圖6A、圖6B、圖7A、圖7B、圖8A至圖8D、圖9A、圖9B及10A至圖10C)繪示圖2至圖4之讀取通道之各種組態，以實施若干例示性操作模式，以及每個模式之對應介面信號。

【主要元件符號說明】

100	磁性媒體
110-1	軌道
110-2	軌道
110-3	軌道
120-1	第一重疊區域
120-2	第二重疊區域

130	邊緣
140	邊緣
200	磁性記錄系統
210	硬碟控制器
220	動態隨機存取記憶體
230	雙倍資料速率PHY介面
240-R	長延時介面
240-W	長延時介面
250	讀取通道
250'	讀取通道
250''	讀取通道
255-R	長延時介面
255-W	長延時介面
260-R	讀取資料路徑
260-W	寫入資料路徑
270	反覆解碼組塊
280	軌道間干擾減輕電路
285	數位有限脈衝回應濾波器
290	類比讀取資料路徑組塊
295	磁性媒體
320-R	ESR編碼器
320-W	ESR編碼器
330	LDPC編碼器
360-R	讀取資料路徑



360-W	寫入資料路徑
420-R	ESR編碼器
420-W	ESR編碼器
430	LDPC編碼器
460-R	讀取資料路徑
460-W	寫入資料路徑
502	多工器
505	多工器
510	Y-AVG後處理組塊
515	多工器
520	Y-MEM記憶體組塊
530	Y-MEM定址組塊
540	回饋路徑
545	回饋路徑

七、申請專利範圍：

1. 一種用於在一磁性記錄系統中之軌道間干擾(ITI)減輕之方法，其包括：
 獲取軌道間干擾取消資料；及
 使用該磁性記錄系統中之一寫入資料路徑之至少一部分而將該軌道間干擾取消資料提供至一軌道間干擾減輕電路。
2. 如請求項1之方法，其中該軌道間干擾取消資料包括使用者資料、媒體資料、類比轉數位轉換器(ADC)資料及Y資料之一者或多者。
3. 如請求項1之方法，其中該寫入資料路徑實質上與執行該讀取操作之一讀取資料路徑同時操作。
4. 如請求項1之方法，其中對於一或多個鄰近磁區之一給定讀取操作而選擇性地執行該軌道間干擾減輕。
5. 如請求項1之方法，其中在一讀取操作期間執行該提供步驟。
6. 一種用於在一磁性記錄系統中之軌道間干擾(ITI)減輕之裝置，其包括：
 一讀取資料路徑；及
 一寫入資料路徑，其將軌道間干擾取消資料提供至該磁性記錄系統中之一軌道間干擾減輕電路。
7. 如請求項6之裝置，其中該寫入資料路徑實質上與執行該讀取操作之該讀取資料路徑同時操作。
8. 如請求項6之裝置，其進一步包括用於產生一第一控制

信號之構件，實質上同時確證該第一控制信號與一讀取
閘信號，以起始該軌道間干擾減輕。

9. 如請求項6之裝置，其進一步包括用於產生一第二控制
信號之構件，該第二控制信號指示來自一先前讀取操作
之資料及用於該軌道間干擾減輕之後處理資料之一個或
多個之使用。

10. 一種磁性記錄系統，其包括：

一讀取資料路徑；及

用於產生一重試控制信號之構件，該重試控制信號指
示使用來自由該讀取資料路徑之一先前讀取操作之儲存
之資料及儲存之後處理資料之一或多者。

八、圖式：

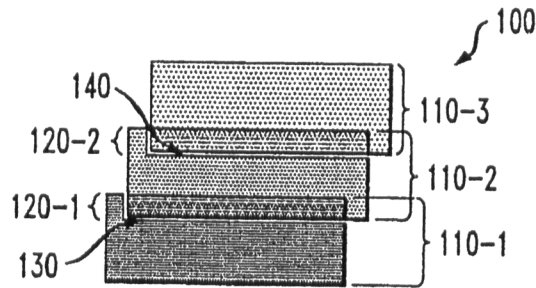


圖 1

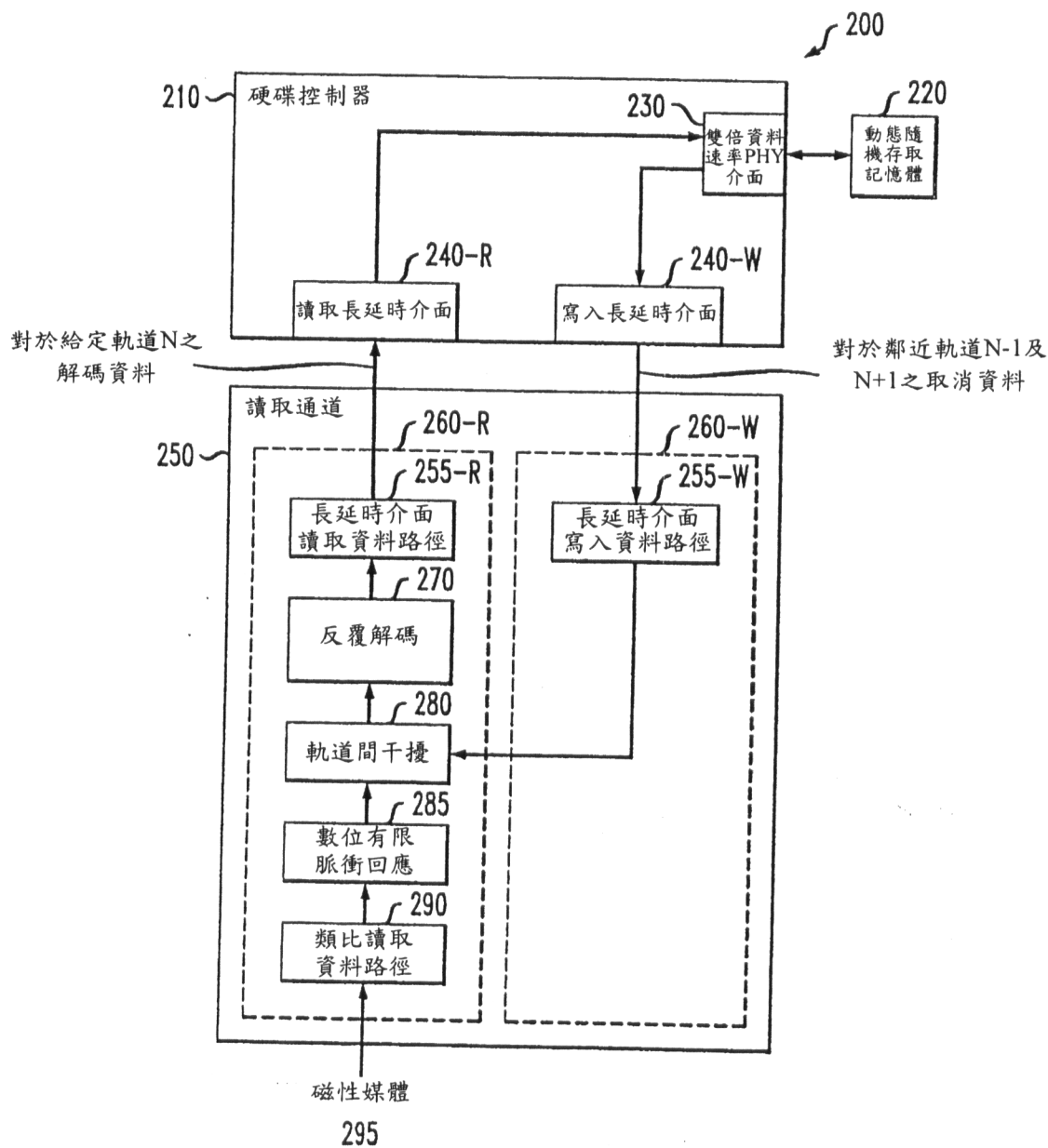


圖 2

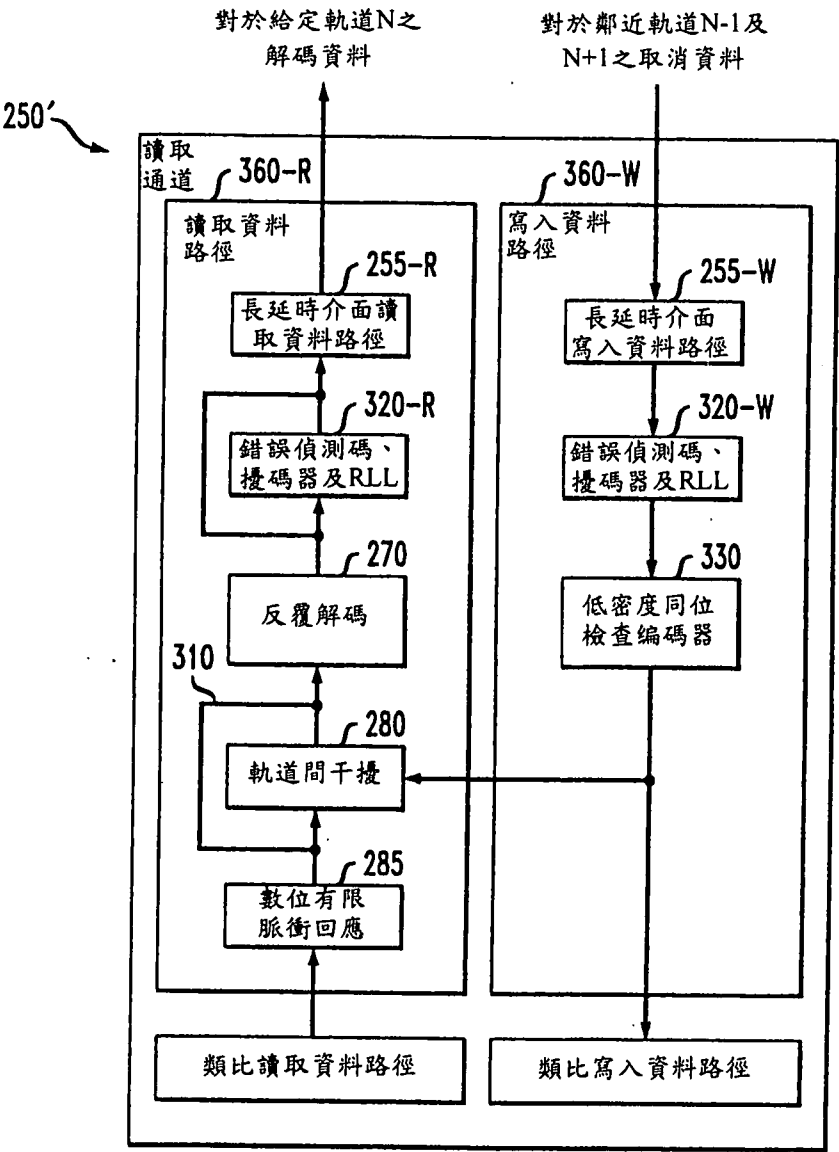


圖 3



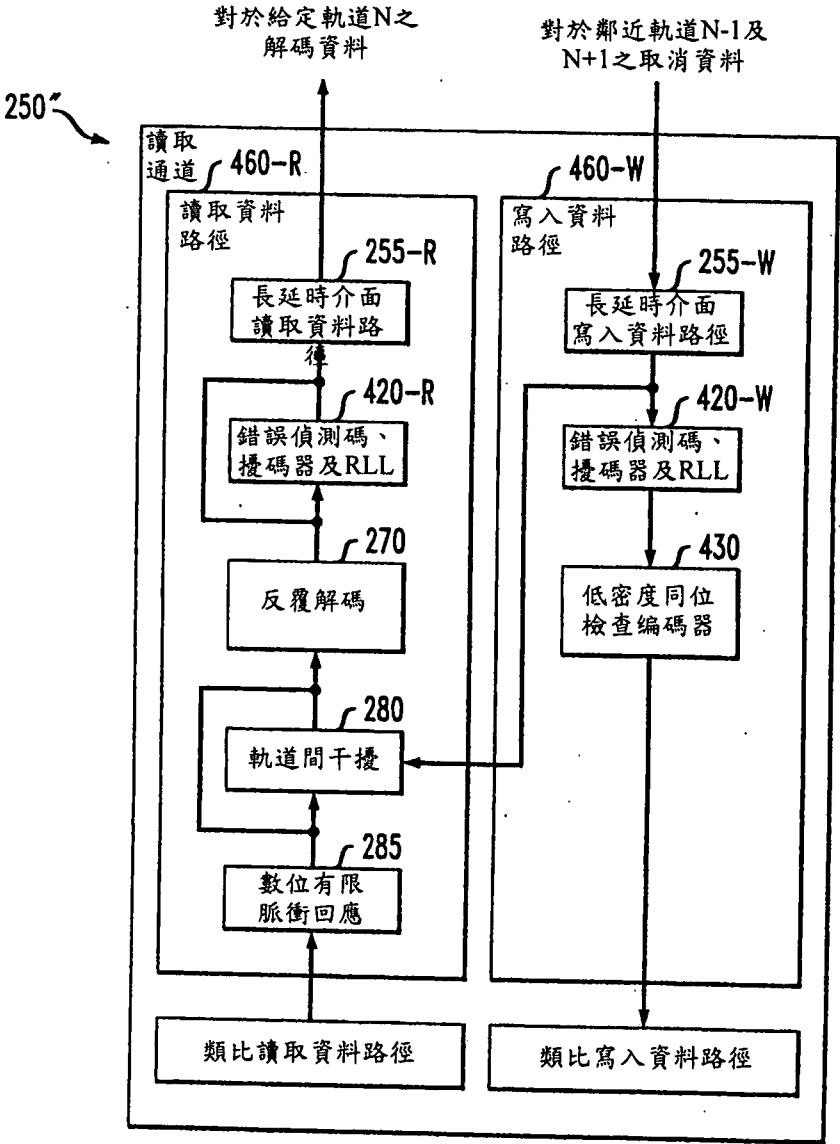


圖 4

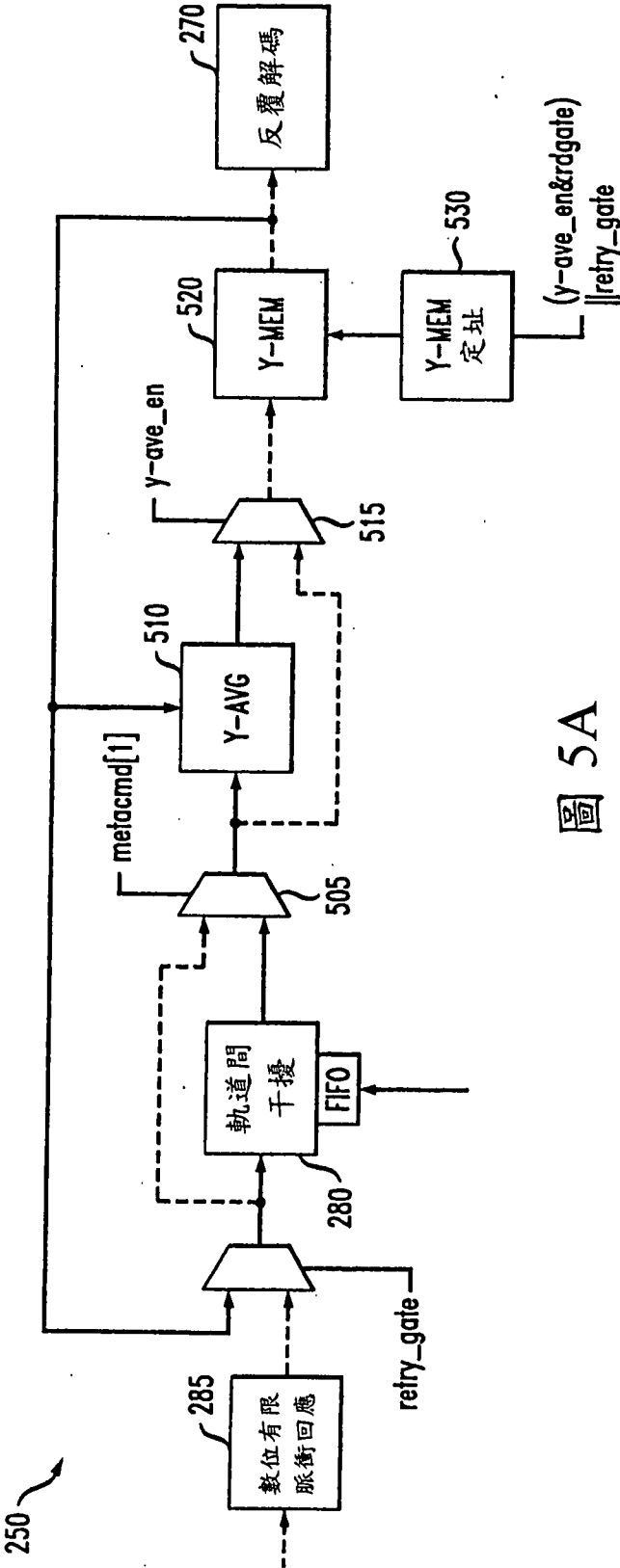


圖 5A



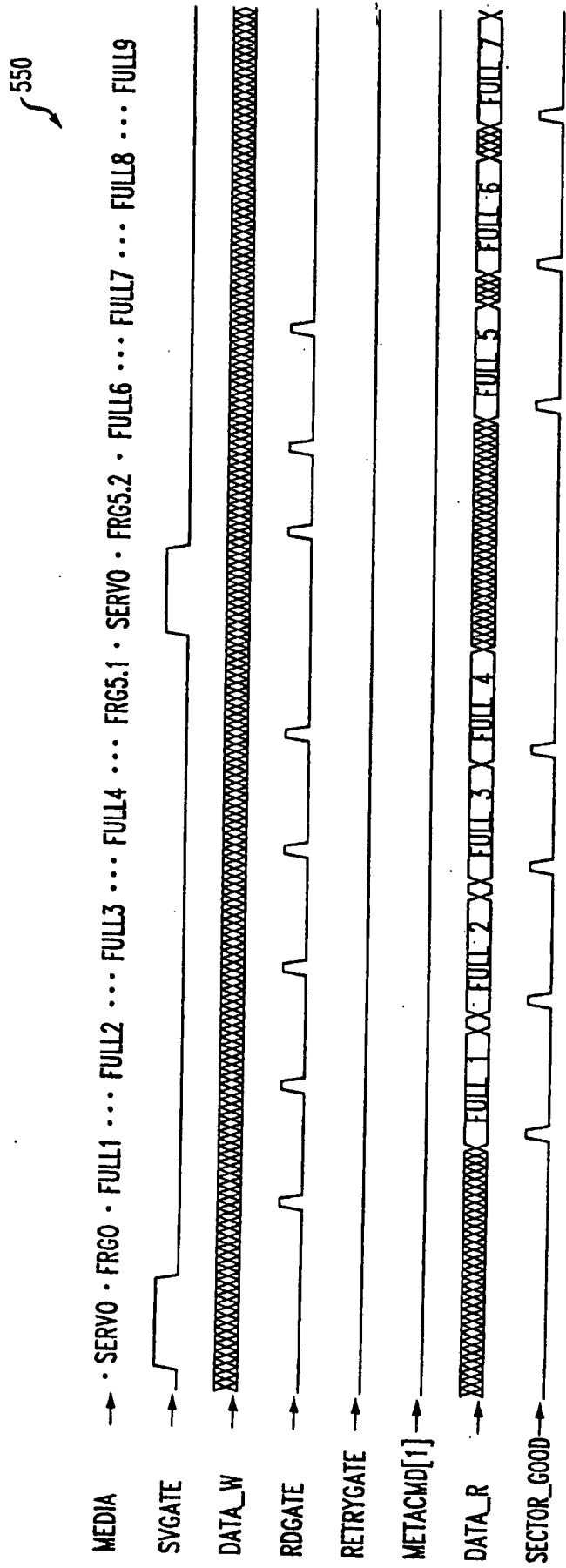


圖 5B

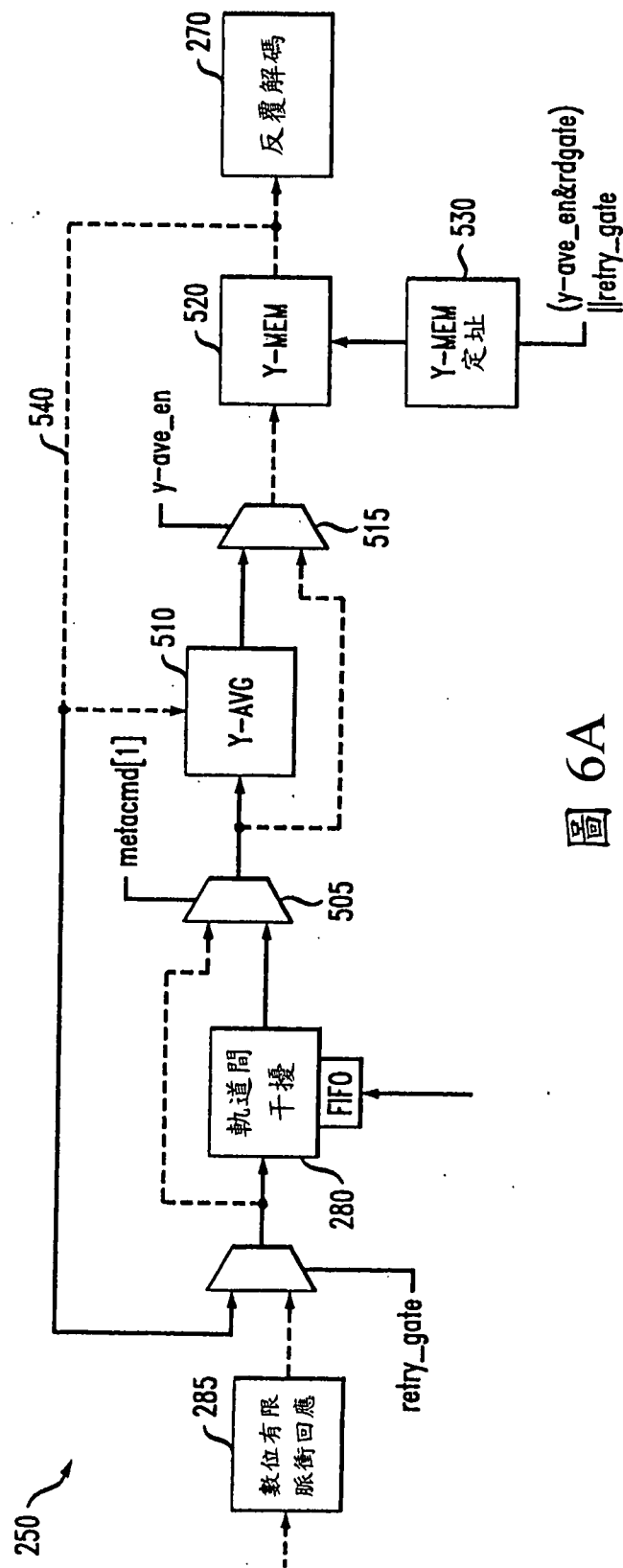


圖 6A



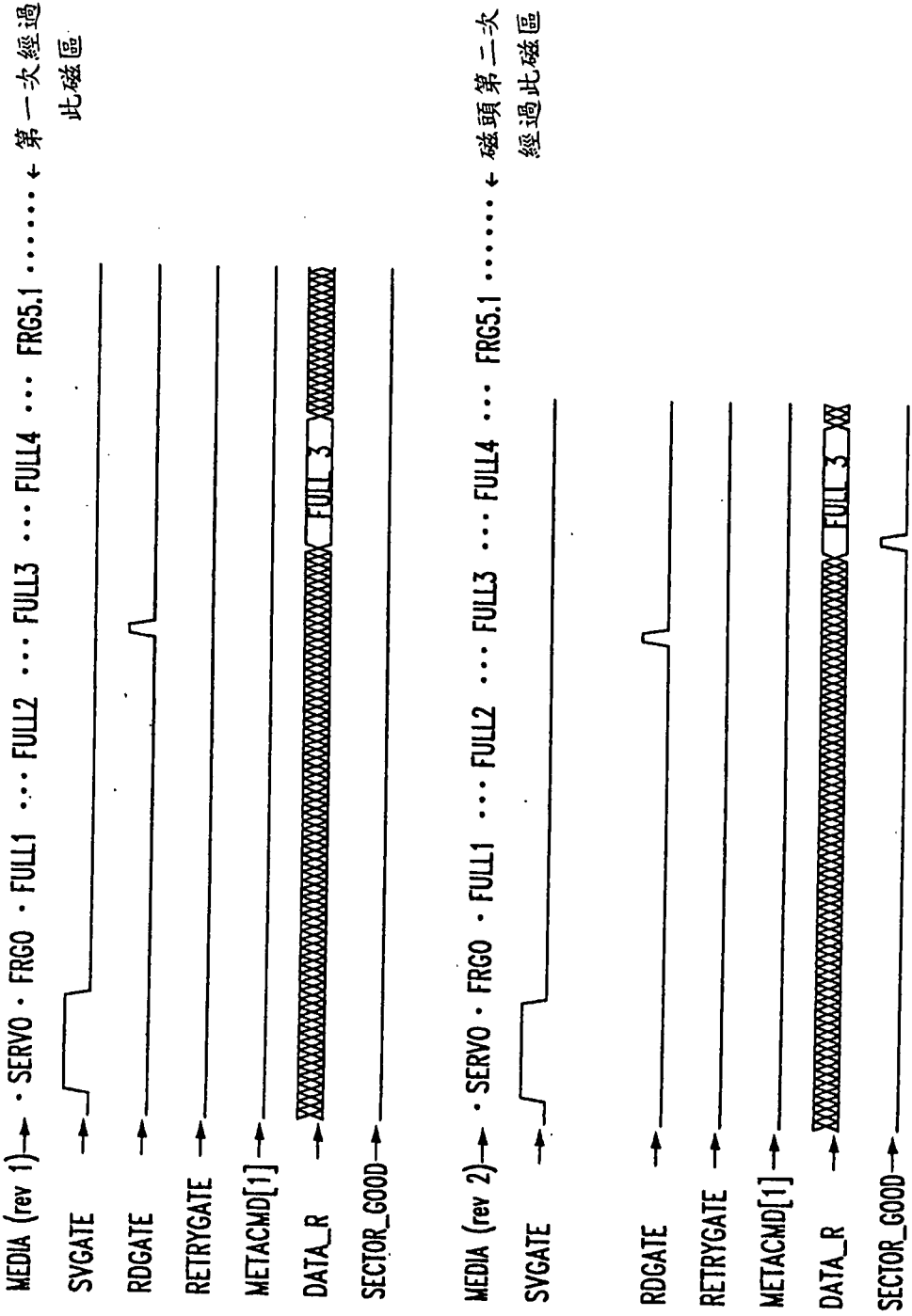


圖 6B

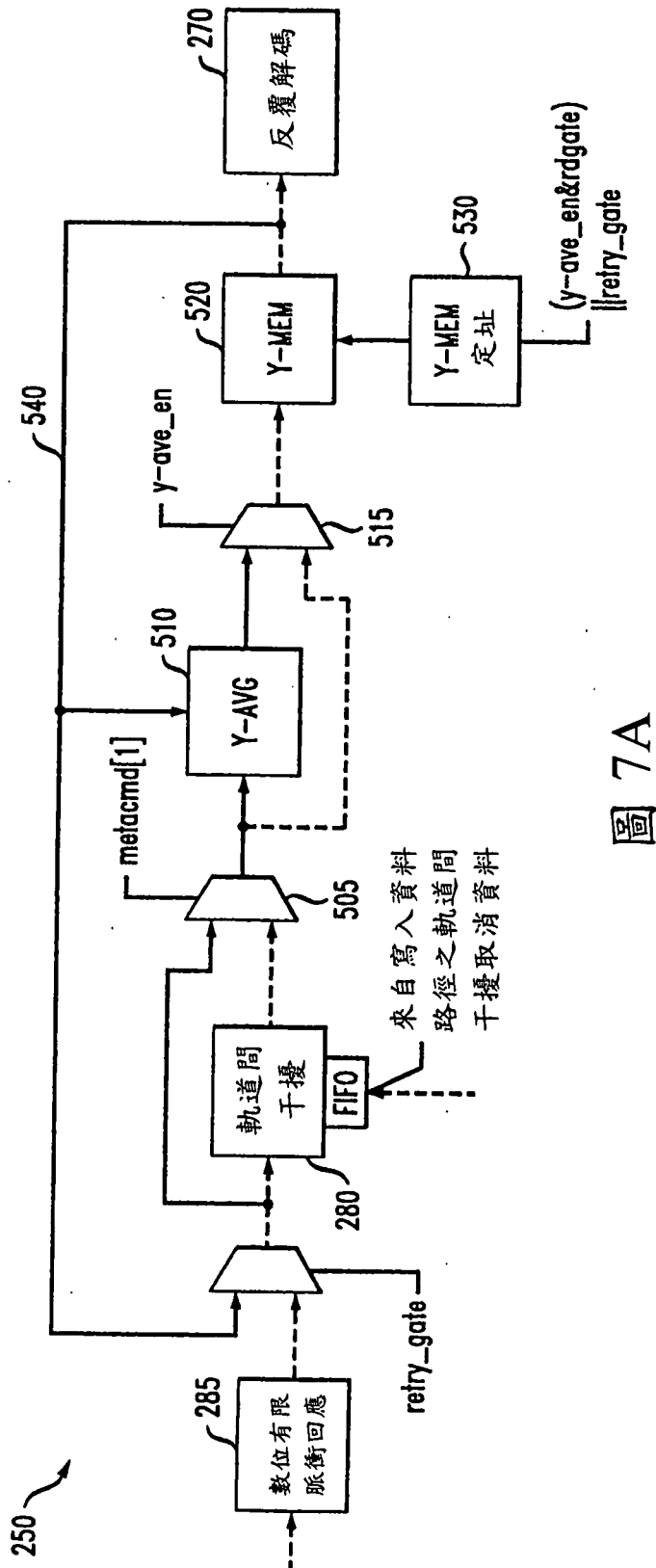


圖 7A



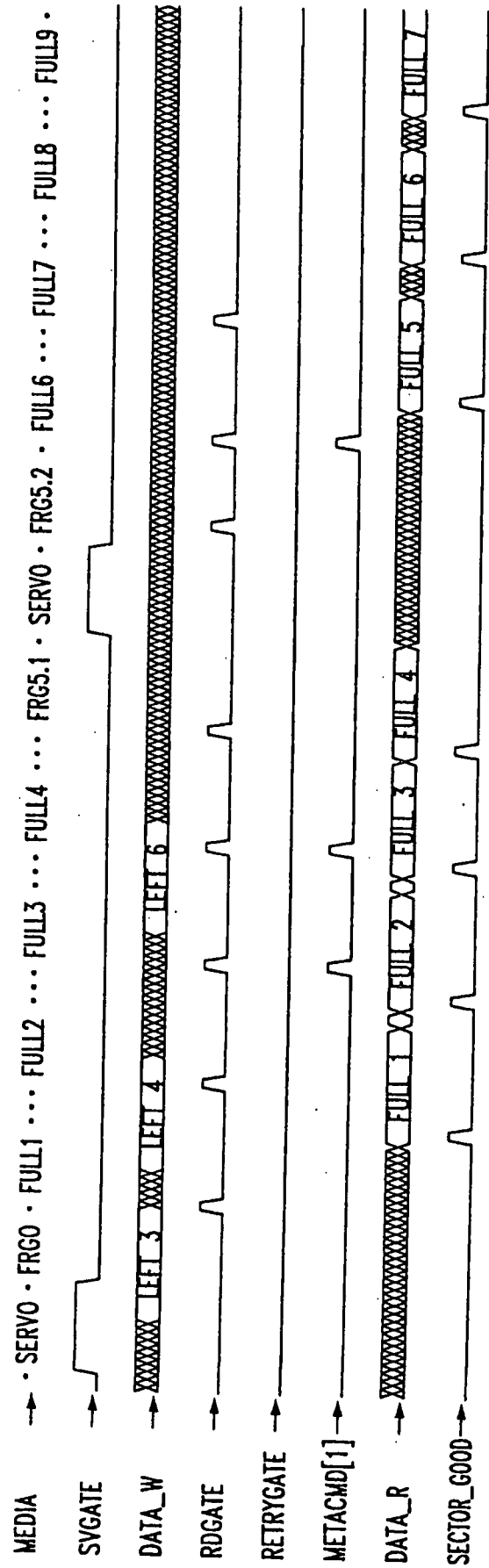


圖 7B



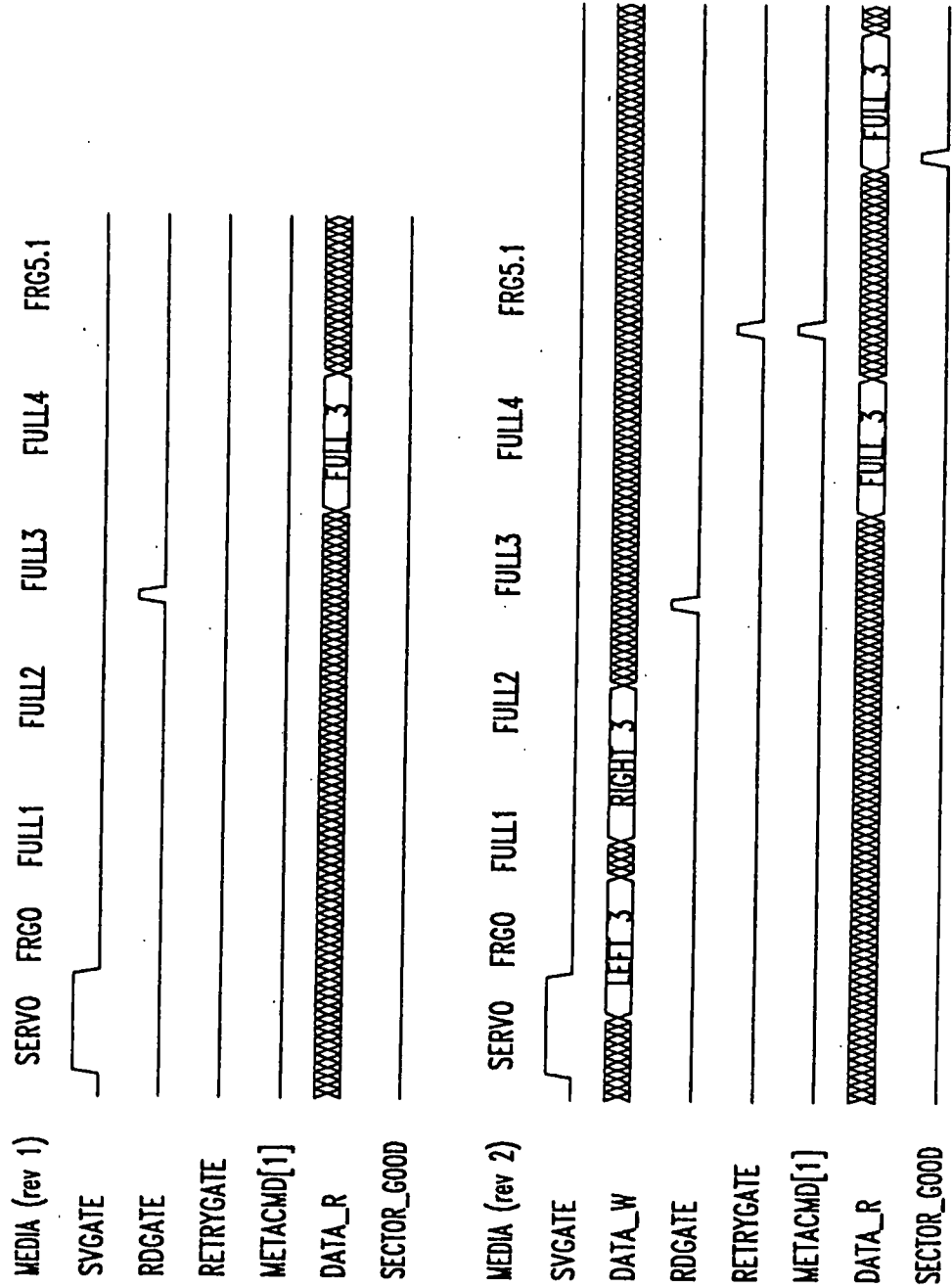


圖 8C



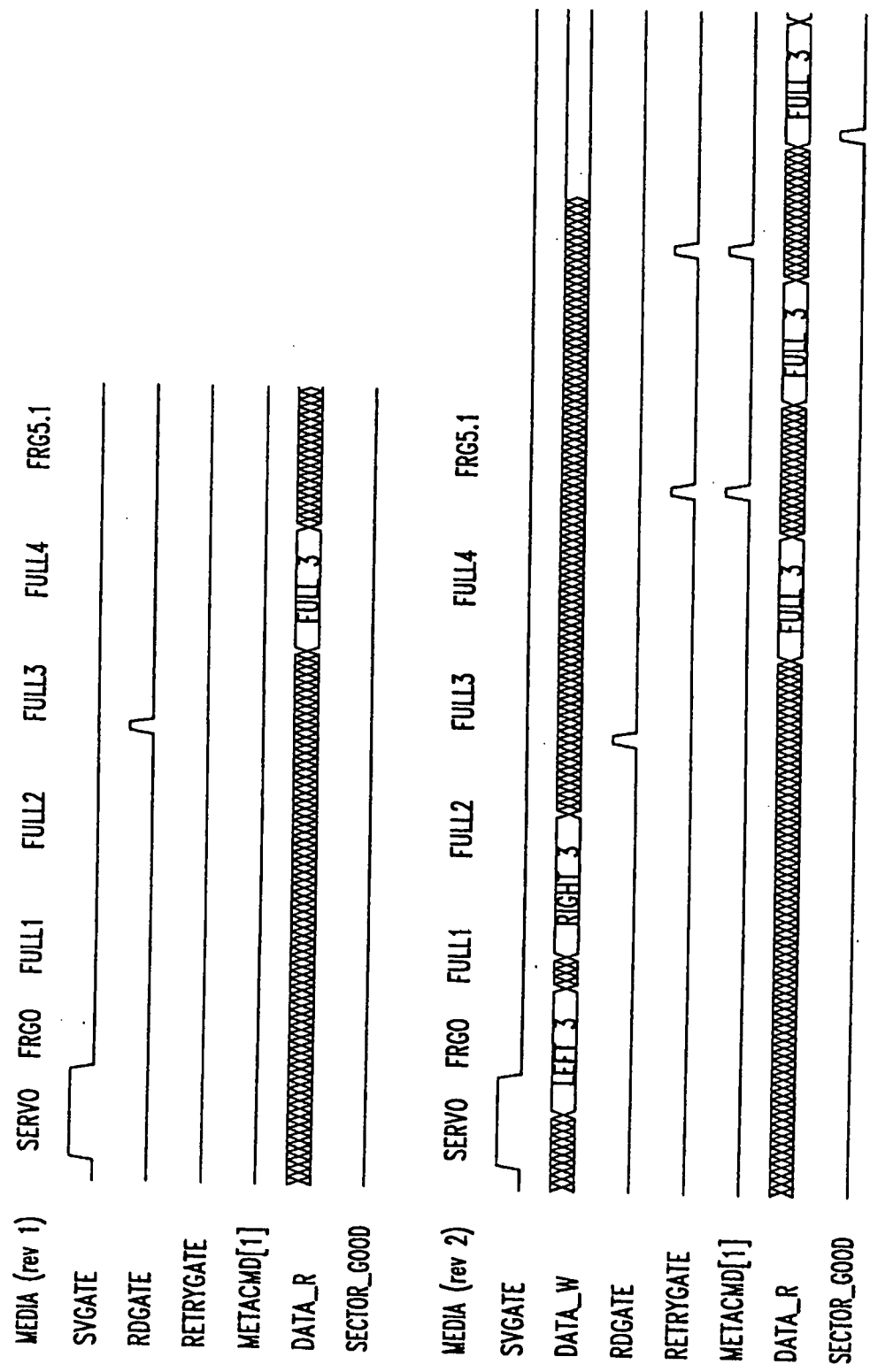


圖 8D

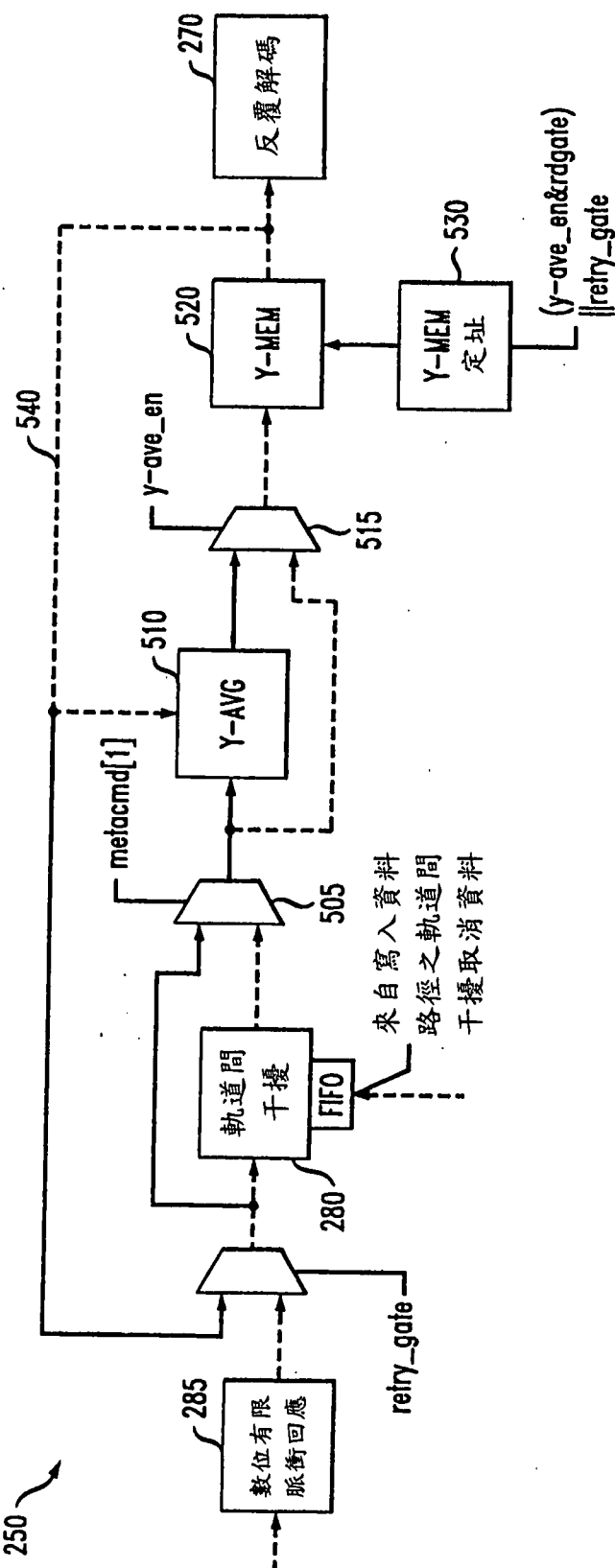


圖 9A



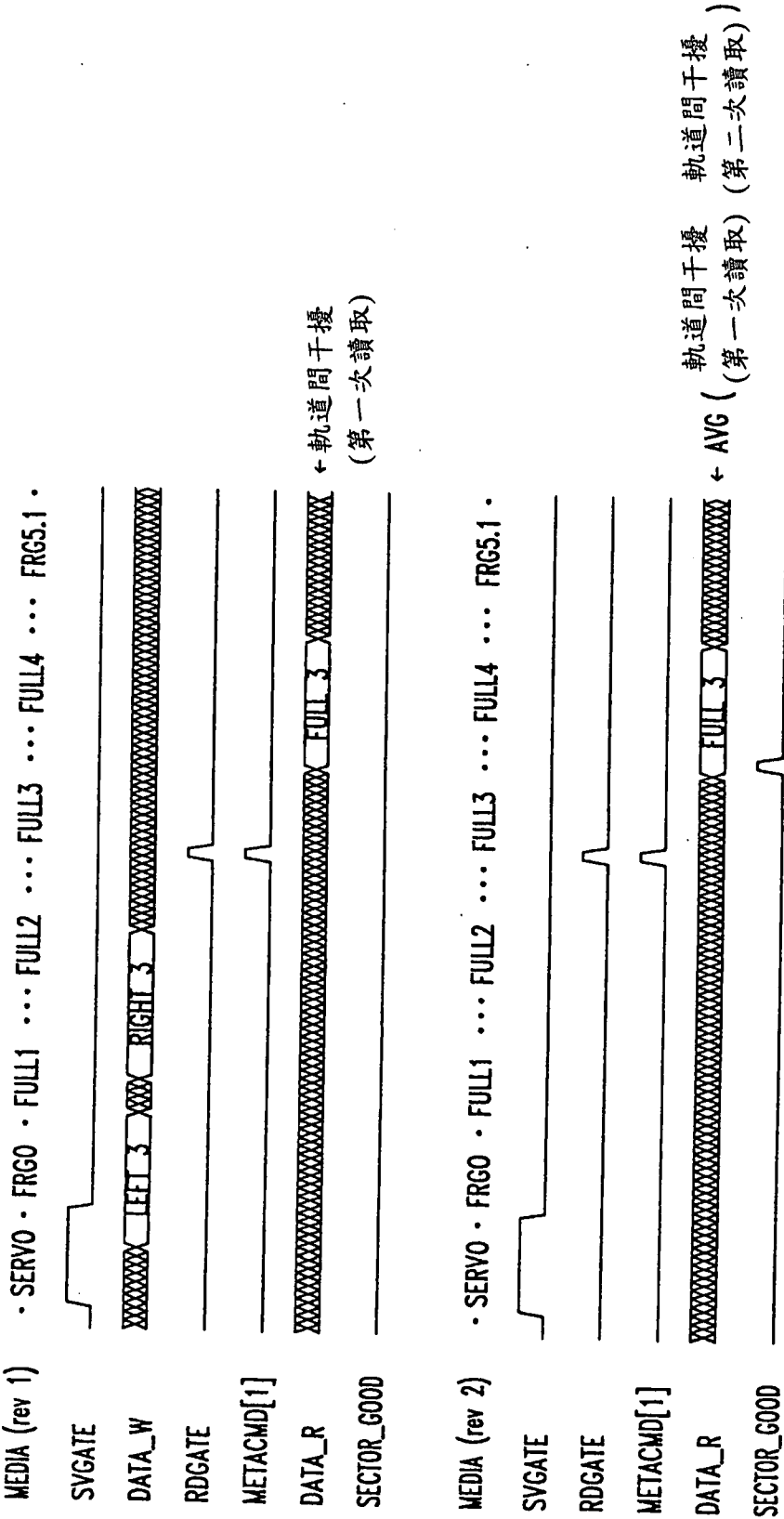


圖 9B

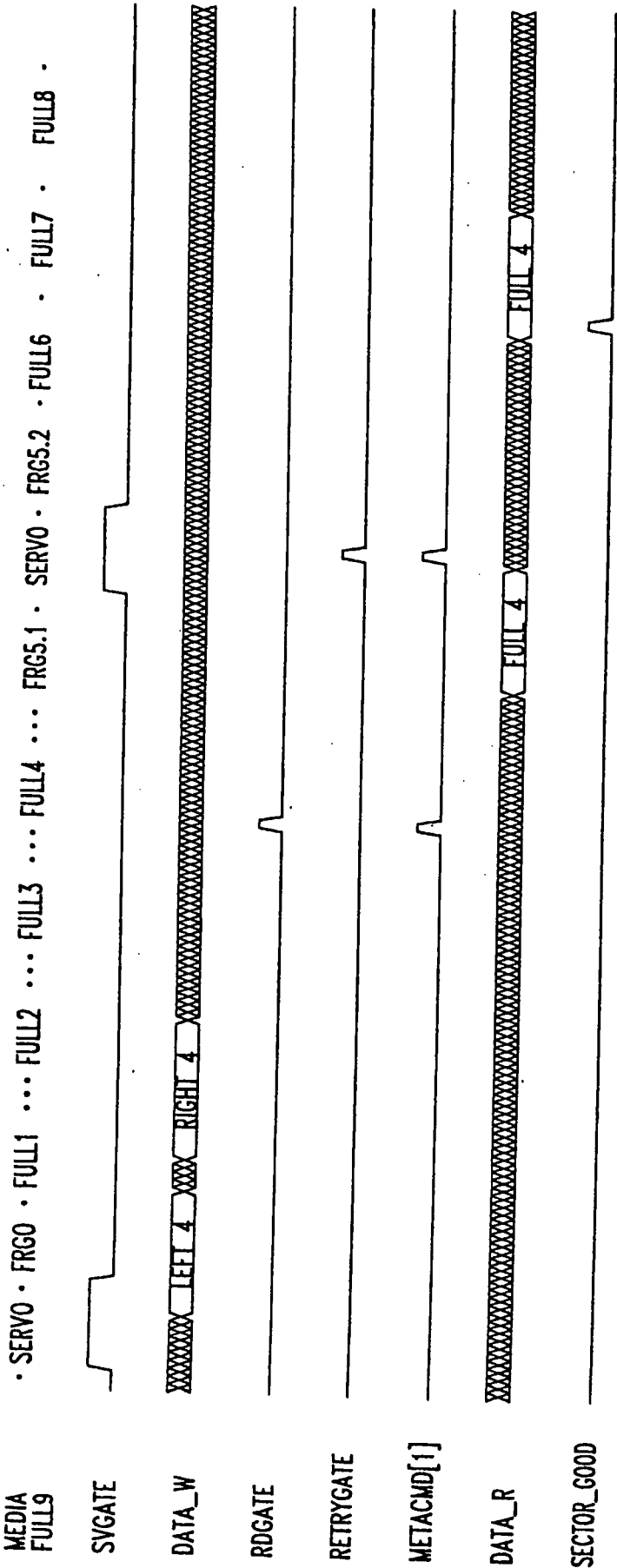


圖 10B

