



## 특허청구의 범위

### 청구항 1

제1 입력 단자는 입력 신호와 아날로그 피드백 신호를 합산하여 입력받고, 제2 입력 단자는 기준 전위에 연결된 연산증폭기를 이용한 능동 적분기;

상기 적분기의 출력을 디지털 신호로 변환하는 아날로그/디지털 변환기;

상기 아날로그/디지털 변환기로부터 변환된 디지털 신호를 상기 아날로그 피드백 신호로 변환하는 디지털/아날로그 변환기; 및

상기 적분기와 디지털/아날로그 변환기의 사이에 연결되며, 저항 값을 시간에 따라 조절하여 상기 디지털/아날로그 변환기의 전류전달량을 변화시키는 가변 저항기를 포함하는 연속시간 델타-시그마 변조기.

### 청구항 2

제1 항에 있어서,

상기 디지털/아날로그 변환기의 방전 초기에는 상기 가변 저항기의 저항 값을 크게 조절하여 순간적인 전류의 변화를 줄인 후, 점진적으로 저항 값을 감소시켜 방전이 진행됨에 따라 방전 전류의 변화율이 크지 않도록 하면서도 방전의 마지막에서는 줄어든 상기 가변 저항기의 저항 값에 의해 상기 디지털/아날로그 변환기에 충전되어 있던 전하를 모두 방전하여 상기 적분기로 전달되도록 상기 가변 저항기의 저항 값을 조절하는 것을 특징으로 하는 연속시간 델타-시그마 변조기.

### 청구항 3

제1 항에 있어서,

상기 가변 저항기는,

상기 적분기와 디지털/아날로그 변환기의 사이에 직렬 연결되는 저항과, 상기 저항에 병렬로 연결되는 스위칭 트랜지스터로 이루어지되,

상기 스위칭 트랜지스터의 게이트 전압을 증가시켜 상기 스위칭 트랜지스터의 온-저항을 제어하여 상기 가변 저항기의 저항값을 조절하는 것을 특징으로 하는 연속시간 델타-시그마 변조기.

### 청구항 4

제3 항에 있어서,

상기 스위칭 트랜지스터의 게이트를 구동하기 위한 전압은 램프(Ramp) 과형으로 이루어진 것을 특징으로 하는 연속시간 델타-시그마 변조기.

### 청구항 5

제1 항에 있어서,

상기 가변 저항기는, 상기 적분기와 디지털/아날로그 변환기의 사이에 복수개의 저항을 병렬로 연결하고, 상기 각 저항을 순차적으로 스위칭하여 등가 저항을 시간에 따라 줄여주어 상기 가변 저항기의 저항 값을 조절하는 것을 특징으로 하는 연속시간 델타-시그마 변조기.

### 청구항 6

제1 항에 있어서,

상기 디지털/아날로그 변환기는,

스위치드 커패시터;

제1 제어신호에 따라 상기 스위치드 커패시터의 양단을 각각 상기 기준 전위에 연결하는 제1 및 제2 방전스위치;

제1 및 제2 전압원;

상기 제1 제어신호와 활성구간이 겹치지 않는 제2 제어신호 및 상기 디지털 신호에 따라 상기 스위치드 커패시터의 타단과 상기 제1 및 제2 전압원 사이를 각각 선택적으로 연결하는 제1 및 제2 충전스위치; 및

상기 제2 제어신호에 따라 상기 스위치드 커패시터의 일단과, 상기 가변 저항기의 일단을 연결하는 제3 충전스위치를 포함하는 것을 특징으로 하는 연속시간 델타-시그마 변조기.

#### 청구항 7

디지털 출력을 아날로그 신호로 변환하여 피드백하는 디지털/아날로그 변환기와, 제1 입력 단자는 입력 신호와 상기 아날로그 피드백 신호를 합산하여 입력받고, 제2 입력 단자는 기준 전위에 연결된 연산증폭기를 이용한 능동 적분기를 포함하는 연속시간 델타-시그마 변조기에 있어서,

상기 능동 적분기와 디지털/아날로그 변환기의 사이에 연결되며, 저항 값을 시간에 따라 조절하여 상기 디지털/아날로그 변환기의 전류전달량을 변화시키는 가변 저항기를 더 포함하되,

상기 가변 저항기는,

상기 적분기와 디지털/아날로그 변환기의 사이에 직렬 연결되는 저항과, 상기 저항에 병렬로 연결되는 스위칭 트랜지스터로 이루어지며,

상기 디지털/아날로그 변환기에 충전된 전하를 상기 능동 적분기로 보내는 구간인 클럭이 하이(High)인 구간 동안 점차 상기 스위칭 트랜지스터의 게이트 전압을 증가시켜 상기 스위칭 트랜지스터의 온(ON) 저항값을 줄임으로써 상기 가변 저항기의 저항값을 조절하는 것을 특징으로 하는 연속시간 델타-시그마 변조기.

#### 청구항 8

디지털 출력을 아날로그 신호로 변환하여 피드백하는 디지털/아날로그 변환기와, 제1 입력 단자는 입력 신호와 상기 아날로그 피드백 신호를 합산하여 입력받고, 제2 입력 단자는 기준 전위에 연결된 연산증폭기를 이용한 능동 적분기를 포함하는 연속시간 델타-시그마 변조기에 있어서,

상기 능동 적분기와 디지털/아날로그 변환기의 사이에 연결되며, 저항 값을 시간에 따라 조절하여 상기 디지털/아날로그 변환기의 전류전달량을 변화시키는 가변 저항기를 더 포함하되,

상기 가변 저항기는,

상기 적분기와 디지털/아날로그 변환기의 사이에 복수개의 저항을 병렬로 연결하고, 복수개의 지연된 클럭을 이용하여 상기 디지털/아날로그 변환기가 상기 능동 적분기에 연결되는 클럭이 하이(High)인 동안 상기 복수개의 저항을 상기 복수개의 지연된 클럭에 의해 순차적으로 병렬 연결하여 등가 저항을 시간에 따라 줄여줌으로써 상기 가변 저항기의 저항 값을 조절하는 것을 특징으로 하는 연속시간 델타-시그마 변조기.

#### 청구항 9

제7 항 또는 제8 항에 있어서,

상기 디지털/아날로그 변환기는,

스위치드 커패시터;

제1 제어신호에 따라 상기 스위치드 커패시터의 양단을 각각 상기 기준 전위에 연결하는 제1 및 제2 방전스위치;

제1 및 제2 전압원;

상기 제1 제어신호와 활성구간이 겹치지 않는 제2 제어신호 및 상기 디지털 신호에 따라 상기 스위치드 커패시터의 타단과 상기 제1 및 제2 전압원 사이를 각각 선택적으로 연결하는 제1 및 제2 충전스위치; 및

상기 제2 제어신호에 따라 상기 스위치드 커패시터의 일단과, 상기 가변 저항기의 일단을 연결하는 제3 충전스위치를 포함하는 것을 특징으로 하는 연속시간 델타-시그마 변조기.

**명세서**

**발명의 상세한 설명**

**기술분야**

<1> 본 발명은 연속시간 델타-시그마 변조기(Continuous-Time Delta-Sigma Modulator, CT DSM)를 위한 피드백 디지털/아날로그 변환기(Feedback DAC)를 구현함에 있어, 피드백되는 양이 클럭 지터(Clock Jitter)에 둔감하여 안정적인 신호 대 잡음비(Signal-to-Noise Ratio, SNR)를 보장하고, 피드백 양의 절대값은 기존설계와 동일하나 피드백 양의 순간적인 변화를 줄여 적분기(Integrator)에 사용되는 연산증폭기(OP-Amp)의 대역폭과 슬루율(Slew-Rate)을 기존의 설계에 비해 낮게 설계할 수 있어 소비전력을 절감할 수 있는 연속시간 델타-시그마 변조기에 관한 것이다.

**배경기술**

- <2> 일반적으로, 연속시간 델타-시그마 변조기(Continuous-Time Delta-Sigma Modulator, CT DSM)는 높은 정밀도, 낮은 잡음을 제공하며, 전문적인 오디오 시스템, 통신 시스템, 정밀 측정 장치 등에 널리 사용된다.
- <3> 도 1은 연속시간 델타-시그마 변조기의 기본적인 구조를 설명하기 위한 블록 구성도이고, 도 2는 정전류원을 이용한 피드백 DAC에서의 클럭 지터의 영향을 설명하기 위한 그래프이다.
- <4> 도 1 및 도 2를 참조하면, 연속시간 델타-시그마 변조기(CT DSM)는 기본적으로 능동-RC 적분기(10)와, 적분기(10)의 출력을 디지털 신호로 변환시켜주는 아날로그/디지털 변환기(Analog Digital Converter, ADC)(20), 그리고 아날로그/디지털 변환기(ADC)(20)의 신호에 따라 양(+) 또는 음(-)의 전류를 적분기(10)로 피드백 시켜주는 정전류원(I)으로 구현된 피드백 디지털/아날로그 변환기(Digital Analog Converter, DAC)(30)로 구성되어 있다.
- <5> 도 2에 도시된 바와 같이, 매 클럭 주기 당 피드백 디지털/아날로그 변환기(DAC)(30)로부터 적분기(10)로 피드백되는 총 전하량은 "Q(전하량)=I(전류)×t(시간)"의 식에 의하여 결정되고, 따라서 전류원(I)을 스위칭하는 클럭(Clock)이 지터(Jitter)를 가지는 경우, 피드백(feedback)되는 전하의 양은 클럭 지터(Clock Jitter)에 비례하는 만큼의 에러를 가지게 된다{참조문헌1; E. J. van der Zwan and E. C. Dijkmans, "A 0.2-mW CMOS modulator for speech coding with 80-dB dynamic range," *IEEE J. Solid-State Circuits*, vol. 31, pp. 1873-1880, Dec. 1996}.
- <6> 이러한 피드백 에러는 입력으로 전달하여 해석하였을 때, 등가적으로 입력신호에 대한 노이즈(Noise)로 보이게 되어, 결국 연속시간 델타-시그마 변조기(CT DSM)의 신호 대 잡음비(SNR)을 떨어뜨리는 결과를 가져오게 된다.
- <7> 한편, 전형적인 스위치-커패시터(Switched-Capacitor, SC) 형태의 적분기를 사용하는 경우는, 피드백 전류의 전달특성이 후술하는 도 4에 도시된 바와 같이, 시간에 대해서 지수적으로 감소하므로 클럭 지터에 의해 발생하는 피드백 양의 변화가 적다.
- <8> 따라서, 연속시간 델타-시그마 변조기(CT DSM)에서 정전류원 형태의 피드백 디지털/아날로그 변환기(DAC)(30)를 사용하는 경우는 후술하는 스위치-커패시터(SC) 형태의 디지털/아날로그 변환기(DAC)를 이용하는 경우보다 동일한 목표의 신호 대 잡음비(SNR)를 얻기 위해서 훨씬 낮은 지터 요구조건을 갖게 되어 클럭 설계가 큰 부담이 된다.
- <9> 도 3은 SC DAC를 적용한 연속시간 델타-시그마 변조기의 기본적인 구조를 설명하기 위한 블록 구성도이고, 도 4는 SC DAC의 전류전달 파형을 설명하기 위한 그래프이다.
- <10> 도 3 및 도 4를 참조하면, 전술한 도 1에 도시된 바와 같은 연속시간 델타-시그마 변조기(CT DSM)에서 클럭 지터에 민감한 특성을 갖는 정전류원 형태의 피드백 디지털/아날로그 변환기(DAC)(30)에 의해 발생하는 문제점을 해결하기 위하여, 도 3에 도시된 바와 같이, 연속시간 델타-시그마 변조기(CT DSM)에서도 스위치-커패시터(SC) 형태의 디지털/아날로그 변환기(DAC)(30')를 적용할 수 있다{참조문헌2; R. Veldhoven, "A Triple-Mode Continuous-Time Sigma-Delta Modulator With Switched-Capacitor Feedback DAC for a GSM-DEGE/CDMA2000/UMTS Receiver," *IEEE J. Solid-State Circuits*, vol. 38, No. 12, pp. 2059-2076, March 2000}.
- <11> 이러한 스위치-커패시터(SC) 형태의 디지털/아날로그 변환기(DAC)(30')는 커패시터(C<sub>DAC</sub>)에 충전되어 있던 전하가 적분기(10)로 전달될 때 방전 전류의 양이 지수적으로 감소함에 따라, 디지털/아날로그 변환기(DAC)(30')에

충전되어 있던 대부분의 전하는 적분기(10)에 연결된 초기에 전달되고, 적분의 끝 구간에서는 그 양이 급격히 감소하여 총 전하의 전달량은 클럭의 지터에 큰 영향을 받지 않는 특성을 보인다.

- <12> 따라서, 이상적인 적분기의 경우에는, 동일한 클럭의 지터특성에 대해서 정전류원 디지털/아날로그 변환기(DAC)(30)을 이용한 경우보다 스위치-커패시터(SC) 형태의 디지털/아날로그 변환기(DAC)(30')를 이용한 경우에 높은 신호 대 잡음비(SNR)를 얻을 수가 있다.
- <13> 그러나, 스위치-커패시터(SC) 형태의 디지털/아날로그 변환기(DAC)(30')를 연속시간 델타-시그마 변조기(CT DSM)에 적용한 경우에는 디지털/아날로그 변환기(DAC)(30')로 이용된 커패시터( $C_{DAC}$ )가 적분기(10)에 연결된 직후 방전으로 인한 급격한 전류변화가 발생한다.
- <14> 이러한 피드백 신호를 오차없이 처리하기 위해서는 적분에 사용되는 연산증폭기(OP-Amp)는 상당한 슬루율을 가져야하고 대역폭 또한 넓어져야 한다. 이러한 연산증폭기(OP-Amp)의 슬루율(Slew-Rate)과 대역폭을 증가하기 위해서는 바이어스 전류의 양을 증가시켜야 하므로, 이것은 전력소모와 직결되어 저전력 변조기(Modulator) 설계에 적절한 방향이 되지 못한다.
- <15> 도 5는 SCR DAC를 적용한 연속시간 델타-시그마 변조기의 기본적인 구조를 설명하기 위한 블록 구성도이고, 도 6은 SCR DAC의 전류전달 파형을 설명하기 위한 그래프이다.
- <16> 도 5 및 도 6을 참조하면, 전술한 도 3에 도시된 바와 같은 연속시간 델타-시그마 변조기(CT DSM)에서의 스위치-커패시터(SC) 형태의 디지털/아날로그 변환기(DAC)(30')에 의한 전력증가의 문제를 개선하기 위해서, 도 5에 도시된 바와 같은 SCR 디지털/아날로그 변환기(DAC)를 제안하였다(참조문헌 3; M. Ortmanns, F. Gerfers, Y. Manoli, "Clock Jitter Insensitive Continuous-Time Sigma-Delta Modulators," *ICECS 2001*, pp. 1049-1052).
- <17> 즉, 피드백 디지털/아날로그 변환기(DAC)(30')의 커패시터( $C_{DAC}$ )와 적분기(10)의 사이에 저항( $R_{DAC}$ )(15)을 연결하여, 순간적인 전류의 최대 변화가  $V/R$ 에 의해 제한되도록 설계하는 것이다.
- <18> 이렇게 되면 도 6의 도면부호 50에 도시된 바와 같이, 피드백되는 전류의 최대값이 " $V_{ref}/R_{DAC}$ "로 결정되어 디지털/아날로그 변환기(DAC)(30')에 사용된 직렬 저항값이 증가함에 따라 반비례하여 감소하게 된다.
- <19> 따라서, 입력신호에 반응하기 위한 적분기(10)의 연산증폭기(OP-Amp)에서 요구하는 슬루율(Slew-Rate)이나 대역폭의 조건이 크게 경감되어 저전력 설계를 위해 바람직한 구현방안이 된다.
- <20> 한편, 이러한 전류변화율의 제한은 도 6의 도면부호 50에서 보인 바와 같이 전통적인 스위치-커패시터(SC) 형태의 디지털/아날로그 변환기(DAC)(30')에 비하여 적분구간의 끝에서 전달이 완료되지 않고 남은 전하의 크기를 증가시키는 결과를 가져오게 되어, 신호 대 잡음비(SNR)의 클럭 지터에 의한 민감도를 증가시키는 효과를 가져오게 된다.
- <21> 따라서, 이러한 설계는 저전력 소비와 클럭 지터에 대한 신호 대 잡음 비(SNR)의 민감도의 트레이드-오프(Trade-Off)가 되어 저전력 소모와 높은 신호 대 잡음 비(SNR)를 동시에 만족시키기는 어려운 면이 있다.
- <22> 전술한 바와 같이, 종래의 연속시간 델타-시그마 변조기(CT DSM)의 클럭 지터에 대한 민감도는 스위치-커패시터(SC) 형태의 디지털/아날로그 변환기(DAC)(30')를 사용함으로써 줄일 수 있으나, 이로 인해 증가한 대역폭과 슬루율(Slew-Rate) 요구조건으로 인해 전력소모가 증가하고 이를 개선하기 위해서는 어느 정도의 신호 대 잡음 비(SNR)와 전력소모의 트레이드-오프(Trade-Off)가 이루어져야 함을 알 수 있다.

**발명의 내용**

**해결 하고자하는 과제**

- <23> 본 발명은 전술한 문제점을 해결하기 위하여 안출된 것으로서, 본 발명의 목적은 연속시간 델타-시그마 변조기(Continuous-Time Delta-Sigma Modulator, CT DSM)를 위한 피드백 디지털/아날로그 변환기(Feedback DAC)를 구현함에 있어, 피드백되는 양이 클럭 지터(Clock Jitter)에 둔감하여 안정적인 신호 대 잡음 비(SNR)를 보장하고, 피드백 양의 절대값은 기존설계와 동일하나 피드백 양의 순간적인 변화를 줄여 적분기(Integrator)에 사용되는 연산증폭기(OP-Amp)의 대역폭과 슬루율(Slew-Rate)을 기존의 설계에 비해 낮게 설계할 수 있어 소비전력을 절감할 수 있는 연속시간 델타-시그마 변조기에 관한 것이다.

**과제 해결수단**

- <24>    기술한 목적을 달성하기 위하여 본 발명의 제1 측면은, 제1 입력 단자는 입력 신호와 아날로그 피드백 신호를 합산하여 입력받고, 제2 입력 단자는 기준 전위에 연결된 연산증폭기를 이용한 능동 적분기; 상기 적분기의 출력을 디지털 신호로 변환하는 아날로그/디지털 변환기; 상기 아날로그/디지털 변환기로부터 변환된 디지털 신호를 상기 아날로그 피드백 신호로 변환하는 디지털/아날로그 변환기; 및 상기 적분기와 디지털/아날로그 변환기의 사이에 연결되며, 저항 값을 시간에 따라 조절하여 상기 디지털/아날로그 변환기의 전류전달량을 변화시키는 가변 저항기를 포함하는 연속시간 델타-시그마 변조기를 제공하는 것이다.
- <25>    여기서, 상기 디지털/아날로그 변환기의 방전 초기에는 상기 가변 저항기의 저항 값을 크게 조절하여 순간적인 전류의 변화를 줄인 후, 점진적으로 저항 값을 감소시켜 방전이 진행됨에 따라 방전 전류의 변화율이 크지 않도록 하면서도 방전의 마지막에서는 줄어든 상기 가변 저항기의 저항 값에 의해 상기 디지털/아날로그 변환기에 충전되어 있던 전하를 모두 방전하여 상기 적분기로 전달되도록 상기 가변 저항기의 저항 값을 조절함이 바람직하다.
- <26>    바람직하게, 상기 가변 저항기는, 상기 적분기와 디지털/아날로그 변환기의 사이에 직렬 연결되는 저항과, 상기 저항에 병렬로 연결되는 스위칭 트랜지스터로 이루어지며, 상기 스위칭 트랜지스터의 게이트 전압을 증가시켜 상기 스위칭 트랜지스터의 온-저항을 제어하여 상기 가변 저항기의 저항값을 조절할 수 있다.
- <27>    바람직하게, 상기 스위칭 트랜지스터의 게이트를 구동하기 위한 전압은 램프(Ramp) 파형으로 이루어질 수 있다.
- <28>    바람직하게, 상기 스위칭 트랜지스터는 NMOS(N-type Metal Oxide Semiconductor) 또는 PMOS(P-type Metal Oxide Semiconductor) 트랜지스터로 이루어질 수 있다.
- <29>    바람직하게, 상기 가변 저항기는, 상기 적분기와 디지털/아날로그 변환기의 사이에 복수개의 저항을 병렬로 연결하고, 상기 각 저항을 순차적으로 스위칭하여 등가 저항을 시간에 따라 줄여주어 상기 가변 저항기의 저항 값을 조절할 수 있다.
- <30>    바람직하게, 상기 디지털/아날로그 변환기는, 스위치드 커패시터; 제1 제어신호에 따라 상기 스위치드 커패시터의 양단을 각각 상기 기준 전위에 연결하는 제1 및 제2 방전스위치; 제1 및 제2 전압원; 상기 제1 제어신호와 활성구간이 겹치지 않는 제2 제어신호 및 상기 디지털 신호에 따라 상기 스위치드 커패시터의 타단과 상기 제1 및 제2 전압원 사이를 각각 선택적으로 연결하는 제1 및 제2 충전스위치; 및 상기 제2 제어신호에 따라 상기 스위치드 커패시터의 일단과, 상기 가변 저항기의 일단을 연결하는 제3 충전스วิต치를 포함할 수 있다.
- <31>    본 발명의 제2 측면은, 디지털 출력을 아날로그 신호로 변환하여 피드백하는 디지털/아날로그 변환기와, 제1 입력 단자는 입력 신호와 상기 아날로그 피드백 신호를 합산하여 입력받고, 제2 입력 단자는 기준 전위에 연결된 연산증폭기를 이용한 능동 적분기를 포함하는 연속시간 델타-시그마 변조기에 있어서, 상기 능동 적분기와 디지털/아날로그 변환기의 사이에 연결되며, 저항 값을 시간에 따라 조절하여 상기 디지털/아날로그 변환기의 전류 전달량을 변화시키는 가변 저항기를 더 포함하되, 상기 가변 저항기는, 상기 적분기와 디지털/아날로그 변환기의 사이에 직렬 연결되는 저항과, 상기 저항에 병렬로 연결되는 스위칭 트랜지스터로 이루어지며, 상기 디지털/아날로그 변환기에 충전된 전하를 상기 능동 적분기로 보내는 구간인 클럭이 하이(High)인 구간 동안 점차 상기 스위칭 트랜지스터의 게이트 전압을 증가시켜 상기 스위칭 트랜지스터의 온(ON) 저항값을 줄임으로써 상기 가변 저항기의 저항값을 조절하는 것을 특징으로 하는 연속시간 델타-시그마 변조기를 제공하는 것이다.
- <32>    본 발명의 제3 측면은, 디지털 출력을 아날로그 신호로 변환하여 피드백하는 디지털/아날로그 변환기와, 제1 입력 단자는 입력 신호와 상기 아날로그 피드백 신호를 합산하여 입력받고, 제2 입력 단자는 기준 전위에 연결된 연산증폭기를 이용한 능동 적분기를 포함하는 연속시간 델타-시그마 변조기에 있어서, 상기 능동 적분기와 디지털/아날로그 변환기의 사이에 연결되며, 저항 값을 시간에 따라 조절하여 상기 디지털/아날로그 변환기의 전류 전달량을 변화시키는 가변 저항기를 더 포함하되, 상기 가변 저항기는, 상기 적분기와 디지털/아날로그 변환기의 사이에 복수개의 저항을 병렬로 연결하고, 복수개의 지연된 클럭을 이용하여 상기 디지털/아날로그 변환기가 상기 능동 적분기에 연결되는 클럭이 하이(High)인 동안 상기 복수개의 저항을 상기 복수개의 지연된 클럭에 의해 순차적으로 병렬 연결하여 등가 저항을 시간에 따라 줄여줌으로써 상기 가변 저항기의 저항 값을 조절하는 것을 특징으로 하는 연속시간 델타-시그마 변조기를 제공하는 것이다.

**효과**

<33> 이상에서 설명한 바와 같은 본 발명의 연속시간 델타-시그마 변조기에 따르면, 연속시간 델타-시그마 변조기(Continuous-Time Delta-Sigma Modulator, CT DSM)를 위한 피드백 디지털/아날로그 변환기(Feedback DAC)를 구현함에 있어, 피드백되는 양이 클럭 지터(Clock Jitter)에 둔감하여 안정적인 신호 대 잡음 비(SNR)를 보장하고, 피드백 양의 절대값은 기존설계와 동일하나 피드백 양의 순간적인 변화를 줄여 적분기(Integrator)에 사용되는 연산증폭기(OP-Amp)의 대역폭과 슬루율(Slew-Rate)을 기존의 설계에 비해 낮게 설계할 수 있어 소비전력을 절감할 수 있는 이점이 있다.

<34> 또한, 본 발명에 따르면, SCR구조의 피드백 디지털/아날로그 변환기(DAC)에서 저항(R)의 값을 시간에 따라 가변하도록 설계하여 시간에 따른 전류전달 특성을 조절함으로써, 신호 대 잡음비(SNR)의 지터에 대한 민감도를 향상하면서도 연산증폭기(OP-Amp)의 전력소모도 줄일 수 있으며, 고해상도 저전력 통신용 아날로그 디지털 변환기(ADC)를 구현하기에 적합한 이점이 있다.

**발명의 실시를 위한 구체적인 내용**

<35> 이하, 첨부된 도면을 참조하여 본 발명에 따른 바람직한 실시예를 상세하게 설명하기로 한다. 그러나, 이하의 실시예는 이 기술분야에서 통상적인 지식을 가진 자에게 본 발명이 충분히 이해되도록 제공되는 것으로서 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 다음에 기술되는 실시예에 한정되는 것은 아니다.

<36> 도 7은 본 발명의 일 실시예에 따른 연속시간 델타-시그마 변조기의 구조를 설명하기 위한 블록 구성도이고, 도 8은 본 발명의 일 실시예에 적용된 디지털/아날로그 변환기(DAC)의 전류전달 특성을 기존의 SCR DAC 구조와 비교하여 도시한 그래프이다.

<37> 도 7 및 도 8을 참조하면, 본 발명의 일 실시예에 따른 연속시간 델타-시그마 변조기(Continuous-Time Delta-Sigma Modulator, CT DSM)는, 기본적으로 적분기(100), 아날로그/디지털 변환기(Analog Digital Converter, ADC)(200), 스위치-커패시터(Switched-Capacitor, SC) 형태의 피드백 디지털/아날로그 변환기(Digital Analog Converter, DAC)(300) 및 가변 저항기( $R_{vary}$ )(400)를 포함한다.

<38> 여기서, 입력 신호( $V_{IN}$ )는 싱글엔디드(single-ended) 신호를 예로 하였으나, 차동(differential) 신호일 수도 있다. 본 발명의 연속시간 델타-시그마 변조기의 구조는 차수(order)나 차동 신호 여부 등에 따라 변형될 수 있지만, 상기의 기본적인 구조를 피해가지 않는다고 볼 수 있다.

<39> 이러한 연속시간 델타-시그마 변조기(CT DSM)과 더불어 널리 이용되는 이산시간 델타-시그마 변조기(Discrete-Time Delta-Sigma Modulator, DT DSM)의 기본적인 구조도 연속시간 델타-시그마 변조기(CT DSM)의 구조와 유사하다.

<40> 다만, 이산시간 델타-시그마 변조기(DT DSM)의 적분기는 이산 입력 펄스를 입력받는데 비해, 연속시간 델타-시그마 변조기(CT DSM)의 적분기(100)는 시간에 따라 연속하여 가변하는 아날로그 입력 신호를 입력받는다라는 점이 다르다.

<41> 또한, 본 발명의 연속시간 델타-시그마 변조기(CT DSM)는 아날로그 입력 신호를 적분하기 때문에, 내부의 적분기(100)를 구현할 때 사용되는 연산증폭기(150)의 출력이 안정화되는 설정 시간(settling time) 등의 요구 조건이 이산시간 델타-시그마 변조기(DT DSM)에 비해 완화될 수 있다. 또, 연속시간 델타-시그마 변조기(CT DSM)는 안티 알리아싱 필터(anti-aliasing filter)가 필요하지 않을 수 있고, 낮은 차수의 구조로도 구현될 수 있으며 전력을 적게 소모하는 장점이 있다.

<42> 적분기(100)는 입력 신호( $V_{IN}$ )를 입력 저항( $R_{IN}$ )으로 나눈 값인 입력 전류( $I_{IN}$ )와 아날로그 변환된 피드백 신호( $I_{DAC}$ )를 합산한 전류를 적분한다. 이러한 적분기(100)가 선형성을 가질수록 전체 델타-시그마 변조기의 특성도 좋아진다. 즉, 적분기(100)는 연산증폭기(150)와 커패시터( $C_1$ )를 이용한 능동 RC 형태로 예시된다.

<43> 아날로그/디지털 변환기(ADC)(200)는 적분기(100)의 출력을 양자화하여 그 결과를 디지털 출력( $D_{out}$ )으로 출력하며, 피드백 디지털/아날로그 변환기(DAC)(300)는 상기 디지털 출력( $D_{out}$ )을 피드백하여 아날로그 피드백 신호( $I_{DAC}$ )로 변환한다. 이렇게 변환된 피드백 신호( $I_{DAC}$ )는 합산 노드( $N_{SUM}$ )에서 입력 전류( $I_{IN}$ )와 합산되어 적분기(100)에 인가한다.

<44> 스위치-커패시터(SC) 형태의 피드백 디지털/아날로그 변환기(DAC)(300)는 아날로그/디지털 변환기(ADC)(200)의

신호에 따라 양(+) 또는 음(-)의 전류를 적분기(100)로 피드백(Feedback) 시켜주는 기능을 수행한다.

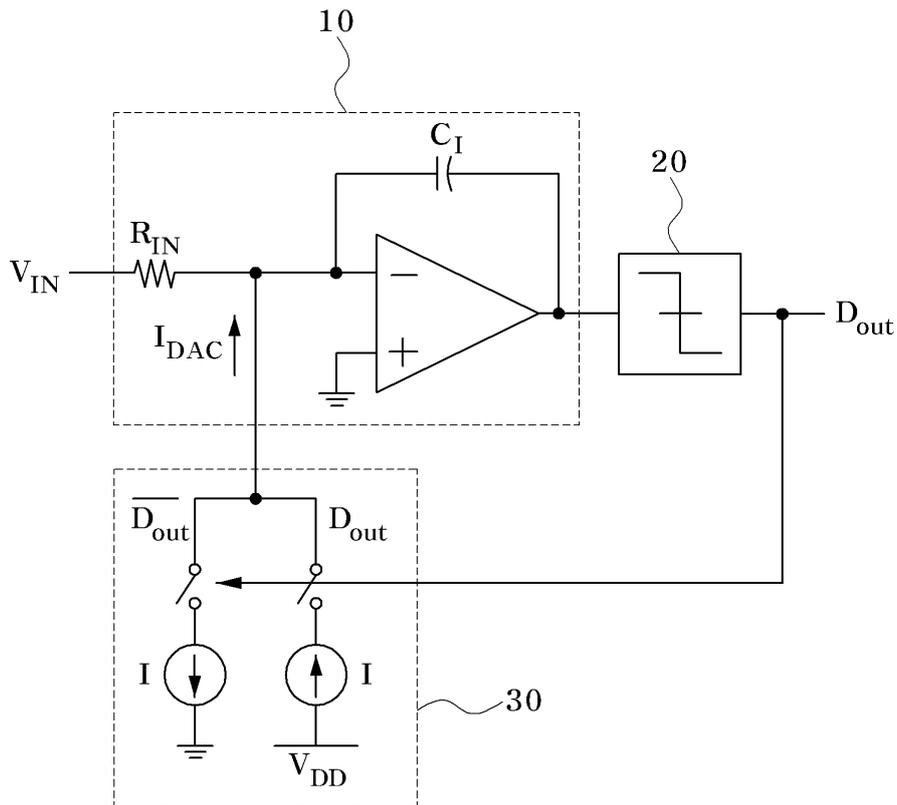
- <45> 이러한 디지털/아날로그 변환기(DAC)(300)는 스위치드 커패시터( $C_{DAC}$ )의 양단에 피드백 디지털/아날로그 변환기(DAC)(300)의 기준전압  $V_{ref+}$ 와  $V_{ref-}$ 에 각각 연결되는 스위치들( $P_{C1}$  및  $P_{C2}$ ), 가변 저항기( $R_{Vary}$ )(400)에 연결되는 스위치( $P_{C3}$ ), 그리고 스위치드 커패시터( $C_{DAC}$ )를 그라운드(Ground)에 연결하는 스위치들( $P_{D1}$ ,  $P_{D2}$ )를 갖는다.
- <46> 즉, 제2 제어신호( $P_2$ )와 상기 디지털 출력( $D_{out}$ )에 의해 기준전압에 연결되는 스위치( $P_{C1}$  또는  $P_{C2}$ )와 스위치드 커패시터( $C_{DAC}$ )를 그라운드로 연결하는 스위치( $P_{D1}$ )가 온(ON)되며, 제2 제어신호( $P_2$ )와는 그 활성 구간이 겹치지 않는 제1 제어신호( $P_1$ )에 의해 스위치( $P_{D2}$ )와 스위치( $P_{C3}$ )가 연결된다.
- <47> 이렇게 제1 제어신호( $P_1$ )가 활성화된 구간에는 스위치드 커패시터( $C_{DAC}$ )가 급속하게 충전되기 때문에 충전초기에는 가변 저항기( $R_{Vary}$ )(400)의 일단에는 급격한 전류변화가 나타난다.
- <48> 그리고, 가변 저항기( $R_{Vary}$ )(400)는 적분기(100)에서의 합산 노드( $N_{SUM}$ )와 디지털/아날로그 변환기(DAC)(300)의 사이에 연결되어, 디지털/아날로그 변환기(DAC)(300)의 방전특성이 고유의 RC 시정수를 따르지 않도록 저항의 값을 시간에 따라 조절하는 기능을 수행한다.
- <49> 즉, 스위치드 커패시터( $C_{DAC}$ )가 적분기(100)에 연결되는 방전의 초기에는 직렬로 연결된 가변 저항기( $R_{Vary}$ )(400)의 저항(R) 값이 크게 되도록 조절하여 순간적인 전류의 변화를 줄이고, 점진적으로 저항(R) 값을 줄여감으로써, 방전이 진행됨에 따라 방전 전류의 변화율이 크지 않도록 하면서도 방전의 마지막에서는 줄어든 가변 저항기( $R_{Vary}$ )(400)의 저항(R) 값에 의해 스위치드 커패시터( $C_{DAC}$ )에 충전되어 있던 전하가 완전히 적분기(100)로 전달되도록 한다.
- <50> 이렇게 하여 연산증폭기(150)의 전력소모를 줄이고 클럭 지터(Clock Jitter)에 대한 신호 대 잡음비(SNR)의 둔 감도를 효과적으로 개선할 수 있다. 도 8에 도시된 바와 같이, 본 발명의 일 실시예에 적용된 가변 저항기( $R_{Vary}$ )(400)를 포함한 제안된 디지털/아날로그 변환기(DAC)(300)는, 전류의 최대치가 기존의 SCR 디지털/아날로그 변환기(DAC)보다 적으면서도 전류전달의 마지막 구간에서 커패시터에 잔류하는 전하를 줄여준다.
- <51> 전술한 본 발명의 일 실시예에 적용된 가변 저항기( $R_{Vary}$ )(400) 구현을 위한 저항 값의 제어는 연속시간으로 이루어질 수도 있고, 이산시간에 이루어질 수도 있다.
- <52> 예를 들면, 도 9는 도 7의 연속시간 델타-시그마 변조기의 입력 부분을 일 예로 나타내는 회로도로서, 기존의 SCR 디지털/아날로그 변환기(DAC)에 적용된 저항(R)에 병렬로 스위칭 트랜지스터(M)를 연결하여 가변 저항기( $R_{Vary}$ )(400')를 구현할 수 있다. 상기 스위칭 트랜지스터(M)는 NMOS(N-type Metal Oxide Semiconductor) 또는 PMOS(P-type Metal Oxide Semiconductor) 트랜지스터로 이루어짐이 바람직하다.
- <53> 이와 같이 구성된 가변 저항기( $R_{Vary}$ )(400')는 스위치드 커패시터( $C_{DAC}$ )의 전하를 적분기(100)로 보내는 구간인 클럭( $P_1$ )이 하이(High)인 구간 동안 점차 스위칭 트랜지스터(M)의 게이트 전압을 증가시켜 스위칭 트랜지스터(M)의 온(ON) 저항값을 줄임으로써, 본 발명의 가변 저항기( $R_{Vary}$ )(400')를 구현할 수 있다.
- <54> 한편, 스위칭 트랜지스터(M)의 게이트를 구동하기 위한 전압의 파형은 여러 구현이 가능하겠으나, 본 발명의 일 실시예에서는 램프(Ramp) 파형을 이용한 예를 도시하였다.
- <55> 도 10은 도 7의 연속시간 델타-시그마 변조기의 입력 부분을 다른 예로 나타내는 회로도로서, 여러 개의 지연된 제1 내지 제3 클럭( $P_1$ ,  $P_1'$ ,  $P_1''$ )을 이용하여 디지털/아날로그 변환기(DAC)(300)가 적분기(100)에 연결되는 클럭( $P_1$ )이 하이(High)인 동안 제1 내지 제3 저항( $R_1$ ,  $R_2$ ,  $R_3$ )을 제1 내지 제3 클럭( $P_1$ ,  $P_1'$ ,  $P_1''$ )에 의해 순차적으로 병렬 연결하여 등가 저항을 시간에 따라 줄여줌으로써, 본 발명의 가변 저항기( $R_{Vary}$ )(400'')를 구현할 수 있다.
- <56> 전술한 본 발명에 따른 연속시간 델타-시그마 변조기에 대한 바람직한 실시예에 대하여 설명하였지만, 본 발명은 이에 한정되는 것이 아니고 특허청구범위와 발명의 상세한 설명 및 첨부한 도면의 범위 안에서 여러 가지로 변형하여 실시하는 것이 가능하고 이 또한 본 발명에 속한다.

**도면의 간단한 설명**

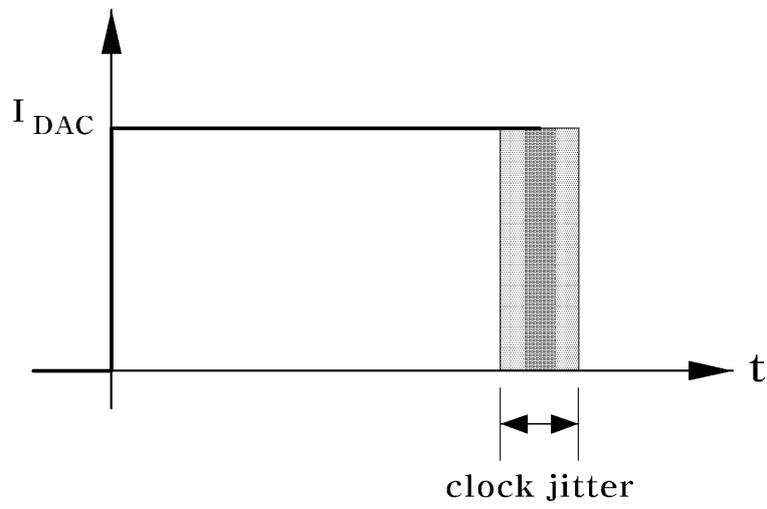
- <57> 도 1은 연속시간 델타-시그마 변조기의 기본적인 구조를 설명하기 위한 블록 구성도이다.
- <58> 도 2는 정전류원을 이용한 피드백 DAC에서의 클럭 지터의 영향을 설명하기 위한 그래프이다.
- <59> 도 3은 SC DAC를 적용한 연속시간 델타-시그마 변조기의 기본적인 구조를 설명하기 위한 블록 구성도이다.
- <60> 도 4는 SC DAC의 전류전달 파형을 설명하기 위한 그래프이다.
- <61> 도 5는 SCR DAC를 적용한 연속시간 델타-시그마 변조기의 기본적인 구조를 설명하기 위한 블록 구성도이다.
- <62> 도 6은 SCR DAC의 전류전달 파형을 설명하기 위한 그래프이다.
- <63> 도 7은 본 발명의 일 실시예에 따른 연속시간 델타-시그마 변조기의 구조를 설명하기 위한 블록 구성도이다.
- <64> 도 8은 본 발명의 일 실시예에 적용된 디지털/아날로그 변환기(DAC)의 전류전달 특성을 기존의 SCR DAC 구조와 비교하여 도시한 그래프이다.
- <65> 도 9는 도 7의 연속시간 델타-시그마 변조기의 입력 부분을 일 예로 나타내는 회로도이다.
- <66> 도 10은 도 7의 연속시간 델타-시그마 변조기의 입력 부분을 다른 예로 나타내는 회로도이다.

**도면**

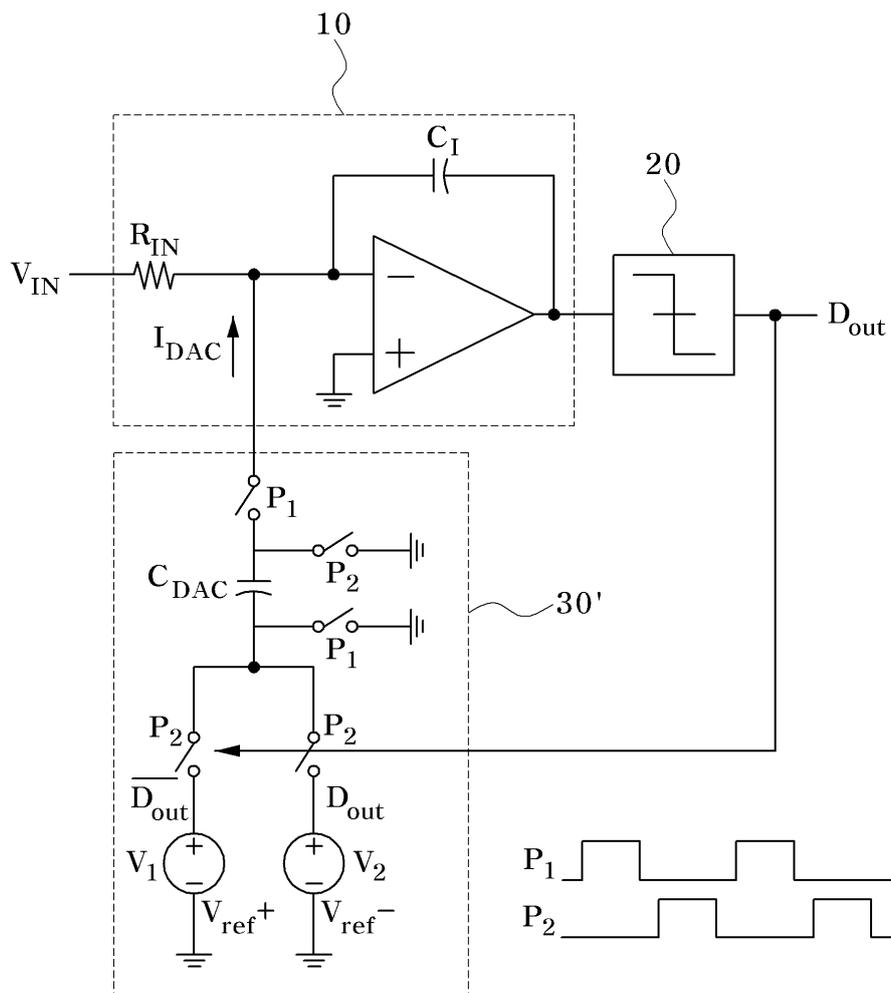
**도면1**



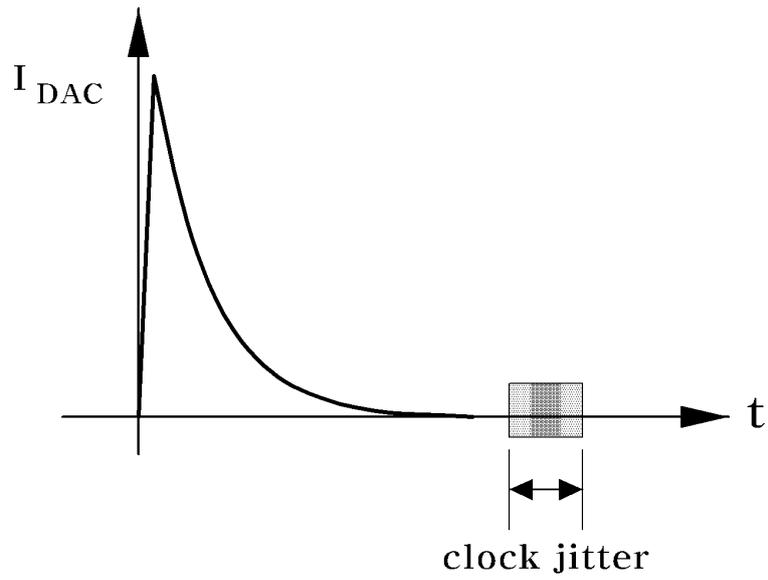
도면2



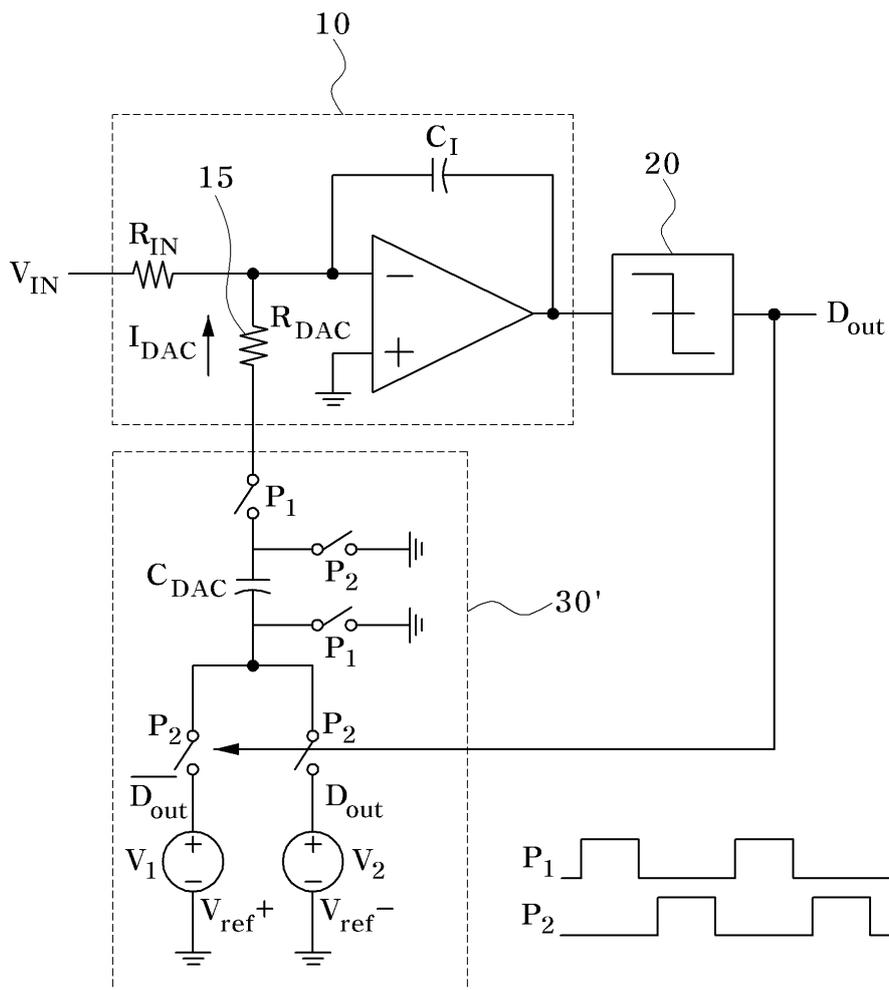
도면3



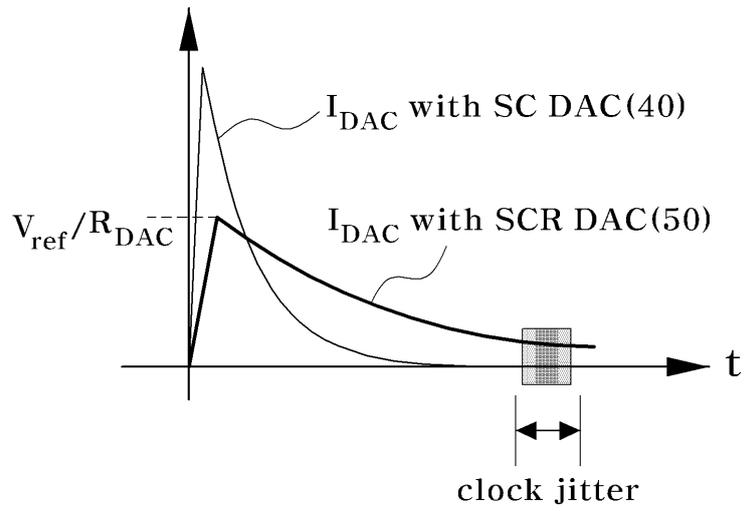
도면4



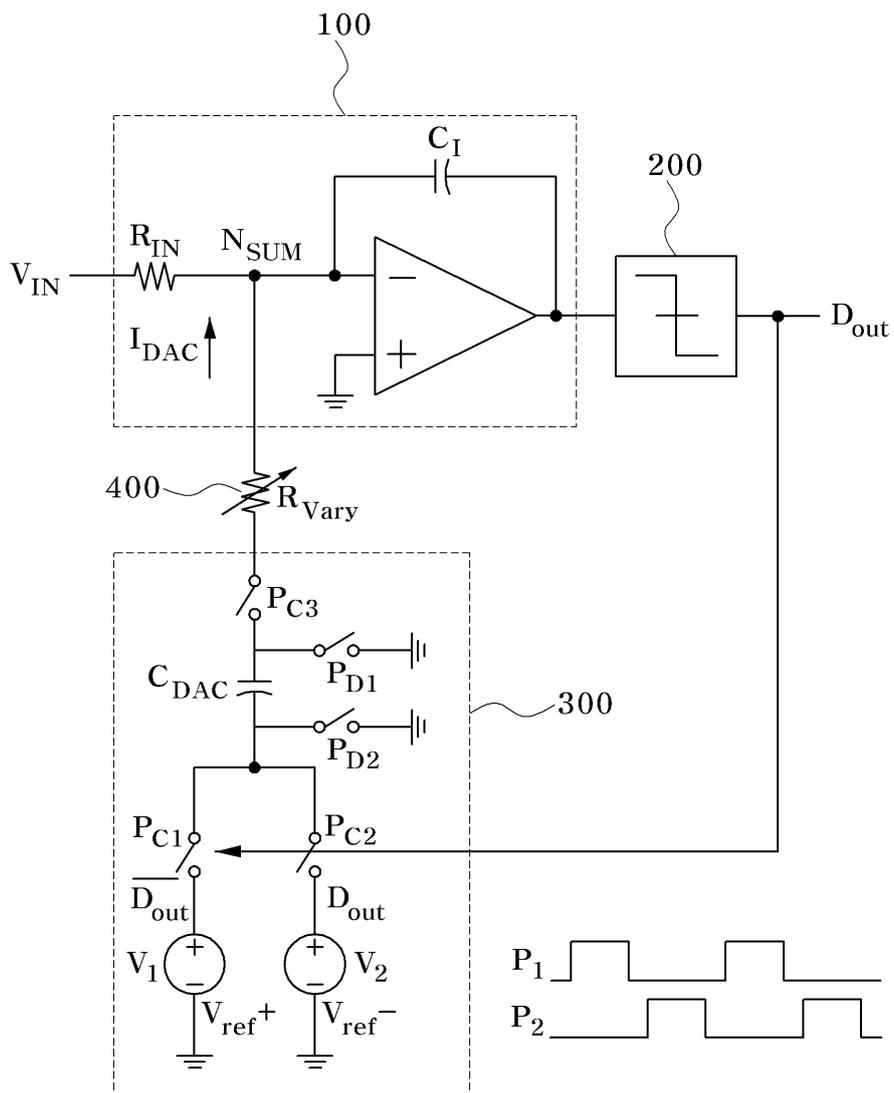
도면5



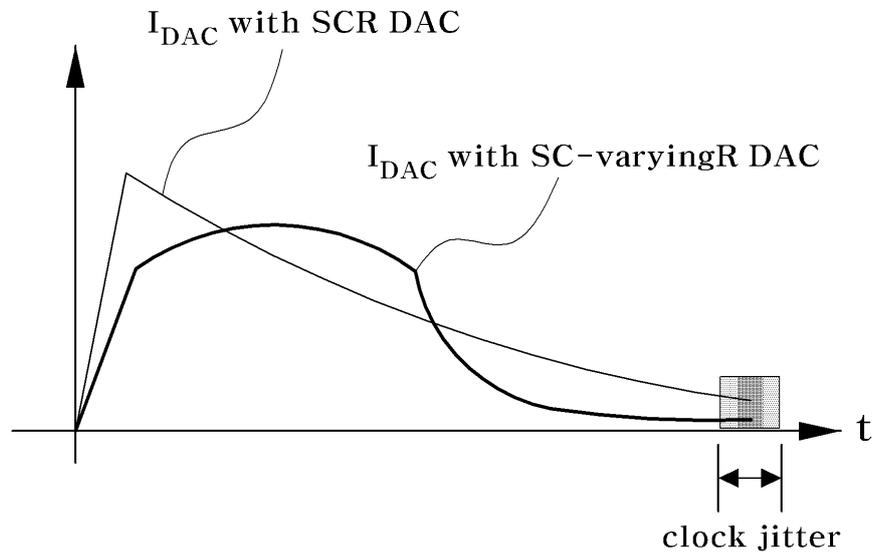
도면6



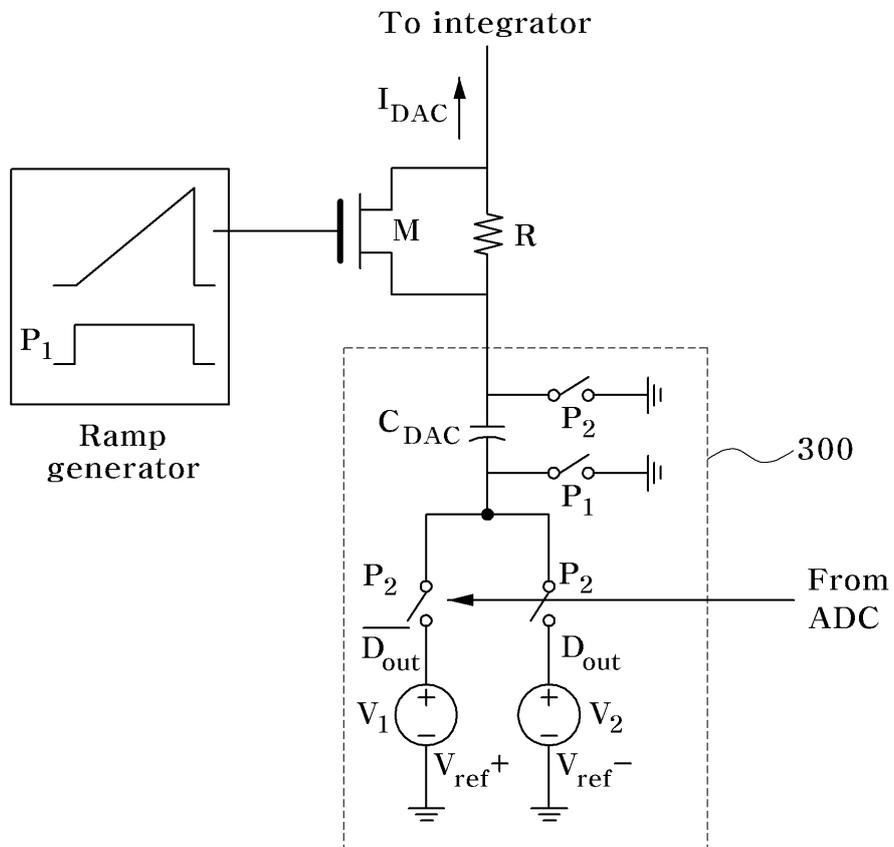
도면7



도면8



도면9



도면10

