

公告本

473719

申請日期	89.6.13
案 號	89111490
類 別	511C 11/40

A4
C4

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中 文	快閃記憶體
	日 文	"フラッシュメモリ"
二、發明人 創作	姓 名	1.田中 智晴 2.柴田 昇 3.丹澤 徹
	國 籍	1-3.均日本
	住、居所	1.日本國神奈川縣橫濱市港南區大久保2-13-21-105 2.日本國神奈川縣橫濱市金澤區並木3-2-7 克雷亞雷東 芝並木111 3.日本國神奈川縣海老名市東柏谷3-17-11-205
三、申請人	姓 名 (名稱)	日商東芝股份有限公司
	國 籍	日本
	住、居所 (事務所)	日本國神奈川縣川崎市幸區堀川町72番地
	代 表 人 姓 名	西室 泰三

(由本局填寫)

承辦人代碼：
大類：
I P C分類：

A6
B6

本案已向：

國(地區) 申請專利，申請日期： 案號： ，☐有 ☐無主張優先權日本 1999年06月28日 特願平11-181874 ☒有 ☐無主張優先權

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

五、發明說明(1)

發明概述

發明範圍

本發明與快閃記憶體相關，尤其是與搭載了訂正錯誤電路，具備高度可信性的快閃記憶體相關，可以使用在NAND型快閃記憶體及NOR型快閃記憶體等。

相關先前技藝

非揮發性半導體記憶體之中的快閃記憶體，可以用較電為大的單位來刪除、重寫資料，可以應用在取代硬碟、在電腦系統中記憶BIOS(基本輸出輸入系統)、行動電話上記憶通信章程等及在數位相機等上記憶圖像等。因此記憶在快閃記憶體內的資料，只要發生1位元的錯誤，就會造成電腦系統當機、行動電話無法通信或是資料被破壞等問題。

爲了要求應用快閃記憶體的系統具備高度可信性，用於管理快閃記憶體的系統應該具備附加檢查資料，寫入快閃記憶體內，以及讀取資訊資料與檢查資料，檢查資訊資料有無錯誤，若發生錯誤即訂正錯誤的功能，可以對希望記憶的資訊資料檢測及訂正錯誤。

然而，管理快閃記憶體的系統每次訂正錯誤的方法都不相同，例如，檢查資料不同、且資料長度不同時，就會發生問題。亦即，以某個系統A所寫入的資料，由其他的系統B讀出時，即使資料無誤，仍可能被視為有誤而將原來正確的資料改變成錯誤的資料，若是發生無法訂正的錯誤時，也可能檢測錯誤，以致破壞了系統上的資料。

五、發明說明(2)

有一種補救的方法，即是在快閃記憶體內搭載錯誤訂正電路，該電路不必倚賴系統，可以有效地在快閃記憶體內執行錯誤訂正。

但是錯誤訂正電路既複雜電路面積又大，快閃記憶體需要更大的晶片，導致成本提高。解決之道，如本專利申請人曾提出申請的特願平7-83459號「錯誤訂正電路及半導體記憶裝置」，使部分用於讀出、寫入的資料記憶電路與錯誤訂正電路共用，來抑制電路面積的增加。

此外，最近也發現採用多值記憶式的快閃記憶體，將1位元以上的資料記憶在1個記憶格內。但是，多值記憶式的快閃記憶體，當1個記憶格破壞時，會造成數個位元資料的錯誤(亦即，發生叢發錯誤)。

為求以短的檢查資料更有效率的訂正此種叢發錯誤，有一種依據Read Solomon符號來訂正錯誤的方法，但是在錯誤訂正上需要複雜的電路，導致電路面積變大，快閃記憶體的晶片尺寸加大，成本提高。解決之道，如本專利申請人曾提出申請的特願平6-326344中，採用位元單位的錯誤訂正方法來執行多值記憶式快閃記憶體的錯誤訂正，用數個檢查資料來支援同時寫入1個記憶格內的數個位元資料。

如上所述，雖然過去就有在快閃記憶體內搭載錯誤訂正電路的技術，但是並沒有一種搭載錯誤訂正電路的快閃記憶體能夠兼顧與過去沒有搭載錯誤訂正電路的快閃記憶體之間的互換性，以及在縮短錯誤檢測與錯誤確認所需時間

五、發明說明（3）

方面、縮短產生檢查資料所需時間方面、執行產品測試等瑕疵分析時，避免因錯誤訂正電路造成故障方面及快閃記憶體的应用系統在執行錯誤訂正時，避免因記憶體內部的錯誤訂正電路造成故障方面等實用上的便利性。

發明所欲解決之問題

本發明的目的，係針對上述的問題，提供一種與過去沒有搭載錯誤訂正電路之快閃記憶體可以互換的快閃記憶體。

本發明的其他目的，在提供一種可以縮短錯誤檢測及錯誤確認所需時間，縮短表面上的讀出時間，以縮短平均讀出時間的快閃記憶體。

此外，本發明的其他目的，在提供一種可以縮短產生檢查資料所需時間，縮短表面上寫入時間的快閃記憶體。

此外，本發明的其他目的，在提供一種執行產品測試等瑕疵分析時，避免發生故障的快閃記憶體。

此外，本發明的其他目的，在提供一種快閃記憶體管理系統即使在其記憶格內寫入追加資訊資料，仍然能夠正確執行錯誤訂正的快閃記憶體。

此外，本發明的其他目的，在提供一種可以不倚賴資訊資料長度，來正確執行錯誤訂正，應用系統在執行錯誤訂正時，不致因記憶體內部的錯誤訂正電路造成故障的快閃記憶體。

此外，本發明的其他目的，在提供一種可以選擇是否啓動搭載於內部的錯誤訂正電路，方便執行瑕疵分析的快閃

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明（4）

記憶體。

此外，本發明的其他目的，在提供一種可以同時生產內部錯誤訂正電路有作用的產品及無作用的產品，以提高生產性的快閃記憶體。

此外，本發明的其他目的，在提供一種應用開啓電源的同時，自動從記憶格陣列讀出指定資料之快閃記憶體的系統中，不管如何運用搭載於快閃記憶體內的錯誤訂正電路，都可以執行錯誤訂正，具有高度穩定性及可靠性的快閃記憶體。

此外，本發明的其他目的，在提供一種藉由在1個記憶格內寫入2位元的資料，搭載了使用BCH符號的錯誤訂正電路，晶片尺寸較小的多值快閃記憶體。

此外，本發明的其他目的，在提供一種即使在刪除後讀出，錯誤訂正電路仍能正常運作的快閃記憶體。

此外，本發明的其他目的，在提供一種藉由將從記憶格所讀出的資訊資料及檢查資料輸出至外部，可以檢查是否能夠正確產生檢查資料，具有高度可靠性的快閃記憶體。

解決問題之手段

本發明的第一快閃記憶體，係由以下部分所構成：記憶區，其係由數個快閃記憶格所構成；命令介面，其係接受外部的寫入資料輸入命令，產生寫入資料輸入命令信號，接受外部的寫入命令，產生寫入命令信號；第一信號緩衝器，其係接收外部所輸入的第一信號；控制信號產生電路，其係依據前述的寫入命令信號啓動，產生控制信號；

五、發明說明(5)

資料輸入緩衝器，其係依據前述的寫入資料輸入命令信號啓動，與前述第一信號同步接收外部所輸入的寫入資料；錯誤訂正電路，其係依據前述的寫入資料輸入命令信號啓動，與前述的第一信號同步接收前述的寫入資料，依據前述的寫入命令信號啓動，與前述的控制信號同步產生用於訂正錯誤的檢查資料；位址緩衝器，其係接收外部所輸入的位址資料；位址信號產生電路，其係依據前述的寫入資料輸入命令信號啓動，並依據與前述第一信號同步，依據前述位址資料及按照事先所決定的順序產生位址信號，依據前述寫入命令信號啓動，與前述的控制信號同步，按照事先所決定的順序產生位址信號；數個資料記憶電路，其係分別針對各個記憶格設置，分別接受所分配的位址信號，暫時記憶數個資料，放入前述的寫入資料及檢查資料；及寫入手段，其係依據前述的寫入命令信號啓動，將暫時記憶在前述數個資料記憶電路內的寫入資料及檢查資料寫入前述的記憶格內。

此外，第一快閃記憶體的較佳實施例，還具有：(1)依據前述寫入命令信號，將忙碌信號輸出至外部的忙碌信號輸出電路。

本發明的第二快閃記憶體，係由以下部分所構成：記憶區，其係由數個快閃記憶格所構成；記憶格陣列，其係由數個前述的記憶區所構成；產生控制信號的控制信號產生電路；第一信號緩衝器，其係接收外部所輸入的第一信號；位址緩衝器，其係接收外部所輸入的位址資料；位址

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(6)

信號產生電路，其係與前述控制信號同步，按照事先所決定的順序產生位址信號，並與前述第一信號同步，依據前述位址資料，按照事先所決定的順序產生位址信號；讀出手段，其係依據前述位址資料，選擇前述記憶格陣列中的記憶區，從選擇的記憶區內各個記憶格中讀出資料；數個資料記憶電路，其係分別對各個記憶格設置，暫時記憶分別從所選擇之記憶區所對應的記憶格讀出的資料，分別接受所分配的位址信號，輸出從暫時記憶的記憶格所讀出的資料；資料輸出緩衝器，其係與前述第一信號同步，將前述數個資料記憶電路所輸出之記憶格中讀出的資料輸出至外部；及錯誤訂正電路，其係與前述控制信號同步，接收從前述數個資料記憶電路輸出之記憶格讀出的資料，並與前述第一信號同步，判斷從前述資料輸出緩衝器所輸出的資料是否錯誤，並加以訂正。

此外，第二快閃記憶體的最佳實施例，也可以如以下的(1)~(4)項所述：

(1)還具有命令介面，其係接受外部的狀態讀出命令，產生狀態讀出命令信號；及狀態輸出手段，其係依據前述狀態讀出命令信號啟動，藉由前述的資料輸出緩衝器，輸出從記憶格所讀出的資料有無錯誤。

(2)前述的錯誤訂正電路，可以訂正從記憶格所讀出之資料中的數個資料，前述狀態輸出手段可以輸出錯誤的數量。

(3)前述的錯誤訂正電路，可以訂正從記憶格所讀出之

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (7)

資料中的 n 個 ($n \geq 1$) 資料，可以檢測 $(n+1)$ 個存在的錯誤，前述的狀態輸出手段可以輸出能否執行錯誤訂正。

(4) 還具有忙碌信號輸出電路，其係在從記憶格讀出資料及前述錯誤訂正電路接收從記憶格所讀出之資料的期間，持續將忙碌信號輸出至外部。

本發明的第三快閃記憶體，係由以下部分所構成：記憶區，其係由數個快閃記憶格所構成；記憶格陣列，其係由數個前述記憶區所構成；命令介面，其係接受外部的訂正讀出命令，產生訂正讀出命令信號；控制信號產生電路，其係依據前述訂正讀出命令信號啟動，產生控制信號；第一信號緩衝器，其係接收外部所輸入的第一信號；位址緩衝器，其係接收外部所輸入的位址資料；位址信號產生電路，其係與前述第一信號同步，依據前述位址資料，並按照事先所決定的順序產生位址信號，並依據前述訂正讀出命令信號啟動，與前述控制信號同步，並按照事先所決定的順序產生位址信號；~~讀出手段~~，其係依據前述位址資料，選擇前述記憶格陣列中的記憶區，從選擇的記憶區內各個記憶格中讀出資料；數個資料記憶電路，其係分別對各個記憶格設置，暫時記憶分別從所選擇之記憶區所對應的記憶格讀出的資料，分別接受所分配的位址信號，輸出從暫時記憶的記憶格所讀出的資料；資料輸出緩衝器，其係與前述第一信號同步，將前述數個資料記憶電路所輸出之記憶格中讀出的資料輸出至外部；及錯誤訂正電路，其係與前述第一信號同步，接收從前述數個資料記憶電路輸

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (8)

出之記憶格讀出的資料，並與前述控制信號同步，接收從前述數個資料記憶電路輸出之記憶格讀出的資料，判斷從記憶格所讀出的資料是否錯誤，若有錯誤時，可以指出發生錯誤的資料。

此外，第三快閃記憶體的最佳實施例，也可以如以下的(1)~(4)項所述：

(1)還具有狀態輸出手段，其係前述的命令介面接受外部的狀態讀出命令，產生狀態讀出命令信號，再依據前述狀態讀出命令信號啟動，藉由前述的資料輸出緩衝器來輸出從記憶格所讀出之資料有無錯誤。

(2)前述的錯誤訂正電路，可以訂正從記憶格所讀出之資料中的數個資料，前述狀態輸出手段可以輸出錯誤的數量。

(3)前述的錯誤訂正電路，可以訂正從記憶格所讀出之資料中的 n 個($n \geq 1$)資料，可以檢測 $(n+1)$ 個存在的錯誤，前述的狀態輸出手段可以輸出能否執行錯誤訂正。

(4)還具有忙碌信號輸出電路，其係在從記憶格讀出資料的期間，向外部輸出忙碌信號，而且依據前述訂正讀出命令信號，將忙碌信號輸出至外部。

本發明的第四快閃記憶體，係由以下部分所構成：記憶區，其係由數個快閃記憶格所構成；命令介面，其係接受外部的寫入資料輸入命令，產生寫入資料輸入命令信號，接受外部的寫入命令，產生寫入命令信號；第一信號緩衝器，其係接收外部所輸入的第一信號；控制信號產生電

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明（ 9 ）

路，其係依據前述的寫入命令信號啓動，產生控制信號；資料輸入緩衝器，其係依據前述的寫入資料輸入命令信號啓動，與前述第一信號同步接收外部所輸入的寫入資料；錯誤訂正電路，其係依據前述的寫入資料輸入命令信號啓動，與前述的第一信號同步接收前述的寫入資料，依據前述的寫入命令啓動，與前述的控制信號同步產生用於訂正錯誤的檢查資料；數個資料記憶電路，其係分別針對各個記憶格設置，與前述第一信號及前述控制信號同步，暫時記憶數個資料，放入前述的寫入資料及檢查資料；及寫入手段，其係依據前述的寫入命令啓動，將暫時記憶在前述數個資料記憶電路內的寫入資料及檢查資料寫入前述的記憶格內。

此外，第四快閃記憶體的較佳實施例，還具有：(1)依據前述寫入命令信號，將忙碌信號輸出至外部的忙碌信號輸出電路。

本發明的第五快閃記憶體，係由以下部分所構成：記憶區，其係由數個快閃記憶格所構成；記憶格陣列，其係由數個前述的記憶區所構成；產生控制信號的控制信號產生電路；第一信號緩衝器，其係接收外部所輸入的第一信號；位址緩衝器，其係接收外部所輸入的位址資料；讀出手段，其係依據前述位址資料選擇前述記憶格陣列中的記憶區，從所選擇之記憶區內各個記憶格讀出資料；數個資料記憶電路，其係分別對各個記憶格設置，暫時記憶分別從所選擇之記憶區所對應的記憶格讀出的資料，與前述控

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明 (10)

制信號及前述第一信號同步，輸出從暫時記憶的記憶格所讀出的資料；資料輸出緩衝器，其係與前述第一信號同步，將前述數個資料記憶電路所輸出之記憶格中讀出的資料輸出至外部；及錯誤訂正電路，其係與前述控制信號同步，接收從前述數個資料記憶電路輸出之記憶格讀出的資料，並與前述第一信號同步，判斷從前述資料輸出緩衝器所輸出的資料是否錯誤，並加以訂正。

此外，第五快閃記憶體的最佳實施例，也可以如以下的(1)~(4)項所述：

(1)還具有命令介面，其係接受外部的狀態讀出命令，產生狀態讀出命令信號；及狀態輸出手段，其係依據前述狀態讀出命令信號啟動，藉由前述的資料輸出緩衝器，輸出從記憶格所讀出的資料有無錯誤。

(2)前述的錯誤訂正電路，可以訂正從記憶格所讀出之資料中的數個資料，前述狀態輸出手段可以輸出錯誤的數量。

(3)前述的錯誤訂正電路，可以訂正從記憶格所讀出之資料中的 n 個($n \geq 1$)資料，可以檢測 $(n+1)$ 個存在的錯誤，前述的狀態輸出手段可以輸出能否執行錯誤訂正。

(4)還具有忙碌信號輸出電路，其係在從記憶格讀出資料及前述錯誤訂正電路接收從記憶格所讀出之資料的期間，持續將忙碌信號輸出至外部。

本發明的第六快閃記憶體，係由以下部分所構成：記憶區，其係由數個快閃記憶格所構成；記憶格陣列，其係由

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明（ 11 ）

數個前述記憶區所構成；命令介面，其係接受外部的訂正讀出命令，產生訂正讀出命令信號；控制信號產生電路，其係依據前述訂正讀出命令信號啓動，產生控制信號；第一信號緩衝器，其係接收外部所輸入的第一信號；位址緩衝器，其係接收外部所輸入的位址資料；~~讀出手段~~，其係依據前述位址資料，選擇前述記憶格陣列中的記憶區，從選擇的記憶區內各個記憶格中讀出資料；數個資料記憶電路，其係分別對各個記憶格設置，暫時記憶分別從所選擇之記憶區所對應的記憶格讀出的資料，與第一信號及前述控制信號同步，輸出從暫時記憶之記憶格所讀出的資料；資料輸出緩衝器，其係與前述第一信號同步，將前述數個資料記憶電路所輸出之記憶格中讀出的資料輸出至外部；及錯誤訂正電路，其係與前述第一信號同步，接收從前述數個資料記憶電路輸出之記憶格讀出的資料，並與前述控制信號同步，接收從前述數個資料記憶電路輸出之記憶格讀出的資料，判斷從記憶格所讀出的資料是否錯誤，若有錯誤時，可以指出發生錯誤的資料。

此外，第六快閃記憶體的較佳實施例，也可以如以下的(1)~(4)項所述：

(1)還具有狀態輸出手段，其係前述的命令介面接受外部的狀態讀出命令，產生狀態讀出命令信號，再依據前述狀態讀出命令信號啓動，藉由前述的資料輸出緩衝器來輸出從記憶格所讀出之資料有無錯誤。

(2)~~前述的錯誤訂正電路~~，可以訂正從記憶格所讀出之

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (12)

資料中的數個資料，前述狀態輸出手段可以輸出錯誤的數量。

(3) 前述的錯誤訂正電路，可以訂正從記憶格所讀出之資料中的 n 個($n \geq 1$)資料，可以檢測 $(n+1)$ 個存在的錯誤，前述的狀態輸出手段可以輸出能否執行錯誤訂正。

(4) 還具有忙碌信號輸出電路，其係在從記憶格讀出資料的期間，向外部輸出忙碌信號，而且依據前述訂正讀出命令信號，將忙碌信號輸出至外部。

本發明的第七快閃記憶體，係由以下部分所構成：記憶區，其係由數個快閃記憶格所構成；信號緩衝器，其係接收外部所輸入的第一信號，在第一期間輸出第一控制信號；控制信號產生電路，其係在與前述第一期間不同的第二期間內，自動的產生第二控制信號；資料輸入緩衝器，其係與前述第一信號同步接收從外部所輸入的寫入資料；錯誤訂正電路，其係與前述第一控制信號同步接收前述寫入資料，與前述第二控制信號同步產生用於訂正錯誤的檢查資料；數個資料記憶電路，其係分別對各個記憶格設置，與前述第一控制信號及前述第二控制信號同步，暫時記憶數個資料，放入前述的寫入資料及檢查資料；及寫入手段，其係將暫時記憶在前述數個資料記憶電路中的寫入資料及檢查資料寫入前述的記憶區內。

此外，第七快閃記憶體的較佳實施例，還具有：(1)在前述第二期間，向外部輸出忙碌信號的忙碌信號輸出電路。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明（13）

本發明的第八快閃記憶體，係由以下部分所構成：記憶區，其係由數個快閃記憶格所構成；記憶格陣列，其係由數個前述的記憶區所構成；控制信號產生電路，其係在第一期間，自動產生第一控制信號；信號緩衝器，其係接收外部所輸入的第一信號，在與前述第一期間不同的第二期間內，輸出第二控制信號；位址緩衝器，其係接收外部輸入的位址資料；讀出手段，其係依據前述位址資料，選擇前述記憶格陣列中的記憶區，從選擇的記憶區內各個記憶格中讀出資料；數個資料記憶電路，其係分別對各個記憶格設置，暫時記憶分別從所選擇之記憶區所對應的記憶格讀出的資料，與第一控制信號及前述第二控制信號同步，輸出從暫時記憶之記憶格所讀出的資料；資料輸出緩衝器，其係與前述第二信號同步，將前述數個資料記憶電路所輸出之記憶格中讀出的資料輸出至外部；及錯誤訂正電路，其係與前述第一控制信號同步，接收從前述數個資料記憶電路輸出之記憶格讀出的資料，並與前述第二信號同步，判斷前述資料輸出緩衝器所輸出的資料是否錯誤，並加以訂正。

此外，第八快閃記憶體的較佳實施例，也可以如以下的(1)~(4)項所述：

(1)還具有命令介面，其係接受外部的狀態讀出命令，產生狀態讀出命令信號；及狀態輸出手段，其係依據前述狀態讀出命令信號啟動，藉由前述的資料輸出緩衝器，輸出從記憶格所讀出的資料有無錯誤。

五、發明說明（14）

(2) 前述的錯誤訂正電路，可以訂正從記憶格所讀出之資料中的數個資料，前述狀態輸出手段可以輸出錯誤的數量。

(3) 前述的錯誤訂正電路，可以訂正從記憶格所讀出之資料中的 n 個 ($n \geq 1$) 資料，可以檢測 $(n+1)$ 個存在的錯誤，前述的狀態輸出手段可以輸出能否執行錯誤訂正。

(4) 還具有忙碌信號輸出電路，其係在從記憶格讀出資料及前述錯誤訂正電路接收從記憶格所讀出之資料的期間，持續將忙碌信號輸出至外部。

本發明的第九快閃記憶體，係由以下部分所構成：記憶區，其係由數個快閃記憶格所構成；記憶格陣列，其係由數個前述的記憶區所構成；信號緩衝器，其係接收外部所輸入的第一信號，在第一期間輸出第一控制信號；控制信號產生電路，其係在與第一期間不同的第二期間，自動產生第二控制信號；位址緩衝器，其係接收外部輸入的位址資料；讀出手段，其係依據前述位址資料，選擇前述記憶格陣列中的記憶區，從選擇的記憶區內各個記憶格中讀出資料；數個資料記憶電路，其係分別對各個記憶格設置，暫時記憶分別從所選擇之記憶區所對應的記憶格讀出的資料，與前述第一控制信號及前述第二控制信號同步，輸出從暫時記憶之記憶格所讀出的資料；資料輸出緩衝器，其係與前述第一信號同步，將前述數個資料記憶電路所輸出之記憶格中讀出的資料輸出至外部；及錯誤訂正電路，其係與前述第一控制信號同步，接收從前述數個資料記憶電

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明 (15)

路輸出之記憶格讀出的資料，並與前述第二控制信號同步，接收從前述數個資料記憶電路輸出之記憶格讀出的資料，判斷從記憶格讀出的資料是否錯誤，若有錯誤時，可以指出發生錯誤的資料。

此外，第九快閃記憶體的最佳實施例，也可以如以下的(1)~(4)項所述：

(1)還具有命令介面，其係接受外部的狀態讀出命令，產生狀態讀出命令信號；及狀態輸出手段，其係依據前述狀態讀出命令信號啟動，藉由前述的資料輸出緩衝器，輸出從記憶格所讀出的資料有無錯誤。

(2)前述的錯誤訂正電路，可以訂正從記憶格所讀出之資料中的數個資料，前述狀態輸出手段可以輸出錯誤的數量。

(3)前述的錯誤訂正電路，可以訂正從記憶格所讀出之資料中的 n 個($n \geq 1$)資料，可以檢測 $(n+1)$ 個存在的錯誤，前述的狀態輸出手段可以輸出能否執行錯誤訂正。

(4)還具有忙碌信號輸出電路，其係在從記憶格讀出資料的期間，將忙碌信號輸出至外部，並在前述第二期間，將忙碌信號輸出至外部。

本發明的第十快閃記憶體，係由以下部分所構成：記憶區，其係由數個快閃記憶格所構成；忙碌信號輸出電路，其係將忙碌信號輸出至外部；資料輸入緩衝器，其係接收寫入外部輸入之各個記憶格內的寫入資料；數個資料記憶電路，其係可以記憶 n 位元之暫時記憶的前述寫入資料；

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (16)

及錯誤訂正電路，其係接收 m_1 位元 ($m_1 < n$) 的寫入資料，產生 m_2 位元 ($m_1 + m_2 < n$) 的檢查資料，產生前述 m_2 位元的檢查資料後，接收 m_3 位元 ($m_1 + m_2 + m_3 < n$) 的寫入資料，產生 m_4 位元 ($m_1 + m_2 + m_3 + m_4 \leq n$) 的檢查資料。其中， m_2 位元的檢查資料在 m_1 位元的寫入資料輸入至前述數個資料記憶電路內後，輸入至前述數個資料記憶電路內暫時記憶； m_4 位元的檢查資料在 m_3 位元的寫入資料輸入至前述數個資料記憶電路內後，輸入至前述數個資料記憶電路內暫時記憶；暫時記憶在前述數個資料記憶電路內之 m_1 與 m_3 位元的寫入資料及 m_2 與 m_4 位元的檢查資料，在 m_4 位元的檢查資料暫時記憶在前述數個資料記憶電路內後，寫入前述的記憶區內；前述錯誤訂正電路在產生前述 m_2 位元的檢查資料時，將前述忙碌信號輸出電路所輸出的忙碌信號輸出至外部。

本發明的第十一快閃記憶體，係由以下部分所構成：記憶區，其係由數個快閃記憶格所構成；忙碌信號輸出電路，其係將忙碌信號輸出至外部；及錯誤訂正電路，其係讀出從前述記憶區所讀出的資料，指出錯誤讀出的資料。其中，在讀出從前述記憶區所讀出資料的期間及前述錯誤訂正電路指出錯誤讀出資料的期間，將忙碌信號持續從前述忙碌信號輸出電路輸出至外部。

本發明的第十二快閃記憶體，係由以下部分所構成：記憶區，其係由數個快閃記憶格所構成；資料緩衝器，其係將從前述記憶區所讀出之讀出資料輸出至外部；及錯誤訂

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明（17）

正電路，其係在輸出從前述資料緩衝器所讀出之資料的同時，輸入用於從讀出資料中指出錯誤讀出資料的讀出資料。其中，前述的錯誤訂正電路，再度將從資料緩衝器所讀出之資料輸出至外部時，訂正錯誤的讀出資料。

此外，第十二快閃記憶體的最佳實施例，也可以如以下的(1)~(2)項所述：

(1)還具有將錯誤狀態輸出至外部的狀態輸出電路。

(2)還具有暫時記憶從前述記憶區所讀出之讀出資料的數個資料記憶電路。

本發明的第十三快閃記憶體，係由以下部分所構成：記憶區，其係由數個快閃記憶格所構成；寫入手段，其係將資訊資料及檢查資料寫入前述的記憶區內；讀出手段，其係從前述的記憶區讀出前述資訊資料及前述檢查資料；及錯誤訂正電路，其係從前述資訊資料產生前述檢查資料，並從前述資訊資料及前述檢查資料訂正前述資訊資料的錯誤。其中，前述錯誤訂正電路將記憶在至少1個以上指定記憶格內之資訊資料轉換成事先所決定的虛擬資料，產生前述的檢查資料，將從前述指定記憶格所讀出的資訊資料轉換成前述的虛擬資料，訂正前述的資訊資料。

本發明的第十四快閃記憶體，係由以下部分所構成：記憶區，其係由數個快閃記憶格所構成；寫入手段，其係將指定的n位元資訊資料及檢查資料寫入前述的記憶區內；讀出手段，其係從前述的記憶區讀出前述n位元資訊資料及前述檢查資料；及錯誤訂正電路，其係從前述n位元資

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (18)

訊資料產生前述檢查資料，並從前述 n 位元資訊資料及前述檢查資料訂正前述 n 位元資訊資料的錯誤。其中，前述錯誤訂正電路，有效附加從外部輸入之前述資訊資料於 m 位元($m < n$)時事先所決定($n - m$)位元的虛擬資料，作為資訊資料，產生前述的檢查資料。

本發明的第十五快閃記憶體，係由以下部分所構成：記憶區，其係由數個快閃記憶格所構成；寫入手段，其係將資訊資料及檢查資料寫入前述的記憶區內；讀出手段，其係從前述的記憶區讀出前述資訊資料及前述檢查資料；錯誤訂正電路，其係從前述資訊資料產生前述檢查資料，並從前述資訊資料及前述檢查資料訂正前述資訊資料的錯誤；及開關電路，其係選擇訂正錯誤，將前述資訊資料輸出至外部，或是不訂正錯誤，而將前述資訊資料輸出至外部。

本發明的第十六快閃記憶體，係由以下部分所構成：記憶區，其係由數個快閃記憶格所構成；寫入手段，其係將資訊資料及檢查資料寫入前述的記憶區內；讀出手段，其係從前述的記憶區讀出前述資訊資料及前述檢查資料；錯誤訂正電路，其係從前述資訊資料產生前述檢查資料，並從前述資訊資料及前述檢查資料訂正前述資訊資料的錯誤；及開關電路，其係選擇是否啟動前述的錯誤訂正電路。

本發明的第十七快閃記憶體，係由以下部分所構成：記憶區，其係由數個快閃記憶格所構成；記憶格陣列，其係

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明（ 19 ）

由數個前述的記憶區所構成；寫入手段，其係將資訊資料及檢查資料寫入前述的記憶區內；讀出手段，其係從前述的記憶區讀出前述資訊資料及前述檢查資料；錯誤訂正電路，其係從前述資訊資料產生前述檢查資料，並從前述資訊資料及前述檢查資料訂正前述資訊資料的錯誤；及讀出手段，其係在開啓電源的同時，自動讀出指定記憶區內的資料。

本發明的第十八快閃記憶體，係由以下部分所構成：記憶區，其係由數個快閃記憶格所構成；多值寫入手段，其係將第一資訊資料及第一檢查資料一個位元一個位元的寫入前述記憶區的各個記憶格內，之後，再將寫入的第一資訊資料及寫入的第一檢查資料與第二資訊資料及第二檢查資料一個位元一個位元的寫入前述記憶區的各個記憶格內，在1個記憶格內寫入2位元的資料；多值讀出手段，其係從前述的記憶區讀出前述第一資訊資料及前述第一檢查資料，從前述記憶區讀出前述第二資訊資料及前述第二檢查資料；及錯誤訂正電路，其係從前述第一資訊資料產生前述第一檢查資料，從前述第二資訊資料產生前述第二檢查資料，從前述第一資訊資料及前述第一檢查資料訂正前述第一資訊資料的錯誤，從前述第二資訊資料及前述第二檢查資料訂正前述第二資訊資料的錯誤。其中，前述的錯誤訂正電路，係依據BCH符號來產生檢查資料及訂正錯誤。

此外，本發明的第十九個快閃記憶體，係由以下部分所

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明（20）

構成：記憶區，其係由數個快閃記憶格所構成；刪除電路，其係刪除前述記憶區，將所有記憶格內的資料變成"1"；寫入手段，其係將資訊資料及檢查資料寫入前述的記憶區內；讀出手段，其係從前述的記憶區讀出前述資訊資料及前述檢查資料；及錯誤訂正電路，其係從前述資訊資料產生前述檢查資料，從前述資訊資料及前述檢查資料訂正前述資訊資料的錯誤。其中，前述的錯誤訂正電路，從所有"1"的資訊資料產生所有1"的檢查資料。

本發明的第二個快閃記憶體，係由以下部分所構成：記憶區，其係由數個快閃記憶格所構成；錯誤訂正電路，其係從外部所輸入的資訊資料產生用於訂正錯誤的檢查資料，從前述資訊資料及前述檢查資料訂正前述資訊資料的錯誤；數個資料記憶電路，其係分別對各個記憶格設置；寫入手段，其係將暫時記憶在前述數個資料記憶電路內的資訊資料及檢查資料寫入前述的記憶區內；讀出手段，其係從前述的記憶區將前述資訊資料及前述檢查資料讀出至前述數個資料記憶電路上；及輸出手段，其係將從記憶在前述數個資料記憶電路上的記憶區所讀出的資訊資料及檢查資料輸出至外部。

本發明的第二十一個快閃記憶體，係由以下部分所構成：記憶區，其係由數個快閃記憶格所構成；錯誤訂正電路，其係從外部所輸入的資訊資料產生用於訂正錯誤的檢查資料，從前述資訊資料及前述檢查資料訂正前述資訊資料的錯誤；數個資料記憶電路，其係分別對各個記憶格設

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明 (21)

置；寫入手段，其係將暫時記憶在前述數個資料記憶電路內的資訊資料及檢查資料寫入前述的記憶區內；讀出手段，其係從前述的記憶區將前述資訊資料及前述檢查資料讀出至前述數個資料記憶電路上。其中，在外部輸入資訊資料前，將記憶在前述數個資料記憶電路上的資料重設在指定的資料內。

具體實施例

以下參照圖式詳細說明本發明的具體實施例。

(第一實施例)

圖1為本發明第一實施例的快閃記憶體結構方塊圖。

數個端子1，用於從外部接受電源及信號，或是將信號輸出至外部。這些端子1中，VCC端子係接受電源電壓VCC；VSS端子係用於接地；nCE端子係接受晶片賦能(Chip enable)信號nCE；nWE端子係接受寫入賦能(Write enable)信號nWE；CLE端子係接受命令鎖存賦能(Command latch enable)信號CLE；ALE端子係接受位址鎖存賦能信號ALE；nRE端子係接受讀出賦能信號nRE；ECCENB端子係接受錯誤訂正電路啟動信號ECCENB。

nBUSY端子輸出忙碌信號nBUSY，D0端子~D7端子接受寫入資料、命令資料及位址資料等的輸入資料D0~D7，並輸出讀出資料及狀態資料等的輸出資料D0~D7。

前述寫入賦能信號nWE、命令鎖存賦能信號CLE、位址鎖存賦能信號ALE、讀出賦能信號nRE及輸入資料D0~D7，在鎖存賦能信號nCE為"L"時接受，輸出資料

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (22)

D0~D7在鎖存賦能信號nCE為"L"時輸出。

若將從前述VCC端子供應各內部電路的電源線及從前述VSS端子供應各內部電路的接地線也顯示在圖式上，將過於複雜，因此予以省略。

電源開啓檢測電路2，係用於檢測電源電壓VCC是否有足夠高的電壓電平，若電平足夠，則電源開啓檢測信號PON顯示"H"。

命令介面3在晶片賦能信號nCE="L"、命令鎖存賦能信號CLE="H"時，於寫入賦能信號nWE從"L"轉變成"H"的期間接收輸入的資料D0~D7，作為命令資料，輸出讀出命令信號READ資料鎖存讀出命令信號DLREAD、計算命令信號CALC、資料輸出命令信號OUTPUT、狀態讀出命令信號STATUS、倍速寫入命令DOUBLE信號、資料輸入命令信號INPUT、檢查資料產生命令信號CHKGEN、寫入命令信號PRO、刪除命令信號ERASE等。此外，由於在內部處理的讀出、寫入等須輸出至外部，因此從nBUSY端子輸出前述的忙碌信號nBUSY。

位址緩衝器4在晶片賦能信號nCE="L"、位址鎖存賦能信號ALE="H"時，於寫入賦能信號nWE從"L"轉變成"H"的期間接收輸入的資料D0~D7，作為位址資料，輸出低位址資料Addx_0-12與AddZ及行位址初期資料AddY_init_0-9。

資料輸出輸入緩衝器5接受資料輸入命令信號INPUT，在晶片賦能信號nCE="L"、位址鎖存賦能信號ALE="L"、命令鎖存賦能CLE="L"時，於寫入賦能信號nWE從"L"轉變成

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (24)

輸入控制信號產生電路10，藉由資料輸入命令信號INPUT及寫入賦能信號nWE等來控制，具有與該信號nWE同步產生輸入控制信號INCLK的功能。

錯誤訂正電路11具有接受資料輸入命令信號INPUT，與輸入控制信號INCLK同步，放入信號線DL_0-7的寫入資料，接受檢查資料產生命令信號CHKGEN，與檢查資料產生控制信號CGCLK同步，將檢查資料及同位資料(Parity data)輸出至信號線DL_0-7的功能。

此外，錯誤訂正電路11具有接受資料鎖存讀出命令信號DLREAD，與錯誤訂正控制信號ECCLK同步，放入信號線DL_0-7的讀出資料，再接受計算命令信號CALC，與錯誤訂正控制信號ECCLK同步，檢測讀出資料錯誤的功能。

此外，錯誤訂正電路11具有接受資料輸出命令信號OUTPUT，與輸出控制信號OUTCLK同步，訂正錯誤資料的功能，以及接受狀態讀出命令信號STATUS，將錯誤訂正電路的狀態輸出至信號線DL_0-7的功能。

該錯誤訂正電路11，也藉由行位址信號CSLa_527、CSLb_527、CSLa_516、CSLb_516及行位址初期資料AddY_init_0-9等來控制。

因而設置記憶格陣列12及與其對應的源井(Source Well)控制電路13、低控制電路14、行控制電路15及行位址產生電路16。

其中的源井控制電路13是控制由記憶格陣列12的源線SRC及記憶格陣列12所形成的井CWELL。

五、發明說明 (25)

而低控制電路14則是控制記憶格陣列12的字線WL及選擇閘線SG。行控制電路15是控制記憶格陣列12的位元線BL。行位址產生電路16是藉由位址信號AddZ與AddY_init_0-9及錯誤訂正控制信號ECCLK、輸出控制信號OUTCLK、檢查資料產生控制信號CGCLK、輸入控制信號INCLK等來控制，與這些控制信號同步，按照事先決定的順序產生行位址信號CSL。

本實施例各設置兩個前述記憶格陣列12及前述各電路13、14、15、16，兩組中的其中一組由位址信號AddZ來選擇。例如位址信號AddZ="L"時，選擇記憶格陣列A及其對應的電路13、14、15、16；位址信號AddZ="H"時，選擇記憶格陣列B及其對應的電路13、14、15、16。

圖2顯示從圖1中抽出記憶格陣列12之一部分(記憶格陣列A)及其對應之行控制電路15之一部分的詳細結構。

該記憶格陣列12使用在同一個井CWELLa中形成之NAND型記憶格單元(Unit)的陣列。NAND型記憶格單元與由漂浮閘及控制閘疊層形成的格電晶體(Cell transistor)M串聯，例如串聯4個，其兩者連接選擇電晶體S，在NAND格單元的一者連接位元線BLa_{8j}~BLa_{8j+7}之中的一支，另一者則連接共通的源線SRCa。

在此處將同一行之格電晶體M的集合稱之為1頁(Page)，連續4頁的集合稱之為1塊(Block)。並將與1塊中的4個格電晶體M相對應的字線，以WLa₀~WLa₃來表示，NAND格單元之一者之選擇電晶體S的選擇閘線，以SG1a₀來表

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (26)

示，NAND格單元另一者之選擇電晶體S的選擇閘線，以SG2a_0來表示。

行控制電路15包含與上述記憶格陣列12之位元線BLa_8j~BLa_8j+7連接的資料記憶電路17。該資料記憶電路17在以行位址信號CSLa_j選擇時，分別與連接的信號線IO_0-7電連接，暫時記憶準備寫入所選擇之記憶格M內的資料，及暫時記憶從選擇之記憶格M讀出的讀出資料。

此外，圖2記憶格陣列12中的位元線BLa_8j~BLa_8j+7及行選擇線CSLa_j中的添加字j代表0至548。因此位元線BLa則為從BLa_0至BLa_4391，行信號CSLa為從CSLa_0至CSLa_548。另外，記憶格陣列B的結構亦同。

以下概要說明圖2之記憶格陣列12的動作。

(a)資料的刪除是以塊為單位來執行，所選擇的塊，其全部的字線(例如WLa_0~WLa_3)為0V，非選擇塊的字線全部為20V。此時，井CWELLa為20V，記憶格的閾值在0V以下，資料設定為"11"。

(b)資料的寫入以頁為單位來執行，此處，一個記憶格M記憶四個值時，選擇低位址資料AddX_0為"L"的記憶格M時，將寫入資料記憶成"0"或"1，記憶格的資料則為"10"或"11"。

低位址資料AddX_1~AddX_12亦同，若選擇同一個記憶格M，原來記憶成"10"之記憶格中所寫入的"0"變成"00"；原來記憶成"10"之記憶格中所寫入的"1"變成"10"。原來記憶成"11"之記憶格中所寫入的"0"變成"01"；原來記憶成

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (27)

"11"之記憶格中所寫入的"1"變成"11"。

此外，在寫入時，選擇字線為20V，非選擇字線為10V。寫入資料書寫"1"時，位元線為VCC；書寫"0"時，位元線為0V。選擇閘線SG1為VCC，選擇閘線SG2為0V。非選擇塊的字線及選擇閘線均為0V。此外，寫入藉由反復執行寫入動作及寫入查證動作，可以有效控制記憶格的閾值。

資料與記憶格M閾值的關係，如表1所示。

表 1

記憶格的資料		記憶格的閾值
AddX_0="H"	AddX_0="L"	
1	1	0V 以下
1	0	0.3V~0.6V
0	1	1.2V~1.5V
0	0	2.1V~2.4V

(c) 資料的讀出以頁為單位來執行，全部選擇閘線為4V，選擇字線為0V或0.9V或1.8V，非選擇字線為4V。非選擇塊的全部選擇閘線及全部字線為0V。

選擇字線為0V，格電流通時，位元線電壓電平為"L"，可以讀出"11"。同樣的，選擇字線為0.9V時，可以讀出"10"，選擇字線為1.8V時，可以讀出"01"及"00"。

選擇塊各動作與電壓的關係，如表2所示。

五、發明說明（ 28 ）

表 2

	刪除	寫入	讀出
位元線 BL	20V	VCC/0V	H/L
選擇閘線 SG1	20V	VCC	4V
選擇字線 WL	0V	20V	0.0V/0.9V/1.8V
非選擇字線 WL	...	10V	4V
選擇閘線 SG2	20V	0V	4V
源線 SRC	20V	VCC	0V
井 CWELL	20V	0V	0V

此處所謂的頁，為表示圖2中同一行之4392個記憶格M集合的實體性單位，而邏輯性寫入、讀出單位則為4392位元的記憶區。本實施例中，在實體性1頁中寫入邏輯性兩個記憶區的資料，或是從實體性1頁中讀出邏輯性兩個記憶區的資料。亦即，以低位址資料Addx_0~Addx_12及低位址資料AddZ指定的是記憶區的位址。因此，刪除的實體性單位為塊，是以實體性4頁所構成，以邏輯性8個記憶區所構成。

圖3為採用圖1所示結構之快閃記憶體之系統結構圖。

快閃記憶體20藉由CPU(中央處理單元)21來控制。CPU21控制高速緩衝記憶體(Cache memory)22及其他的鍵盤、螢幕等。電源電壓VCC同時供應快閃記憶體20、CPU21及高速緩衝記憶體22。

系統中用於控制整個系統的程式儲存在快閃記憶體20內，系統開啓電源，電源電壓VCC上昇時，快閃記憶體20

五、發明說明 (29)

自動的讀出指定號碼的資料。CPU21在電源上昇時，從快閃記憶體20讀出資料，所讀出的資料中放入用於控制快閃記憶體的代碼。

CPU21將上述代碼儲存在高速緩衝記憶體22內，控制快閃記憶體20，讀出控制整個系統的程式，來控制系統。由於快閃記憶體20能自動訂正錯誤，因此CPU21只需從快閃記憶體20讀出資料即可。若快閃記憶體20無法自動訂正錯誤時，就只有CPU21訂正錯誤，但是由於用於控制快閃記憶體20的代碼是儲存在快閃記憶體20內，因此只有這個代碼仍然不能訂正錯誤。

圖1中，錯誤訂正電路11中從資訊資料(外部輸入的寫入資料)產生檢查資料的部分(檢查資料產生電路)，如圖4所示。該電路主要由，以D0~D19、P所示的21個移位暫存器18及9個邏輯演算電路19所構成。

圖5(a)為抽出圖4中移位暫存器18中的一部分(以D所示的部分)。

該移位暫存器由時鐘信號 Φ 與其倒置信號 $n\Phi$ 互補的信號來驅動，時鐘信號 Φ 以" L "→" H "→" L "(轉動時鐘信號 Φ 1週)的方式輸出鎖存資料，並將輸入信號放入鎖存。該時鐘信號 Φ 為與檢查資料產生控制信號CGCLK及輸入控制信號INCLK同步的信號。

圖5(b)為圖4中邏輯演算電路19一部分的結構。

該邏輯演算電路演算兩個輸入IN1及IN2，並輸出OUT。

從圖1中之D0端子~D7端子所輸入的寫入資料，以資料

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (30)

輸出輸入緩衝器 5 作邏輯倒置，並輸出至信號線 DL_0~DL_7 內。圖 4 的檢查資料產生電路針對各個信號線 DL_0~DL_7，設置在圖 1 中的錯誤訂正電路上。

轉動時鐘信號 Φ 1 週的同時，將 1 位元的寫入資料放入圖 4 的檢查資料產生電路內，在時鐘信號 Φ 轉動 528 週後，在如 D0~D19 所示的移位暫存器 18 中產生 20 位元的檢查資料，並在如 P 所示的移位暫存器 18 中產生同位資料。

如 D0~D19 所示之移位暫存器 18 中所產生的檢查資料，在打開開關 SW3，時鐘信號 Φ 每轉動 1 週時，在各信號線 DL_0~DL_7 上，一個位元一個位元的產生。

產生 20 位元的檢查資料後，打開開關 SW5，將時鐘信號 Φ 轉動 1 週時，在各信號線 DL_0~DL_7 上產生 1 位元的同位資料。因此時鐘信號 Φ 轉動 549 週時，輸入至 D0 端子~D7 端子的是 528 位元的資料，所以產生 20 位元的檢查資料及 1 位元的同位資料。如此產生的檢查資料及同位資料，輸出至信號線 DL_0~DL_7，送達圖 2 所示的行控制電路 15 中的資料記憶電路 17，與寫入資料的同時寫入所選擇的記憶區內。

從全部為 "1" 的寫入資料(在信號線 DL_0~DL_7 上為 "0" 的寫入資料)所產生的檢查資料及同位資料，全部為 "1"。因此刪除狀態，在全部為 "1" 的寫入資料時，之後產生的檢查資料與寫入同位的狀態等價。

上述的檢查資料產生電路，是依據雙重錯誤訂正 BCH (1023, 1003) 符號產生檢查資料，其產生的多項式 $G(x)$

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

31)

, :

$$G(x)=x^{20}+x^{12}+x^{11}+x^6+x^5+x^4+x^2+x+1"$$

由於1個記憶格內寫入2位元的資料，因此1個記憶格破壞時，很可能整個2位元都發生錯誤。但是在本實施例中，各個位元資料是以各個檢查資料來獨立訂正，因此不會像BCH符號採用位元單位的訂正方式而減低調整概率。相反的，1位元單位中發生瑕疵的記憶體(Memory device)，若是採用如Read Solomon符號的叢發瑕疵訂正方式，會使錯誤訂正電路過於複雜，也不適宜。

圖6為圖1之錯誤訂正電路11中，產生檢查資料及同位資料的演算流程(Algorism)。

首先在步驟S1中，將資料輸入命令(Command)輸入至命令介面3，例如輸入16進制代碼"80H"。在步驟S2中，將位址資料輸入位址緩衝器4內，開始輸入寫入資料。在步驟S3中，將資料開始輸入行位址AddY_init_0~9設置在行位址產生電路16中的變數行位址暫存器Add_col中，並依據該變數行位址暫存器Add_col的內容產生行位址信號CSL。

在步驟S4中，將D0~D19、P所示的暫存器重設為"0"，將資料記憶電路17的寫入資料重設為"1"。在步驟S5中，打開開關SW1，關閉開關SW3及SW5。

其次，在步驟S6中，放入輸入至D0端子~D7端子的寫入資料。在步驟S7中，若判定變數行位址暫存器Add_col的內容為516時，則在步驟S9中關閉開關SW2及SW4，若判定變數行位址暫存器Add_col的內容不是516時，則在步驟

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (32)

S8中打開開關SW2及SW4。

當變數行位址暫存器Add_col的內容為516時，則放入錯誤訂正電路11中的寫入資料"1" (因DL_i的資料為倒置資料)。亦即，行位址516的資料從錯誤訂正中排除。

此種方式有以下的優點，亦即，可以在以後重新寫入516號的資料，可以在以後重新寫入管理記憶在快閃記憶體20中資料所需的旗標資料(Flag data)(例如瑕疵區旗標等)。

其次，在步驟S10中，將寫入資料放入錯誤訂正電路11中，進行檢查資料及同位資料的演算。亦即，時鐘信號Φ轉動1週。此時，寫入資料輸出行位址信號CSL，也記憶在資料記憶電路17內。繼續在步驟S11中，逐一增加變數行位址暫存器Add_col的內容，按照行位址的順序放入寫入資料。在步驟S12中，步驟S6~S12的動作反覆執行，直至判定輸入了寫入命令為止，例如輸入16進制代碼"10"H。

上述的步驟S6~S12與寫入賦能信號nWE同步進行。在輸入控制信號產生電路10中，與寫入賦能信號nWE同步產生輸入控制信號INCLK。與寫入賦能信號nWE同步輸入的寫入資料，依據在錯誤訂正電路11上與輸入控制信號INCLK同步產生的時鐘信號Φ，放入錯誤訂正電路11內，同時按照與輸入控制信號INCLK同步，依據變數行位址暫存器Add_col內容所產生之行位址信號CSL的指示，暫時記憶在所選擇的資料記憶電路17內。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (33)

在所述的步驟S12中，判定輸入前述寫入命令的16進制代碼"10" H時，在步驟S13中，判定變數行位址暫存器Add_col的內容大於527。若是這個判定結果為變數行位址暫存器Add_col的內容 ≤ 527 時，在步驟S14中，則關閉開關SW2及SW4，在步驟S15中，假設輸入"1"寫入資料，執行檢查資料及同位的演算，在步驟S16中，將變數行位址暫存器Add_col的內容增加1，在步驟S13中，再度判定變數行位址暫存器Add_col的內容是否大於527。

判定結果若是變數行位址暫存器Add_col的內容 ≥ 528 時，繼續在步驟S17中判定變數行位址暫存器Add_col的內容是否等於548。判定結果若是變數行位址暫存器Add_col的內容=548時，則在步驟S18中關閉開關SW1及SW5，打開開關SW3及SW4，在步驟S19中執行檢查資料的輸出及同位演算。此時，依據變數行位址暫存器Add_col內容的檢查資料暫時記憶在資料記憶電路17內。繼續在步驟S20中，將變數行位址暫存器Add_col的內容增加1個，在步驟S17中，再度判斷變數行位址暫存器Add_col的內容是否等於548。

判定結果若是變數行位址暫存器Add_col的內容=548時，在步驟S21中關閉開關SW3，打開開關SW5，在步驟S22中輸出同位資料。此時，依據變數行位址暫存器Add_col內容的檢查資料暫時記憶在資料記憶電路17內。之後，在步驟S23中，原則上，將記憶在資料記憶電路17中的寫入資料及檢查資料與同位資料一起寫入記憶區內。

五、發明說明 (34)

上述的步驟S13~S22，與檢查資料產生控制信號CGCLK同步執行。檢查資料產生命令CHKGEN藉由寫入命令信號PRO產生，藉由該檢查資料產生命令CHKGEN，由檢查資料產生控制信號產生電路9自動產生檢查資料產生控制信號CGCLK。與該檢查資料產生控制信號CGCLK同步，從錯誤訂正電路11所產生的檢查資料及同位資料，同時按照與檢查資料產生控制信號CGCLK同步，依據變數行位址暫存器Add_col內容所產生之行位址信號CSL的指示，暫時記憶在資料記憶電路17內。

圖7為從記憶格陣列12中的各陣列A、B逐一選擇記憶區，資料同時寫入兩個記憶區動作的時間(Timing)範例。

圖8為從記憶格陣列12中的各陣列A、B逐一選擇記憶區，資料僅寫入一個記憶區動作的時間範例。

首先說明圖7的動作時間。在命令鎖存賦能信號CLE為"H"的期間內，寫入賦能信號nWE上昇，輸入倍速寫入命令，如16進制代碼"D0"H。繼續命令鎖存賦能信號CLE為"H"的期間內，寫入賦能信號nWE上昇，如圖6的步驟S1中所述，輸入資料輸入命令的16進制代碼"80"H。

繼續在位址鎖存賦能信號ALE為"H"的期間，如圖6的步驟S2~S5中所述，放入三次位址資料。在此處輸入記憶格陣列12之格陣列A的位址。繼續於資料輸入命令信號INPUT為"H"時，如圖6的步驟S6~S12中所述輸入寫入資料h0~h527。與寫入賦能信號nWE同步，輸入寫入資料h，依據在錯誤訂正電路11中，與輸入控制信號INCLK同步產生

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (35)

的時鐘信號 Φ ，放入錯誤訂正電路11中，同時按照與INCLK同步，依據變數行位址暫存器Add_col內容所產生之行位址信號CSL的指示，暫時記憶在所選擇的資料記憶電路17內。

當輸入寫入命令的16進制代碼"10"H時，如圖6的步驟S13~S22中所述，寫入命令信號PRO為"H"，依據該寫入命令信號PRO，檢查資料產生命令信號CHKGEN也是"H"。依據該檢查資料產生命令信號CHKGEN產生檢查資料產生控制信號CGCLK，與該檢查資料產生控制信號CGCLK同步，從錯誤訂正電路11所產生的檢查資料及同位資料，暫時記憶在同時按照與CGCLK同步，依據變數行位址暫存器Add_col內容所產生之行位址信號CSL的指示所選擇的資料記憶電路17內。

若是藉由倍速寫入命令的16進制代碼"D0"H，執行有效寫入(圖6的步驟S23)的寫入動作時，且同位資料記憶在資料記憶電路17中時，寫入命令信號PRO與檢查資料產生命令信號CHKGEN變成"L"，結束寫入。在寫入命令信號PRO與檢查資料產生命令信號CHKGEN為"H"的期間，nBUSY為"L"，並將忙碌狀態(內部處理中)的訊息輸出至外部。

其次說明圖8的動作時間。在命令鎖存賦能信號CLE為"H"的期間內，寫入賦能信號nWE上昇，如圖6的步驟S1中所述，輸入資料輸入命令的16進制代碼"80"H。

繼續在位址鎖存賦能信號ALE為"H"的期間，如圖6的步

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (36)

驟 S2~S5 中所述，放入三次位址資料。在此處輸入記憶格陣列 12 之格陣列 B 的位址。

繼續資料輸入命令信號 INPUT 為 "H"，如圖 6 的步驟 S6~S12 中所述，輸入寫入資料 h3~h520。與寫入賦能信號 nWE 同步輸入寫入資料 h，依據錯誤訂正電路 11 上與 INCLK 同步產生的時鐘信號 Φ 放入錯誤訂正電路 11 內，同時按照與輸入控制信號 INCLK 同步，依據變數行位址暫存器 Add_col 內容所產生之行位址信號 CSL 的指示，暫時記憶在所選擇的資料記憶電路 17 內。

雖然沒有輸入寫入資料 h0~h2，但是將資料記憶電路 17 的寫入資料重設為 "1"，另在錯誤訂正電路 11 上使寫入資料 h0~h2 為 "1" 時，如 D0~D19 所示的暫存器及 P 所示的暫存器內容，迄 h2 的演算都沒有變化，因此沒有問題。亦即有效的寫入資料 h0~h2 為 "1"。

當輸入寫入命令的 16 進制代碼 "10" H 時，如圖 6 的步驟 S13~S22 中所述，寫入命令信號 PRO 為 "H"，依據該寫入命令信號 PRO，檢查資料產生命令信號 CHKGEN 也是 "H"。依據該檢查資料產生命令信號 CHKGEN 產生檢查資料產生控制信號 CGCLK，在內不予 CGCLK 同步產生須你寫入資料 "1"，取代未從外部輸入的寫入資料 h521~h527。與上述檢查資料產生控制信號 CGCLK 同步，從錯誤訂正電路 11 所產生的檢查資料及同位資料，暫時記憶在同時按照與 CGCLK 同步，依據變數行位址暫存器 Add_col 內容所產生之行位址信號 CSL 的指示所選擇的資料記憶電路 17 內。

五、發明說明 (37)

同位資料記憶在記憶電路17內時，檢查資料產生命令信號CHKGEN為"L"，執行寫入動作。本實施例中，記憶格陣列12的格陣列A及B所選擇的兩個記憶區同時執行寫入。寫入命令信號PRO為"H"的期間，nBUSY為"L"，將忙碌狀態(內部處理中)的訊息輸出至外部。

圖9為不啟動錯誤訂正電路11時，資料寫入動作的時間範例。首先於命令鎖存賦能信號CLE為"H"的期間內，寫入賦能信號nWE上昇，輸入錯誤訂正不啟動命令的16進制代碼"A0"H。繼續於命令鎖存賦能信號CLE為"H"的期間內，寫入賦能信號nWE上昇，輸入資料輸入命令的16進制代碼"80"H。

繼續在位址鎖存賦能信號ALE為"H"的期間，放入三次的位址資料。接著資料輸入命令信號INPUT為"H"，輸入寫入資料h0~h548。輸入寫入命令的16進制代碼"10"H時，雖然寫入命令信號PRO為"H"，不過檢查資料產生命令信號CHKGEN仍然為"L"。放入寫入命令的16進制代碼"10"後，立即變成寫入動作。

命令介面3為是否啟動錯誤訂正電路11的開關。輸入到圖1中之ECCENB端子的啟動錯誤訂正電路信號ECCENB為"L"時，命令介面3為不啟動錯誤訂正電路11的開關。

圖10為啟動錯誤訂正電路信號ECCENB為"L"時，資料寫入動作的時間範例。命令鎖存賦能信號CLE為"H"的期間內，寫入賦能信號nWE上昇，輸入資料輸入命令的16進制代碼"80"H。繼續在位址鎖存賦能信號ALE為"H"的期

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (38)

間，放入三次的位址資料。接著資料輸入命令信號INPUT為"H"，輸入寫入資料h0~h548。輸入寫入命令的16進制代碼"10"H時，雖然寫入命令信號PRO為"H"，不過檢查資料產生命令信號CHKGEN仍然為"L"。放入寫入命令的16進制代碼"10"後，立即變成寫入動作。

圖8中所示的動作時間，其啟動錯誤訂正電路信號ECCENB為"H"，與圖10所示的動作時間同樣的，是按照資料輸入命令"80"→輸入位址→輸入資料→寫入命令"10"的流程，自動的產生檢查資料。當啟動錯誤訂正電路信號ECCENB為"L"時，如圖10所示的動作時間，沒有產生檢查資料。

圖11至圖17顯示訂正、檢測在圖1中的錯誤訂正電路上，從記憶格所讀出之資料中產生錯誤的資料部分。

圖11為其中一個徵候群(Syndrome)S1、S3計算器，圖12為其中一個徵候群S3的轉換器，圖13為其中一個 $\sigma 1(=S1 \times S1)$ 計算器，圖14為其中一個 $\sigma 2(=S1 \times S1 \times S1 + S3)$ 計算器，圖15為取出其中一個 $\sigma 1 \rightarrow \lambda 1$ 轉換器，圖16為取出其中一個 $\sigma 2 \rightarrow \lambda 2$ 轉換器，圖17為其中一個錯誤位置檢測器。

這些電路主要由，以D0~D19、P、A0~A9、B0~B9、C0~C9所示之51個移位暫存器18與數個邏輯演算電路19所構成，並分別對應各信號線DL_0~DL_7來設置。

這些電路依據雙重錯誤訂正BHC(1023, 1003)符號來訂正從記憶格所讀出之資料的錯誤，亦即，兩個最小多項式

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (40)

與錯誤訂正控制信號 ECCLK 同步產生行位址信號 CSL，在時鐘信號 Φ 第 1 週，放入行位址 0 號的讀出資料，以下依序在第 2 週放入行位址 1 號、...、第 548 週放入行位址 547 號的讀出資料。

行位址 516 號的週期中，關閉開關 SW4、SW6 及 SW7，放入虛擬資料 "0"。這是因為產生檢查資料時，將 516 號的寫入資料當作虛擬資料 "0" 來計算。

徵候群 S1 記憶在以 A0~A9 所示的暫存器內。之前的計算，以 D0~D9 所示的暫存器中記憶徵候群 S1，以 D10~D19 所示的暫存器中記憶徵候群 S3，以 A0~A9 所示的暫存器中記憶徵候群 S1，以 P 所示的暫存器中記憶讀出資料的同位。

此外在圖 11 中所示的徵候群 S1、S3 計算器上所得到的徵候群 S3，因徵候群 S1 與多項式表現的次數不同，因此藉由圖 12 所示之徵候群 S3 的轉換器來整合。

圖 12 中所示之徵候群 S3 的轉換器主要由，以 B0~B9、C0~C9 所示之 20 個移位暫存器 18 與數個邏輯演算電路 19 所構成，徵候群 S3 整合在徵候群 S1 內。

首先，在步驟 1 (STEP 1) 中，以 C 所示的暫存器全部重設為 "0"，反復經過 10 次步驟 2 (STEP 2) 的演算後，在以 C 所示的暫存器中產生 S3 的轉換值，將其記憶在以 D10~D19 所示的暫存器內。

之前的計算，以 D0~D9 所示的暫存器中記憶徵候群 S1，以 D10~D19 所示的暫存器中記憶徵候群 S3，以 A0~A9 所示

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (41)

的暫存器中記憶徵候群 $S1$ ，以 P 所示的暫存器中記憶讀出資料的同位。

圖 13 中所示之徵候群 $S1 \times S1$ 的計算器主要由，以 $B0 \sim B9$ 、 $C0 \sim C9$ 所示之 20 個移位暫存器 18 與數個邏輯演算電路 19 所構成，用於計算徵候群 $S1 \times S1$ 。

首先，在步驟 1 中，以 C 所示的暫存器全部重設為 "0"，反復經過 10 次步驟 2 的演算後，在以 C 所示的暫存器中產生 $S1 \times S1$ ，將其記憶在以 $D0 \sim D9$ 所示的暫存器內。

之前的計算，以 $D0 \sim D9$ 所示的暫存器中記憶 $S1 \times S1$ ，以 $D10 \sim D19$ 所示的暫存器中記憶徵候群 $S3$ ，以 $A0 \sim A9$ 所示的暫存器中記憶徵候群 $S1$ ，以 P 所示的暫存器中記憶讀出資料的同位。

圖 14 中所示之徵候群 $S1 \times S1 \times S1 + S3$ 的計算器主要由，以 $B0 \sim B9$ 、 $C0 \sim C9$ 所示之 20 個移位暫存器 18 與數個邏輯演算電路 19 所構成，用於計算徵候群 $S1 \times S1 \times S1 + S3$ 。

首先，在步驟 1 中，以 C 所示的暫存器全部重設為 "0"，反復經過 10 次步驟 2 的演算後，在以 C 所示的暫存器中產生 $S1 \times S1 \times S1 (= S1^3)$ ，分別將其加入以 $D10 \sim D19$ 所示之暫存器的資料中予以記憶。

之前的計算，以 $D0 \sim D9$ 所示的暫存器中記憶 $S1 \times S1 (= \sigma 1)$ ，以 $D10 \sim D19$ 所示的暫存器中記憶徵候群 $S1^3 + S3 (= \sigma 2)$ ，以 $A0 \sim A9$ 所示的暫存器中記憶徵候群 $S1$ ，以 P 所示的暫存器中記憶讀出資料的同位。

此外，雖然在圖 14 所示之徵候群 $S1 \times S1 \times S1 + S3$ 的計算

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (42)

器得出 $\sigma 1$ 的狀態下，可以啟動錯誤位置檢測器，不過顯示需要花時間，因此為了快速顯示，須藉由圖15所示的 $\sigma 1 \rightarrow \lambda 1$ 轉換器，將 $\sigma 1$ 轉換成 $\lambda 1$ 。

圖15所示的 $\sigma 1 \rightarrow \lambda 1$ 轉換器主要由，以B0~B9、C0~C9所示之20個移位暫存器18與數個邏輯演算電路19所構成，將 $\sigma 1$ 轉換成 $\lambda 1$ 。

首先，在步驟1中，以C所示的暫存器全部重設為"0"，反復經過10次步驟2的演算後，在以C所示的暫存器中產生 $\lambda 1$ ，將其記憶在以D0~D9所示的暫存器內。

之前的計算，以D0~D9所示的暫存器中記憶 $\lambda 1$ ，以D10~D19所示的暫存器中記憶徵候群 $\sigma 2$ ，以A0~A9所示的暫存器中記憶徵候群S1，以P所示的暫存器中記憶讀出資料的同位。

此外，雖然在圖15所示之 $\sigma 1 \rightarrow \lambda 1$ 轉換器得出 $\sigma 2$ 的狀態下，可以啟動錯誤位置檢測器，不過顯示需要花時間，因此為了快速顯示，須藉由圖16所示的 $\sigma 2 \rightarrow \lambda 2$ 轉換器，將 $\sigma 2$ 轉換成 $\lambda 2$ 。

圖16所示的 $\sigma 2 \rightarrow \lambda 2$ 轉換器主要由，以B0~B9、C0~C9所示之20個移位暫存器18與數個邏輯演算電路19所構成，將 $\sigma 2$ 轉換成 $\lambda 2$ 。

首先，在步驟1中，以C所示的暫存器全部重設為"0"，反復經過10次步驟2的演算後，在以C所示的暫存器中產生 $\lambda 2$ ，將其記憶在以D10~D19所示的暫存器內。

之前的計算，以D0~D9所示的暫存器中記憶 $\lambda 1$ ，以

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (43)

D10~D19所示的暫存器中記憶徵候群 $\lambda 2$ ，以A0~A9所示的暫存器中記憶徵候群S1，以P所示的暫存器中記憶讀出資料的同位。

圖17所示錯誤位置檢測器主要由，以D0~D19、A0~A9所示之30個移位暫存器18與數個邏輯演算電路19所構成。

該錯誤位置檢測器，使用記憶在D0~D9所示之暫存器內的 $\lambda 1$ 、記憶在D10~D19所示之暫存器內的 $\lambda 2$ 及記憶在A0~A9所示之暫存器內的徵候群S1，來檢測錯誤位置，藉由與輸出控制信號產生電路8上產生之輸出控制信號OUTCLK同步產生的時鐘信號 Φ 來動作。此時，若下列的條件式，

$$A0 = D0 + D10$$

$$A1 = D1 + D11$$

$$A2 = D2 + D12$$

$$A3 = D3 + D13$$

$$A4 = D4 + D14$$

$$A5 = D5 + D15$$

$$A6 = D6 + D16$$

$$A7 = D7 + D17$$

$$A8 = D8 + D18$$

$$A9 = D9 + D19$$

成立時，藉由各信號線DL_0~DL_7，將從資料記憶電路17輸出至D0端子~D7的讀出資料倒置，訂正錯誤。

若時鐘信號 Φ 轉動1週期(錯誤位置演算的1週期)後，條

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (44)

件式成立，表示行位址0號的讀出資料錯誤。詳細的範例如下，例如，信號線DL_3的錯誤位置檢測電路在時鐘信號 Φ 的第200週期(錯誤位置演算的第200週期)滿足條件式時，即可以檢測出行位址199號的錯誤。

圖18為從圖1中之錯誤訂正電路11的讀出資料，檢測、訂正錯誤位置的演算流程範例。

首先在步驟S101中，輸入記憶區及開始讀出先頭行位址資料。其次在步驟S102中，將資料從記憶區讀出至資料記憶電路17內。接著在步驟S103中，以D0~D19所示的暫存器、以P所示的暫存器重設為"0"。再於步驟S104中，將變數行位址暫存器Add_col的內容設定為0。該變數行位址暫存器Add_col置於行位址產生電路16中，依據該變數行位址暫存器Add_col的內容產生行位址信號CSL。

其次在步驟S105中，從藉由行位址所選擇的資料記憶電路17輸出讀出資料。接著在步驟S106中，判定變數行位址暫存器Add_col的內容是否為516，若變數行位址暫存器Add_col的內容為516時，在步驟S108中關閉開關SW4、SW6、SW7，若變數行位址暫存器Add_col的內容不是516，則在步驟S107中，打開開關SW4、SW6、SW7。

其次在步驟S109中，藉由與錯誤訂正控制信號ECCLK同步產生的時鐘信號 Φ ，執行徵候群及同位的演算。接著在步驟S110中，判定變數行位址暫存器Add_col的內容是否等於547，若不是547，則進行步驟S111，將變數行位址暫存器Add_col的內容前推一步回到前述的步驟S105。如此

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (45)

逐一的增加，並反覆執行徵候群及同位的演算，直到變數行位址暫存器 Add_col 的內容等於 547。此外，上述步驟 S105~S111 的動作，是與錯誤訂正控制信號 ECCLK 同步執行的。

而在前述步驟 S110 中，若判定變數行位址暫存器 Add_col 的內容等於 547 時，則在步驟 S112 中判定徵候群 S1 是否為 0。判定結果若 $S1=0$ 時，則在步驟 S113 中判定 S3 是否為 0。該判定結果若 $S3=0$ 時，表示判定無錯誤，並在步驟 S114 終將狀態設定為 "正常"。

另外，若在前述步驟 S112 的判定結果 $S1=0$ ，前述步驟 S113 的判定結果 $S3 \neq 0$ 時，則判定產生 3 位元以上的錯誤，並在步驟 S115 中，將狀態設定為 "無法訂正"。

另外，若在前述步驟 S112 中的判定結果 $S1 \neq 0$ 時，則在步驟 S116 中判定是否 $S3=0$ 。若該判定結果 $S3=0$ 時，則判定產生 3 位元以上的錯誤，並在步驟 S122 中，將狀態設定為 "無法訂正"。此外，若在前述步驟 S116 的判定結果 $S3 \neq 0$ 時，則在步驟 S117 中，執行 S3 的轉換、 $\sigma 1$ 的計算、 $\sigma 2$ 的計算、 $\lambda 1$ 的計算、 $\lambda 2$ 的計算。

其次在步驟 S118 中判定 $\lambda 2$ 是否為 0。該判定結果若 $\lambda 2=0$ 時，判定產生 1 位元的錯誤，並在步驟 S119 中，將狀態設定為 "1 位元錯誤"。

另外，若前述步驟 S118 中的判定結果 $\lambda 2 \neq 0$ 時，則在步驟 S120 中判定從寫入資料所產生的同位與從讀出資料所產生的同位是否一致。該判定結果若為同位一致，則判定產

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (46)

生2位元錯誤，並在步驟S121中，將狀態設定為"2位元錯誤"。若在前述步驟S120中的判定結果為同位不一致時，則判定產生3位元以上的錯誤，並在步驟S122中，將狀態設定為"無法訂正"。繼續於確定狀態後，在步驟S123中，再度將變數行位址暫存器Add_col的內容設定為0。此外，上述步驟S112~S123、S105~S111的動作是與錯誤訂正控制信號ECCLK同步執行的。

其次在步驟S124中，執行1週期的錯誤位置演算，在步驟S125中，判定變數行位址暫存器Add_col的內容是否與開始輸出資料的行位址一致。若判定結果為一致，則進行步驟S126，將變數行位址暫存器Add_col的內容前推一步回到前述的步驟S124。如此逐一的增加，並反覆執行步驟S124~S126，直到變數行位址暫存器Add_col的內容與開始輸出資料的行位址一致。此外，上述步驟S124~S126的動作，是與錯誤訂正控制信號ECCLK同步產生之時鐘信號 Φ 同步執行的。

在前述步驟S125中，若判斷變數行位址暫存器Add_col的內容與開始輸出資料的行位址一致時，則在步驟S127中，與讀出賦能信號nRE同步產生之OUTCLK同步進行錯誤位置演算，並依據變數行位址暫存器Add_col的內容向外部輸出資料。

另外，錯誤位置演算與資料輸出，只藉由讀出賦能信號nRE，依據外部的要求反覆執行。如此可以在1週期前行調查是否應該訂正輸出資料，以便快速輸出。當然，若不考

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (47)

慮快速輸出，也可以在同一個週期處理應否輸出及訂正。

圖 19 為圖 18 所示之演算流程中資料讀出動作的時間範例。

亦即，在圖 19 中，首先在位址鎖存賦能信號 ALE 為 "H" 的期間內，寫入賦能信號 nWE 上昇，輸入用於執行記憶區選擇及開始輸入資料行位址指定的位址資料 ad0~ad2 (圖 18 的步驟 S101)。

放入位址資料 ad2 時，讀出命令信號 READ 自動變為 "H"，記憶格的資料從所選擇的記憶區讀出至資料記憶電路 17 (圖 18 的步驟 S102)。此期間，以 D0~D19 所示的暫存器、以 P 所示的暫存器設定為 "0" (圖 18 的步驟 S103)，變數行位址暫存器 Add_col 的內容設定為 0 (圖 18 的步驟 S104)。

變數行位址暫存器 Add_col 在行位址產生電路 16 內，依據該變數行位址暫存器 Add_col 的內容產生行位址信號 CSL。

資料讀出至資料記憶電路 17 結束後，資料鎖存讀出命令信號 DLREAD 為 "H"，並藉此輸出錯誤訂正控制信號 ECCLK。與錯誤訂正控制信號 ECCLK 同步，按照行位址 0 號至 547 號的順序，從行位址所選擇的資料記憶電路 17 中，將讀出資料輸出至錯誤訂正電路 11，執行徵候群及同位的計算 (圖 18 的步驟 S105~S111)。

繼續，計算命令信號 CALC 變為 "H"，再度輸出錯誤訂正控制信號 ECCLK。與錯誤訂正控制信號 ECCLK 同步檢測讀出資料的錯誤 (圖 18 的步驟 S112~S122)。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (48)

CALC為"L"時，資料輸出命令信號OUTPUT變為"H"，輸出輸出控制信號OUTCLK，準備向外部輸出(圖18的步驟S123~S126)。在圖19的範例中，由於開始輸出資料行位址為"1"號，因此執行兩次錯誤位置演算(圖18的步驟S124)。

之後，讀出命令信號READ變為"L"，可以向外部輸出。該讀出命令信號READ為"H"的期間，忙碌信號nBUSY成為"L"，將輸出準備中向外部輸出。

讀出賦能信號nRE從"H"轉變至"L"的時間，輸出控制信號OUTCLK從"L"變成"H"，輸出行位址信號CSL，開始從讀出資料D0~D7相對應的D0端子~D7端子輸出。同時執行錯誤位置演算，來檢測下一個行位址的輸出資料有無錯誤(圖18的步驟S127)。

命令鎖存賦能信號CLE為"H"的期間，寫入賦能信號nWE上昇，輸入狀態讀出命令的16進制代碼"70"H時，如圖18的步驟S114、S115、S119、S121及S122所述，輸出設定的狀態。此外，輸入上述狀態讀出命令"70"H時，狀態讀出命令信號STATUS為"H"。在接受該狀態讀出命令信號STATUS，nCE="L"時，讀出賦能信號nRE從"H"轉變成"L"的時間，開始從狀態的端子D0~端子D7輸出。例如，若從端子D0~端子D2輸出，則如下表4所示：

表 4

狀態	寫入	1 位元錯誤	2 位元錯誤	無法訂正
D0	0	0	0	1
D1	0	1	0	1

五、發明說明 (49)

D2	0	0	1	1
----	---	---	---	---

D0所示之暫存器的狀態資料，表示讀出是否成功，也包括錯誤訂正(0="PASS"/1="FAIL")。於寫入/刪除後執行狀態讀出，若成功，則輸出0，若不成功，則輸出1。

D0所示之暫存器的狀態資料，為讀出/寫入/刪除的共同狀態資料。D1所示之暫存器及D2所示之暫存器，為最大錯誤數量。

圖11~17的電路是針對各信號線DL_0~DL_7而設置，由於是同時動作，因此可分別得出錯誤數量。並輸出最大的錯誤數量來表示狀態。

圖20為在圖18所示之演算流程中不執行錯誤訂正，而輸出讀出資料的動作時間範例。

本例中也輸出檢查資料及同位資料。藉此，可以在外部檢查錯誤訂正電路11的動作。

亦即，在圖20中，首先在命令鎖存賦能信號CLE為"H"的期間內，寫入賦能信號nWE上昇，輸入錯誤訂正不啟動命令的16進制代碼"B0"H。而該錯誤訂正不啟動命令，也與寫入時的錯誤訂正不啟動命令"A0"H使用相同的命令。

圖20中所示的動作時間，與圖19中所示的動作時間幾乎相同。差異之處在於(1)輸入"B0"H命令，(2)雖然也檢測錯誤資料，但是不加以訂正即輸出，(3)也輸出檢查資料及同位資料。

圖21為輸入至圖1中之ECCENB端子的錯誤訂正電路啟動信號ECCENB為"L"時，資料讀出動作的時間範例。

五、發明說明 (50)

錯誤訂正電路啟動信號ECCENB為"L"時，以圖1中的命令介面3轉動開關，不啟動錯誤訂正電路11。

亦即，在圖21中，位址鎖存賦能信號ALE為"H"的期間內，寫入賦能信號nWE上昇，輸入用於指定記憶區選擇及開始輸出資料行位址指定的位址資料ad0~ad2。

放入位址資料ad2時，讀出命令信號READ自動變為"H"，記憶格的資料從所選擇的記憶區讀出至資料記憶電路17。之後，讀出命令信號READ變為"L"，可以向外部輸出。另外，資料輸出命令信號OUTPUT變為"H"，可以輸出輸出控制信號OUTCLK。讀出命令信號READ為"H"的期間，忙碌信號nBUSY為"L"，將輸出準備中輸出至外部。

在讀出賦能信號nRE從"H"轉變成"L"的時間，輸出控制信號OUTCLK從"L"變成"H"，輸出行位址信號CSL，並開始從D0端子~D7端子輸出讀出資料D0~D7。

圖22為圖3中所示之系統在電源上昇時，自動讀出指定號碼之記憶區的動作時間範例。

亦即，在圖22中，電源電壓VCC從0V上昇，到達指定的電壓值後，電源開啓(Power on)檢測電路2使電源開啓檢測信號PON變成"H"。命令介面3接受上述電源開啓檢測信號PON從"L"轉變至"H"，自動使讀出命令信號READ變成"H"，開始讀出。位址緩衝器4也接受前述電源開啓檢測信號PON從"L"轉變至"H"，自動的將位址資料設定為指定的值。在本例中，開始輸出資料行位址被設定為"0"號。

圖22中所示的動作時間，與圖19中所示的動作時間幾乎

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (51)

相同，差異之處在於是由電源開啓檢測信號PON來啓動。

(第二實施例)

第二實施例僅讀出動作與前述第一實施例不同。

第二實施例，搭載錯誤訂正電路之快閃記憶體的電路結構，與圖1所示的電路結構幾乎相同，差異之處，在於接受外部的錯誤訂正命令，並從命令介面3輸出錯誤訂正讀出命令信號ECREAD。

圖23為第二實施例，在圖1中的錯誤訂正電路11上，從讀出資料，來執行錯誤位置檢測、訂正的演算流程範例，與圖18的前述第一實施例，在圖1中的錯誤訂正電路11上，從讀出資料，來執行錯誤位置檢測、訂正的演算流程不同。

亦即，首先在步驟S201中，輸入記憶區及開始讀出先頭的行位址資料。其次在步驟S202中，將資料從記憶區讀出至資料記憶電路17內。接著在步驟S203中，將D0~D19所示的暫存器、P所示的暫存器設定為"0"。繼續在步驟S204中，將變數行位址暫存器Add_col的內容設定為0。該變數行位址暫存器Add_col在行位址產生電路16內，並依據該內容產生行位址信號CSL。

其次在步驟S205中，將讀出資料從行位址所選擇的資料記憶電路17輸出至外部。繼續在步驟S206中，判定變數行位址暫存器Add_col的內容是否為516，若為516時，則在步驟S208中關閉開關SW4、SW6、SW7，若不是516，則在

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (52)

步驟S207中，打開開關SW4、SW6、SW7。

繼續在步驟S209中，依據與外部讀出賦能信號nRE同步之輸出控制信號OUTCLK同步產生的時鐘信號 Φ ，執行徵候群及同位的演算。接著在步驟S210中，將變數行位址暫存器Add_col的內容前推一步，回到前述的步驟S205。如此逐一增加，並反覆執行徵候群及同位的演算，直到變數行位址暫存器Add_col的內容等於527。此外，上述步驟S205~S210的動作是與輸出控制信號OUTCLK同步執行的。

繼續在步驟S211中，將訂正讀出命令輸入命令介面3內，如輸入16進制代碼"20"H時，即以訂正讀出命令信號ECREAD來執行錯誤訂正動作。接著在步驟S212中，打開開關SW4、SW6、SW7。繼續在步驟S213中，藉由與錯誤訂正控制信號ECCLK同步產生的時鐘信號 Φ 來執行徵候群及同位的演算。

接著在步驟S214中，判定變數行位址暫存器Add_col的內容是否為547，若不是547，則前進至步驟S215，前推一步回到前述步驟S213。如此逐一增加，並反覆執行徵候群及同位的演算，直到變數行位址暫存器Add_col的內容等於547。此外，上述步驟S213~S215的動作是與錯誤訂正控制信號ECCLK同步執行的。

另外，若在前述步驟S214中判定變數行位址暫存器Add_col的內容等於547時，則在步驟S216中判定徵候群S1是否為0。該判定結果若S1=0時，則在步驟S217中判定是

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (53)

否 $S3=0$ 。該判定結果若 $S3=0$ 時，則判定無錯誤，並在步驟 S218 中，將狀態設定為 "正常"。

另外，若在前述步驟 S216 的判定結果 $S1=0$ ，前述步驟 S217 的判定結果 $S3 \neq 0$ 時，則判定產生 3 位元以上的錯誤，並在步驟 S219 中，將狀態設定為 "無法訂正"。

另外，若在前述步驟 S216 中的判定結果 $S1 \neq 0$ 時，則在步驟 S220 中判定是否 $S3=0$ 。若該判定結果 $S3=0$ 時，則判定產生 3 位元以上的錯誤，並在步驟 S226 中，將狀態設定為 "無法訂正"。此外，若在前述步驟 S220 的判定結果 $S3 \neq 0$ 時，則在步驟 S221 中，執行 $S3$ 的轉換、 $\sigma 1$ 的計算、 $\sigma 2$ 的計算、 $\lambda 1$ 的計算、 $\lambda 2$ 的計算。

其次在步驟 S222 中判定 $\lambda 2$ 是否為 0。該判定結果若 $\lambda 2=0$ 時，判定產生 1 位元的錯誤，並在步驟 S223 中，將狀態設定為 "1 位元錯誤"。

另外，若前述步驟 S222 中的判定結果 $\lambda 2 \neq 0$ 時，則在步驟 S224 中判定從寫入資料所產生的同位與從讀出資料所產生的同位是否一致。該判定結果若為同位一致，則判定產生 2 位元錯誤，並在步驟 S225 中，將狀態設定為 "2 位元錯誤"。

若在前述步驟 S224 中的判定結果為同位不一致時，則判定產生 3 位元以上的錯誤，並在步驟 S226 中，將狀態設定為 "無法訂正"。繼續於確定狀態後，在步驟 S227 中，再度將變數行位址暫存器 Add_col 的內容設定為 0，在步驟 S228 中執行 1 週期的錯誤位置演算。此外，上述步驟 S216~S228

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (54)

的動作是與錯誤訂正控制信號ECCLK同步執行的。

其次在步驟229中，命令鎖存賦能信號CLE為"H"，寫入賦能信號nWE上昇，輸入狀態讀出命令的16進制代碼"70"H時，在步驟S230中輸出分別於S218、S219、S223、S225、S226中設定的狀態。

亦即，輸入狀態讀出命令"70"H時，狀態讀出命令信號STATUS為"H。於接受狀態讀出命令信號STATUS，晶片賦能信號nCE="L"時，讀出賦能信號nRE從"H"轉變至"L"的時間，在前述的步驟S230中，如表4所示的，從D0端子~D2端子輸出狀態。

由於通常都沒有錯誤，因此是輸出"正常"的狀態，並結束讀出動作。若輸出1位元錯誤或2位元錯誤的狀態時，則再度輸出讀出資料，同時加以訂正、輸出。若輸出"無法訂正"的狀態時，則結束讀出動作，CPU21辨識無法訂正的記憶區已遭破壞。

圖24為圖23所示之演算流程中的資料讀出動作時間範例。

在位址鎖存賦能信號ALE為"H"的期間內，寫入賦能信號nWE上昇，輸入用於指定記憶區選擇及開始輸出資料行位址指定的位址資料ad0~ad2(圖23的步驟S201)。

放入位址資料ad2時，讀出命令信號READ自動變為"H"，記憶格的資料從所選擇的記憶區讀出至資料記憶電路17(圖23的步驟S202)。同時，以D0~D19所示的暫存器、以P所示的暫存器被設定為"0"(圖23的步驟S203)，變數行

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (55)

位址暫存器 Add_col 的內容亦被設定為 0 (圖 23 的步驟 S204)。變數行位址暫存器 Add_col 在行位址產生電路 16 內，並依據該變數行位址暫存器 Add_col 的內容產生行位址信號 CSL。在讀出命令信號 READ 為 "H" 的期間，忙碌信號 nBUSY 為 "L"，將輸出準備中輸出至外部。

資料讀出至資料記憶電路 17 結束後，資料輸出命令信號 OUTPUT 為 "H"，並藉此與讀出賦能信號 nRE 同步輸出輸出控制信號 OUTCLK。與輸出輸出控制信號 OUTCLK 同步，按照行位址 0 號至 527 號的順序，從行位址所選擇的資料記憶電路 17 中，將讀出資料輸出至錯誤訂正電路 11，執行徵候群及同位的計算 (圖 23 的步驟 S205~S210)。

當輸入訂正讀出命令 "20" H 時 (圖 23 的步驟 S211)，錯誤訂正讀出命令信號 ECREAD 變為 "H"，同時資料鎖存讀出命令信號 DLREAD 變成 "H"，據此輸出錯誤訂正控制信號 ECCLK。與錯誤訂正控制信號 ECCLK 同步，按照行位址 528 號至 547 號的順序，從行位址所選擇的資料記憶電路 17，將讀出資料輸出至錯誤訂正電路 11 上，並執行徵候群及同位的計算 (圖 23 的步驟 S212~S215)。

繼續，計算命令信號 CALC 為 "H"，再度輸出錯誤訂正控制信號 ECCLK。與錯誤訂正控制信號 ECCLK 同步檢測讀出資料的錯誤 (圖 23 的步驟 S216~S226)。

計算命令信號 CALC 為 "L" 時，資料輸出命令信號 OUTPUT 變為 "H"，輸出輸出控制信號 OUTCLK，準備向外部輸出 (圖 23 的步驟 S227、S228)。錯誤訂正讀出命令信號

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (56)

ECREAD變成"L"，結束訂正讀出動作。在錯誤訂正讀出命令信號ECREAD為"H"的期間，忙碌信號nBUSY成為"L"，將輸出準備中向外部輸出。

命令鎖存賦能信號CLE為"H"的期間，寫入賦能信號nWE上昇，輸入狀態讀出命令"70"H時(圖23的步驟S229)，在圖23的步驟S230中輸出圖23的步驟S218、S219、S223、S225、S226中所設定的狀態。此時，輸入狀態讀出命令"70"H時，狀態讀出命令信號STATUS為"H"。在接受該狀態讀出命令信號STATUS，nCE="L"時，nRE從"H"轉變成"L"的時間，如表4所示的，從D0端子~D2端子輸出狀態。

若屬於1位元錯誤或是2位元錯誤的狀態，在讀出賦能信號nRE從"H"轉變為"L"的時間，輸出控制信號OUTCLK則從"L"轉變成"H"，輸出行位址信號CSL，開始從D0端子~D7端子輸出讀出資料。同時執行錯誤位置演算，以檢測下一個行位址的輸出資料是否錯誤。如此可以在1週期前先行調查是否應該訂正輸出資料，以便快速輸出。當然，若不考慮快速輸出，也可以在同一個週期處理應否輸出及訂正的檢測。

上述第二實施例中，如前述第一實施例所述，很容易啟動或不啟動錯誤訂正電路，此外，也很容易輸出檢查資料及同位資料。

圖25為第一實施例及第二實施例之快閃記憶體中的資料刪除動作時間範例。

五、發明說明 (57)

此處為從記憶格陣列12的各陣列A、B逐一選擇記憶塊，同時刪除兩個記憶塊。

命令鎖存賦能信號CLE為"H"的期間，寫入賦能信號nWE上昇，輸入刪除位址輸入命令的16進制代碼"60"H。繼續在位址鎖存賦能信號ALE為"H"的期間，放入兩次的位址資料。再度於命令鎖存賦能信號CLE為"H"的期間，寫入賦能信號nWE上昇，輸入刪除位址輸入命令"60"H，繼續在位址鎖存賦能信號ALE為"H"的期間，放入兩次的位址資料。另外，僅刪除一個記憶塊時，不執行第二次的刪除位址輸入命令"60"H的輸入及位址的輸入。

命令鎖存賦能信號CLE為"H"的期間，寫入賦能信號nWE上昇，輸入刪除命令的16進制代碼"90"H，刪除命令信號ERASE變為"H"，刪除所選擇的記憶塊。刪除命令信號ERASE為"H"的期間，忙碌信號nBUSY為"L"，將內部處理中向外部輸出。

在以上的說明中，為便於瞭解，是將檢查資料及同位資料分開來處理，事實上，同位資料也是用於檢查錯誤程度的一種檢查資料。

從前述的實施狀態可以瞭解，本發明在分別提供具有下述特徵的快閃記憶體。

亦即，本發明的第一快閃記憶體，係由以下部分所構成：記憶區，其係由數個快閃記憶格M所構成；命令介面3，其係接受外部的寫入資料輸入命令"80"，產生寫入資料輸入命令信號INPUT，接受外部的寫入命令"10"H，產

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (58)

生寫入命令信號PRO；第一信號緩衝器10，其係接收外部所輸入的第一信號nWE；控制信號產生電路9，其係依據前述的寫入命令信號PRO啟動，產生控制信號CGCLK；資料輸入緩衝器5，其係依據前述的寫入資料輸入命令信號INPUT啟動，與前述第一信號nWE同步接收外部所輸入的寫入資料；錯誤訂正電路11，其係依據前述的寫入資料輸入命令信號INPUT啟動，與前述的第一信號nWE同步接收前述的寫入資料，依據前述的寫入命令PRO啟動，與前述的控制信號CGCLK同步產生用於訂正錯誤的檢查資料；位址緩衝器4，其係接收外部所輸入的位址資料；位址信號產生電路16，其係依據前述的寫入資料輸入命令信號INPUT啟動，並依據與前述第一信號nWE同步，依據前述位址資料及按照事先所決定的順序產生位址信號CSL，依據前述寫入命令信號PRO啟動，與前述的控制信號CSL同步，按照事先所決定的順序產生位址信號；數個資料記憶電路17，其係分別針對各個記憶格設置，分別接受所分配的位址信號CSL，暫時記憶數個資料，放入前述的寫入資料及檢查資料；及寫入手段(13, 14, 15)，其係依據前述的寫入命令PRO啟動，將暫時記憶在前述數個資料記憶電路17內的寫入資料及檢查資料寫入前述的記憶格內。

此外，第一快閃記憶體的較佳實施例，還具有依據前述寫入命令信號PRO，將忙碌信號nBUSY輸出至外部的忙碌信號輸出電路3。

依據上述第一快閃記憶體，將資訊資料輸入至寫入電

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (59)

路，雖是與外部控制的信號nWE同步執行，但是錯誤訂正電路在兩個期間，是與兩個控制信號同步動作，亦即，第一期間與外部控制信號nWE同步，第二期間則與自動產生內部控制信號CGCLK同步。

因此，即使在沒有輸入外部控制信號的期間，在內部錯誤訂正電路上產生用於訂正錯誤的檢查資料，及將檢查資料輸入至寫入電路內等的處理，仍然可以自動的在快閃記憶體的内部處理。因此，可以提供一種與過去沒有搭載錯誤訂正電路之快閃記憶體具有互換性的快閃記憶體。

此外，本發明的第二快閃記憶體，係由以下部分所構成：記憶區，其係由數個快閃記憶格M所構成；記憶格陣列12，其係由數個前述的記憶區所構成；產生控制信號ECCLK的控制信號產生電路7；第一信號緩衝器8，其係接收外部所輸入的第一信號nRE；位址緩衝器4，其係接收外部所輸入的位址資料；位址信號產生電路16，其係與前述控制信號ECCLK同步，按照事先所決定的順序產生位址信號CSL，並與前述第一信號nRE同步，依據前述位址資料，按照事先所決定的順序產生位址信號CSL；讀出手段(13, 14, 15)，其係依據前述位址資料，選擇前述記憶格陣列12中的記憶區，從選擇的記憶區內各個記憶格m中讀出資料；數個資料記憶電路17，其係分別對各個記憶格M設置，暫時記憶分別從所選擇之記憶區所對應的記憶格讀出的資料，分別接受所分配的位址信號CSL，輸出從暫時記憶的記憶格所讀出的資料；資料輸出緩衝器5，其係與

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (60)

前述第一信號 nRE 同步，將從前述數個資料記憶電路 17 輸出之記憶格 M 所讀出的資料輸出至外部；及錯誤訂正電路 11，其係與前述控制信號 ECCLK 同步，接收從前述數個資料記憶電路 17 輸出之記憶格 M 讀出的資料，並與前述第一信號 nRE 同步，判斷從前述資料輸出緩衝器 5 所輸出的資料是否錯誤，並加以訂正。

此外，較佳的實施例為：

(1) 還具有命令介面 3，其係接受外部的狀態讀出命令 "70" H，產生狀態讀出命令信號 STATUS；及狀態輸出手段 (5, 11)，其係依據前述狀態讀出命令信號 STATUS 啟動，藉由前述的資料輸出緩衝器 5，輸出從記憶格 M 所讀出的資料有無錯誤。

(2) 前述的錯誤訂正電路 11，可以訂正從記憶格 M 所讀出之資料中的數個資料，前述狀態輸出手段 (5, 11) 可以輸出錯誤的數量。

(3) 前述的錯誤訂正電路 11，可以訂正從記憶格所讀出之資料中的 n 個 ($n \geq 1$) 資料，可以檢測 (n+1) 個存在的錯誤，前述的狀態輸出手段 (5, 11) 可以輸出能否執行錯誤訂正。

(4) 還具有忙碌信號輸出電路 3，其係在從記憶格 M 讀出資料及前述錯誤訂正電路 11 接收從記憶格所讀出之資料的期間，持續將忙碌信號 nBUSY 輸出至外部。

依據上述第二快閃記憶體，從讀出電路輸出資訊資料，雖是與外部控制的信號 nRE 同步執行，但是錯誤訂正電路在兩個期間，是與兩個控制信號同步動作，亦即，第一期

五、發明說明 (61)

間與外部控制信號nRE同步，第二期間則與自動產生內部控制信號ECCLK同步。

因此，即使在沒有輸入外部控制信號的期間，在內部錯誤訂正電路上產生用於訂正錯誤的檢查資料，及將用於訂正錯誤之讀出電路所讀出的資料(資訊資料及檢查資料)讀出至錯誤訂正電路內等的處理，仍然可以自動的在快閃記憶體的内部處理。因此，可以提供一種與過去沒有搭載錯誤訂正電路之快閃記憶體具有互換性的快閃記憶體。

此外，本發明的第三快閃記憶體，係由以下部分所構成：記憶區，其係由數個快閃記憶格M所構成；記憶格陣列12，其係由數個前述記憶區所構成；命令介面3，其係接受外部的訂正讀出命令"20"H，產生訂正讀出命令信號ECREAD；控制信號產生電路7，其係依據前述訂正讀出命令信號ECREAD啟動，產生控制信號ECCLK；第一信號緩衝器8，其係接收外部所輸入的第一信號nRE；位址緩衝器4，其係接收外部所輸入的位址資料；位址信號產生電路16，其係與前述第一信號nRE同步，依據前述位址資料，並按照事先所決定的順序產生位址信號CSL，並依據前述訂正讀出命令信號ECREAD啟動，與前述控制信號ECCLK同步，並按照事先所決定的順序產生位址信號CSL；讀出手段(13, 14, 15)，其係依據前述位址資料，選擇前述記憶格陣列12中的記憶區，從選擇的記憶區內各個記憶格M中讀出資料；數個資料記憶電路17，其係分別對各個記憶格M設置，暫時記憶分別從所選擇之記憶區所對

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (62)

應的記憶格M讀出的資料，分別接受所分配的位址信號CSL，輸出從暫時記憶的記憶格M所讀出的資料；資料輸出緩衝器5，其係與前述第一信號nRE同步，將前述數個資料記憶電路17所輸出之記憶格M中讀出的資料輸出至外部；及錯誤訂正電路，其係與前述第一信號nRE同步，接收從前述數個資料記憶電路17輸出之記憶格M讀出的資料，並與前述控制信號ECCLK同步，接收從前述數個資料記憶電路17輸出之記憶格M讀出的資料，判斷從記憶格M所讀出的資料是否錯誤，若有錯誤時，可以指出發生錯誤的資料。

此外，較佳的實施例為：

(1)還具有狀態輸出手段(5, 11)，其係前述的命令介面3接受外部的狀態讀出命令"70"，產生狀態讀出命令信號STATUS，再依據前述狀態讀出命令信號STATUS啟動，藉由前述的資料輸出緩衝器5來輸出從記憶格M所讀出之資料有無錯誤。

(2)前述的錯誤訂正電路11，可以訂正從記憶格M所讀出之資料中的數個資料，前述狀態輸出手段(5, 11)可以輸出錯誤的數量。

(3)前述的錯誤訂正電路11，可以訂正從記憶格M所讀出之資料中的n個($n \geq 1$)資料，可以檢測(n+1)個存在的錯誤，前述的狀態輸出手段(5, 11)可以輸出能否執行錯誤訂正。

(4)還具有忙碌信號輸出電路3，其係在從記憶格M讀出

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (63)

資料的期間，向外部輸出忙碌信號，而且依據前述訂正讀出命令信號ECREAD，將忙碌信號nBUSY輸出至外部。

依據上述第三快閃記憶體，錯誤訂正電路在兩個期間，是與兩個控制信號同步動作，亦即，第一期間與外部控制信號nRE同步，第二期間則與自動產生內部控制信號ECCLK同步。因此，即使在沒有輸入外部控制信號的期間，在內部錯誤訂正電路上產生用於訂正錯誤的檢查資料，及有錯誤時指出其資料等的處理，仍然可以自動的在快閃記憶體的內部處理。因此，可以提供一種與過去沒有搭載錯誤訂正電路之快閃記憶體具有互換性的快閃記憶體。

此外，本發明的第四快閃記憶體，係由以下部分所構成：記憶區，其係由數個快閃記憶格M所構成；命令介面3，其係接受外部的寫入資料輸入命令"80"H，產生寫入資料輸入命令INPUT信號，接受外部的寫入命令"10"H，產生寫入命令信號PRO；第一信號緩衝器10，其係接收外部所輸入的第一信號nWE；控制信號產生電路9，其係依據前述的寫入命令信號PRO啟動，產生控制信號CGCLK；資料輸入緩衝器5，其係依據前述的寫入資料輸入命令信號INPUT啟動，與前述第一信號nWE同步接收外部所輸入的寫入資料；錯誤訂正電路11，其係依據前述的寫入資料輸入命令信號INPUT啟動，與前述的第一信號nWE同步接收前述的寫入資料，依據前述的寫入命令PRO啟動，與前述的控制信號CGCLK同步產生用於訂正錯誤的檢查資料；

五、發明說明 (64)

數個資料記憶電路17，其係分別針對各個記憶格M設置，與前述第一信號nWE及前述控制信號CGCLK同步，暫時記憶數個資料，放入前述的寫入資料及檢查資料；及寫入手段(13, 14, 15)，其係依據前述的寫入命令PRO啟動，將暫時記憶在前述數個資料記憶電路17內的寫入資料及檢查資料寫入前述的記憶格內。

此外，較佳的實施例還具有依據前述寫入命令信號PRO，將忙碌信號nBUSY輸出至外部的忙碌信號輸出電路3。

上述第四快閃記憶體與前述的第一快閃記憶體相比較，將寫入資料及檢查資料放入資料記憶電路17內暫時記憶時，並不是被分配的位址信號，雖然在與外部控制信號nWE及內部控制信號CGCLK同步放入這一點有所不同，不過基本上與前述第一快閃記憶體所得到的效果相同。

此外，本發明的第五快閃記憶體，係由以下部分所構成：記憶區，其係由數個快閃記憶格M所構成；記憶格陣列12，其係由數個前述的記憶區所構成；產生控制信號ECCLK的控制信號產生電路7；第一信號緩衝器8，其係接收外部所輸入的第一信號nRE；位址緩衝器4，其係接收外部所輸入的位址資料；讀出手段(13, 14, 15)，其係依據前述位址資料選擇前述記憶格陣列12中的記憶區，從所選擇之記憶區內各個記憶格M讀出資料；數個資料記憶電路17，其係分別對各個記憶格M設置，暫時記憶分別從所選擇之記憶區所對應的記憶格M讀出的資料，與前述控制信

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (65)

號 ECCLK 及前述第一信號 nRE 同步，輸出從暫時記憶的記憶格 M 所讀出的資料；資料輸出緩衝器 5，其係與前述第一信號 nRE 同步，將前述數個資料記憶電路 17 所輸出之記憶格 M 中讀出的資料輸出至外部；及錯誤訂正電路 11，其係與前述控制信號 ECCLK 同步，接收從前述數個資料記憶電路 17 輸出之記憶格 M 讀出的資料，並與前述第一信號 nRE 同步，判斷從前述資料輸出緩衝器 5 所輸出的資料是否錯誤，並加以訂正。

此外，較佳的實施例為：

(1) 還具有命令介面 3，其係接受外部的狀態讀出命令 "70"，產生狀態讀出命令信號 STATUS；及狀態輸出手段 (5, 11)，其係依據前述狀態讀出命令信號 STATUS 啟動，藉由前述的資料輸出緩衝器 5，輸出從記憶格 M 所讀出的資料有無錯誤。

(2) 前述的錯誤訂正電路 11，可以訂正從記憶格 M 所讀出之資料中的數個資料，前述狀態輸出手段 (5, 11) 可以輸出錯誤的數量。

(3) 前述的錯誤訂正電路 11，可以訂正從記憶格 M 所讀出之資料中的 n 個 ($n \geq 1$) 資料，可以檢測 $(n+1)$ 個存在的錯誤，前述的狀態輸出手段 (5, 11) 可以輸出能否執行錯誤訂正。

(4) 還具有忙碌信號輸出電路 3，其係在從記憶格 M 讀出資料及前述錯誤訂正電路 11 接收從記憶格 M 所讀出之資料的期間，持續將忙碌信號 nBUSY 輸出至外部。

五、發明說明 (66)

上述第五快閃記憶體與前述的第二快閃記憶體相比較，從資料記憶電路17輸出資料時，並不是被分配的位址信號，雖然在與內部控制信號ECCLK及外部控制信號nRE同步這一點有所不同，不過基本上與前述第二快閃記憶體所得到的效果相同。

此外，本發明的第六快閃記憶體，係由以下部分所構成：記憶區，其係由數個快閃記憶格M所構成；記憶格陣列12，其係由數個前述記憶區所構成；命令介面3，其係接受外部的訂正讀出命令"20"H，產生訂正讀出命令信號ECREAD；控制信號產生電路7，其係依據前述訂正讀出命令信號ECREAD啟動，產生控制信號ECCLK；第一信號緩衝器8，其係接收外部所輸入的第一信號nRE；位址緩衝器4，其係接收外部所輸入的位址資料；讀出手段(13, 14, 15)，其係依據前述位址資料，選擇前述記憶格陣列12中的記憶區，從選擇的記憶區內各個記憶格M中讀出資料；數個資料記憶電路17，其係分別對各個記憶格M設置，暫時記憶分別從所選擇之記憶區所對應的記憶格M讀出的資料，與第一信號nRE及前述控制信號ECCLK同步，輸出從暫時記憶之記憶格M所讀出的資料；資料輸出緩衝器5，其係與前述第一信號nRE同步，將前述數個資料記憶電路17所輸出之記憶格M中讀出的資料輸出至外部；及錯誤訂正電路11，其係與前述第一信號nRE同步，接收從前述數個資料記憶電路17輸出之記憶格M讀出的資料，並與前述控制信號ECCLK同步，接收從前述數個資料記憶電

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (67)

路17輸出之記憶格M讀出的資料，判斷從記憶格M所讀出的資料是否錯誤，若有錯誤時，可以指出發生錯誤的資料。

此外，較佳的實施例為：

(1)還具有狀態輸出手段(5, 11)，其係前述的命令介面3接受外部的狀態讀出命令"70"H，產生狀態讀出命令信號STATUS，再依據前述狀態讀出命令信號STATUS啟動，藉由前述的資料輸出緩衝器5來輸出從記憶格M所讀出之資料有無錯誤。

(2)前述的錯誤訂正電路11，可以訂正從記憶格M所讀出之資料中的數個資料，前述狀態輸出手段(5, 11)可以輸出錯誤的數量。

(3)前述的錯誤訂正電路11，可以訂正從記憶格M所讀出之資料中的 n 個($n \geq 1$)資料，可以檢測 $(n+1)$ 個存在的錯誤，前述的狀態輸出手段(5, 11)可以輸出能否執行錯誤訂正。

(4)還具有忙碌信號輸出電路3，其係在從記憶格M讀出資料的期間，向外部輸出忙碌信號nBUSY，而且依據前述訂正讀出命令信號ECREAD，將忙碌信號nBUSY輸出至外部。

上述第六快閃記憶體與前述的第三快閃記憶體相比較，從資料記憶電路17輸出資料時，並不是被分配的位址信號，雖然在與外部控制信號nRE及內部控制信號ECCLK同步這一點有所不同，不過基本上與前述第三快閃記憶體所

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (68)

得到的效果相同。

此外，本發明的第七快閃記憶體，係由以下部分所構成：記憶區，其係由數個快閃記憶格M所構成；信號緩衝器10，其係接收外部所輸入的第一信號nWE，在第一期間輸出第一控制信號INCLK；控制信號產生電路9，其係在與前述第一期間不同的第二期間內，自動的產生第二控制信號CGCLK；資料輸入緩衝器5，其係與前述第一信號nWE同步接收從外部所輸入的寫入資料；錯誤訂正電路11，其係與前述第一控制信號INCLK同步接收前述寫入資料，與前述第二控制信號CGCLK同步產生用於訂正錯誤的檢查資料；數個資料記憶電路17，其係分別對各個記憶格M設置，與前述第一控制信號INCLK及前述第二控制信號CGCLK同步，暫時記憶數個資料，放入前述的寫入資料及檢查資料；及寫入手段(13, 14, 15)，其係將暫時記憶在前述數個資料記憶電路17中的寫入資料及檢查資料寫入前述的記憶區內。

此外，較佳的實施例為：

(1)在前述第二期間，向外部輸出忙碌信號nBUSY的忙碌信號輸出電路3。

上述第七快閃記憶體與前述的第一快閃記憶體相比較，雖然在使用兩個內部控制信號CGCLK、INCLK這一點有所不同，不過基本上與前述第一快閃記憶體所得到的效果相同。

此外，本發明的第八快閃記憶體，係由以下部分所構

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (69)

成：記憶區，其係由數個快閃記憶格M所構成；記憶格陣列12，其係由數個前述的記憶區所構成；控制信號產生電路7，其係在第一期間，自動產生第一控制信號ECCLK；信號緩衝器8，其係接收外部所輸入的第一信號nRE，在與前述第一期間不同的第二期間內，輸出第二控制信號OUTCLK；位址緩衝器4，其係接收外部輸入的位址資料；讀出手段(13, 14, 15)，其係依據前述位址資料，選擇前述記憶格陣列12中的記憶區，從選擇的記憶區內各個記憶格M中讀出資料；數個資料記憶電路17，其係分別對各個記憶格M設置，暫時記憶分別從所選擇之記憶區所對應的記憶格M讀出的資料，與第一控制信號ECCLK及前述第二控制信號OUTCLK同步，輸出從暫時記憶之記憶格M所讀出的資料；資料輸出緩衝器5，其係與前述第二信號OUTCLK同步，將前述數個資料記憶電路17所輸出之記憶格M中讀出的資料輸出至外部；及錯誤訂正電路11，其係與前述第一控制信號ECCLK同步，接收從前述數個資料記憶電路17輸出之記憶格M讀出的資料，並與前述第二信號OUTCLK同步，判斷前述資料輸出緩衝器5所輸出的資料是否錯誤，並加以訂正。

此外，較佳的實施例為：

(1)還具有命令介面3，其係接受外部的狀態讀出命令"70"H，產生狀態讀出命令信號STATUS；及狀態輸出手段(5, 11)，其係依據前述狀態讀出命令信號STATUS啟動，藉由前述的資料輸出緩衝器5，輸出從記憶格M所讀

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (70)

出的資料有無錯誤。

(2) 前述的錯誤訂正電路11，可以訂正從記憶格M所讀出之資料中的數個資料，前述狀態輸出手段(5, 11)可以輸出錯誤的數量。

(3) 前述的錯誤訂正電路11，可以訂正從記憶格M所讀出之資料中的 n 個($n \geq 1$)資料，可以檢測 $(n+1)$ 個存在的錯誤，前述的狀態輸出手段(5, 11)可以輸出能否執行錯誤訂正。

(4) 還具有忙碌信號輸出電路3，其係在從記憶格M讀出資料及前述錯誤訂正電路11接收從記憶格M所讀出之資料的期間，持續將忙碌信號 n BUSY輸出至外部。

上述第八快閃記憶體與前述的第二快閃記憶體相比較，雖然在使用兩個內部控制信號ECCLK、OUTCLK這一點有所不同，不過基本上與前述第二快閃記憶體所得到的效果相同。

此外，本發明的第九快閃記憶體，係由以下部分所構成：記憶區，其係由數個快閃記憶格M所構成；記憶格陣列12，其係由數個前述的記憶區所構成；信號緩衝器8，其係接收外部所輸入的第一信號 n RE，在第一期間輸出第一控制信號OUTCLK；控制信號產生電路7，其係在與第一期間不同的第二期間，自動產生第二控制信號ECCLK；位址緩衝器4，其係接收外部輸入的位址資料；讀出手段(13, 14, 15)，其係依據前述位址資料，選擇前述記憶格陣列12中的記憶區，從選擇的記憶區內各個記憶格M中讀出

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (71)

資料；數個資料記憶電路17，其係分別對各個記憶格M設置，暫時記憶分別從所選擇之記憶區所對應的記憶格M讀出的資料，與前述第一控制信號OUTCLK及前述第二控制信號ECCLK同步，輸出從暫時記憶之記憶格所讀出的資料；資料輸出緩衝器5，其係與前述第一控制信號OUTCLK同步，將前述數個資料記憶電路17所輸出之記憶格M中讀出的資料輸出至外部；及錯誤訂正電路11，其係與前述第一控制信號OUTCLK同步，接收從前述數個資料記憶電路17輸出之記憶格M讀出的資料，並與前述第二控制信號ECCLK同步，接收從前述數個資料記憶電路17輸出之記憶格M讀出的資料，判斷從記憶格M讀出的資料是否錯誤，若有錯誤時，可以指出發生錯誤的資料。

此外，較佳的實施例為：

(1)還具有命令介面3，其係接受外部的狀態讀出命令"70"H，產生狀態讀出命令信號STATUS；及狀態輸出手段(5, 11)，其係依據前述狀態讀出命令信號STATUS啟動，藉由前述的資料輸出緩衝器5，輸出從記憶格M所讀出的資料有無錯誤。

(2)前述的錯誤訂正電路11，可以訂正從記憶格M所讀出之資料中的數個資料，前述狀態輸出手段(5, 11)可以輸出錯誤的數量。

(3)前述的錯誤訂正電路11，可以訂正從記憶格M所讀出之資料中的n個($n \geq 1$)資料，可以檢測(n+1)個存在的錯誤，前述的狀態輸出手段(5, 11)可以輸出能否執行錯誤訂

五、發明說明 (72)

正。

(4)還具有忙碌信號輸出電路3，其係在從記憶格M讀出資料的期間，將忙碌信號nBUSY輸出至外部，並在前述第二期間，將忙碌信號nBUSY輸出至外部。

上述第九快閃記憶體與前述的第三快閃記憶體相比較，雖然在使用兩個內部控制信號ECCLK、OUTCLK這一點有所不同，不過基本上與前述第三快閃記憶體所得到的效果相同。

此外，本發明的第十快閃記憶體，係由以下部分所構成：記憶區，其係由數個快閃記憶格M所構成；忙碌信號輸出電路3，其係將忙碌信號nBUSY輸出至外部；資料輸入緩衝器5，其係接收寫入外部輸入之各個記憶格內的寫入資料；數個資料記憶電路17，其係可以記憶n位元之暫時記憶的前述寫入資料；及錯誤訂正電路11，其係接收m1位元($m1 < n$)的寫入資料，產生m2位元($m1 + m2 < n$)的檢查資料，產生前述m2位元的檢查資料後，接收m3位元($m1 + m2 + m3 < n$)的寫入資料，產生m4位元($m1 + m2 + m3 + m4 \leq n$)的檢查資料。其中，m2位元的檢查資料在m1位元的寫入資料輸入至前述數個資料記憶電路17內後，輸入至前述數個資料記憶電路17內暫時記憶；m4位元的檢查資料在m3位元的寫入資料輸入至前述數個資料記憶電路17內後，輸入至前述數個資料記憶電路17內暫時記憶；暫時記憶在前述數個資料記憶電路17內之m1與m3位元的寫入資料及m2與m4位元的檢查資料，在m4位元的檢查資料暫時

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (73)

記憶在前述數個資料記憶電路17內後，寫入前述的記憶區內；前述錯誤訂正電路11在產生前述m2位元的檢查資料時，將前述忙碌信號輸出電路3所輸出的忙碌信號nBUSY輸出至外部。

上述的第十快閃記憶體，接收兩個記憶區部分的資訊資料，並同時寫入兩個記憶區內。寫入第一記憶區內的資訊資料輸入時，輸出忙碌信號，表面上快閃管理系統是在寫入中，而在內部產生檢查資料。因此檢查資料產生處理的時間比寫入為短，因而可以提供一種縮短表面上寫入時間的快閃記憶體。

此外，本發明的第十一快閃記憶體，係由以下部分所構成：記憶區，其係由數個快閃記憶格M所構成；忙碌信號輸出電路3，其係將忙碌信號nBUSY輸出至外部；及錯誤訂正電路11，其係讀出從前述記憶區所讀出的資料，指出錯誤讀出的資料。其中，在讀出從前述記憶區所讀出資料的期間及前述錯誤訂正電路11指出錯誤讀出資料的期間，將忙碌信號nBUSY持續從前述忙碌信號輸出電路3輸出至外部。

上述的第十一快閃記憶體，在從記憶區讀出資料的期間及錯誤訂正電路11指出錯誤的期間，持續將忙碌信號nBUSY輸出至外部。因此，可以提供一種與過去沒有搭載錯誤訂正電路之快閃記憶體具有互換性的快閃記憶體。

此外，本發明的第十二快閃記憶體，係由以下部分所構成：記憶區，其係由數個快閃記憶格M所構成；資料緩衝

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (74)

器5，其係將從前述記憶區所讀出之讀出資料輸出至外部；及錯誤訂正電路11，其係在輸出從前述資料緩衝器5所讀出之資料的同時，輸入用於從讀出資料中指出錯誤讀出資料的讀出資料。其中，前述的錯誤訂正電路11，再度將從資料緩衝器5所讀出之資料輸出至外部時，訂正錯誤的讀出資料。

此外，較佳的實施例為：

(1)還具有將錯誤狀態輸出至外部的狀態輸出電路(5, 11)。

(2)還具有暫時記憶從前述記憶區所讀出之讀出資料的數個資料記憶電路17。

上述第十二快閃記憶體，其錯誤訂正電路在讀出資料輸出至外部的同時動作。之後執行剩餘的錯誤訂正處理，只有在有錯誤時，才再度訂正錯誤，並輸出至外部。

因此，縮短了內部錯誤訂正電路用於檢測讀出資料的錯誤及指出其錯誤所需要的時間，可以縮短表面上的讀出時間，可以提供一種縮短平均讀出時間的快閃記憶體。

此外，本發明的第十三快閃記憶體，係由以下部分所構成：記憶區，其係由數個快閃記憶格M所構成；寫入手段(13, 14, 15)，其係將資訊資料及檢查資料寫入前述的記憶區內；讀出手段(13, 14, 15)，其係從前述的記憶區讀出前述資訊資料及前述檢查資料；及錯誤訂正電路11，其係從前述資訊資料產生前述檢查資料，並從前述資訊資料及前述檢查資料訂正前述資訊資料的錯誤。其中，前述錯誤訂

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (75)

正電路11將記憶在至少1個以上指定記憶格內之資訊資料轉換成事先所決定的虛擬資料，產生前述的檢查資料，將從前述指定記憶格M所讀出的資訊資料轉換成前述的虛擬資料，訂正前述的資訊資料。

上述的第十三快閃記憶體，將寫入指定記憶區內的資訊資料轉換成固定資料，來產生檢查資料，執行錯誤訂正。

因此，快閃記憶體管理系統可以提供一種即使在將追加的資訊資料寫入其記憶格內時，仍然可以正確訂正錯誤的快閃記憶體。

此外，本發明的第十四快閃記憶體，係由以下部分所構成：記憶區，其係由數個快閃記憶格M所構成；寫入手段(13, 14, 15)，其係將指定的n位元資訊資料及檢查資料寫入前述的記憶區內；讀出手段(13, 14, 15)，其係從前述的記憶區讀出前述n位元資訊資料及前述檢查資料；及錯誤訂正電路11，其係從前述n位元資訊資料產生前述檢查資料，並從前述n位元資訊資料及前述檢查資料訂正前述n位元資訊資料的錯誤。其中，前述錯誤訂正電路11，有效附加從外部輸入之前述資訊資料於m位元($m < n$)時事先所決定(n-m)位元的虛擬資料，作為資訊資料，產生前述的檢查資料。

上述的第十四快閃記憶體，即使從外部輸入的資訊資料長度與指定的長度不同，仍然可以正確的訂正錯誤。亦即，即使從快閃記憶體管理系統所輸出的資訊資料長度比指定的長度為短，仍然可以正確的訂正錯誤。因此，可以

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (76)

提供一種無須倚賴資訊資料長度來正確訂正錯誤的快閃記憶體。

此外，本發明的第十五快閃記憶體，係由以下部分所構成：記憶區，其係由數個快閃記憶格M所構成；寫入手段(13, 14, 15)，其係將資訊資料及檢查資料寫入前述的記憶區內；讀出手段(13, 14, 15)，其係從前述的記憶區讀出前述資訊資料及前述檢查資料；錯誤訂正電路11，其係從前述資訊資料產生前述檢查資料，並從前述資訊資料及前述檢查資料訂正前述資訊資料的錯誤；及開關電路3，其係選擇訂正錯誤，將前述資訊資料輸出至外部，或是不訂正錯誤，而將前述資訊資料輸出至外部。

上述的第十五快閃記憶體，設有電動開關，可以選擇是否啟動所搭載的錯誤訂正電路。因此，可以提供一種便於執行瑕疵分析的快閃記憶體。

亦即，雖然會有是否因經常啟動錯誤訂正電路，訂正並輸出錯誤，而發生錯誤，或是不清楚發生錯誤的記憶格，或是執行產品測試等瑕疵分析等的問題，但是可以藉由所設置的選擇電路來避免上述問題的發生。

此外，本發明的第十六快閃記憶體，係由以下部分所構成：記憶區，其係由數個快閃記憶格M所構成；寫入手段(13, 14, 15)，其係將資訊資料及檢查資料寫入前述的記憶區內；讀出手段(13, 14, 15)，其係從前述的記憶區讀出前述資訊資料及前述檢查資料；錯誤訂正電路11，其係從前述資訊資料產生前述檢查資料，並從前述資訊資料及前述

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明（ 77 ）

檢查資料訂正前述資訊資料的錯誤；及開關電路3，其係選擇是否啓動前述的錯誤訂正電路11。

上述的第十六快閃記憶體，設有產品出貨時可以固定的開關，可以選擇是否啓動搭載於內部的錯誤訂正電路。因此，可以提供一種可以同時生產內部錯誤訂正電路有作用及無作用之產品的快閃記憶體。

亦即，應用快閃記憶體的系統在訂正錯誤時，內部的錯誤訂正動作只不過延緩寫入及讀出動作，需要關閉內部的錯誤訂正電路。若是分別製造內部錯誤訂正電路有作用及無作用的產品，會有減低生產性的問題，藉由設置選擇電路即可加以解決。

此外，本發明的第十七快閃記憶體，係由以下部分所構成：記憶區，其係由數個快閃記憶格M所構成；記憶格陣列12，其係由數個前述的記憶區所構成；寫入手段(13, 14, 15)，其係將資訊資料及檢查資料寫入前述的記憶區內；讀出手段(13, 14, 15)，其係從前述的記憶區讀出前述資訊資料及前述檢查資料；錯誤訂正電路11，其係從前述資訊資料產生前述檢查資料，並從前述資訊資料及前述檢查資料訂正前述資訊資料的錯誤；及讀出手段(2, 3, 13, 14, 15)，其係在開啓電源的同時，自動讀出指定記憶區內的資料。

上述的第十七快閃記憶體，應用在開啓電源的同時，自動從記憶格陣列讀出指定資料之快閃記憶體的系統，可以提供一種搭載於快閃記憶體內的錯誤訂正電路，無論在任

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明（78）

何情況下，均能訂正錯誤，具有高度穩定性與可靠性的快閃記憶體。

亦即，使用在開啓電源的同時，自動從記憶格陣列讀出指定資料之快閃記憶體的系統，可以解決若以指定的資料來控制快閃記憶體時，即使該系統在執行錯誤訂正，若是該指定的資料是系統啓動之前的資料，則錯誤訂正無效的問題。

此外，本發明的第十八快閃記憶體，係由以下部分所構成：記憶區，其係由數個快閃記憶格M所構成；多值寫入手段(13, 14, 15)，其係將第一資訊資料及第一檢查資料一個位元一個位元的寫入前述記憶區的各個記憶格內，之後，再將寫入的第一資訊資料及寫入的第一檢查資料與第二資訊資料及第二檢查資料一個位元一個位元的寫入前述記憶區的各個記憶格內，在1個記憶格內寫入2位元的資料；多值讀出手段(13, 14, 15)，其係從前述的記憶區讀出前述第一資訊資料及前述第一檢查資料，從前述記憶區讀出前述第二資訊資料及前述第二檢查資料；及錯誤訂正電路11，其係從前述第一資訊資料產生前述第一檢查資料，從前述第二資訊資料產生前述第二檢查資料，從前述第一資訊資料及前述第一檢查資料訂正前述第一資訊資料的錯誤，從前述第二資訊資料及前述第二檢查資料訂正前述第二資訊資料的錯誤。其中，前述的錯誤訂正電路11，係依據BCH符號來產生檢查資料及訂正錯誤。

上述的第十八快閃記憶體，是將第一資訊資料及第一檢

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明 (79)

查資料，一個位元一個位元的寫入記憶區的各個記憶格內，之後，再將寫入的第一資訊資料及第一檢查資料與第二資訊資料及第二檢查資料一個位元一個位元的寫入該記憶區的各個記憶格內，在1個記憶格內寫入2位元的資料。此外還搭載依據BCH符號的電路。因此，可以提供晶片尺寸較小的多值快閃記憶體。

亦即，在多值快閃記憶體中，會因一個記憶格破壞而引起數個位元的錯誤。因此，宜採用可以執行叢發錯誤訂正的方法較為有效。另外，以位元為單位的錯誤訂正電路結構簡單，且晶片尺寸不致過大。以位元為單位訂正錯誤的錯誤訂正電路，作為適用於多值快閃記憶體的錯誤訂正電路，可以解決補救效率低的問題。

此外，本發明的第十九快閃記憶體，係由以下部分所構成：記憶區，其係由數個快閃記憶格M所構成；刪除電路(13, 14, 15)，其係刪除前述記憶區，將所有記憶格內的資料變成"1"；寫入手段(13, 14, 15)，其係將資訊資料及檢查資料寫入前述的記憶區內；讀出手段(13, 14, 15)，其係從前述的記憶區讀出前述資訊資料及前述檢查資料；及錯誤訂正電路11，其係從前述資訊資料產生前述檢查資料，從前述資訊資料及前述檢查資料訂正前述資訊資料的錯誤。其中，前述的錯誤訂正電路11，從所有"1"的資訊資料產生所有"1"的檢查資料。

上述的第十九快閃記憶體，將刪除之記憶格的資料作為"0"。所設置的錯誤訂正電路，是對所有"0"的資訊資料產

五、發明說明（80）

生所有"0"的檢查資料。因此，可以提供一種即使在刪除後讀出，錯誤訂正電路仍然能夠正常動作的快閃記憶體。

亦即，刪除搭載了錯誤訂正電路之快閃記憶體內的資料後，可能還需要將資料重新讀出。此時可以解決當啟動錯誤訂正電路時，出現誤檢測，誤認為有錯誤的問題。

此外，本發明的第二十快閃記憶體，係由以下部分所構成：記憶區，其係由數個快閃記憶格M所構成；錯誤訂正電路11，其係從外部所輸入的資訊資料產生用於訂正錯誤的檢查資料，從前述資訊資料及前述檢查資料訂正前述資訊資料的錯誤；數個資料記憶電路17，其係分別對各個記憶格M設置；寫入手段(13, 14, 15)，其係將暫時記憶在前述數個資料記憶電路17內的資訊資料及檢查資料寫入前述的記憶區內；讀出手段(13, 14, 15)，其係從前述的記憶區將前述資訊資料及前述檢查資料讀出至前述數個資料記憶電路17上；及輸出手段(3, 5, 6, 16)，其係將從記憶在前述數個資料記憶電路17上的記憶區所讀出的資訊資料及檢查資料輸出至外部。

上述的第二十快閃記憶體，具有將從記憶區讀出之資訊資料及檢查資料輸出至外部的輸出手段。因此，可以檢查是否正確產生檢查資料，可以提供一種高度可靠性的快閃記憶體。

本發明的第二十一快閃記憶體，係由以下部分所構成：記憶區，其係由數個快閃記憶格M所構成；錯誤訂正電路11，其係從外部所輸入的資訊資料產生用於訂正錯誤的檢

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明 (82)

或4位元等。另外，在不脫離本發明主旨的範圍內，實施型態可以作各種的改變。

發明效果

上述之本發明的快閃記憶體(申請專利範圍第1、3、8、13、15、20、25、27、32項及其附屬申請項目)，藉由錯誤訂正電路在兩個期間，是與兩個控制信號同步動作，亦即，第一期間與外部控制信號同步，第二期間則與自動產生內部控制信號同步。因此，即使在沒有輸入外部控制信號的期間，仍然自動在內部執行，在內部錯誤訂正電路上產生用於訂正錯誤的檢查資料、將檢查資料輸入至寫入電路內、從用於訂正錯誤的讀出電路將讀出資料(資訊資料及檢查資料)讀出至錯誤訂正電路等的處理。因此，可以提供一種與過去沒有搭載錯誤訂正電路之快閃記憶體具有互換性的快閃記憶體。

此外，本發明的快閃記憶體(申請專利範圍第37項)，接收兩個記憶區部分的資訊資料，並同時寫入兩個記憶區內。寫入第一記憶區內的資訊資料輸入時，輸出忙碌信號，表面上快閃管理系統是在寫入中，而在內部產生檢查資料。因此檢查資料產生處理的時間比寫入為短，因而可以提供一種縮短表面上寫入時間的快閃記憶體。

此外，本發明的快閃記憶體(申請專利範圍第38項)，在從記憶區讀出資料的期間及錯誤訂正電路11指出錯誤的期間，持續將忙碌信號nBUSY輸出至外部。因此，可以提供一種與過去沒有搭載錯誤訂正電路之快閃記憶體具有互換

(請先閱讀背面之注意事項再填寫本頁)

五、發明說明（83）

性的快閃記憶體。

此外，本發明的快閃記憶體（申請專利範圍第39項及其附屬申請項目），其錯誤訂正電路在讀出資料輸出至外部的同時動作。之後執行剩餘的錯誤訂正處理，只有在有錯誤時，才再度訂正錯誤，並輸出至外部。因此，可以提供一種縮短平均讀出時間的快閃記憶體。

此外，本發明的快閃記憶體（申請專利範圍第42項），藉由將寫入指定記憶區內的資訊資料轉換成固定資料，產生檢查資料，來執行錯誤訂正。因此，快閃記憶體管理系統可以提供一種即使在將追加的資訊資料寫入其記憶格內時，仍然可以正確訂正錯誤的快閃記憶體。

此外，本發明的快閃記憶體（申請專利範圍第43項），從外部輸入的資訊資料長度與指定的長度不同時，藉由實際、自動的增加固定資料，產生檢查資料及執行錯誤訂正，可以提供一種無須倚賴資訊資料長度來正確訂正錯誤的快閃記憶體。

此外，本發明的快閃記憶體（申請專利範圍第44項），設有電動開關，藉由選擇是否啟動所搭載的錯誤訂正電路，可以提供一種便於執行瑕疵分析的快閃記憶體。

此外，本發明的快閃記憶體（申請專利範圍第45項），設有產品出貨時可以固定的開關，藉由選擇是否啟動搭載於內部的錯誤訂正電路，可以提供一種可以同時生產內部錯誤訂正電路有作用及無作用之產品的快閃記憶體。

此外，本發明的快閃記憶體（申請專利範圍第46項），可

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明（84）

以提供一種在快閃記憶體上搭載錯誤訂正電路，能夠在開啓電源的同時，自動從記憶格陣列讀出指定資料，無論在任何情況下，均具有高度穩定性與可靠性的快閃記憶體。

此外，本發明的快閃記憶體(申請專利範圍第47項)，是將第一資訊資料及第一檢查資料，一個位元一個位元的寫入記憶區的各個記憶格內，之後，再將寫入的第一資訊資料及第一檢查資料與第二資訊資料及第二檢查資料一個位元一個位元的寫入該記憶區的各個記憶格內，在1個記憶格內寫入2位元的資料。此外還搭載依據BCH符號的電路。因此，可以提供晶片尺寸較小的多值快閃記憶體。

此外，本發明的快閃記憶體(申請專利範圍第48項)，為一種可以提供即使在刪除後重新讀出，錯誤訂正電路仍然正常動作的快閃記憶體。

此外，本發明的快閃記憶體(申請專利範圍第49項)，為一種可以藉由將從記憶區所讀出之資訊資料及檢查資料輸出至外部的輸出手段，來檢查是否正確產生檢查資料，具有高度可靠性的快閃記憶體。

此外，本發明的快閃記憶體(申請專利範圍第50項)，為一種可以提供具有簡單、快速的電路，且不倚賴資料長度，可以正確訂正錯誤的快閃記憶體。

圖式描述

圖1為本發明第一種實施例之快閃記憶體結構的方塊圖。

圖2為抽出圖1中一個記憶格陣列部分的電路圖。

五、發明說明 (85)

圖3為適用於圖1之快閃記憶體之系統結構方塊圖。

圖4為圖1中之錯誤訂正電路中之檢查資料產生部分的電路圖。

圖5為圖1中之錯誤訂正電路中之移位暫存器與邏輯演算電路的電路圖。

圖6顯示第一種實施例中的寫入演算流程範例。

圖7顯示圖6之寫入演算流程中，同時在兩個記憶區寫入資料的動作時間範例。

圖8顯示圖6之寫入演算流程中，僅在一個記憶區內寫入資料的動作時間範例。

圖9顯示實施例的寫入時間。

圖10顯示實施例的寫入時間。

圖11顯示圖1之錯誤訂正電路中的徵候群S1及S3產生部分。

圖12顯示圖1之錯誤訂正電路中的徵候群S3轉換電路。

圖13顯示圖1之錯誤訂正電路中的 $\sigma 1 = S1 \times S1$ 計算電路。

圖14顯示圖1之錯誤訂正電路中的 $\sigma 2 = S1 \times S1 \times S1 + S3$ 計算電路。

圖15顯示圖1之錯誤訂正電路中的 $\sigma 1 \rightarrow \lambda 1$ 轉換器。

圖16顯示圖1之錯誤訂正電路中的 $\sigma 2 \rightarrow \lambda 2$ 轉換器。

圖17顯示圖1之錯誤訂正電路中的錯誤位置檢測電路。

圖18顯示第一種實施例中的讀出演算流程範例。

圖19顯示圖18之讀出演算流程中的讀出動作時間範例。

五、發明說明 (86)

圖20顯示圖18之讀出演算流程中的不訂正錯誤而輸出讀出資料的動作範例。

圖21顯示圖18之讀出演算流程中，錯誤訂正啟動信號ECCENB為"L"時的資料讀出動作時間範例。

圖22顯示圖3所示之系統中，於電源上昇時，自動讀出指定號碼之記憶區的動作時間範例。

圖23顯示第二種實施例的讀出演算流程範例。

圖24顯示圖23之讀出演算流程中的讀出動作時間範例。

圖25顯示本發明之快閃記憶體之刪除動作時間範例。

符號說明

- 1… 外部端子
- 2… 電源開啓檢測電路
- 3… 命令介面
- 4… 位址緩衝器
- 5… 資料輸出輸入緩衝器
- 6… IO緩衝器
- 7… 錯誤訂正控制信號產生電路
- 8… 輸出控制信號產生電路
- 9… 檢查資料產生控制信號產生電路
- 10… 輸入控制信號產生電路
- 11… 錯誤訂正電路
- 12… 記憶格陣列
- 13… 源井控制電路
- 14… 低控制電路

五、發明說明 (87)

- 15 … 行控制電路
- 16 … 行位址產生電路
- 17 … 資料記憶電路
- 18 … 移位暫存器
- 19 … 邏輯演算電路
- 20 … 快閃記憶體
- 21 … 中央處理單元
- 22 … 高速緩衝記憶體

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

四、中文發明摘要（發明之名稱：快閃記憶體）

本發明在快閃記憶體的內部自動執行錯誤訂正處理，並與過去未搭載錯誤訂正電路的快閃記憶體具有互換性。

一種快閃記憶體，係由以下各部所構成：記憶區(Memory sector)；介面3，其係接受外部命令，產生控制信號；電路7，其係依據寫入命令信號啟動，產生控制信號；錯誤訂正電路11，其係依據寫入資料輸入命令信號啟動，與外部輸入的第1信號同步接收外部輸入的寫入資料，依據寫入命令啟動，與控制信號同步產生檢查資料；暫時記憶電路17，其係針對各個記憶格(Memory cell)而設置，放入寫入資料及檢查資料；及寫入電路13、14、15，其係依據寫入命令啟動，將所記憶的寫入資料及檢查資料寫入記憶區內。

日文發明摘要（發明之名稱："フラッシュメモリ"）

【課題】フラッシュメモリの内部で自動的に誤り訂正処理を行わせ、従来の誤り訂正回路を搭載しないフラッシュメモリと互換性を持たせる。

【解決手段】メモリセクタと、外部からの命令を受けて制御信号を発生するインターフェイス3と、書き込み命令信号によって活性化され、制御信号を発生する回路7と、書き込みデータ入力命令信号によって活性化され、外部から入力される第1の信号に同期して外部から入力される書き込みデータを受け取り、書き込み命令によって活性化され、制御信号に同期して検査データを発生する誤り訂正回路11と、各々のメモリセルに対して設けられ、書き込みデータあるいは検査データを取り込んで一時記憶する回路17と、書き込み命令によって活性化され、記憶されている書き込みデータと検査データをメモリセクタに書き込む回路13、14、15とを具備する。

六、申請專利範圍

1. 一種快閃記憶體，係由以下部分所構成：

記憶區，其係由數個快閃記憶格所構成；

命令介面，其係接受外部的寫入資料輸入命令，產生寫入資料輸入命令信號，接受外部的寫入命令，產生寫入命令信號；

第一信號緩衝器，其係接收外部所輸入的第一信號；

控制信號產生電路，其係依據前述的寫入命令信號啟動，產生控制信號；

資料輸入緩衝器，其係依據前述的寫入資料輸入命令信號啟動，與前述第一信號同步接收外部所輸入的寫入資料；

錯誤訂正電路，其係依據前述的寫入資料輸入命令信號啟動，與前述的第一信號同步接收前述的寫入資料，依據前述的寫入命令啟動，與前述的控制信號同步產生用於訂正錯誤的檢查資料；

位址緩衝器，其係接收外部所輸入的位址資料；

位址信號產生電路，其係依據前述的寫入資料輸入命令信號啟動，並依據與前述第一信號同步，依據前述位址資料及按照事先所決定的順序產生位址信號，依據前述寫入命令信號啟動，與前述的控制信號同步，按照事先所決定的順序產生位址信號；

數個資料記憶電路，其係分別針對各個記憶格設置，分別接受所分配的位址信號，暫時記憶數個資料，放入前述的寫入資料及檢查資料；及

六、申請專利範圍

寫入手段，其係依據前述的寫入命令啟動，將暫時記憶在前述數個資料記憶電路內的寫入資料及檢查資料寫入前述的記憶格內。

2. 如申請專利範圍第1項之快閃記憶體，還具有依據前述寫入命令信號，將忙碌信號輸出至外部的忙碌信號輸出電路。

3. 一種快閃記憶體，係由以下部分所構成：

記憶區，其係由數個快閃記憶格所構成；

記憶格陣列，其係由數個前述的記憶區所構成；

產生控制信號的控制信號產生電路；

第一信號緩衝器，其係接收外部所輸入的第一信號；

位址緩衝器，其係接收外部所輸入的位址資料；

位址信號產生電路，其係與前述控制信號同步，按照事先所決定的順序產生位址信號，並與前述第一信號同步，依據前述位址資料，按照事先所決定的順序產生位址信號；

讀出手段，其係依據前述位址資料，選擇前述記憶格陣列中的記憶區，從選擇的記憶區內各個記憶格中讀出資料；

數個資料記憶電路，其係分別對各個記憶格設置，暫時記憶分別從所選擇之記憶區所對應的記憶格讀出的資料，分別接受所分配的位址信號，輸出從暫時記憶的記憶格所讀出的資料；

資料輸出緩衝器，其係與前述第一信號同步，將前

六、申請專利範圍

述數個資料記憶電路所輸出之記憶格中讀出的資料輸出至外部；及

錯誤訂正電路，其係與前述控制信號同步，接收從前述數個資料記憶電路輸出之記憶格讀出的資料，並與前述第一信號同步，判斷從前述資料輸出緩衝器所輸出的資料是否錯誤，並加以訂正。

4. 如申請專利範圍第3項之快閃記憶體，還具有命令介面，其係接受外部的狀態讀出命令，產生狀態讀出命令信號；及狀態輸出手段，其係依據前述狀態讀出命令信號啟動，藉由前述的資料輸出緩衝器，輸出從記憶格所讀出的資料有無錯誤。
5. 如申請專利範圍第4項之快閃記憶體，前述的錯誤訂正電路，可以訂正從記憶格所讀出之資料中的數個資料，前述狀態輸出手段可以輸出錯誤的數量。
6. 如申請專利範圍第4項之快閃記憶體，前述的錯誤訂正電路，可以訂正從記憶格所讀出之資料中的 n 個($n \geq 1$)資料，可以檢測 $(n+1)$ 個存在的錯誤，前述的狀態輸出手段可以輸出能否執行錯誤訂正。
7. 如申請專利範圍第3項之快閃記憶體，還具有忙碌信號輸出電路，其係在從記憶格讀出資料及前述錯誤訂正電路接收從記憶格所讀出之資料的期間，持續將忙碌信號輸出至外部。
8. 一種快閃記憶體，係由以下部分所構成：
記憶區，其係由數個快閃記憶格所構成；

六、申請專利範圍

記憶格陣列，其係由數個前述記憶區所構成；

命令介面，其係接受外部的訂正讀出命令，產生訂正讀出命令信號；

控制信號產生電路，其係依據前述訂正讀出命令信號啟動，產生控制信號；

第一信號緩衝器，其係接收外部所輸入的第一信號；

位址緩衝器，其係接收外部所輸入的位址資料；

位址信號產生電路，其係與前述第一信號同步，依據前述位址資料，並按照事先所決定的順序產生位址信號，並依據前述訂正讀出命令信號啟動，與前述控制信號同步，並按照事先所決定的順序產生位址信號；

讀出手段，其係依據前述位址資料，選擇前述記憶格陣列中的記憶區，從選擇的記憶區內各個記憶格中讀出資料；

數個資料記憶電路，其係分別對各個記憶格設置，暫時記憶分別從所選擇之記憶區所對應的記憶格讀出的資料，分別接受所分配的位址信號，輸出從暫時記憶的記憶格所讀出的資料；

資料輸出緩衝器，其係與前述第一信號同步，將前述數個資料記憶電路所輸出之記憶格中讀出的資料輸出至外部；及

錯誤訂正電路，其係與前述第一信號同步，接收從前述數個資料記憶電路輸出之記憶格讀出的資料，並與前述控制信號同步，接收從前述數個資料記憶電路

六、申請專利範圍

輸出之記憶格讀出的資料，判斷從記憶格所讀出的資料是否錯誤，若有錯誤時，可以指出發生錯誤的資料。

9. 如申請專利範圍第8項之快閃記憶體，還具有狀態輸出手段，其係前述的命令介面接受外部的狀態讀出命令，產生狀態讀出命令信號，再依據前述狀態讀出命令信號啟動，藉由前述的資料輸出緩衝器來輸出從記憶格所讀出之資料有無錯誤。
10. 如申請專利範圍第9項之快閃記憶體，前述的錯誤訂正電路，可以訂正從記憶格所讀出之資料中的數個資料，前述狀態輸出手段可以輸出錯誤的數量。
11. 如申請專利範圍第9項之快閃記憶體，前述的錯誤訂正電路，可以訂正從記憶格所讀出之資料中的 n 個($n \geq 1$)資料，可以檢測 $(n+1)$ 個存在的錯誤，前述的狀態輸出手段可以輸出能否執行錯誤訂正。
12. 如申請專利範圍第8項之快閃記憶體，還具有忙碌信號輸出電路，其係在從記憶格讀出資料的期間，向外部輸出忙碌信號，而且依據前述訂正讀出命令信號，將忙碌信號輸出至外部。
13. 一種快閃記憶體，係由以下部分所構成：
 - 記憶區，其係由數個快閃記憶格所構成；
 - 命令介面，其係接受外部的寫入資料輸入命令，產生寫入資料輸入命令信號，接受外部的寫入命令，產生寫入命令信號；
 - 第一信號緩衝器，其係接收外部所輸入的第一信號；

六、申請專利範圍

控制信號產生電路，其係依據前述的寫入命令信號啓動，產生控制信號；

資料輸入緩衝器，其係依據前述的寫入資料輸入命令信號啓動，與前述第一信號同步接收外部所輸入的寫入資料；

錯誤訂正電路，其係依據前述的寫入資料輸入命令信號啓動，與前述的第一信號同步接收前述的寫入資料，依據前述的寫入命令啓動，與前述的控制信號同步產生用於訂正錯誤的檢查資料；

數個資料記憶電路，其係分別針對各個記憶格設置，與前述第一信號及前述控制信號同步，暫時記憶數個資料，放入前述的寫入資料及檢查資料；及

寫入手段，其係依據前述的寫入命令啓動，將暫時記憶在前述數個資料記憶電路內的寫入資料及檢查資料寫入前述的記憶格內。

14. 如申請專利範圍第13項之快閃記憶體，還具有依據前述寫入命令信號，將忙碌信號輸出至外部的忙碌信號輸出電路。

15. 一種快閃記憶體，係由以下部分所構成：

記憶區，其係由數個快閃記憶格所構成；

記憶格陣列，其係由數個前述的記憶區所構成；

產生控制信號的控制信號產生電路；

第一信號緩衝器，其係接收外部所輸入的第一信號；

位址緩衝器，其係接收外部所輸入的位址資料；

六、申請專利範圍

讀出手段，其係依據前述位址資料選擇前述記憶格陣列中的記憶區，從所選擇之記憶區內各個記憶格讀出資料；

數個資料記憶電路，其係分別對各個記憶格設置，暫時記憶分別從所選擇之記憶區所對應的記憶格讀出的資料，與前述控制信號及前述第一信號同步，輸出從暫時記憶的記憶格所讀出的資料；

資料輸出緩衝器，其係與前述第一信號同步，將前述數個資料記憶電路所輸出之記憶格中讀出的資料輸出至外部；及

錯誤訂正電路，其係與前述控制信號同步，接收從前述數個資料記憶電路輸出之記憶格讀出的資料，並與前述第一信號同步，判斷從前述資料輸出緩衝器所輸出的資料是否錯誤，並加以訂正。

16. 如申請專利範圍第15項之快閃記憶體，還具有命令介面，其係接受外部的狀態讀出命令，產生狀態讀出命令信號；及狀態輸出手段，其係依據前述狀態讀出命令信號啟動，藉由前述的資料輸出緩衝器，輸出從記憶格所讀出的資料有無錯誤。
17. 如申請專利範圍第16項之快閃記憶體，前述的錯誤訂正電路，可以訂正從記憶格所讀出之資料中的數個資料，前述狀態輸出手段可以輸出錯誤的數量。
18. 如申請專利範圍第16項之快閃記憶體，前述的錯誤訂正電路，可以訂正從記憶格所讀出之資料中的 n 個($n \geq 1$)

六、申請專利範圍

資料，可以檢測 $(n+1)$ 個存在的錯誤，前述的狀態輸出手段可以輸出能否執行錯誤訂正。

19. 如申請專利範圍第15項之快閃記憶體，還具有忙碌信號輸出電路，其係在從記憶格讀出資料及前述錯誤訂正電路接收從記憶格所讀出之資料的期間，持續將忙碌信號輸出至外部。

20. 一種快閃記憶體，係由以下部分所構成：

記憶區，其係由數個快閃記憶格所構成；

記憶格陣列，其係由數個前述記憶區所構成；

命令介面，其係接受外部的訂正讀出命令，產生訂正讀出命令信號；

控制信號產生電路，其係依據前述訂正讀出命令信號啟動，產生控制信號；

第一信號緩衝器，其係接收外部所輸入的第一信號；

位址緩衝器，其係接收外部所輸入的位址資料；

讀出手段，其係依據前述位址資料，選擇前述記憶格陣列中的記憶區，從選擇的記憶區內各個記憶格中讀出資料；

數個資料記憶電路，其係分別對各個記憶格設置，暫時記憶分別從所選擇之記憶區所對應的記憶格讀出的資料，與第一信號及前述控制信號同步，輸出從暫時記憶之記憶格所讀出的資料；

資料輸出緩衝器，其係與前述第一信號同步，將前述數個資料記憶電路所輸出之記憶格中讀出的資料輸

六、申請專利範圍

出至外部；及

錯誤訂正電路，其係與前述第一信號同步，接收從前述數個資料記憶電路輸出之記憶格讀出的資料，並與前述控制信號同步，接收從前述數個資料記憶電路輸出之記憶格讀出的資料，判斷從記憶格所讀出的資料是否錯誤，若有錯誤時，可以指出發生錯誤的資料。

21. 如申請專利範圍第20項之快閃記憶體，還具有狀態輸出手段，其係前述的命令介面接受外部的狀態讀出命令，產生狀態讀出命令信號，再依據前述狀態讀出命令信號啟動，藉由前述的資料輸出緩衝器來輸出從記憶格所讀出之資料有無錯誤。
22. 如申請專利範圍第21項之快閃記憶體，前述的錯誤訂正電路，可以訂正從記憶格所讀出之資料中的數個資料，前述狀態輸出手段可以輸出錯誤的數量。
23. 如申請專利範圍第21項之快閃記憶體，前述的錯誤訂正電路，可以訂正從記憶格所讀出之資料中的 n 個($n \geq 1$)資料，可以檢測 $(n+1)$ 個存在的錯誤，前述的狀態輸出手段可以輸出能否執行錯誤訂正。
24. 如申請專利範圍第20項之快閃記憶體，還具有忙碌信號輸出電路，其係在從記憶格讀出資料的期間，向外部輸出忙碌信號，而且依據前述訂正讀出命令信號，將忙碌信號輸出至外部。
25. 一種快閃記憶體，係由以下部分所構成：
記憶區，其係由數個快閃記憶格所構成；

六、申請專利範圍

信號緩衝器，其係接收外部所輸入的第一信號，在第一期間輸出第一控制信號；

控制信號產生電路，其係在與前述第一期間不同的第二期間內，自動的產生第二控制信號；

資料輸入緩衝器，其係與前述第一信號同步接收從外部所輸入的寫入資料；

錯誤訂正電路，其係與前述第一控制信號同步接收前述寫入資料，與前述第二控制信號同步產生用於訂正錯誤的檢查資料；

數個資料記憶電路，其係分別對各個記憶格設置，與前述第一控制信號及前述第二控制信號同步，暫時記憶數個資料，放入前述的寫入資料及檢查資料；及

寫入手段，其係將暫時記憶在前述數個資料記憶電路中的寫入資料及檢查資料寫入前述的記憶區內。

26. 如申請專利範圍第25項之快閃記憶體，還具有在前述第二期間，向外部輸出忙碌信號的忙碌信號輸出電路。

27. 一種快閃記憶體，係由以下部分所構成：

記憶區，其係由數個快閃記憶格所構成；

記憶格陣列，其係由數個前述的記憶區所構成；

控制信號產生電路，其係在第一期間，自動產生第一控制信號；

信號緩衝器，其係接收外部所輸入的第一信號，在與前述第一期間不同的第二期間內，輸出第二控制信號；

位址緩衝器，其係接收外部輸入的位址資料；

六、申請專利範圍

讀出手段，其係依據前述位址資料，選擇前述記憶格陣列中的記憶區，從選擇的記憶區內各個記憶格中讀出資料；

數個資料記憶電路，其係分別對各個記憶格設置，暫時記憶分別從所選擇之記憶區所對應的記憶格讀出的資料，與第一控制信號及前述第二控制信號同步，輸出從暫時記憶之記憶格所讀出的資料；

資料輸出緩衝器，其係與前述第二信號同步，將前述數個資料記憶電路所輸出之記憶格中讀出的資料輸出至外部；及

錯誤訂正電路，其係與前述第一控制信號同步，接收從前述數個資料記憶電路輸出之記憶格讀出的資料，並與前述第二信號同步，判斷前述資料輸出緩衝器所輸出的資料是否錯誤，並加以訂正。

28. 如申請專利範圍第27項之快閃記憶體，還具有命令介面，其係接受外部的狀態讀出命令，產生狀態讀出命令信號；及狀態輸出手段，其係依據前述狀態讀出命令信號啟動，藉由前述的資料輸出緩衝器，輸出從記憶格所讀出的資料有無錯誤。
29. 如申請專利範圍第28項之快閃記憶體，前述的錯誤訂正電路，可以訂正從記憶格所讀出之資料中的數個資料，前述狀態輸出手段可以輸出錯誤的數量。
30. 如申請專利範圍第28項之快閃記憶體，前述的錯誤訂正電路，可以訂正從記憶格所讀出之資料中的 n 個($n \geq 1$)

六、申請專利範圍

資料，可以檢測(n+1)個存在的錯誤，前述的狀態輸出手段可以輸出能否執行錯誤訂正。

31. 如申請專利範圍第27項之快閃記憶體，還具有忙碌信號輸出電路，其係在從記憶格讀出資料及前述錯誤訂正電路接收從記憶格所讀出之資料的期間，持續將忙碌信號輸出至外部。

32. 一種快閃記憶體，係由以下部分所構成：

記憶區，其係由數個快閃記憶格所構成；

記憶格陣列，其係由數個前述的記憶區所構成；

信號緩衝器，其係接收外部所輸入的第一信號，在第一期間輸出第一控制信號；

控制信號產生電路，其係在與第一期間不同的第二期間，自動產生第二控制信號；

位址緩衝器，其係接收外部輸入的位址資料；

讀出手段，其係依據前述位址資料，選擇前述記憶格陣列中的記憶區，從選擇的記憶區內各個記憶格中讀出資料；

數個資料記憶電路，其係分別對各個記憶格設置，暫時記憶分別從所選擇之記憶區所對應的記憶格讀出的資料，與前述第一控制信號及前述第二控制信號同步，輸出從暫時記憶之記憶格所讀出的資料；

資料輸出緩衝器，其係與前述第一信號同步，將前述數個資料記憶電路所輸出之記憶格中讀出的資料輸出至外部；及

六、申請專利範圍

錯誤訂正電路，其係與前述第一控制信號同步，接收從前述數個資料記憶電路輸出之記憶格讀出的資料，並與前述第二控制信號同步，接收從前述數個資料記憶電路輸出之記憶格讀出的資料，判斷從記憶格讀出的資料是否錯誤，若有錯誤時，可以指出發生錯誤的資料。

33. 如申請專利範圍第32項之快閃記憶體，還具有命令介面，其係接受外部的狀態讀出命令，產生狀態讀出命令信號；及狀態輸出手段，其係依據前述狀態讀出命令信號啟動，藉由前述的資料輸出緩衝器，輸出從記憶格所讀出的資料有無錯誤。
34. 如申請專利範圍第33項之快閃記憶體，前述的錯誤訂正電路，可以訂正從記憶格所讀出之資料中的數個資料，前述狀態輸出手段可以輸出錯誤的數量。
35. 如申請專利範圍第33項之快閃記憶體，前述的錯誤訂正電路，可以訂正從記憶格所讀出之資料中的 n 個($n \geq 1$)資料，可以檢測 $(n+1)$ 個存在的錯誤，前述的狀態輸出手段可以輸出能否執行錯誤訂正。
36. 如申請專利範圍第32項之快閃記憶體，還具有忙碌信號輸出電路，其係在從記憶格讀出資料的期間，將忙碌信號輸出至外部，並在前述第二期間，將忙碌信號輸出至外部。
37. 一種快閃記憶體，係由以下部分所構成：
記憶區，其係由數個快閃記憶格所構成；

六、申請專利範圍

忙碌信號輸出電路，其係將忙碌信號輸出至外部；

資料輸入緩衝器，其係接收寫入外部輸入之各個記憶格內的寫入資料；

數個資料記憶電路，其係可以記憶 n 位元之暫時記憶的前述寫入資料；及

錯誤訂正電路，其係接收 m_1 位元($m_1 < n$)的寫入資料，產生 m_2 位元($m_1 + m_2 < n$)的檢查資料，產生前述 m_2 位元的檢查資料後，接收 m_3 位元($m_1 + m_2 + m_3 < n$)的寫入資料，產生 m_4 位元($m_1 + m_2 + m_3 + m_4 \leq n$)的檢查資料；

其中， m_2 位元的檢查資料在 m_1 位元的寫入資料輸入至前述數個資料記憶電路內後，輸入至前述數個資料記憶電路內暫時記憶； m_4 位元的檢查資料在 m_3 位元的寫入資料輸入至前述數個資料記憶電路內後，輸入至前述數個資料記憶電路內暫時記憶；暫時記憶在前述數個資料記憶電路內之 m_1 與 m_3 位元的寫入資料及 m_2 與 m_4 位元的檢查資料，在 m_4 位元的檢查資料暫時記憶在前述數個資料記憶電路內後，寫入前述的記憶區內；

前述錯誤訂正電路在產生前述 m_2 位元的檢查資料時，將前述忙碌信號輸出電路所輸出的忙碌信號輸出至外部。

38. 一種快閃記憶體，係由以下部分所構成：

記憶區，其係由數個快閃記憶格所構成；

忙碌信號輸出電路，其係將忙碌信號輸出至外部；及

錯誤訂正電路，其係讀出從前述記憶區所讀出的資

六、申請專利範圍

料，指出錯誤讀出的資料；其中，在讀出從前述記憶區所讀出資料的期間及前述錯誤訂正電路指出錯誤讀出資料的期間，將忙碌信號持續從前述忙碌信號輸出電路輸出至外部。

39. 一種快閃記憶體，係由以下部分所構成：

記憶區，其係由數個快閃記憶格所構成；

資料緩衝器，其係將從前述記憶區所讀出之讀出資料輸出至外部；及

錯誤訂正電路，其係在輸出從前述資料緩衝器所讀出之資料的同時，輸入用於從讀出資料中指出錯誤讀出資料的讀出資料；

其中，前述的錯誤訂正電路，再度將從資料緩衝器所讀出之資料輸出至外部時，訂正錯誤的讀出資料。

40. 如申請專利範圍第39項之快閃記憶體，還具有將錯誤狀態輸出至外部的狀態輸出電路。

41. 如申請專利範圍第39項之快閃記憶體，還具有暫時記憶從前述記憶區所讀出之讀出資料的數個資料記憶電路。

42. 一種快閃記憶體，係由以下部分所構成：

記憶區，其係由數個快閃記憶格所構成；

寫入手段，其係將資訊資料及檢查資料寫入前述的記憶區內；

讀出手段，其係從前述的記憶區讀出前述資訊資料及前述檢查資料；及

六、申請專利範圍

錯誤訂正電路，其係從前述資訊資料產生前述檢查資料，並從前述資訊資料及前述檢查資料訂正前述資訊資料的錯誤；

其中，前述錯誤訂正電路將記憶在至少1個以上指定記憶格內之資訊資料轉換成事先所決定的虛擬資料，產生前述的檢查資料，將從前述指定記憶格所讀出的資訊資料轉換成前述的虛擬資料，訂正前述的資訊資料。

43. 一種快閃記憶體，係由以下部分所構成：

記憶區，其係由數個快閃記憶格所構成；

寫入手段，其係將指定的n位元資訊資料及檢查資料寫入前述的記憶區內；

讀出手段，其係從前述的記憶區讀出前述n位元資訊資料及前述檢查資料；及

錯誤訂正電路，其係從前述n位元資訊資料產生前述檢查資料，並從前述n位元資訊資料及前述檢查資料訂正前述n位元資訊資料的錯誤；

其中，前述錯誤訂正電路，有效附加從外部輸入之前述資訊資料於m位元($m < n$)時事先所決定($n - m$)位元的虛擬資料，作為資訊資料，產生前述的檢查資料。

44. 一種快閃記憶體，係由以下部分所構成：

記憶區，其係由數個快閃記憶格所構成；

寫入手段，其係將資訊資料及檢查資料寫入前述的記憶區內；

六、申請專利範圍

讀出手段，其係從前述的記憶區讀出前述資訊資料及前述檢查資料；

錯誤訂正電路，其係從前述資訊資料產生前述檢查資料，並從前述資訊資料及前述檢查資料訂正前述資訊資料的錯誤；及

開關電路，其係選擇訂正錯誤，將前述資訊資料輸出至外部，或是不訂正錯誤，而將前述資訊資料輸出至外部。

45. 一種快閃記憶體，係由以下部分所構成：

記憶區，其係由數個快閃記憶格所構成；

寫入手段，其係將資訊資料及檢查資料寫入前述的記憶區內；

讀出手段，其係從前述的記憶區讀出前述資訊資料及前述檢查資料；

錯誤訂正電路，其係從前述資訊資料產生前述檢查資料，並從前述資訊資料及前述檢查資料訂正前述資訊資料的錯誤；及

開關電路，其係選擇是否啟動前述的錯誤訂正電路。

46. 一種快閃記憶體，係由以下部分所構成：

記憶區，其係由數個快閃記憶格所構成；

記憶格陣列，其係由數個前述的記憶區所構成；

寫入手段，其係將資訊資料及檢查資料寫入前述的記憶區內；

讀出手段，其係從前述的記憶區讀出前述資訊資料

六、申請專利範圍

及前述檢查資料；

錯誤訂正電路，其係從前述資訊資料產生前述檢查資料，並從前述資訊資料及前述檢查資料訂正前述資訊資料的錯誤；及

讀出手段，其係在開啓電源的同時，自動讀出指定記憶區內的資料。

47. 一種快閃記憶體，係由以下部分所構成：

記憶區，其係由數個快閃記憶格所構成；

多值寫入手段，其係將第一資訊資料及第一檢查資料一個位元一個位元的寫入前述記憶區的各個記憶格內，之後，再將寫入的第一資訊資料及寫入的第一檢查資料與第二資訊資料及第二檢查資料一個位元一個位元的寫入前述記憶區的各個記憶格內，在1個記憶格內寫入2位元的資料；

多值讀出手段，其係從前述的記憶區讀出前述第一資訊資料及前述第一檢查資料，從前述記憶區讀出前述第二資訊資料及前述第二檢查資料；及

錯誤訂正電路，其係從前述第一資訊資料產生前述第一檢查資料，從前述第二資訊資料產生前述第二檢查資料，從前述第一資訊資料及前述第一檢查資料訂正前述第一資訊資料的錯誤，從前述第二資訊資料及前述第二檢查資料訂正前述第二資訊資料的錯誤；

其中，前述的錯誤訂正電路，係依據BCH符號來產生檢查資料及訂正錯誤。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

48. 一種快閃記憶體，係由以下部分所構成：

記憶區，其係由數個快閃記憶格所構成；

刪除電路，其係刪除前述記憶區，將所有記憶格內的資料變成"1"；

寫入手段，其係將資訊資料及檢查資料寫入前述的記憶區內；

讀出手段，其係從前述的記憶區讀出前述資訊資料及前述檢查資料；及

錯誤訂正電路，其係從前述資訊資料產生前述檢查資料，從前述資訊資料及前述檢查資料訂正前述資訊資料的錯誤；

其中，前述的錯誤訂正電路，從所有"1"的資訊資料產生所有"1"的檢查資料。

49. 一種快閃記憶體，係由以下部分所構成：

記憶區，其係由數個快閃記憶格所構成；

錯誤訂正電路，其係從外部所輸入的資訊資料產生用於訂正錯誤的檢查資料，從前述資訊資料及前述檢查資料訂正前述資訊資料的錯誤；

數個資料記憶電路，其係分別對各個記憶格設置；

寫入手段，其係將暫時記憶在前述數個資料記憶電路內的資訊資料及檢查資料寫入前述的記憶區內；

讀出手段，其係從前述的記憶區將前述資訊資料及前述檢查資料讀出至前述數個資料記憶電路上；及

輸出手段，其係將從記憶在前述數個資料記憶電路

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

六、申請專利範圍

上的記憶區所讀出的資訊資料及檢查資料輸出至外部。

50. 一種快閃記憶體，係由以下部分所構成：

記憶區，其係由數個快閃記憶格所構成；

錯誤訂正電路，其係從外部所輸入的資訊資料產生用於訂正錯誤的檢查資料，從前述資訊資料及前述檢查資料訂正前述資訊資料的錯誤；

數個資料記憶電路，其係分別對各個記憶格設置；

寫入手段，其係將暫時記憶在前述數個資料記憶電路內的資訊資料及檢查資料寫入前述的記憶區內；及

讀出手段，其係從前述的記憶區將前述資訊資料及前述檢查資料讀出至前述數個資料記憶電路上；

其中，在外部輸入資訊資料前，將記憶在前述數個資料記憶電路上的資料重設在指定的資料內。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

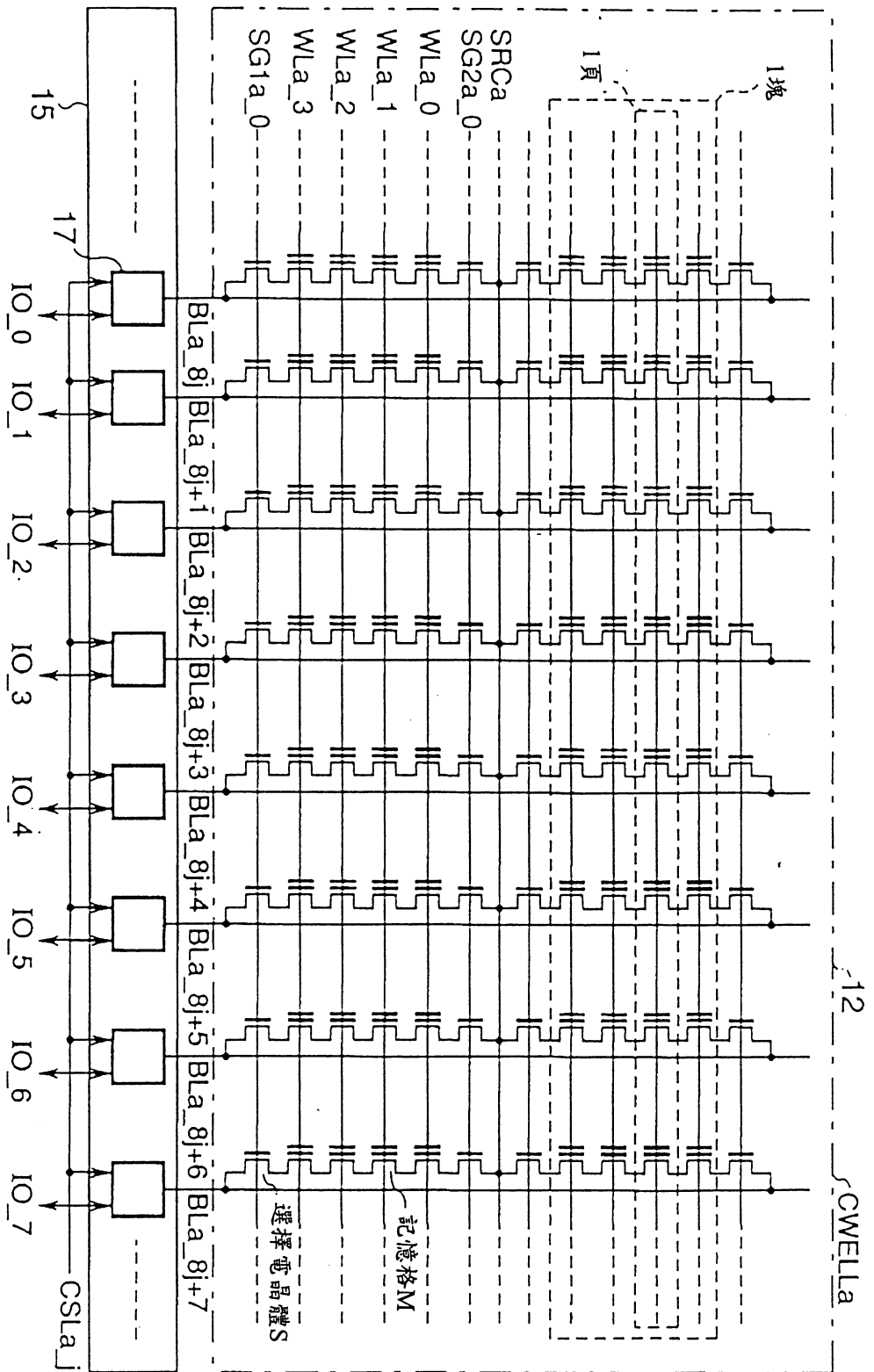


圖 2

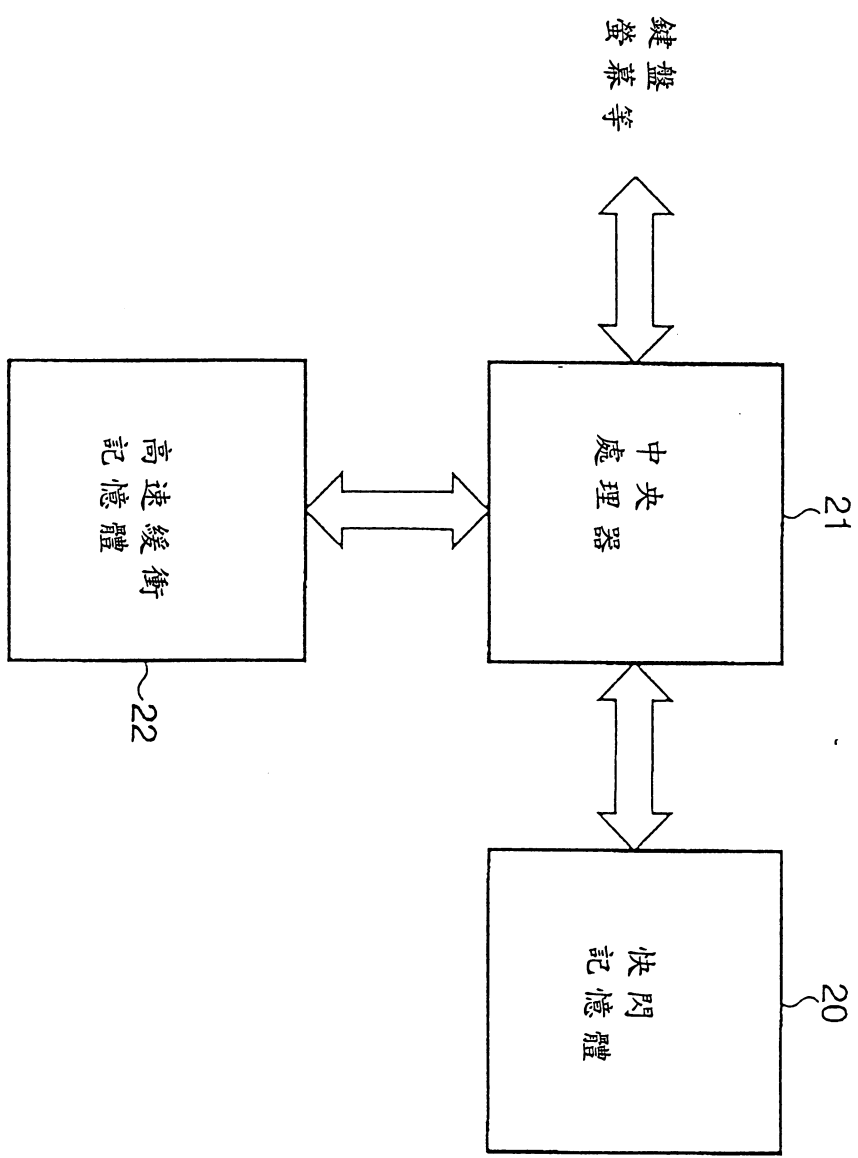


圖 3

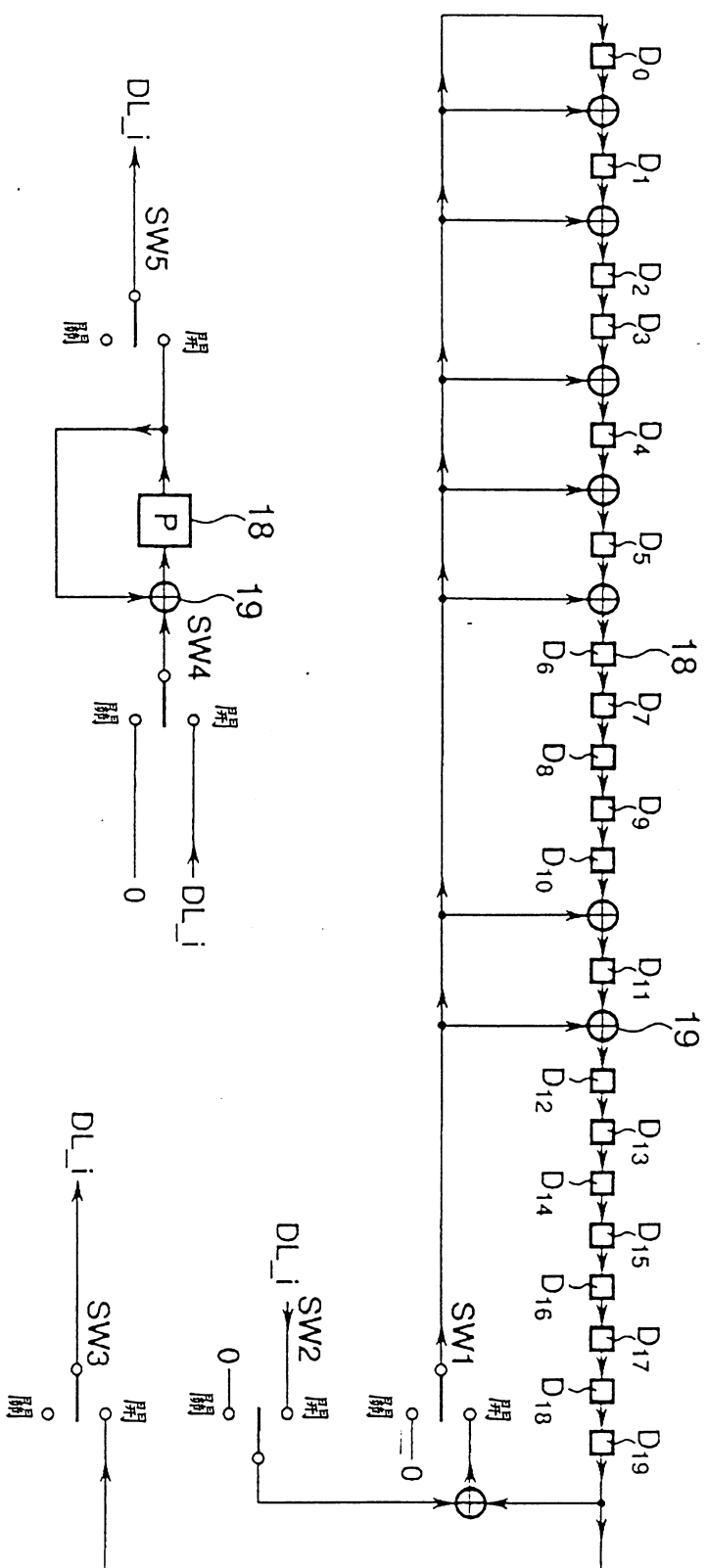
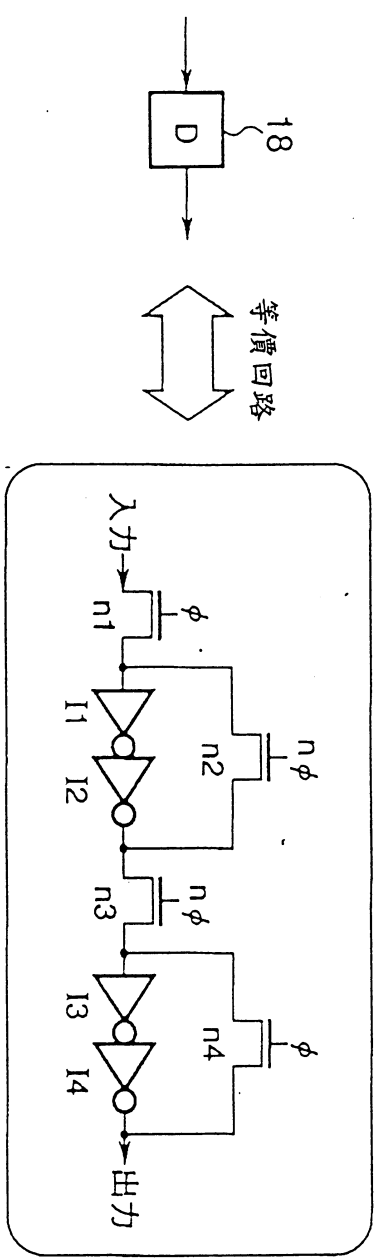
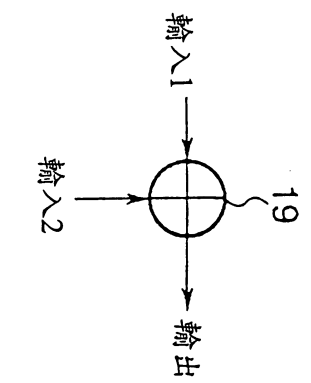


圖 4



(a)



輸入1	輸入2	輸出
1	1	0
1	0	1
0	1	1
0	0	0

(b)

圖 5

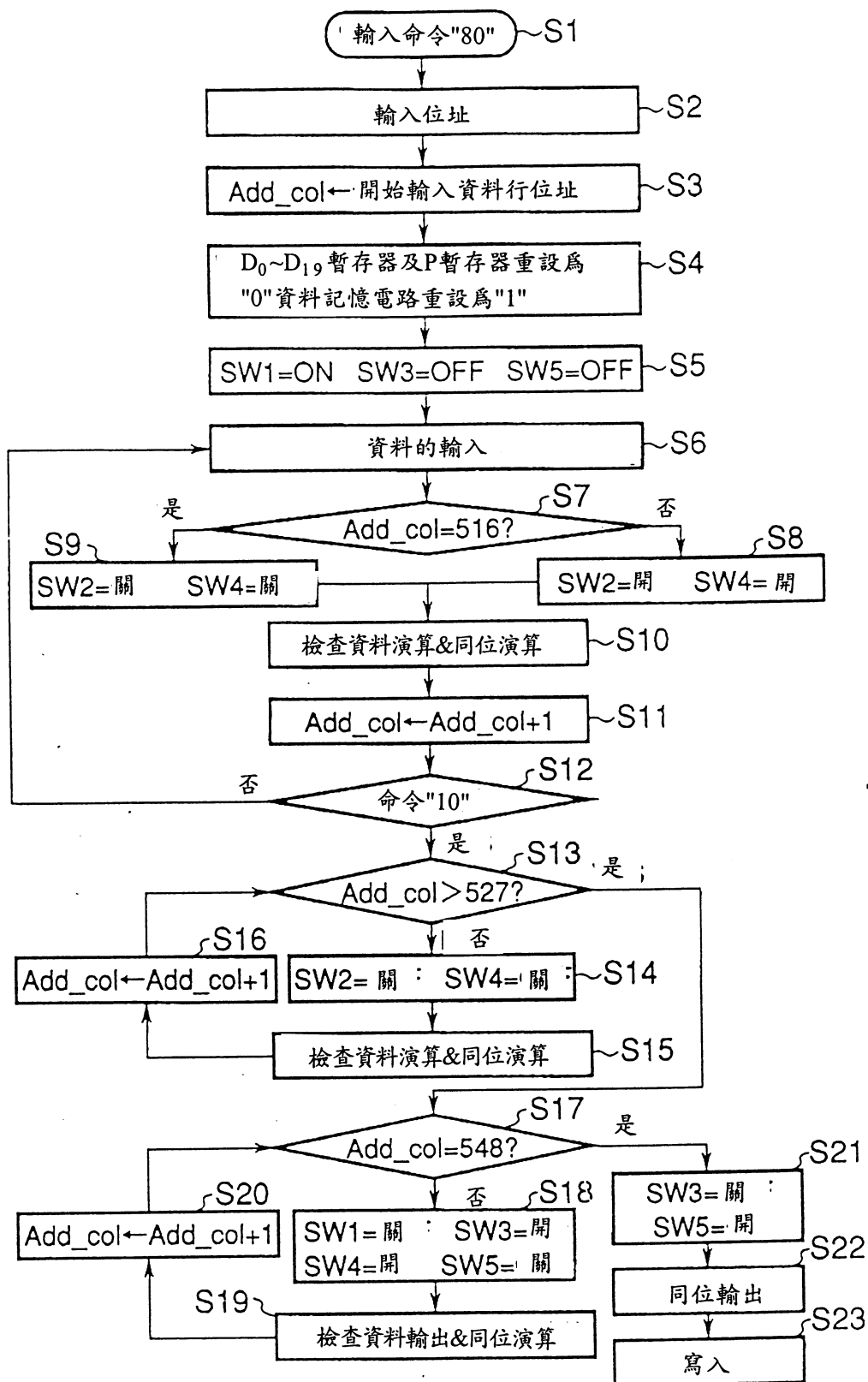


圖 6

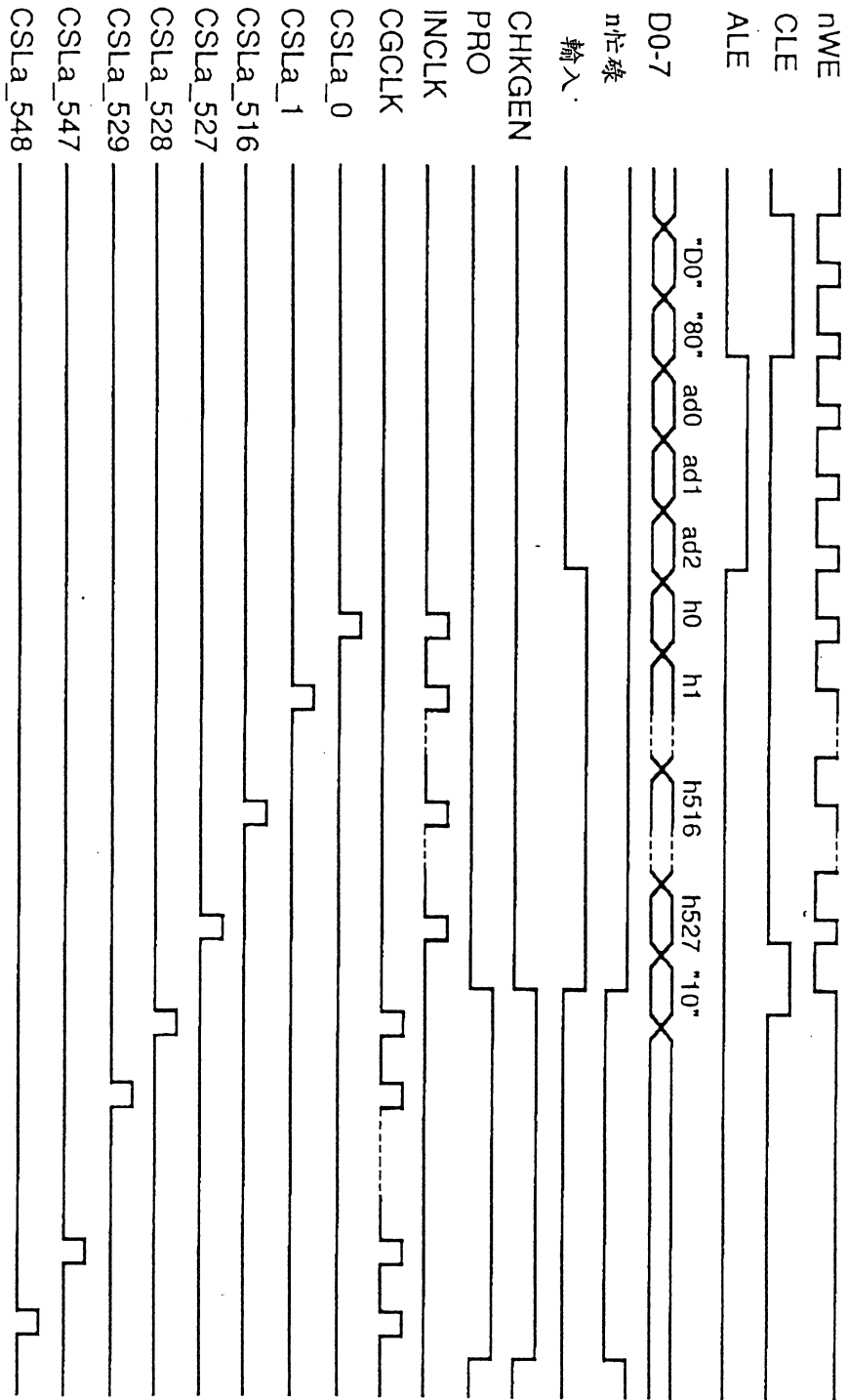


圖 7

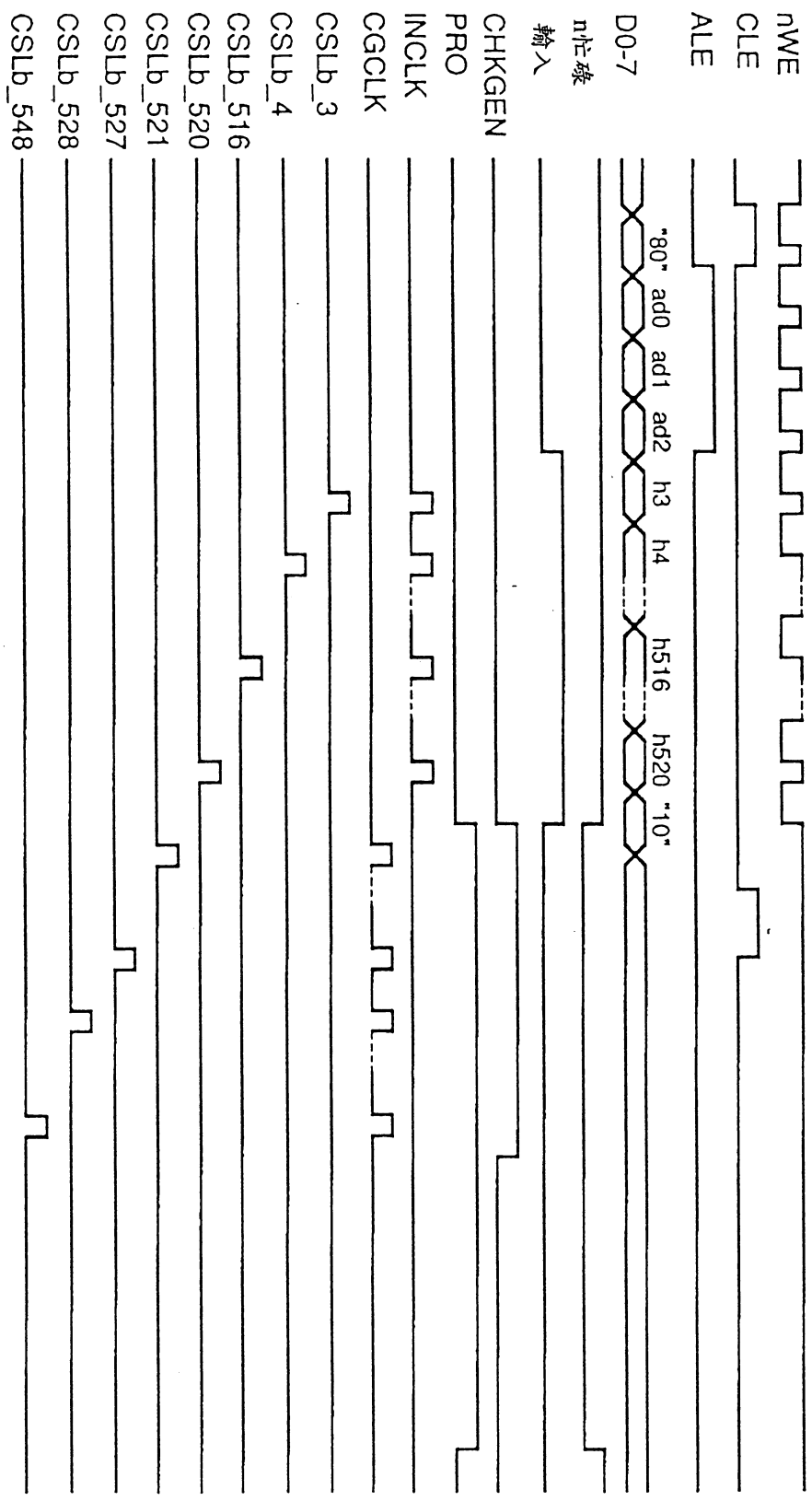


圖 8

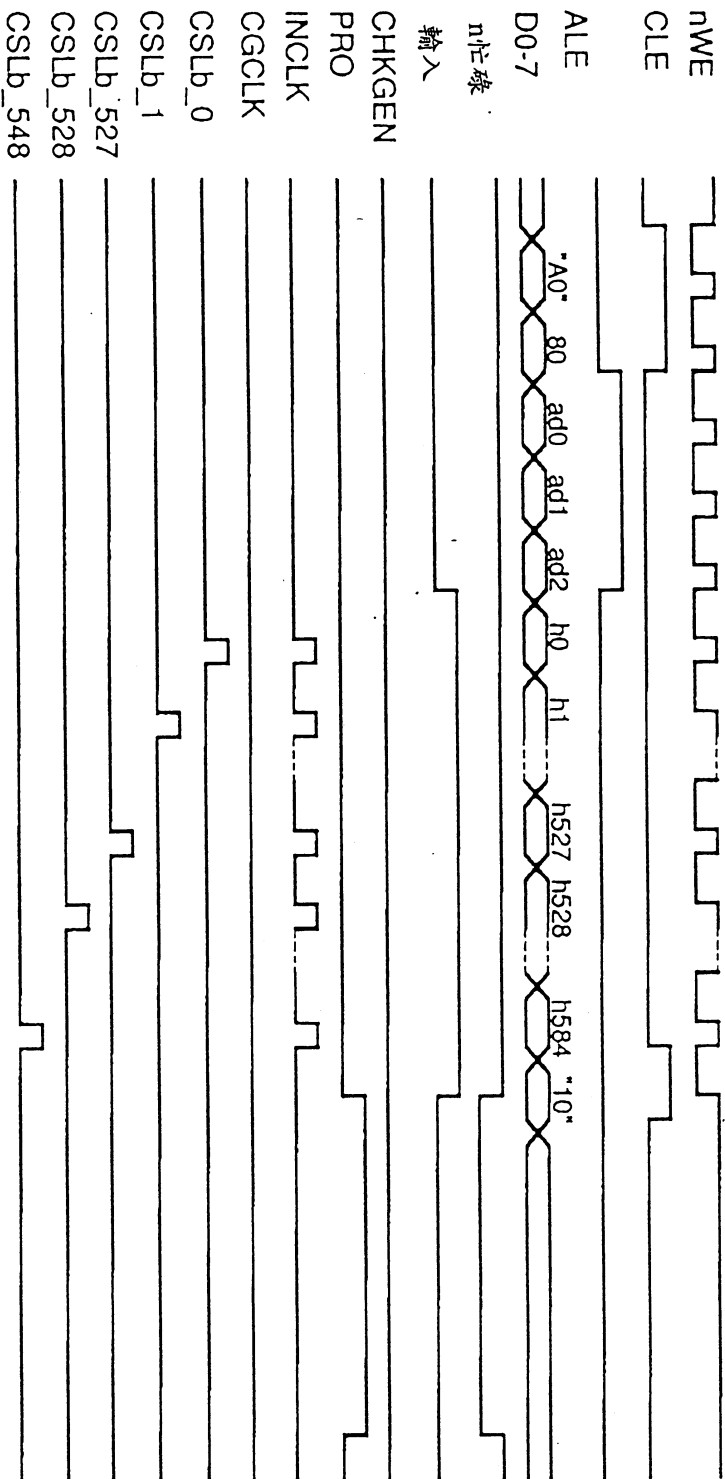


圖 9

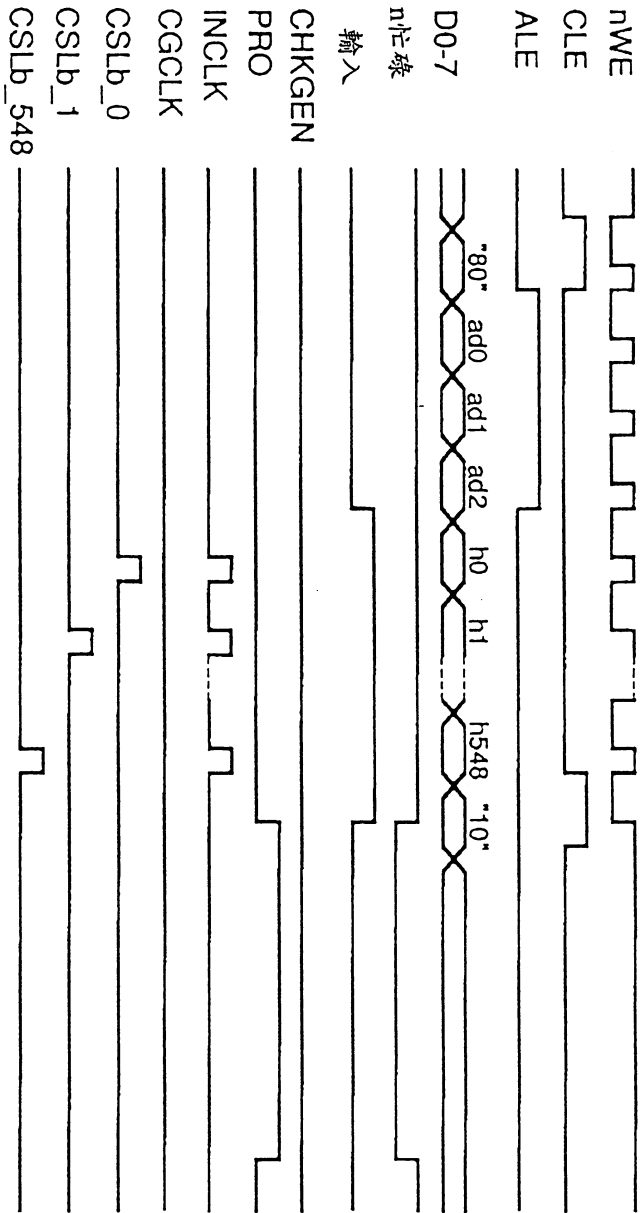


圖 10

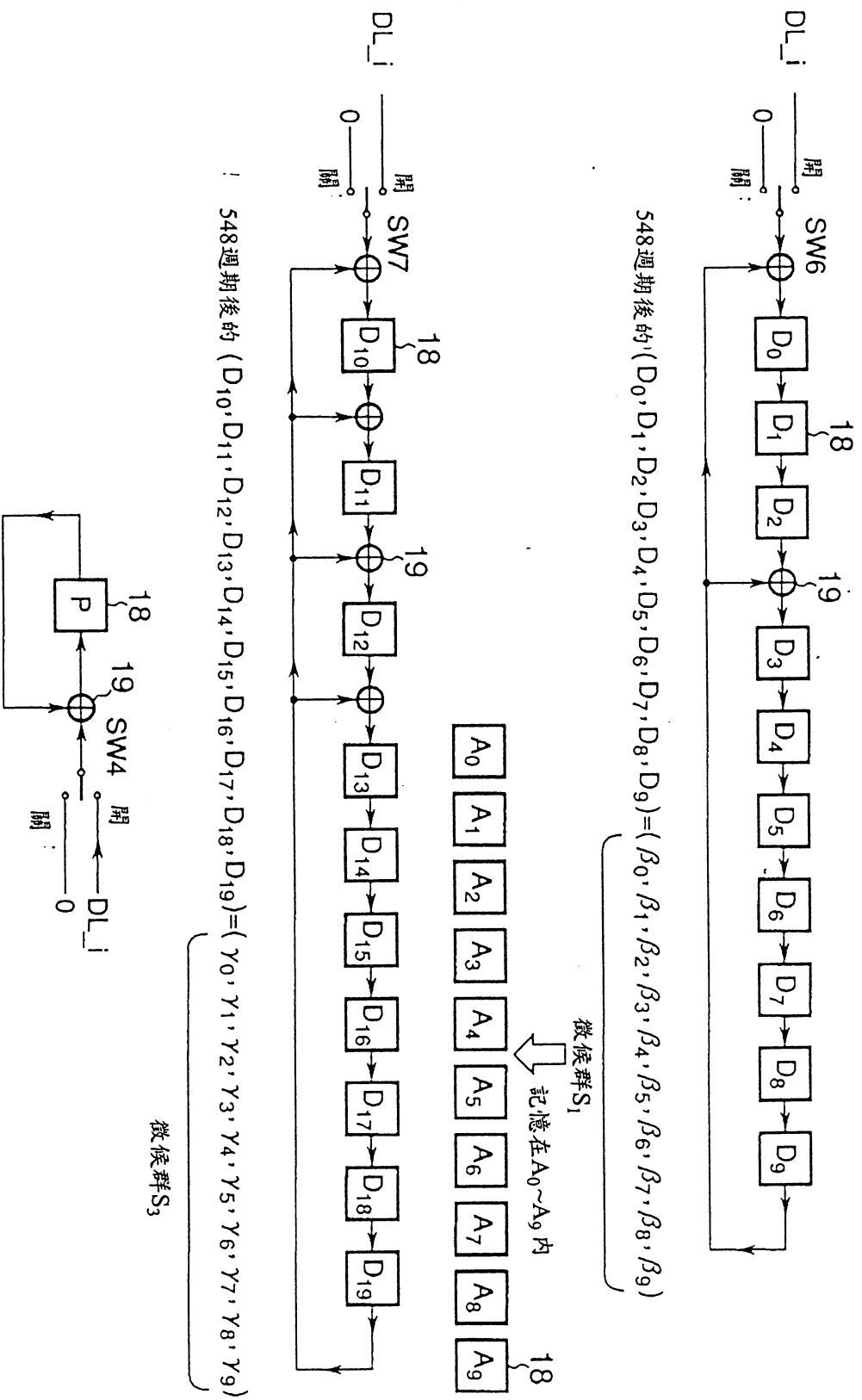


圖 11

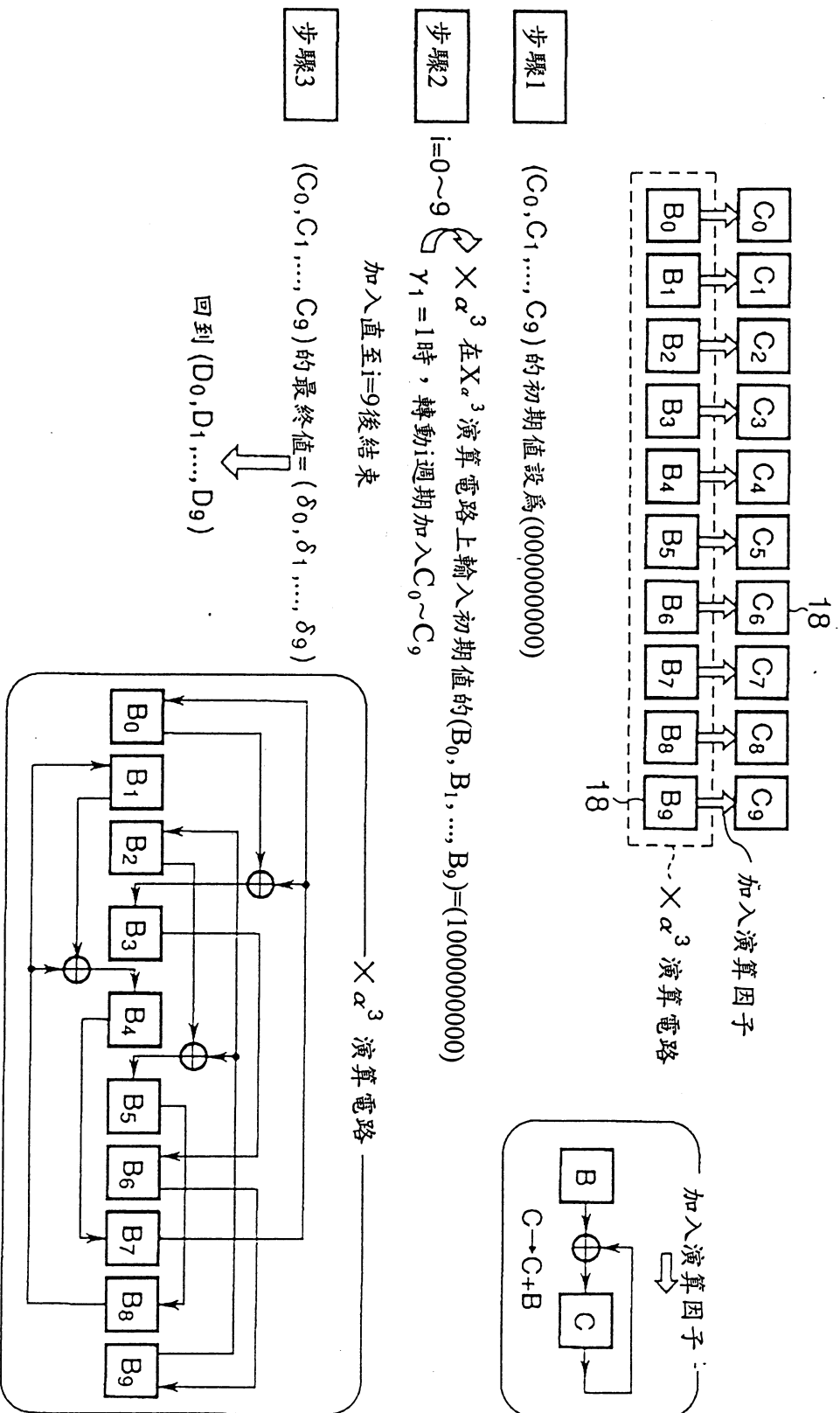


圖 12

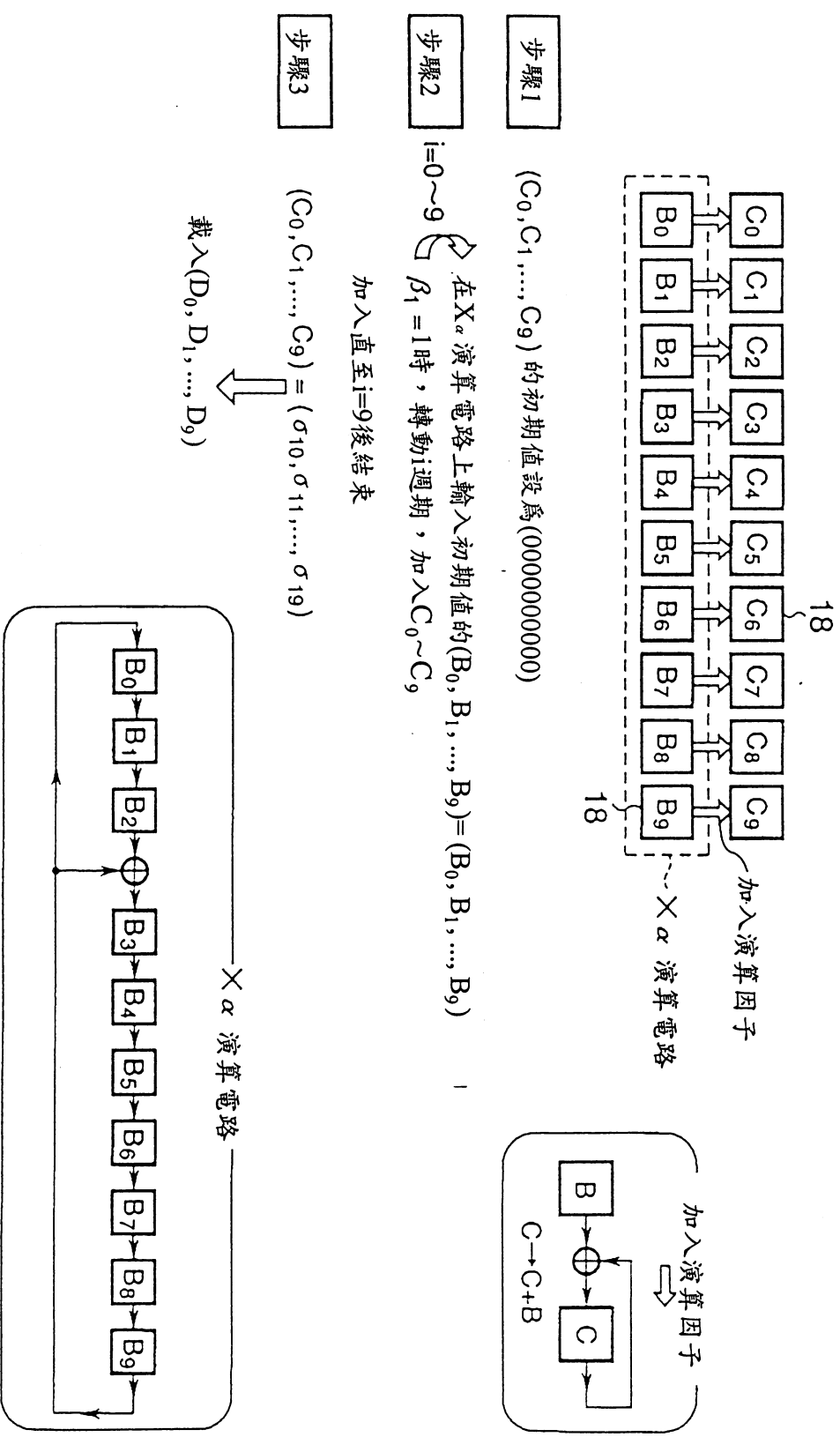


圖 13

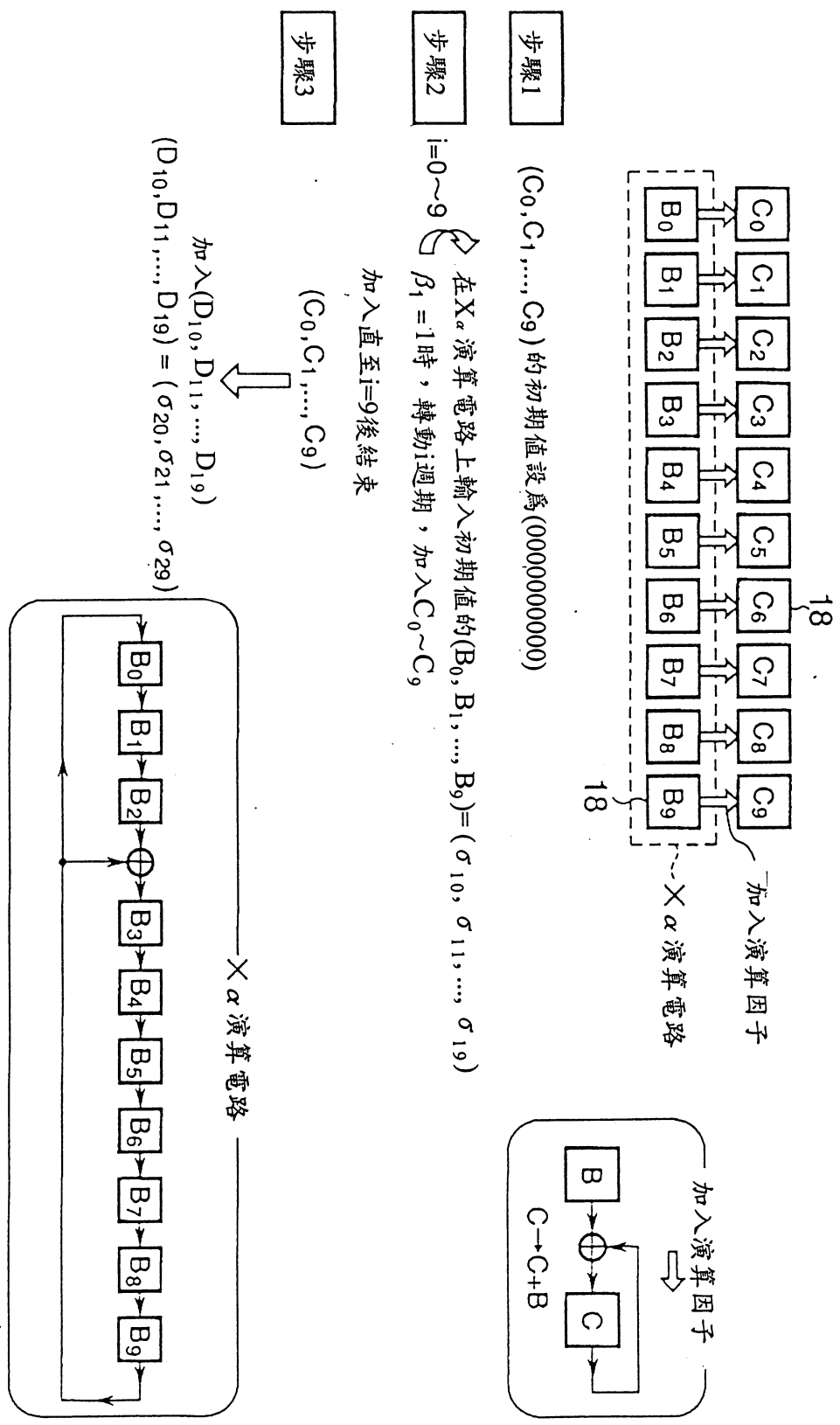


圖 14

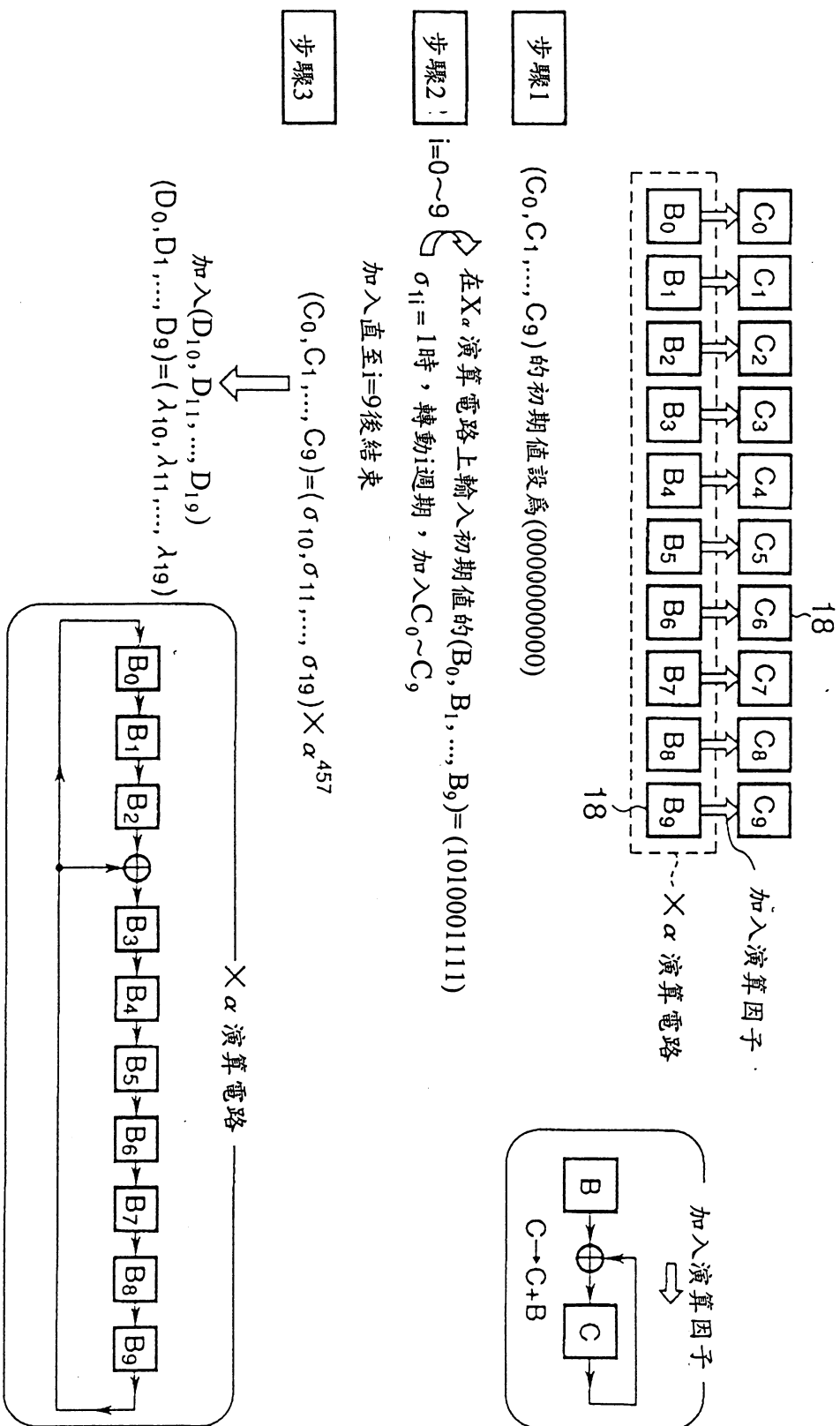
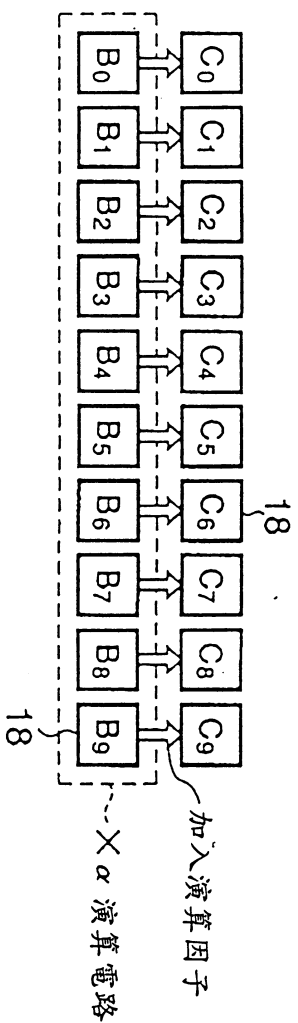
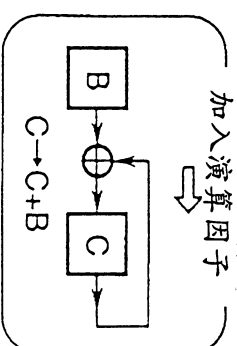


圖 15



步驟1

$(C_0, C_1, \dots, C_9)$ 的初期設為 (0000000000)



步驟2

$i=0 \sim 9$ 在 X_α 演算電路上輸入初期值的 $(B_0, B_1, \dots, B_9) = (1110111111)$
 $\sigma_{21} = 1$ 時，轉動 i 週期，加入 $C_0 \sim C_9$

加入直至 $i=9$ 後結束

步驟3

$(C_0, C_1, \dots, C_9) = (\sigma_{20}, \sigma_{21}, \dots, \sigma_{29}) \times \alpha^{950}$

載入 $(D_{10}, D_{11}, \dots, D_{19})$
 $(D_0, D_1, \dots, D_9) = (\lambda_{20}, \lambda_{21}, \dots, \lambda_{29})$

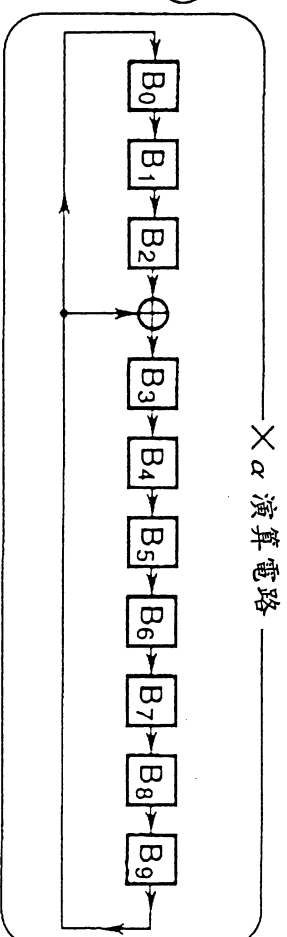


圖 16

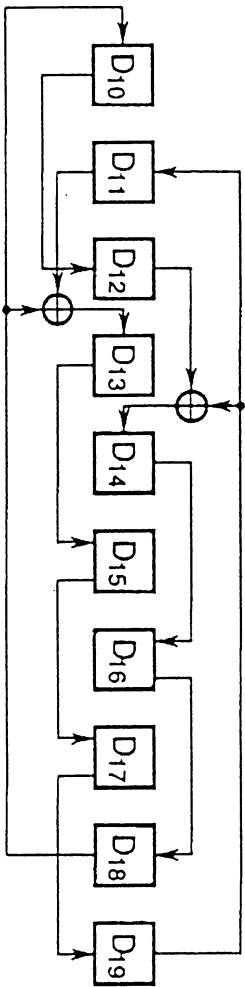
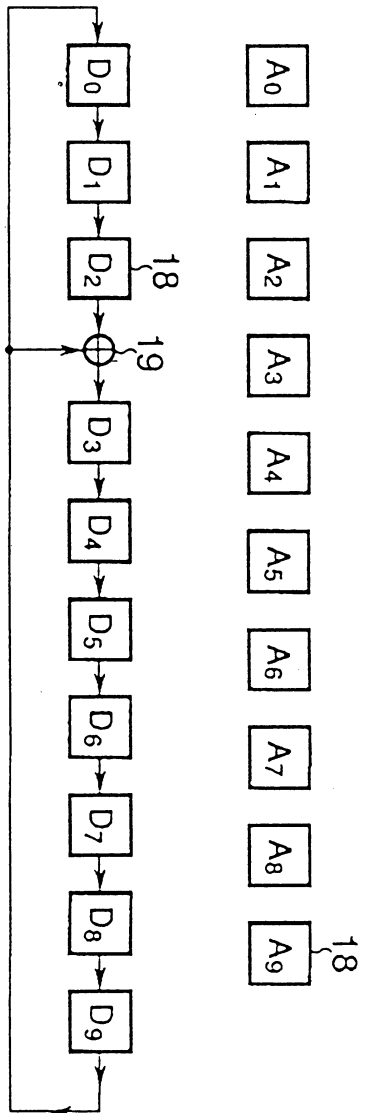


圖 17

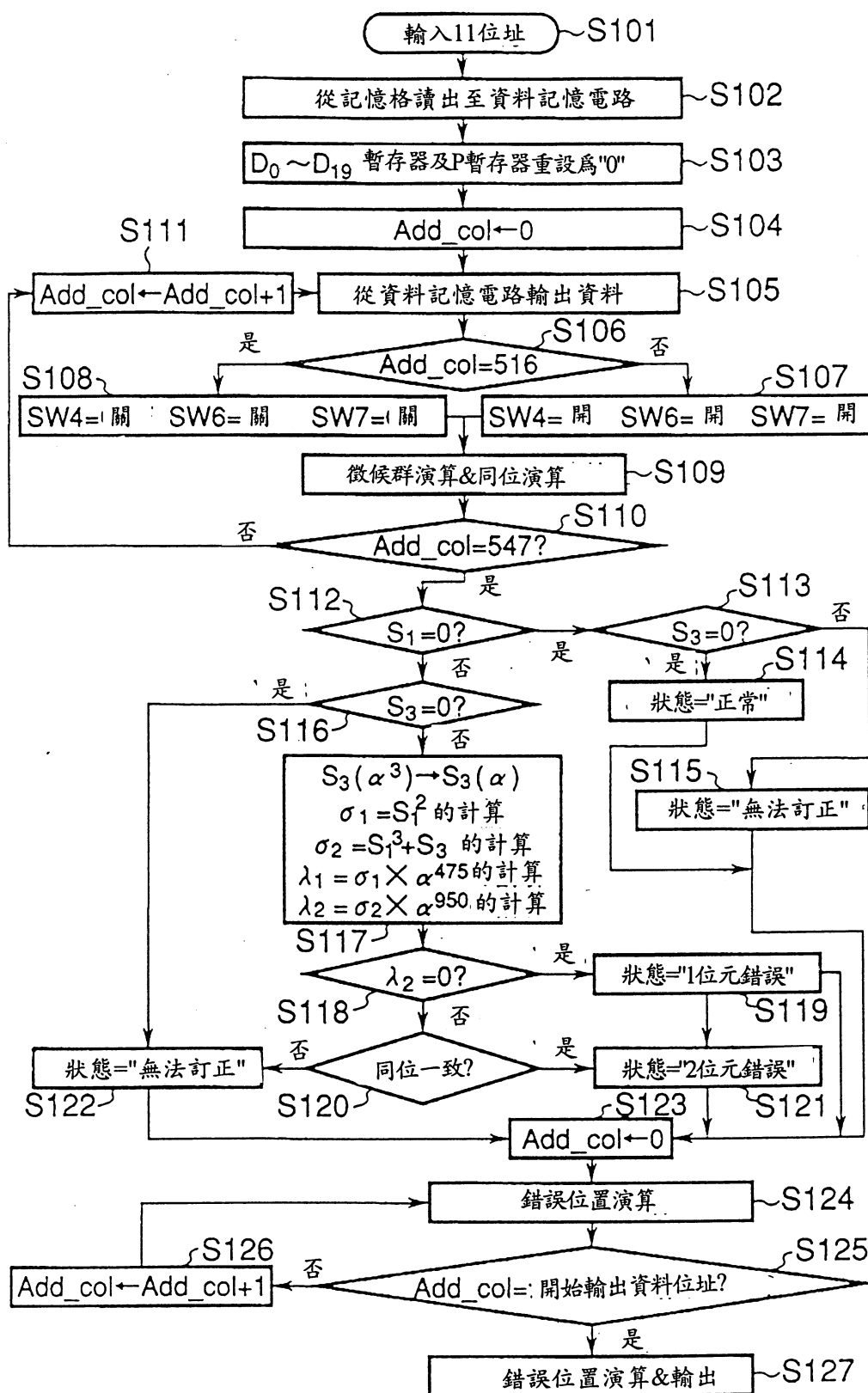


圖 18

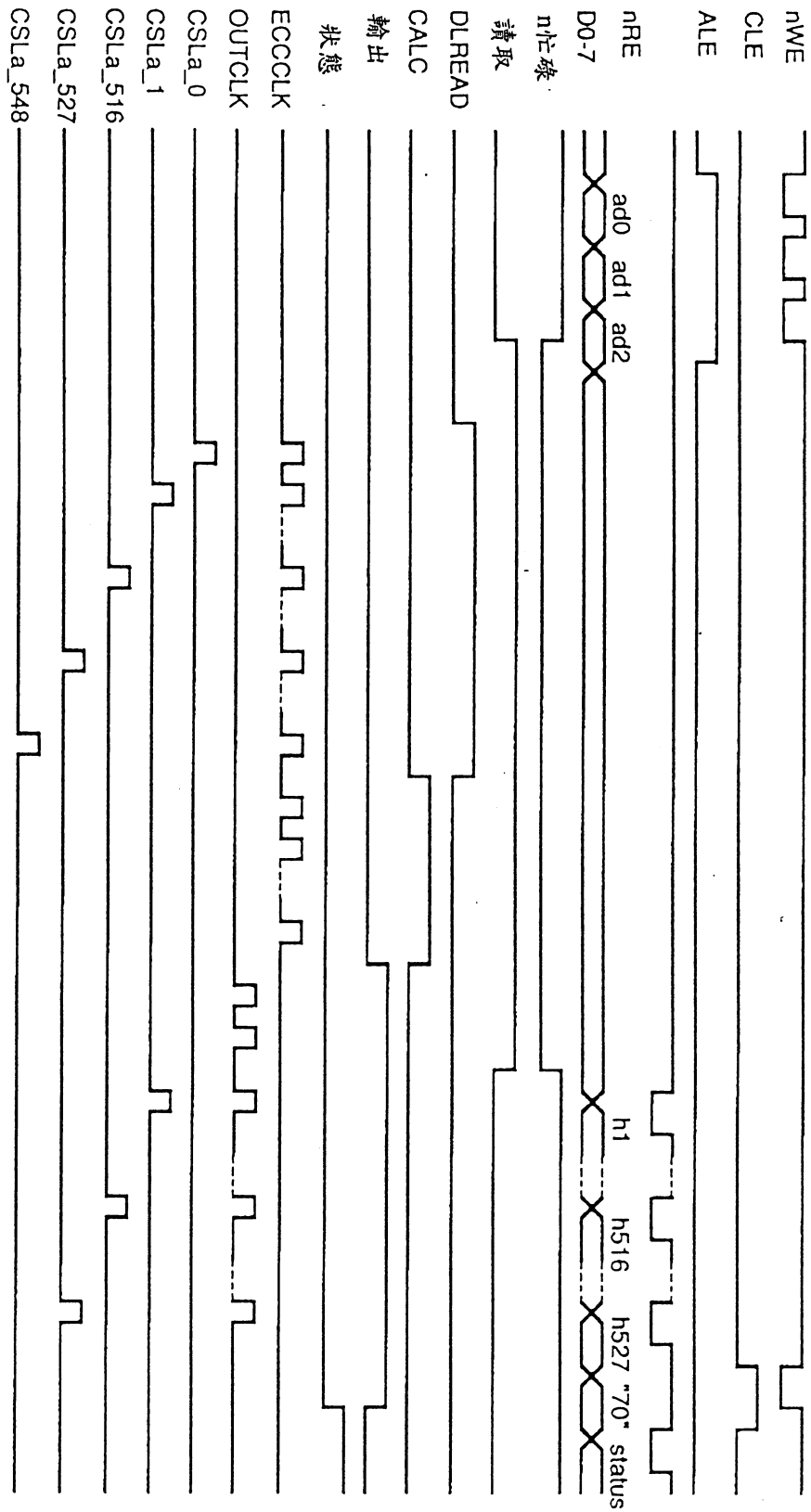


圖 19

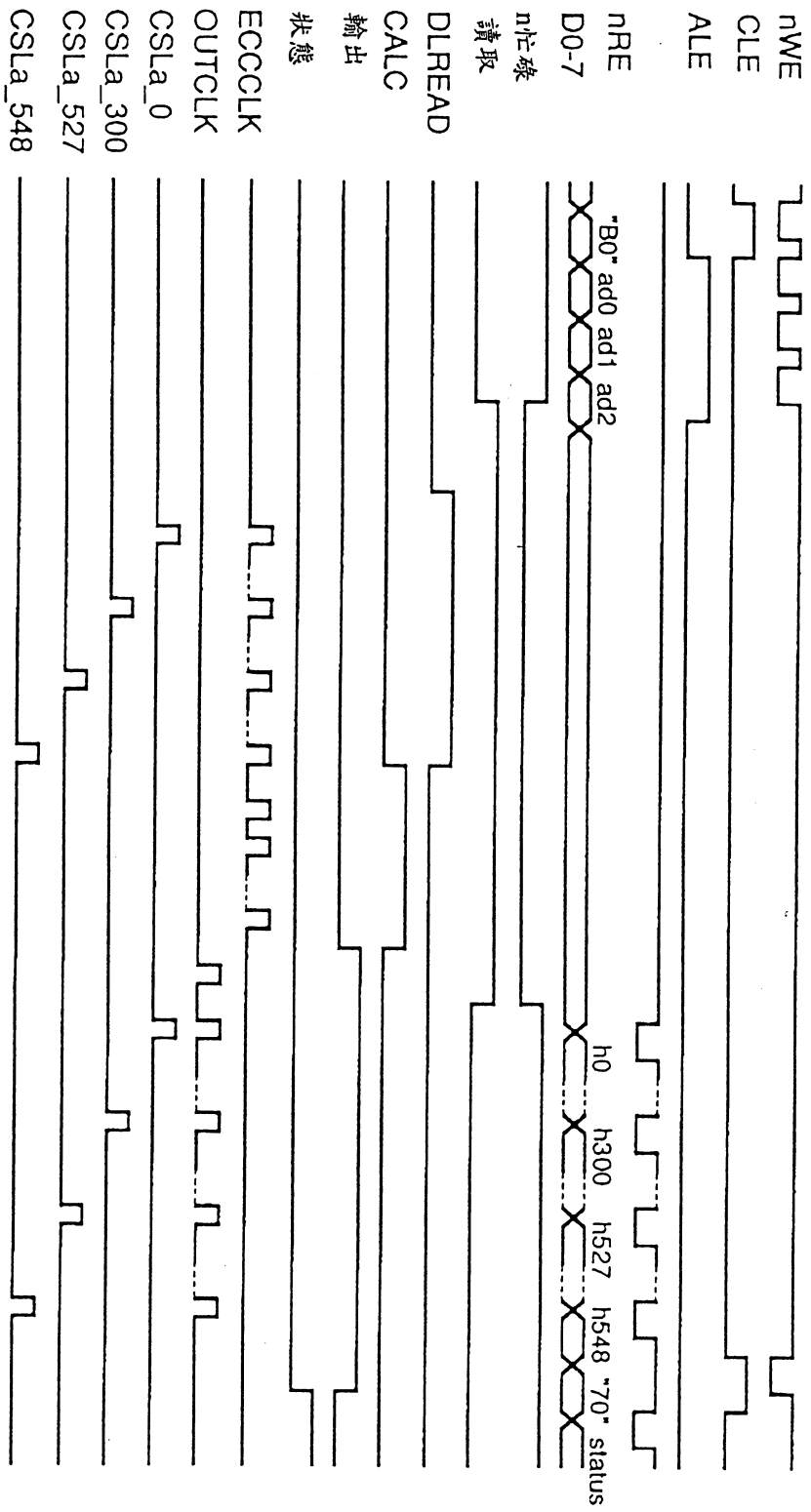


圖 20

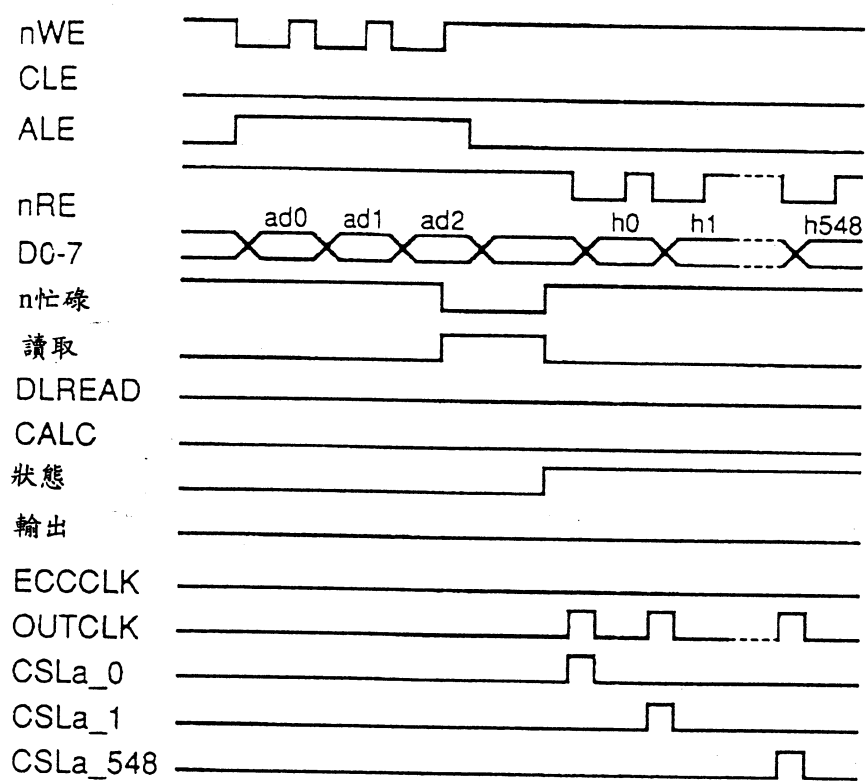


圖 21

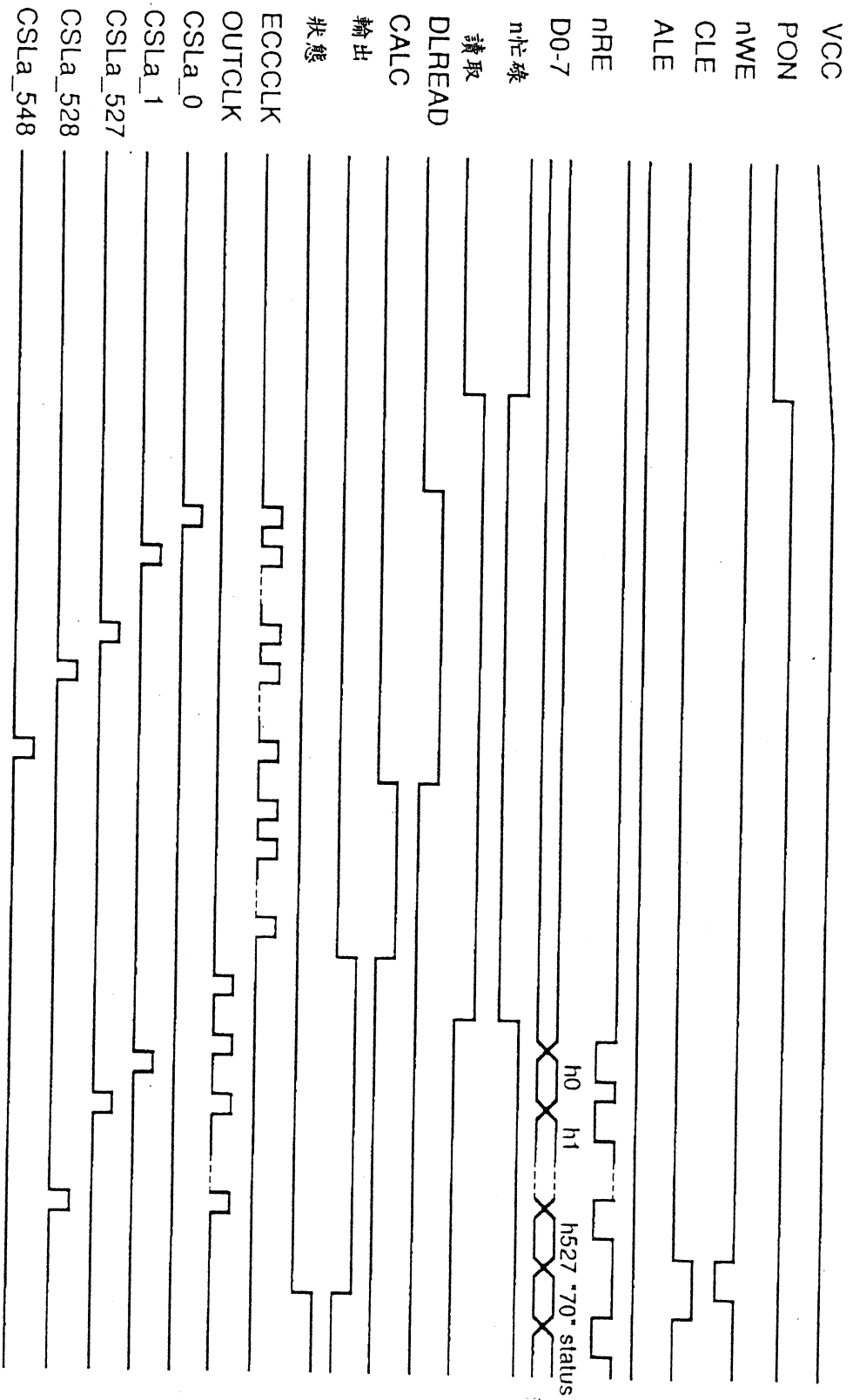


圖 22

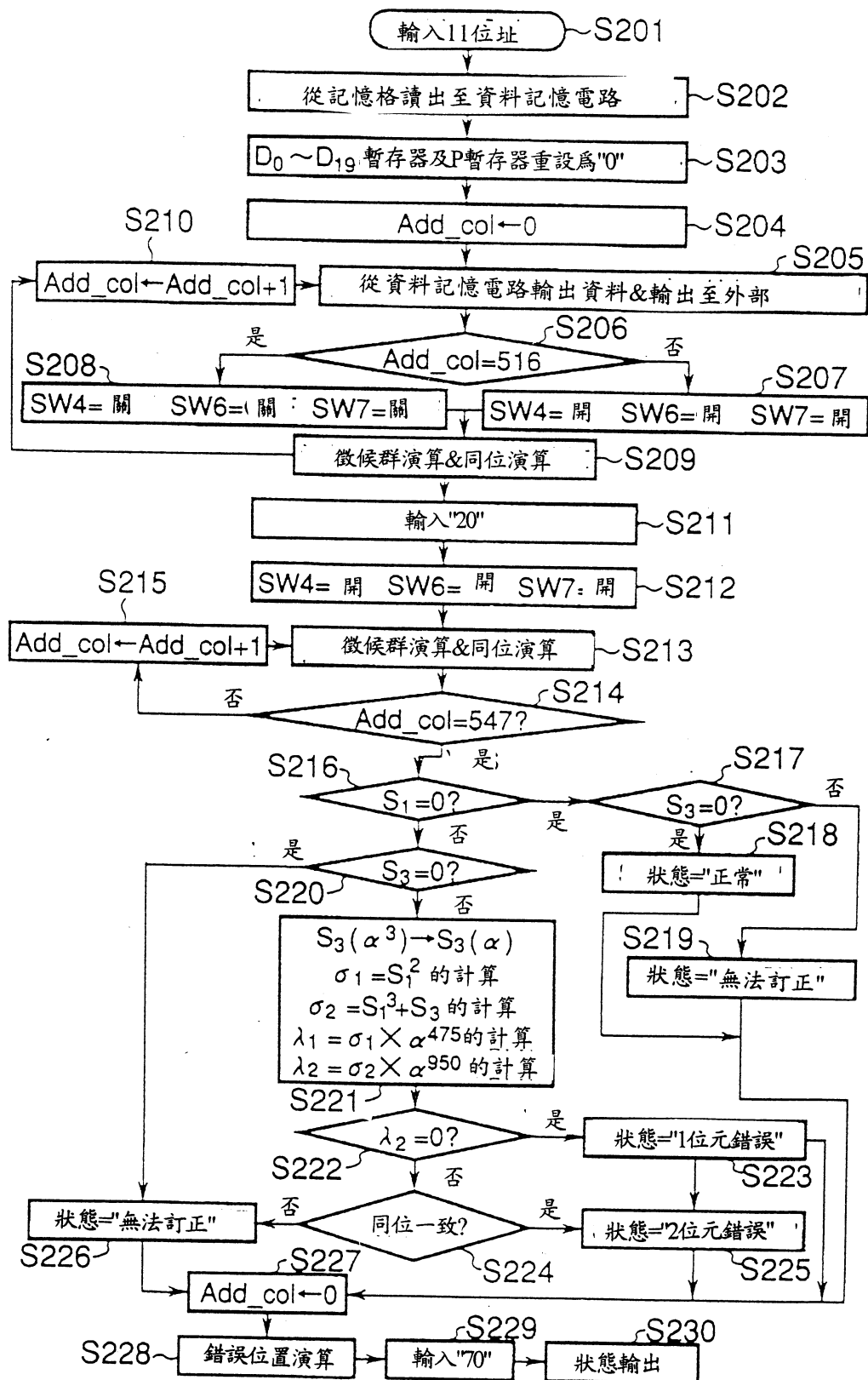


圖 23

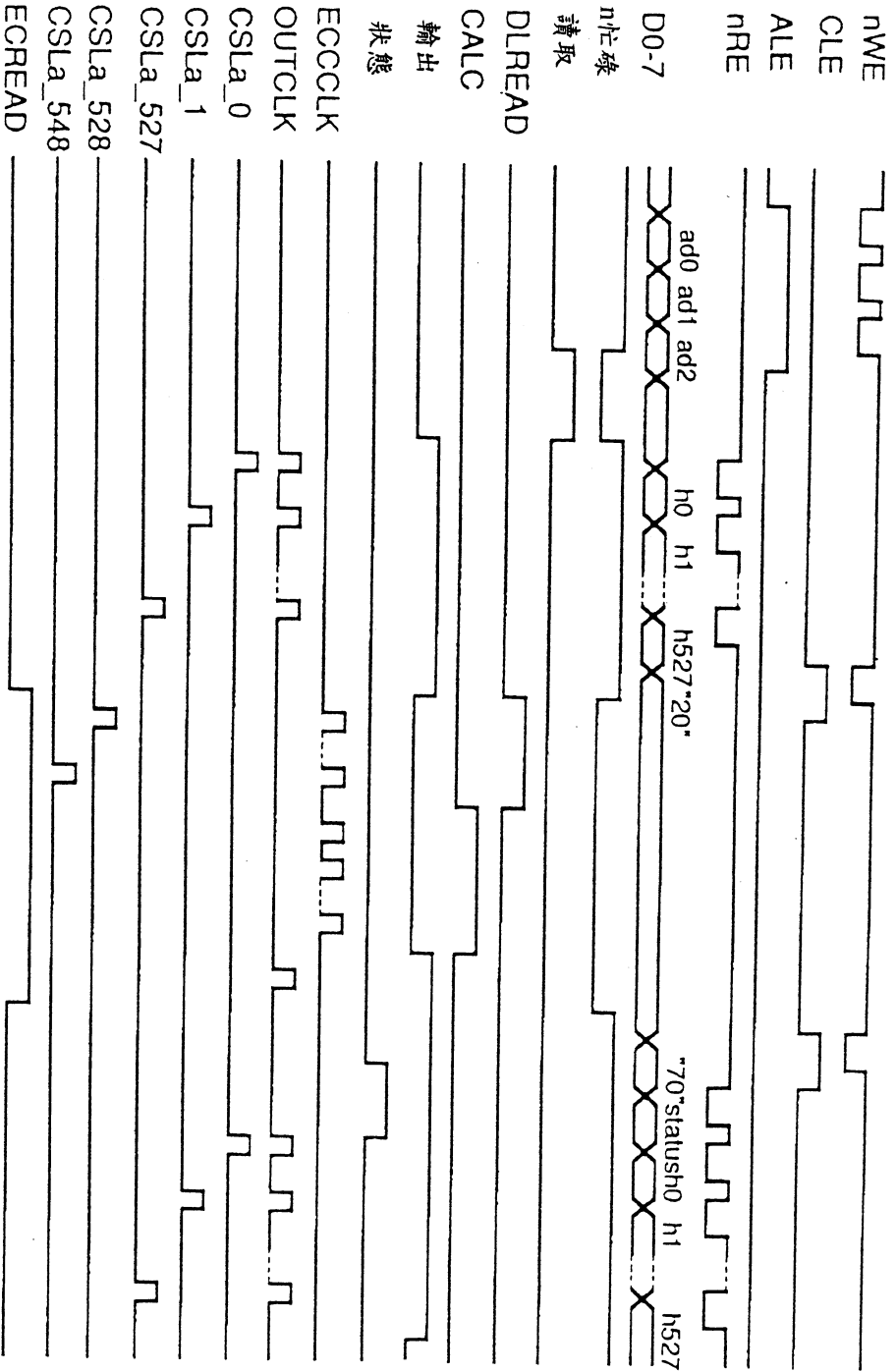


圖 24

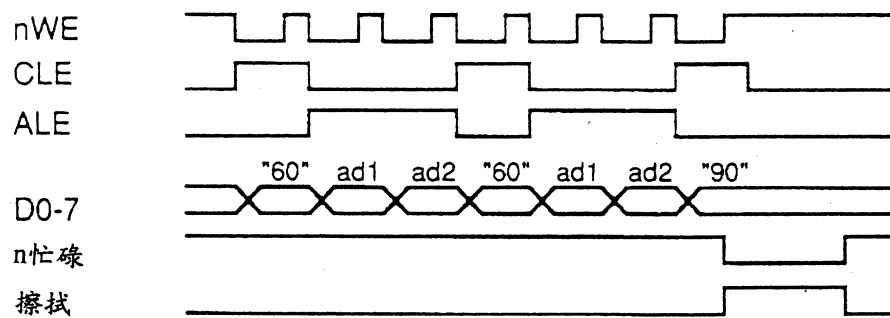


圖 25

五、發明說明 (23)

"H"的期間接收輸入的資料D0~D7，作為寫入資料。

此外，資料輸出輸入緩衝器5接受資料輸出命令信號OUTPUT，在晶片賦能信號nCE="L"時，於讀出賦能信號nRE從"H"轉變成"L"的期間開始輸出讀出資料D0~D7。並接受狀態讀出命令信號STATUS，在信號nCE="L"時，於信號nRE從"H"轉變成"L"的期間開始輸出狀態資料D0~D7。

從D0端子~D7端子輸入的寫入資料，以資料輸出輸入緩衝器5反向，並經由信號線DL_0-7，以IO緩衝器6再度倒置，再經由信號線IO_0-7輸入至行控制電路15內。

讀出資料經由信號線IO_0-7，以IO緩衝器6倒置，輸出至信號線DL_0-7內，再以資料輸出輸入緩衝器5倒置，從D0端子~D7端子輸出。此外，前述的信號線DL_0-7連接錯誤訂正電路11。

錯誤訂正控制信號產生電路7，藉由行位址初期資料AddY_init_0-9、資料鎖存讀出命令信號DLREAD、計算命令信號CALC等來控制，具有產生錯誤訂正控制信號ECCLK的功能。

輸出控制信號產生電路8，藉由讀出賦能信號nRE及資料輸出命令信號OUTPUT等來控制，具有與該讀出賦能信號nRE同步輸出輸出控制信號OUTCLK的功能。

檢查資料產生控制信號產生電路9，藉由行位址信號CSLa_527、CSL_b527及檢查資料產生命令信號CHKGEN等來控制，具有產生檢查資料產生控制信號CGCLK的功能。

五、發明說明 (39)

M1與M3分別為：

$$M1(x) = x^{10} + x^3 + 1$$

$$M3(x) = x^{10} + x^3 + x^2 + x + 1$$

此外，錯誤訂正電路11的動作，若a加b等於c時，則a, b, c分別為"0"或"1"，整個演算結果，如以下所示的演算：

表 3

a + b = c
"0" + "0" = "0"
"0" + "1" = "1"
"1" + "0" = "1"
"1" + "1" = "0"

在完成錯誤位置檢測準備前，與在錯誤訂正控制信號產生電路7上所產生的錯誤訂正控制信號ECCLK同步執行動作。

圖11中所示的徵候群S1、S3計算器主要由，以D0~D19、P、A0~A9所示之31個移位暫存器18與數個邏輯演算電路19所構成。

從記憶區讀出至資料記憶電路17的讀出資料，在IO緩衝器6中作邏輯反向，輸出至信號線DL_0~DL_7。

以D0~D19、P所示的暫存器，在計算前全部重設為"0"。亦即其初期值為"0"。時鐘信號Φ於548週後，在以D0~D19所示的移位暫存器18中產生20位元的徵候群S1及S3。並在以P所示的暫存器中產生讀出資料的同位計算結果。

五、發明說明 (81)

查資料，從前述資訊資料及前述檢查資料訂正前述資訊資料的錯誤；數個資料記憶電路 17，其係分別對各個記憶格 M 設置；寫入手段 (13, 14, 15)，其係將暫時記憶在前述數個資料記憶電路 17 內的資訊資料及檢查資料寫入前述的記憶區內；讀出手段 (13, 14, 15)，其係從前述的記憶區將前述資訊資料及前述檢查資料讀出至前述數個資料記憶電路上。其中，在外部輸入資訊資料前，將記憶在前述數個資料記憶電路 17 上的資料重設在指定的資料 "1" 內。

上述的第 21 個快閃記憶體，是在錯誤訂正電路 11 上，將寫入指定記憶格內之資訊資料轉換成固定資料，並產生檢查資料。此時，將資訊資料及檢查資料暫時記憶在針對各個記憶格所設的數個資料記憶電路內，同時寫入記憶格內。所記憶的資料在資料記憶電路上，於資訊資料輸入前，重設在固定資料內。因此，可以提供一種簡單快速的電路，同時無須倚賴資料長度，可以正確訂正錯誤的快閃記憶體。

本發明並不限於上述的實施例。此類快閃記憶體，除了上述實施例的 NAND 型記憶格之外，還包括 NOR 型記憶格及虛擬 Ground 記憶格等，記憶格型態不一。此外，上述實施例的群集尺寸雖然為 4 個記憶區，但是也可以針對系統的特性，選擇 8 區、9 區或是 16 區等。且群集與記憶區的數量相同亦可。

此外，雖然上述的實施例，是在一個記憶格內寫入 2 位元的資料，但是也可以在一個記憶格內寫入 1 位元、3 位元

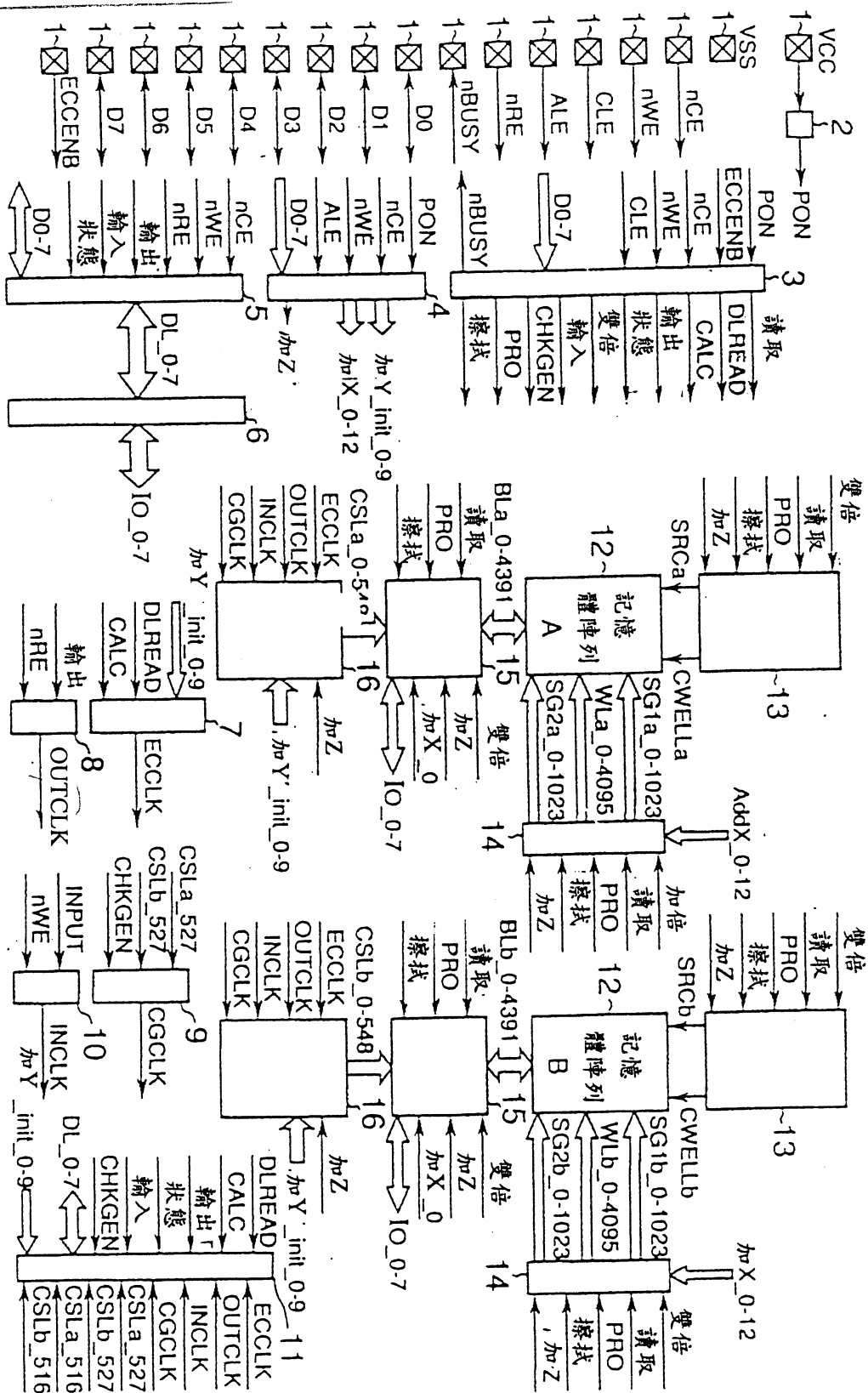


圖 1