發明專利說明書

（本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫）

※ 申請案號：94126692

※ 申請日期：94 7. 31　　※IPC 分類：H01G4/30

一、發明名稱：（中文/英文）

層積電容元件/MULTILAYER CAPACTION

二、申請人：（共１人）

姓名或名稱：（中文/英文）

TDK股份有限公司/TDK CORPORATION

代表人：（中文/英文）

上釜健宏/TAKEHIRO KAMIGAMA

住居所或營業所地址：（中文/英文）

日本國東京都中央區日本橋一丁目13番1號

國　籍：（中文/英文）

日本/JAPAN

三、發明人：（共２人）

姓　名：（中文/英文）

1.富樫正明/MASAAKI TOGASHI

2.安彥泰介/TAISUKE AHIKO

國　籍：（中文/英文）

1.~2.日本/JAPAN

四、聲明事項：

☐ 主張專利法第二十二條第二項☐第一款或☐第二款規定之事實，其事實發生日期為：　年　月　日。

☑ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號　順序註記】

☑ 有主張專利法第二十七條第一項國際優先權：

1.日本、2005/7/29、2005-222030

☐ 無主張專利法第二十七條第一項國際優先權：

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號　順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼　順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼　順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明係有關於具有貫穿孔之層積電容元件，且特別有關於一邊維持低 ESL 而不使內部電極層之面積減少，且同時可以減少通過該貫穿孔之疊積方向之內部電極層相互間之連接電阻，而容易製造之層積電容元件。

【先前技術】

近年，用於資訊處理裝置之 CPU(主演算處理裝置)係藉由處理速度之提升及高集積化而作動周波數變高且消耗電流顯著增加。而且，隨之而來的是因為消耗電力之低減化而作動電壓有減少之傾向。因此，在供給至 CPU 之電力用的電源中，導致以更高之速度產生大的電流變動，所以將伴隨此電流變動之電壓變動抑制在電源之容許值內是非常困難的。

因此，作為平滑用電容元件之層積電容元件以連接於電源之形式而配置於 CPU 之周邊，係頻繁地用作電源之安定化對策。也就是說，藉由在高速下於過渡的電流之變動時提早充放電，而從此層積電容元件供給電流至 CPU，以抑制電源之電壓變動。

但是，隨著今日之 CPU 之作動周波數更進一步之高周波數化，電流變動變得更高速且大，而作為平滑用電容元件之層積電容元件自身所具有之等價直列誘導係數(ESL)係相對地變大。以此結果而言，包含此等價直列誘導係數

之總和誘導係數係對電源之電壓變動漸漸產生大的影響。

在此，以用於謀求低 ESL 化之習知層積電容元件之構造而言，例如是揭示於文獻 1(特開 2001-284170 號公報)中為人所熟知之內容。換句話說，在此文獻 1 中，係揭示藉由在形成為直方體狀之層積電容元件之 4 側面分別設置複數個端子電極，而謀求低 ESL 化之構造。

另外，如下述之文獻 2(特開 2001-148324 號公報)所示，係開發一種在層積電容元件之上下表面之至少一個表面上配置隔離成島狀之形式的外部電極，同時藉由將此外部電極作成柱狀之貫穿孔電極，而連接於內部電極層之構造的層積電容元件。

但是，如上述之文獻 1 一樣，以在 4 側面分別設置複數個端子電極而連接於 CPU 之周邊之形式的層積電容元件並無法充分地謀求低 ESL 化，且在降低總和誘導係數方面有其極限。

另一方面，如文獻 2 一樣，在具有島狀之外部電極之構造的層積電容元件中，隨著總合誘導係數變小，可以因應 CPU 之高速化。但是，在此文獻 2 所示之上述層積電容元件中，若不針對外部電極之數目而在層積電容元件之內部製作多數細長之貫穿孔的話，則恐有將內部電極層之電極面積變狹小且使靜電容量降低之虞。

另外，在細長之貫穿孔中，恐有通過貫穿孔之積層方向之內部電極層相互間之連接電阻增大，且等價直列電阻(ESR)增大之虞。而且，為了在積電容元件之內部製作多數

細長之貫穿孔，則層積電容元件之製造變難而成為製造成本增大的原因。

【發明內容】

本發明有鑑於上述問題，因此其目的係提供一種一邊維持低 ESL 而不使內部電極層之面積減少，且同時可以減少通過該貫穿孔之疊積方向之內部電極層相互間之連接電阻，而容易製造之層積電容元件。

為了達成上述目的，本發明係揭露一種層積電容元件，其中分別形成平面狀之複數個第 1 內部電極層及複數個第 2 內部電極層係於疊積介電體層形成之元件本體內隔著介電體層而交互配置，其特徵在於包括：第 1 外部電極及第 2 外部電極，僅配置於前述元件本體中前述介電體層之疊積方向一方之第 1 端面上；第 1 引出用柱狀電極，藉由第 1 引出貫穿孔而與疊積於前述元件本體之第 1 端面附近的前述第 1 內部電極層、以及前述第 1 外部電極連接；第 2 引出用柱狀電極，藉由第 2 引出貫穿孔而與疊積於前述元件本體之第 1 端面附近的前述第 2 內部電極層、以及前述第 2 外部電極連接；第 1 層間連接用柱狀電極，藉由第 1 層間貫穿孔而與疊積於前述元件本體內部之前述第 1 內部電極層之相互間連接；以及第 2 層間連接用柱狀電極，藉由第 2 層間貫穿孔而與疊積於前述元件本體內部之前述第 2 內部電極層之相互間連接；前述第 1 及第 2 層間連接用柱狀電極之個別橫斷面積係比前述第 1 及第 2 引出

用柱狀電極之個別橫斷面積還大。

在本發明之層積電容元件中，由於第1外部電極及第2外部電極係於第1端面配置成島狀，因而可以謀求低ESL化，且總合誘導係數變小。因此，變得可以對應CPU之高速，尤其是可以將CPU用之電源之電壓變動變小。換句話說，較佳者，本發明之層積電容元件係可以使用能對應CPU之高速化的平滑用電容元件。

另外，在本發明之層積電容元件中，分別形成用於連接外部電極之引出用柱狀電極、與連接存在於介電體層之層間之內部電極層之相互間的層間連接用柱狀電極。因此，層間連接用柱狀電極之個個橫斷面積係變成可以設定為比引出用柱狀電極之個個橫斷面積更大。結果，可以減少通過貫穿孔之積層方向之內部電極層相互間之連接電阻。另外，即便在為了提高靜電容量而導致內部電極層之層數增加的情況下，也可以更確實地確保複數個內部電極層相互間之導通，而確實地發揮層積電容元件之機能。

另外，因為可以將層間連接用柱狀電極之個個橫斷面積設定成比引出用柱狀電極之個個橫斷面積更大；所以相對於引出用柱狀電極之數目而言，也可以減少層間連接用柱狀電極之數目。因此，由於多數之層間連接用柱狀電極的關係，所以內部電極層之面積並未減少，而可以確保充分的靜電容量。

另外，在本發明之層積電容元件中，由於引出用柱狀電極與層間連接用柱狀電極分別形成的緣故，所以不須形

成由外部電極延伸之細長貫穿孔，而層積電容元件之製造也容易。因此，層積電容元件之製造成本降低。

較佳者，前述第1及第2層間連接用柱狀電極之個別橫斷面積係比前述第1及第2引出用柱狀電極之個別橫斷面積還大2~16倍、更佳者為大4~8倍。而且，一旦此倍數小的話，則本發明之作用效果變少；而一旦此倍數變大的話，則內部電極之面積減少，且由於難以作成高靜電容量的緣故，所以不太好。

較佳者，前述第1及第2層間連接用柱狀電極之個別外徑係為150~200μm；前述第1及第2引出用柱狀電極之個別外徑係為50~80μm。一旦層間連接用柱狀電極之外徑過小的話，本發明之作用效果變少；一旦過大的話，則內部電極之面積減少，而難以作成高靜電容量。另外，一旦引出用柱狀電極之外徑過小的話，則連接電阻易變大；而其外徑一旦過大的話，則有難以用狹窄之中間間隔配置外部電極之傾向。

較佳者，相對於前述元件本體之第1端面而由垂直方向來看，前述第1及第2層間連接用柱狀電極之個別形成位置係相對於前述第1及第2引出用柱狀電極之個別形成位置以移動位置而形成。藉由移動位置而形成，則變得可以使引出用柱狀電極之外徑、與層間連接用柱狀電極之外徑相異。

較佳者，前述第1外部電極與第2外部電極係在前述第1端面中相互鄰合而呈行列狀配置。如此一來，藉由將

外部電極配置成行列狀，則可以在第 1 外部電極與第 2 外部電極間發生相互逆向流動之高周波電流，並相互打消電場，且謀求低 ESL 化。

較佳者，前述第 1 層間連接用柱狀電極與第 2 層間連接用柱狀電極係在前述元件本體之內部中沿著元件本體之側面而交互配置。藉由將層間連接用柱狀電極沿著元件本體之側面配置，則變得不須在大部份之內部電極層中、內部電極層之中央部形成貫穿孔，因此可以取得較寬之成為電容器之電極層的面積。另外，相較於內部電極層之中央部而言，在其周邊部即使擴大層間連接用柱狀電極之外徑，也易於取得充分寬之上述電極間之間隔取。

較佳者係在最接近前述第 1 端面之第 1 內部電極層形成有避免與前述第 2 引出用柱狀電極電性連接之絕緣孔圖案；在最接近前述第 1 端面之第 2 內部電極層形成有避免與前述第 1 層間連接用柱狀電極電性連接之絕緣孔圖案；在其它第 1 內部電極層形成有避免與前述第 2 層間連接用柱狀電極電性連接之絕緣孔圖案；以及在其它第 2 內部電極層形成有避免與前述第 1 層間連接用柱狀電極電性連接之絕緣孔圖案。藉由形成上述絕緣孔圖案，可以防止相異極性之電極間之短路。

【實施方式】

如第 1~3 圖所示，本發明之一實施例之層積電容元件 2 係具有元件本體 10，且僅於位在元件本體 10 中介電體層

4之積層方向(Z軸方向)之一側的第1端面10a上以行列狀配列第1外部端子12及第2外部端子14。於元件本體10另一側之第2端面10b及4個側面10c則形成外部端子12或是14。

第1內部電極層6及第2內部電極層8係隔著介電體層4而在元件本體10之內部交互疊積。元件本體10係為直方體形狀，且係可以藉由將複數枚成為介電體層4之陶瓷生胚薄板與成為內部電極層6及8之電極膠層一起疊積所成之結構進行燒成而得。

在本實施例中，第3圖所示之元件本體10之長寬尺寸L1、L2例如可以分別作成10mm；另外，高度尺寸H例如可以作成0.85mm。在元件本體10內，如第1圖及第2圖所示，在既定之高度(Z軸方向)位置配置形成平面狀之第1內部電極層6。

在第1內部電極層6之下方則隔著介電體層4而形成與第1內部電極層6同樣形成平面狀之第2內部電極層8。在第2內部電極層8之下方則則隔著介電體層4而形成第1內部電極層6。如此一來，多數層第1內部電極層6及第2內部電極層8則在元件本體2之內部隔著介電體層4而交互地疊積。

上述第1內部電極層6及第2內部電極層8之中心係配置在與元件本體10中XY平面之中心幾乎相同的位置；另外，內部電極層6及內部電極層8之長寬尺寸係比對應之元件本體10之邊之長度還小若干(一些)。因此，上述內

部電極層 6 及內部電極層 8 之周邊部係變成從元件本體 10 之側面 10c 開始不外露之構造。

如第 1 及 2 圖所示，在與上述內部電極層 6、8 垂直一樣而交叉並延伸之方向(Z 軸方向)上，於第 1 端面 10a 附近係具備對應於圓柱狀之第 1 引出用柱狀電極 16 及第 2 引出用柱狀電極 18 的第 1 外部電極 12 及第 2 外部電極 14。如第 3 圖所示，第 1 外部電極 12 及第 2 外部電極 14 係於 X 軸及 Y 軸方向上成行列狀配置；上述外部電極 12 及 14 係於 X 軸及 Y 軸方向上相互鄰合而配置。

如第 2 圖所示，在元件本體 10 中位於 Z 軸方向之最上部的介電體層 4 上係形成對應於第 3 圖所示之外部電極 12 及 14 之數目的貫穿孔，並於其內部形成第 1 及第 2 引出用柱狀電極 16 及 18。如第 1 圖及第 2 圖所示，第 1 引出用柱狀電極 16 係為用於連接配置於元件本體 10 之第 1 端面 10c 之第 1 外部電極 12、與配置於與第 1 端面 10c 最接近之單一第 1 內部電極層 6 的貫穿孔電極。

第 2 引出用柱狀電極 18 係為用於連接配置於元件本體 10 之第 1 端面 10c 之第 2 外部電極 14、與配置於與第 1 端面 10c 最接近之單一第 2 內部電極層 8 的貫穿孔電極。如第 2 圖所示，第 2 引出用柱狀電極 18 為了防止與位在和第 1 端面 10a 最接近處之第 1 內部電極層 6 間的短路，因此在其第 1 內部電極層 6 則形成避免與第 2 引出用柱狀電極 18 電性連接的絕緣孔圖案 24。

在與第 1 端面 10a 最接近之第 1 內部電極層 6 之 Z 軸

方向下面，複數個第 1 層間連接用柱狀電極 20 之頂部係沿著其周圍而連接。如第 2 圖所示，為了防止與第 1 層間連接用柱狀電極 20 間的短路，則在與第 1 端面 10a 最接近之第 2 內部電極層 8 形成絕緣孔圖案 26。

第 1 層間連接用柱狀電極 20 係藉由第 1 層間貫穿孔而與疊積於元件本體 10 之內部的全部第 1 內部電極層 6 之相互間連接，並通過在第 2 內部電極層 8 中各自形成之絕緣孔圖案 26 而不與第 2 內部電極層 8 連接。

在本實施例中，第 1 層間連接用柱狀電極 20 係由最接近第 1 端面 10a 之第 1 內部電極層 6 之 Z 軸方向下面開始延伸至最接近第 2 端面 10b 之第 2 內部電極層 8 之 Z 軸方向下面，且不在第 2 端面 10b 露出。但是，在本發明中，由於第 1 層間連接用柱狀電極 20 不需要與第 2 內部電極層 8 連接的緣故，因此延伸至最接近第 2 端面 10b 之第 1 內部電極層 6 也可以，並不一定要延伸至位於 Z 軸方向之最下端之第 2 內部電極層 8。在位於 Z 軸方向之最下端之層為第 1 內部電極層 6 的情況下，第 1 層間連接用柱狀電極 20 之下端係延伸至該位置。

在最接近第 1 端面 10a 之第 2 內部電極層 8 之 Z 軸方向下面，複數個第 2 層間連接用柱狀電極 22 之頂部係沿著其周圍而連接。第 2 層間連接用柱狀電極 22 係藉由第 2 層間貫穿孔而與疊積於元件本體 10 之內部的全部第 2 內部電極層 8 之相互間連接，並通過在第 1 內部電極層 6 中各自形成之絕緣孔圖案 28 而不與第 1 內部電極層 6 連接。

在本實施例中，第2層間連接用柱狀電極22係由最接近第1端面10a之第2內部電極層8之Z軸方向下面開始延伸至最接近第2端面10b之第2內部電極層8，且不在第2端面10b露出。但是，在元件本體10中，在位於Z軸方向之最下端之層為第2內部電極層8的情況下，第2層間連接用柱狀電極22之下端係不需延伸至該位置。

第1層間連接用柱狀電極20之橫斷面積係與第2層間連接用柱狀電極22之橫斷面積大約相同；第1引出用柱狀電極16之橫斷面積係與第2引出用柱狀電極18之橫斷面積大約相同。而且，第1及第2層間連接用柱狀電極20、22之個別橫斷面積係比第1及第2引出用柱狀電極16、18之個別橫斷面積還大出2~16倍左右。

第1及第2層間連接用柱狀電極20、22之個別外徑係決定於150~200μm之範圍內；第1及第2引出用柱狀電極16、18之個別外徑係決定於50~80μm之範圍內。

在本實施例中，從垂直於元件本體10之第1端面10a的方向(Z軸方向)來看，第1及第2層間連接用柱狀電極20、22之個別形成位置係相對於第1及第2引出用柱狀電極16、18之個別形成位置並移動位置而形成。

在本實施例中，第1及第2引出用柱狀電極16、18係於第1端面10a之附近之第1內部電極層6之中央部配置成行列狀。另外，在元件本體10之內部中，第1層間連接用柱狀電極20與第2層間用柱狀電極22係沿著元件本體10之側面10c而交互配置。

上述柱狀電極16、18、20、22係可於藉由電極膠之印刷等而形成內部電極層6及8之際，與內部電極層6及8同樣地形成。

在本發明之層積電容元件2中，由於第1外部電極12及第2外部電極14係於第1端面10a配置成島狀，因而可以謀求低ESL化，且總合誘導係數變小。因此，變得可以對應CPU之高速，尤其是可以將CPU用之電源之電壓變動變小。換句話說，較佳者，本發明之層積電容元件2係可以使用能對應CPU之高速化的平滑用電容元件。

另外，在本發明之層積電容元件2中，分別形成用於連接外部電極12與14之引出用柱狀電極16與18、及連接存在於介電體層4之層間之內部電極層6與8之相互間的層間連接用柱狀電極20與22。因此，層間連接用柱狀電極20與22之個個橫斷面積係變成可以設定為比引出用柱狀電極16與18之個個橫斷面積更大。結果，可以減少通過貫穿孔之積層方向之內部電極層6與8相互間之連接電阻。另外，即便在為了提高靜電容量而導致內部電極層6與8之層數增加的情況下，也可以更確實地確保複數個內部電極層6與8相互間之導通，而確實地發揮層積電容元件之機能。

另外，因為可以將層間連接用柱狀電極20與22之個個橫斷面積設定成比引出用柱狀電極16與18之個個橫斷面積更大；所以相對於引出用柱狀電極16與18之數目而言，也可以減少層間連接用柱狀電極20與22之數目。因

此，由於多數之層間連接用柱狀電極 20 與 22 的關係，所以內部電極層 6 與 8 之面積並未減少，而可以確保充分的靜電容量。

而且，在圖示之實施例中，層間連接用柱狀電極 20、22 之總數為 20，雖然比引出用柱狀電極 16、18 之總數 16 多，但是本發明並不為圖示之例所限定，也可以刪減其數目。例如，層間連接用柱狀電極 20、22 以可以在 4 個角各配置一個，合計 4 個。或是，在 4 個角各配置一個、以及在每一邊之中央各配置一個，合計 8 個層間連接用柱狀電極 20、22；或是，也可以在 4 個角各配置一個、以及在每一邊各配置 2 個，合計 12 個層間連接用柱狀電極 20、22。

另外，在本發明之層積電容元件 2 中，由於引出用柱狀電極 16 與 18 與層間連接用柱狀電極 20 與 22 分別形成的緣故，所以不須形成由外部電極 12 與 14 延伸之細長貫穿孔，而層積電容元件 2 之製造也容易。因此，層積電容元件 2 之製造成本降低。

而且，在本實施例中，由於第 1 外部電極 12 與第 2 外部電極 14 係在第 1 端面 10a 中相互鄰合而配置成行列狀的緣故，因此可以在第 1 外部電極 12 與第 2 外部電極 14 間發生相互逆向流動之高周波電流，並相互打消電場，而謀求低 ESL 化。

而且，第 1 層間連接用柱狀電極 20 與第 2 層間連接用柱狀電極 22 係在元件本體 10 之內部中沿著元件本體 10 之側面 10c 而交互配置。因此，則變得不須在位於第 1 端面

10a 附近之內部電極層以外之全部內部電極層 6 與 8 中於內部電極層 6 與 8 之中央部形成貫穿孔，結果可以取得較寬之成為電容器之電極層 6 與 8 的面積。另外，相較於內部電極層 6 與 8 之中央部而言，在其周邊部即使擴大層間連接用柱狀電極 20 與 22 之外徑，也易於取得充分寬之上述電極間之間隔取。

而且，本發明並不限定於上述實施例，也可以在本發明之範圍內進行種種變更。

例如，外部電極 12、14 之形成個數並不特別限定，也可以是行列狀之 8x8 的方式，合計 64 個。

【圖式簡單說明】

第 1 圖係繪示本發明之第 1 實施例之層積電容元件之要部剖面圖。

第 2 圖係繪示第 1 圖所示之層積電容元件之分解立體圖。

第 3 圖係繪示第 1 圖所示之層積電容元件之概略立體圖。

【主要元件符號說明】

2~層積電容元件；
4~介電體層；
6~內部電極層；
8~內部電極層；
10a~元件本體 10 之第 1 端面；
10b~元件本體 10 之第 2 端面；
10c~元件本體 10 之側面；
16~引出用柱狀電極；

10~元件本體；　　18~引出用柱狀電極；

12~外部電極；　　20~層間連接用柱狀電極；

14~外部電極；　　22~層間連接用柱狀電極；

24~絕緣孔圖案；　　H~元件本體10之高度尺寸；

26~絕緣孔圖案；　　L1~元件本體10之長度尺寸；

28~絕緣孔圖案；　　L2~元件本體10之寬度尺寸。

五、中文發明摘要：

本發明係揭露一種層積電容元件 2，其中分別形成平面狀之複數個第 1 內部電極層 6 及複數個第 2 內部電極層 8 係於疊積介電體層 4 形成之元件本體 10 內隔著介電體層而交互配置。僅於元件本體 10 中第 1 端面 10a 上配置第 1 外部電極 12 及第 2 外部電極 14。引出用柱狀電極 16、18 分別與疊積於元件本體 10 之第 1 端面 10a 附近的內部電極層 6、8 以及外部電極 12、14 連接。層間連接用柱狀電極 20 或 22 分別與疊積於元件本體 10 內部之內部電極層 6 或 8 之相互間連接。層間連接用柱狀電極 20、22 之個別橫斷面積係比引出用柱狀電極 16、18 之個別橫斷面積還大。

六、英文發明摘要：

A multilayer capacitor comprised of dielectric layers stacked to form a device body in which a plurality of first internal electrode layers and a plurality of second internal electrode layers formed in planar shapes are alternately arranged while being separated through the dielectric layers, wherein the first external electrodes and second external electrodes are arranged at only a first end face of the device body, lead use columnar electrodes connect the internal electrode layers stacked close to the first end face of the device body and external electrodes, interlayer connection use columnar electrodes connect the internal electrode layers stacked at the inside of the device body, and the interlayer connection use columnar electrodes have cross-sectional areas larger than the cross-sectional areas of the lead use columnar electrodes.

十、申請專利範圍：

1.一種層積電容元件，分別形成平面狀之複數個第 1 內部電極層及複數個第 2 內部電極層係於疊積介電體層形成之元件本體內隔著介電體層而交互配置，

其特徵在於包括：

第 1 外部電極及第 2 外部電極，僅配置於前述元件本體中前述介電體層之疊積方向一方之第 1 端面上；

第 1 引出用柱狀電極，藉由第 1 引出貫穿孔而與疊積於前述元件本體之第 1 端面附近的前述第 1 內部電極層、以及前述第 1 外部電極連接；

第 2 引出用柱狀電極，藉由第 2 引出貫穿孔而與疊積於前述元件本體之第 1 端面附近的前述第 2 內部電極層、以及前述第 2 外部電極連接；

第 1 層間連接用柱狀電極，藉由第 1 層間貫穿孔而與疊積於前述元件本體內部之前述第 1 內部電極層之相互間連接；以及

第 2 層間連接用柱狀電極，藉由第 2 層間貫穿孔而與疊積於前述元件本體內部之前述第 2 內部電極層之相互間連接；

前述第 1 及第 2 層間連接用柱狀電極之個別橫斷面積係比前述第 1 及第 2 引出用柱狀電極之個別橫斷面積還大。

2.如申請專利範圍第 1 項所述之層積電容元件，其中前述第 1 及第 2 層間連接用柱狀電極之個別橫斷面積係比前述第 1 及第 2 引出用柱狀電極之個別橫斷面積還大 2~16

倍。

3.如申請專利範圍第1或2項所述之層積電容元件，其中前述第1及第2層間連接用柱狀電極之個別外徑係為150~200μm；前述第1及第2引出用柱狀電極之個別外徑係為50~80μm。

4.如申請專利範圍第1或2項所述之層積電容元件，其中相對於前述元件本體之第1端面而由垂直方向來看，前述第1及第2層間連接用柱狀電極之個別形成位置係相對於前述第1及第2引出用柱狀電極之個別形成位置以移動位置而形成。

5.如申請專利範圍第1或2項所述之層積電容元件，其中前述第1外部電極與第2外部電極係在前述第1端面中相互鄰合而呈行列狀配置。

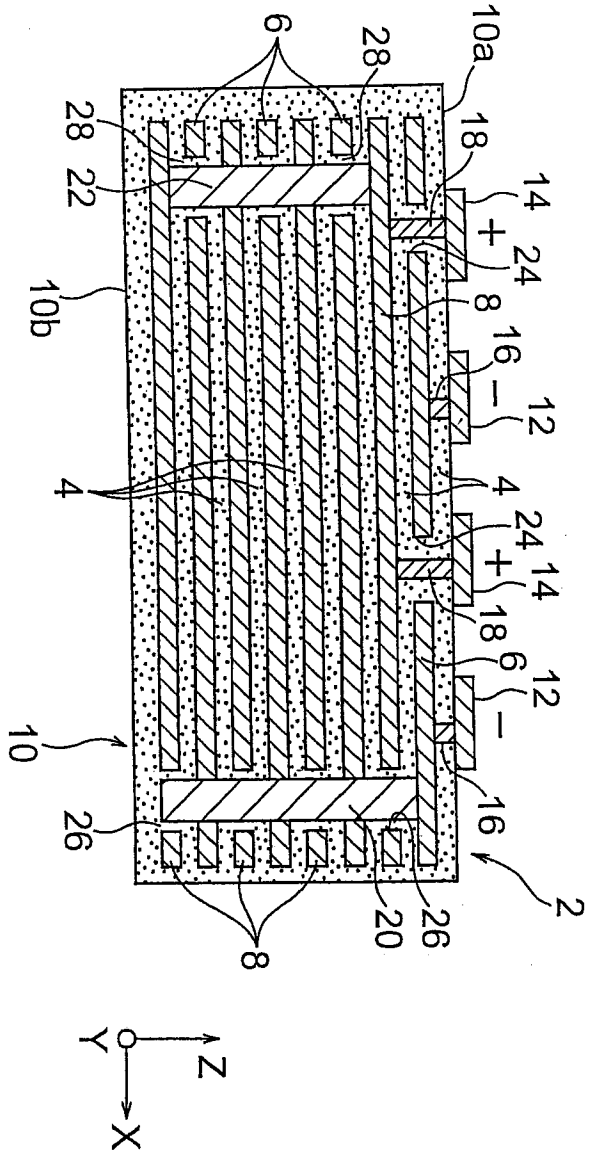
6.如申請專利範圍第1或2項所述之層積電容元件，其中前述第1層間連接用柱狀電極與第2層間連接用柱狀電極係在前述元件本體之內部中沿著元件本體之側面而交互配置。

7.如申請專利範圍第1或2項所述之層積電容元件，其中在最接近前述第1端面之第1內部電極層形成有避免與前述第2引出用柱狀電極電性連接之絕緣孔圖案；

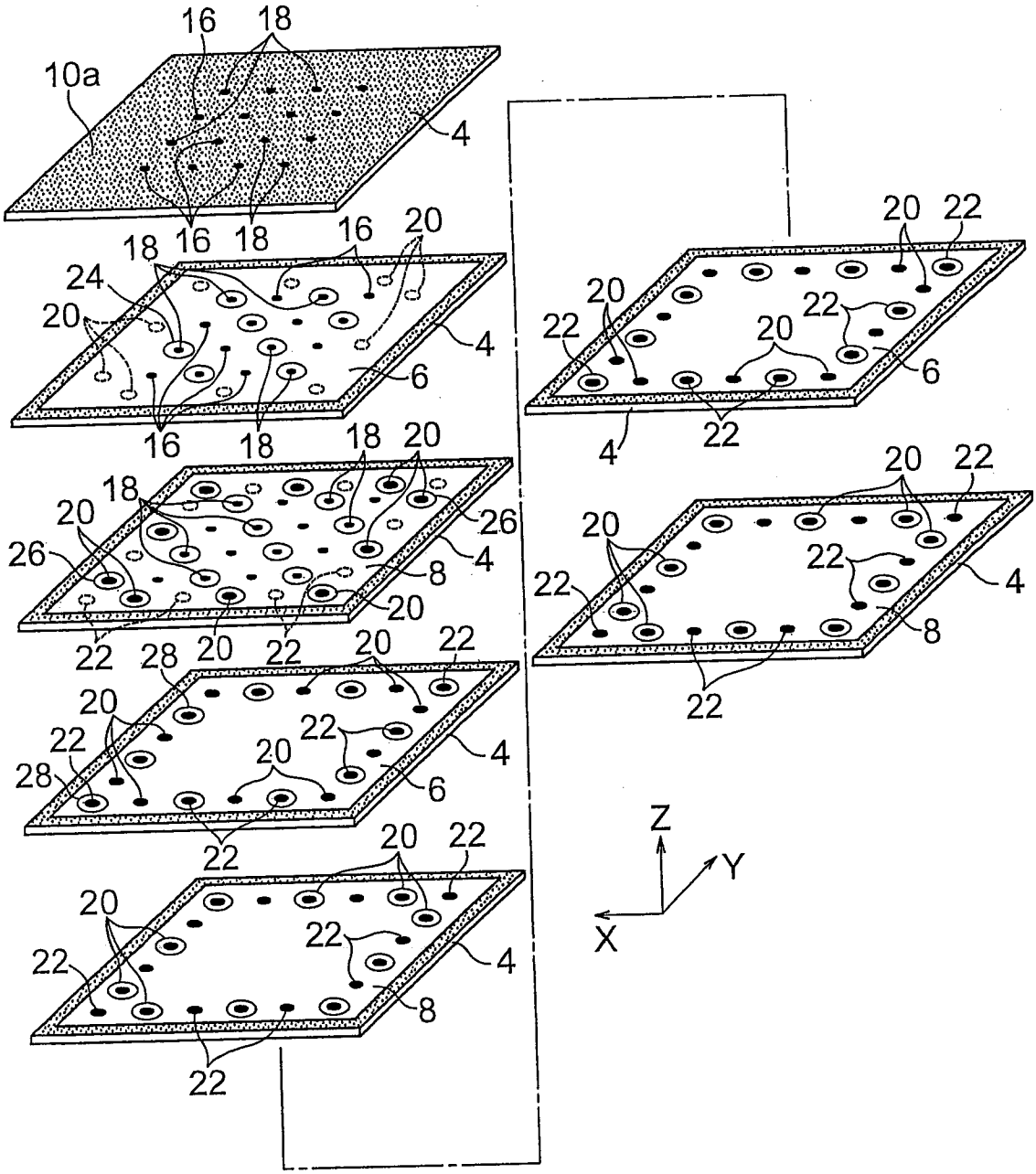
在最接近前述第1端面之第2內部電極層形成有避免與前述第1層間連接用柱狀電極電性連接之絕緣孔圖案；

在其它第1內部電極層形成有避免與前述第2層間連接用柱狀電極電性連接之絕緣孔圖案；以及

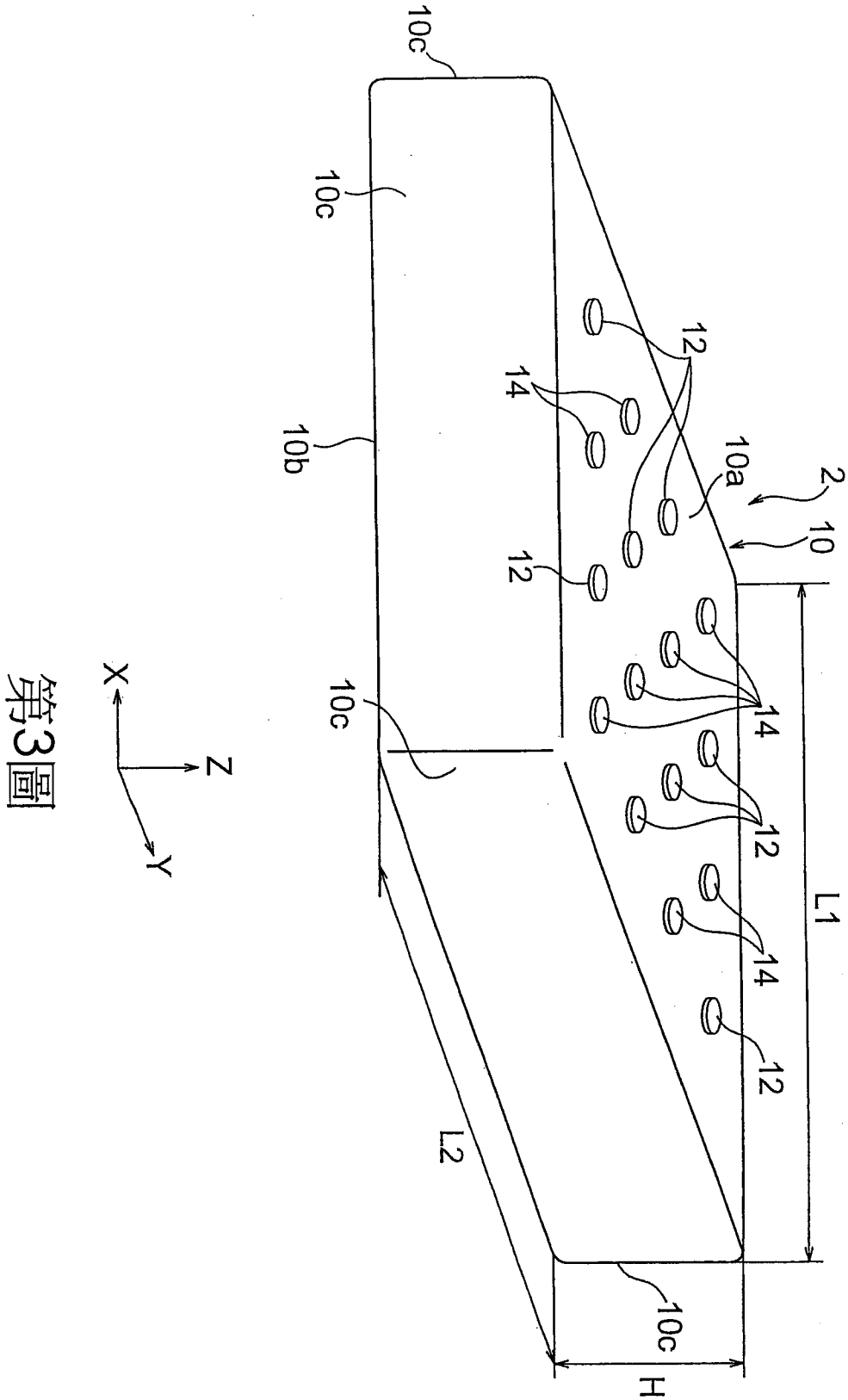
在其它第 2 內部電極層形成有避免與前述第 1 層間連接用柱狀電極電性連接之絕緣孔圖案。


6
28
10a
28
22
18
14
+
24
8
16
−
12
10b
4
4
24
+
14
18
6
12
−
10
16
26
2
26
20
8
Y
Z
X

第1圖


10a
16
18
4
16
18
16
20
18
24
20
4
6
16
18
18
20
18
20
26
26
4
8
20
22
20
22
28
20
22
20
22
28
20
22
4
6
22
20
22
20
22
4
8
22
20
22
20
22
20
22
6
4
22
20
22
20
22
4
8
22
Z
Y
X

第2圖



第3圖

七、指定代表圖：

(一)本案指定代表圖為：第（1）圖。

(二)本代表圖之元件符號簡單說明：

2~層積電容元件；　　4~介電體層；

6~內部電極層；　　8~內部電極層；

10~元件本體；　　10a~元件本體10之第1端面；

12~外部電極；　　10b~元件本體10之第2端面；

14~外部電極；　　16~引出用柱狀電極；

24~絕緣孔圖案；　　18~引出用柱狀電極；

26~絕緣孔圖案；　　20~層間連接用柱狀電極；

28~絕緣孔圖案；　　22~層間連接用柱狀電極。

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無。