

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2024 年 3 月 28 日 (28.03.2024)



(10) 国际公布号
WO 2024/060370 A1

(51) 国际专利分类号:

H01L 25/065 (2023.01)

(21) 国际申请号:

PCT/CN2022/130651

(22) 国际申请日:

2022 年 11 月 8 日 (08.11.2022)

(25) 申请语言:

中文

(26) 公布语言:

中文

(30) 优先权:

202211139446.3 2022年9月19日 (19.09.2022) CN

(71) 申请人: 长鑫存储技术有限公司 (**CHANGXIN MEMORY TECHNOLOGIES, INC.**) [CN/CN]; 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号, Anhui 230601 (CN)。

(72) 发明人: 唐衍哲 (**TANG, Yanzhe**); 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号, Anhui 230601 (CN)。

(74) 代理人: 北京派特恩知识产权代理有限公司 (**CHINA PAT INTELLECTUAL PROPERTY OFFICE**); 中国北京市海淀区海淀南路21号中关村知识产权大厦B座2层, Beijing 100080 (CN)。

(81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE,

PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

(84) 指定国(除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第21条(3))。

(54) Title: MEMORY AND STORAGE SYSTEM

(54) 发明名称: 存储器及存储系统

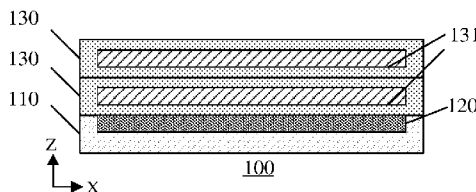


图 3

(57) Abstract: The embodiments of the present disclosure disclose a memory and a storage system. The memory comprises: a substrate; a control circuit layer located in the substrate, wherein the control circuit layer comprises at least part of a control circuit of the memory; and at least two storage structure layers, wherein the at least two storage structure layers are successively stacked on the control circuit layer, and the storage structure layer is electrically connected to the control circuit layer.

(57) 摘要: 本公开实施例公开了一种存储器及存储系统, 该存储器包括: 衬底; 位于所述衬底内的控制电路层; 所述控制电路层中包括所述存储器的至少部分控制电路; 至少两个存储结构层; 所述至少两个存储结构层依次堆叠在所述控制电路层上; 所述存储结构层与所述控制电路层电连接。

WO 2024/060370 A1

存储器及存储系统

相关申请的交叉引用

本公开基于申请号为 202211139446.3、申请日为 2022 年 09 月 19 日、发明名称为“存储器及存储系统”的中国专利申请提出，并要求该中国专利申请的优先权，该中国专利申请的全部内容在此引入本公开作为参考。

技术领域

本公开实施例涉及半导体技术领域，涉及但不限于一种存储器及存储系统。

背景技术

10 随着当今科学技术的不断发展，存储器被广泛地应用于各种电子设备。动态随机存取存储器（Dynamic Random Access Memory, DRAM）是一种易失性存储器，是计算机中常用的半导体存储器件。

随机存取存储器由多个重复的存储单元组成，每一个存储单元主要由一个选择晶体管与一个由选择晶体管所操控的存储电容所构成，且每一个存储单元通过字线与位线彼此电连接。然而，这种随机存取存储器存在存储单元占用面积较大、布线复杂，制造工艺难度大等问题。

发明内容

有鉴于此，本公开实施例提供一种存储器及存储系统。

第一方面，本公开实施例提供一种存储器，包括：

20 衬底；

位于所述衬底内的控制电路层；所述控制电路层中包括所述存储器的至少部分控制电路；

至少两个存储结构层；所述至少两个存储结构层依次堆叠在所述控制电路层上；所述存储结构层与所述控制电路层电连接。

25 在一些实施例中，所述存储结构层包括：多个阵列排布的存储块；

所述控制电路层包括：与每个所述存储块对应连接的多个控制块。

在一些实施例中，所述存储块包括：

多个阵列排布的存储单元；

30 以及多条沿第一方向延伸的字线；每条所述字线连接多个沿所述第一方向间隔排布的所述存储单元；所述第一方向平行于所述衬底的表面。

在一些实施例中，所述存储器还包括：

位线结构层，位于所述控制电路层与至少两个所述存储结构层之间；
所述位线结构层中包括多条沿第二方向延伸的位线；所述第二方向与所述第一方向之间具有夹角，所述第二方向平行于所述衬底的表面；

5 每条所述位线连接沿第二方向间隔排布的多组存储单元，其中，每组存储单元是通过第一支线连接的沿垂直于所述衬底表面的方向上堆叠设置的多个存储单元。

在一些实施例中，所述控制块包括：

10 与所述位线结构层连接的第一控制块，所述第一控制块的至少部分位于沿所述位线延伸方向上相邻的两个存储块的投影区域之间；

与所述字线连接的第二控制块，所述第二控制块的至少部分位于所连接的字线所在的所述存储块的投影区域范围内。

在一些实施例中，在垂直于所述衬底表面的方向上不同存储结构层中对应的存储块沿所述第二方向对齐。

15 在一些实施例中，在同一存储结构层中沿所述第二方向相邻的两个存储块共用一个所述第一控制块。

在一些实施例中，所述存储结构层包括：上结构层和下结构层；所述上结构层中的存储块为第一存储块；所述下结构层中的存储块为第二存储块；

20 位于所述上结构层中沿所述第一方向延伸的相邻的第一存储块之间具有第一间隔区域；

位于所述下结构层中沿所述第一方向延伸的相邻的第二存储块之间具有第二间隔区域；

25 所述第一间隔区域与所述第二间隔区域在所述控制电路层上的投影不重合。

在一些实施例中，所述第一存储块通过贯穿所述第二间隔区域的连接线，连接至对应所述第一存储块的第二控制块；

30 所述第二存储块通过位于所述第二存储块下方的连接线，连接至对应所述第二存储块的所述第二控制块，所述第一存储块对应的第二控制块和所述第二存储块对应的所述第二控制块沿第一方向间隔排布。

在一些实施例中，所述第一存储块的连接线的长度，大于所述第二存储块的连接线的长度；

所述第一存储块连接的所述第二控制块的驱动能力，大于所述第二存储块连接的所述第二控制块的驱动能力。

35 在一些实施例中，所述存储器还包括：

电源模块，连接多个第一控制块和/或多个第二控制块，配置为提供电源信号；

所述电源模块位于所述衬底中，且所述电源模块与所述控制电路层位

于同一结构层内。

在一些实施例中，所述存储器还包括：

数据输入输出模块，连接所述第一控制块，所述数据输入输出模块配置为通过所述第一控制块以及所述位线对存储单元进行数据的写入或读取。

在一些实施例中，所述控制电路层还包括：全局控制电路；

所述全局控制电路与多个所述控制块连接；

所述全局控制电路至少用于向多个所述控制块提供控制信号。

在一些实施例中，所述全局控制电路包括：

全局字线驱动模块，连接多个所述第二控制块，配置为提供多个所述第二控制块连接的所述存储块中多条字线的控制信号。

第二方面，本公开实施例还提供一种存储系统，包括：

如上述任一所述的存储器，以及存储控制器。

本公开实施例的技术方案中，存储器的至少部分控制电路被设置于堆叠的存储结构层与衬底之间的控制电路层中，并且存储结构层与控制电路层通过垂直于衬底方向的连接线进行连接。如此，相对于控制电路被设置于存储单元阵列周围的方案，本公开实施例提供的存储器可以具有更高的集成度和更小的面积，并且垂直堆叠的结构更便于制造和电路走线设计。

附图说明

图 1 为本公开实施例的一种存储系统的结构示意图；

图 2 为本公开实施例的存储系统中一个 bank 中的结构示意图一；

图 3 为本公开实施例的一种存储器的结构示意图二；

图 4 为本公开实施例的一种存储器的结构中单层存储结构层的俯视图；

图 5 为本公开实施例的一种存储器的结构中单层存储结构层的截面图；

图 6 为本公开实施例的一种存储器的结构中双层存储结构层的截面图；

图 7 为本公开实施例的一种存储器的结构中存储与单元与控制块的关系示意图；

图 8 为本公开实施例的一种存储器的结构中位线与多个存储块的关系示意图；

图 9 为本公开实施例的一种存储器的结构中不同存储结构层的存储块的错位分布示意图；

图 10 为本公开实施例的一种存储器的结构中全局控制电路与各控制块及存储块的关系示意图；

图 11 为本公开实施例的一种存储器的制造方法的流程图；

图 12 为本公开实施例的一种存储系统的结构框图。

具体实施方式

为了便于理解本公开，下面将参照相关附图更详细地描述本公开的示例性实施方式。虽然附图中显示了本公开的示例性实施方式，然而应当理解，可以以各种形式实现本公开，而不应被这里阐述的具体实施方式所限制。相反，提供这些实施方式是为了能够更透彻地理解本公开，并且能够将本公开的范围完整的传达给本领域的技术人员。

在下文的描述中，给出了大量具体的细节以便提供对本公开更为彻底的理解。然而，对于本领域技术人员而言显而易见的是，本公开可以无需一个或多个这些细节而得以实施。在一些实施例中，为了避免与本公开发生混淆，对于本领域公知的一些技术特征未进行描述，即可以不描述实际实施例的全部特征，不详细描述公知的功能和结构。

一般地，术语可以至少部分地从上下文中的使用来理解。例如，至少部分地取决于上下文，如本文中所用的术语“一个或多个”可以用于以单数意义描述任何特征、结构或特性，或者可以用于以复数意义描述特征、结构或特性的组合。类似地，诸如“一”或“所述”的术语同样可以被理解为传达单数用法或传达复数用法，这至少部分地取决于上下文。另外，属于“基于”可以被理解为不一定旨在传达排他的一组因素，并且可以替代地允许存在不一定明确地描述的附加因素，这同样至少部分地取决于上下文。

除非另有定义，本文使用的术语的目的仅在于描述具体实施例并且不作为本公开的限制。在使用时，单数形式的“一”、“一个”和“/该”也意图包括复数形式，除非上下文清楚指出另外的方式。还应明白术语“组成”和/或“包括”，当在该说明书中使用时，确定特征、整数、步骤、操作、元件和/或部件的存在，但不排除一个或更多其它的特征、整数、步骤、操作、元件、部件和/或组的存在或添加。在此使用时，术语“和/或”包括相关所列项目的任何及所有组合。

为了彻底理解本公开，将在下列的描述中提出详细的步骤以及详细的结构，以便阐释本公开的技术方案。本公开的较佳实施例详细描述如下，然而除了这些详细描述外，本公开还可以具有其他实施方式。

本公开实施例提供一种存储器，该存储器可以包括但不限于 DRAM、静态随机存储器（Static Random Access Memory, SRAM）、铁电随机存储器（Ferroelectric Random Access Memory, FRAM）、磁性随机存储器（Magnetoresistive Random Access Memory, MRAM）、相变随机存储器（Phase Change Random Access Memory, PCRAM）、阻变随机存储器（Resistive Random Access Memory, RRAM）、纳米随机存储器（Nano Random Access Memory, NRAM）等。

图 1 示出了一种存储器的系统架构图，如图 1 所示，该存储器系统 10

包括多个并列排布的存储库 (bank)。每个 bank 可以包括由阵列排布的存储单元构成的存储单元阵列 11, 这些存储单元还可以被划分为多个存储块 (如图 2 所示)。此外, 每个 bank 还包括与存储单元阵列耦接的行解码器 12、列解码器 13、字线驱动电路 14、写入驱动器/读取放大器 15、以及行熔丝修复电路 16 以及列熔丝修复电路 17 等。

存储单元阵列中的每个存储单元可以包括选通晶体管 T 以及存储电容 C, 每个存储单元分别与交叉排布的字线 WL 以及位线 BL 连接。如图 1 所示, 每个存储单元连接的位线还与感测放大电路 (Sense Amplifier, SA, 又称灵敏放大器) 连接。每个 SA 所连接的位线包括目标位线 (Target BitLine, BLT) 以及参考位线 (Reference BitLine, BLB)。进行读写操作的存储单元连接的位线表现为 BLT, 另外一条位线则表现为 BLB。需要说明的是, BLB 可以是单独设置的专用参考位线, 也可以是其他存储单元连接的位线, 例如相邻存储块中的位线或者相邻 bank 中的位线。当然, BLT 与 BLB 连接的存储单元不能同时进行读写操作。

此外, 上述存储系统 10 还包括外围电路 20, 外围电路 20 可以位于两排并列设置的 bank 之间, 也可以位于所有 bank 的外围区域。外围电路可以包括信号发生器 21、命令控制器 22、延迟锁定回路 (Delay Lock Loop, DLL) 23、时钟/地址/命令缓存单元 24、以及串/并行数据接收/发送总线 25 等等。

如图 2 所示, 上述存储系统 10 中, 每个 bank 可以包括多个存储块, 这里的存储块可以为内存数组片 (Memory Array Tile, MAT)。每个 MAT 中可以包括沿同一方向延伸的多条平行的字线 WL, 这些字线为本地字线 (LWL, Local WordLine), 位于同一行的多个 MAT 对应位置的字线还可以与全局字线 (GWL, Global WordLine) 连接, 图中未示出。一条字线 WL 可以连接其所在 MAT 中位于其延伸方向上的多个存储单元的选择晶体管, 从而通过对应的信号使得多个选择晶体管导通或截止, 以完成数据的写入和读取等操作。

另外, 每个 MAT 可以由独立的 SA 以及子字线驱动电路 (Sub WordLine Driver, SWD) 等控制。可以理解的是, SWD 用于驱动子字线, 即上述本地字线。此外, 由于 SA 需要连接位线以及参考位线, 故, 在本公开实施例中, 相邻的 MAT 的对应位置的位线可以连接同一 SA。

本公开实施例提供一种存储器, 如图 3 所示, 该存储器 100 包括:

衬底 110;

位于所述衬底内的控制电路层 120; 所述控制电路层 120 中包括所述存储器 100 的至少部分控制电路;

至少两个存储结构层 130; 所述至少两个存储结构层 130 依次堆叠在所述控制电路层 120 上; 所述存储结构层 130 包括: 存储单元阵列 131; 所述存储结构层 130 与所述控制电路层 120 电连接。

值得注意的是, 图中为了使得各结构均能被清晰示出, 可能造成各结

构的尺寸比例关系与实际结构不符。值得注意的是，本公开实施例中所涉及的水平方向指的是平行于衬底 110 表面的方向，包括但不限于 X 方向和 Y 方向，而垂直方向指的是垂直于衬底 110 表面的方向，如 Z 方向。图 3 所示的是上述存储器在 X-Z 方向上截面的示意图。

5 本公开实施例所涉及的存储器 100 可以为上述任一类型的存储器，为了便于描述，本公开实施例以 DRAM 为例进行说明。

这里的衬底 110 可以为包括单质半导体材料，例如硅 (Si)、锗 (Ge) 等，或者化合物半导体材料，例如氮化镓 (GaN)、砷化镓 (GaAs) 或磷化铟 (InP) 等材料构成的基底。

10 在本公开实施例中，衬底 110 内具有控制电路层 120，控制电路层 120 可以包括各种器件和导线构成的电路结构。至少部分存储器 100 的控制电路位于该控制电路层 120 内。示例性地，控制电路层 120 中可以包括连接存储单元阵列 131 的 SA 以及 SWD 等等。

15 上述存储器的存储单元阵列可以分层设置于存储结构层 130 中，在本公开实施例中，存储结构层 130 可以包括至少两层，每层存储结构层 130 依次堆叠在控制电路层 120 上方。每层存储结构层 130 中至少包括由阵列排布的存储单元，此外还可以包括存储单元之间以及与上下层之间的各种隔离层。

20 示例性地，本公开实施例中的存储单元阵列可以由具有“1T1C”（一个选择晶体管 T 与一个存储电容 C）结构的存储单元构成。选择晶体管用于控制控制电路与存储单元之间的信号通断，在向存储单元写入数据以及读取数据时需要将选择晶体管切换为导通状态，以实现存储电容与外接的电荷传递。存储电容则基于存储电荷达到存储数据的作用，由于存储电容存储的电荷不同的情况下，其电极表现出的电位不同，故可以通过切换存储
25 电容的存储状态，实现二进制数据的读写。例如，当存储电容处于充电后的状态时表示数据“1”，当存储电容处于放电后的状态（未充电的状态）时表示数据“0”。通过检测存储电容的电极上的电压，可以确定其状态为充电后的状态或者放电后（未充电的状态）的状态，进而实现数据的读取。

30 在一些实施例中，存储器 100 中的外围电路与存储单元阵列位于平行于衬底表面的同一平面内，且外围电路在水平方向上位于存储单元阵列的周围，这就使得存储器 100 在水平方向上的占用面积较大，集成度较低。可以理解的是，这种情况下为了获得更高的存储密度，需要进一步地缩小存储单元的尺寸，制程工艺难度较大。此外，由于外围电路与存储单元阵列在垂直方向上的高度差较大，且外围电路与存储单元阵列在同一道工艺
35 中形成，故外围电路中的导电插塞（Local Interconnect Contact, Licon）高度较高，接触电阻较大，会影响晶体管的驱动电流，使得存储器 100 的性能较差。

在本公开实施例中，如图 3 所示，控制电路层 120 位于衬底 110 内，

控制电路层 120 中具有存储器 100 的至少部分控制电路。示例性地，控制电路层 120 中包括但不限于字线驱动电路、感测放大电路、行解码器、列解码器、熔丝修复电路、电源电路、数据输入输出电路等。控制电路层 120 可以用于编解码、检测存储单元阵列以及控制存储单元阵列进行写入和读取数据等操作。

至少两个依次堆叠的存储结构层 130 位于控制电路层 120 上，即至少两个存储结构层 130 位于控制电路层 120 远离衬底 110 一侧的表面，且沿 Z 方向堆叠。存储结构层 130 用于根据控制电路层 120 发出的控制信号，进行数据的写入和读取等操作。

如此，至少两个存储结构层 130 在垂直于衬底 110 表面的方向上堆叠于控制电路层 120 上，从而构成了三维立体的存储结构，可以在不进一步缩小存储单元尺寸的前提下，减小存储器 100 在水平方向上占用的面积，有利于提高集成度。另一方面，各个存储结构层 130 可以依次形成在控制电路层 120 上，不会受到导电插塞、浅槽隔离（Shallow Trench Isolation, STI）、金属硅化物等工艺制程的限制，因此可以节省存储器 100 的制造成本，并保证外围电路和存储单元阵列中的各个晶体管具有较好的性能。

本公开实施例中，存储结构层 130 与控制电路层 120 位于相对衬底 110 上垂直方向的两层结构中，可以通过垂直于衬底的连接线实现互联。也就是说，上述具有“1T1C”结构的存储单元以阵列排布在控制电路层上，如此，相对于平铺存储单元阵列，并将控制电路设置于存储单元阵列外围的方式，本公开实施例的结构可以提升产品的集成度，减少占用面积。

此外，由于本公开实施例提供的存储单元阵列也可以在垂直于衬底的方向上堆叠多层，因此，可以进一步提升单位面积内的数据存储量，降低成本的同时提升存储器性能。

在一些实施例中，如图 4 所示，所述存储结构层 130 包括：多个阵列排布的存储块 132；所述控制电路层包括：与每个所述存储块 132 对应连接的多个控制块 121。

这里，存储块 132 可以为上述实施例所涉及的 MAT，控制块 121 则可以包括每个存储块 132 对应的控制电路，如 SA 以及 SWD 等。

在一些实施例中，所述存储块 132 包括：

多个阵列排布的存储单元；

以及多条沿第一方向延伸的字线 WL；每条所述字线 WL 连接多个沿第一方向间隔排布的所述存储单元；所述第一方向平行于所述衬底 110 的表面。

这里的第一方向即上述 X 方向，与 X 方向垂直且平行于衬底的第二方向则为 Y 方向，Z 方向则为垂直于衬底表面的方向，图 4 为 X-Y 平面的示意图，图 5 为 X-Z 平面的示意图。在一实施例中，每个存储块 132 可以单独与控制块 121 连接，并由该控制块 121 单独控制。一个存储块 132 的字

线以及位线可以是独立的，即不与其他存储块 132 的字线以及位线连接。每个存储块 132 对应连接的控制块 121 单独连接该存储块 132 中的各条字线以及位线。图 4 和图 5 示出了一层存储结构层 130 中的各存储块 132 以及位于控制电路层 120 中的各控制块 121 的位置关系。这些控制块 121 分别单独控制各存储块 132，各存储块 132 中的字线 WL 和位线 BL 都可以通过垂直于衬底方向的连接线连接。图 4 仅示出了包含一层存储结构层 130 的示意图，为了便于理解，位于控制电路层的控制块 121 由半透明的存储块 132 显露出来，实际结构中并非可透视的结构。

图 4 示出了至少部分位于存储块 132 的投影区域内，且与存储块 132 一一对应的一种控制块 121，还示出了位于两个存储块 132 之间，两个存储块 132 可以共用的另一种控制块 121。在实际应用中，多种控制块 121 可以根据实际需求分布在控制电路层。为了便于展示一层存储结构层 130 在 Z 方向上的结构，图 5 仅示出了部分控制块 121 与存储块 132 之间的位置关系。

图 6 示出了 Y-Z 平面的两层存储结构层 130 中各存储块 132 以及控制电路层 120 中的各控制块 121 的位置关系。两层存储结构层 130 可以具有相互错开不重叠的区域，从而便于上层的存储结构层 130 通过连接线连接至控制电路层 120。

在一些实施例中，如图 7 所示，用于连接存储结构层 130 与控制电路层 120 的连接线 140 包括与选择晶体管 T 的一端连接的第一支线 141。

可以理解的是，存储结构层 130 中，每个存储单元的选择晶体管 T 的一端与第一支线 141 连接，另一端与存储电容 C 的一个电极连接。第一支线 141 与上述控制电路层 120 连接，从而实现了存储单元与控制电路的电连接。

第一支线 141 连接存储单元的选择晶体管 T，可以在对存储单元进行数据写入时向存储单元提供数据信号，读出时感测存储单元中存储的数据对应的电压信号。在选择晶体管 T 导通的状态下，第一支线 141 上的电压信号可以传递至存储电容 C，从而实现对存储电容 C 的充电，进而实现数据的写入。

在一些实施例中，同一条第一支线 141 连接位于同一层的存储单元阵列 131 中的两个选择晶体管 T 的共接的一端。

如图 7 所示，上述存储单元可以成对分布，每两个存储单元的选择晶体管连接在同一条第一支线 141 上。这样，第一支线 141 可以同步向位于同一层的两个存储单元提供信号连接。

这种设计可以进一步提升存储器的集成度，并能够进行灵活地充放电操作。

在一些实施例中，第一支线 141 连接的位于同一层的存储单元阵列中的两个存储单元相对于第一支线 141 成对称分布。

这样，第一支线 141 可以在同一个节点分别连接两个选择晶体管的一端。结构简单且节省占用面积。

需要说明的是，这里的两个存储单元可以以第一支线 141 所在的连接点为中心成中心对称分布，也可以以该连接点所在的支线为轴成轴对称分布。当然，在实际应用中也可以根据具体需求设计其他的分布位置。

在一些实施例中，如图 8 所示，所述存储器 100 还包括：

位线结构层 150，位于所述控制电路层 120 与至少两个所述存储结构层 130 之间；所述位线结构层 150 中包括多条沿第二方向延伸的位线 BL（图 8 中所示截面仅能看到一条）；所述第二方向与所述第一方向之间具有夹角，所述第二方向平行于所述衬底 110 的表面；

每条所述位线 BL 连接沿第二方向间隔排布的多组存储单元，其中，每组存储单元是通过第一支线 141 连接的沿垂直于所述衬底表面的方向上堆叠设置的多个存储单元。

这里，第二方向即图示中的 Y 方向，第一方向为图示中的 X 方向。图 8 为 Y-Z 方向上的截面示意图。

在本公开实施例中，位于不同存储结构层 130 中的存储单元可以连接在同一条位线上，也就是说，同一条位线可以控制位于多个存储结构层 130 中位于 Z 方向上同一直线的存储单元。示例性地，如图 8 所示，位线结构层 150 中沿第二方向延伸的位线 BL 通过垂直于衬底方向的支线连接至存储结构层 130 以及控制电路层 120。

需要说明的是，位线结构层 150 中的各条位线 BL 可以连接多层存储结构层 130 中的存储单元，即多层存储结构层 130 共用同一位线结构层 150 中的位线 BL。

在一些实施例中，如图 8 所示，在平行于衬底 110 的第二方向即 Y 方向，位于同一直线的多条第一支线 141 连接在同一条位线 BL 上；连接线 140 还包括连接位线 BL 与控制电路层 120 的第二支线 142。

可以理解的是，贯穿于存储结构层 130 的多条第一支线 141 可以连接在同一条位线 BL 上。

同一条位线 BL 可以向位于沿平行于衬底方向的沿第二方向间隔排布的多组存储单元提供电连接。这里，每组存储单元即上述同一条第一支线 141 所连接的多个存储单元。

由于存储结构层 130 包括至少两层，因此，本公开实施例中的存储单元是在衬底 110 以及控制电路层 120 上以三维的结构阵列排布的。也就是说，位线 BL 所连接的存储单元包括一个面上的多个存储单元。

相对于同一条位线 BL 连接的存储单元，可以通过对每个存储单元的选择晶体管 T 进行单独选通，实现对每个存储单元的单独控制。

控制电路层 120 中可以包括连接位线 BL 并通过位线 BL 对各存储单元进行读写操作的电路及器件。由于位线 BL 沿平行于衬底表面的第二方向延

伸,故这里还需要垂直于衬底的第二支线 142 连接在位线 BL 与控制电路层 120 之间。

在一些实施例中,如图 8 所示,所述控制块 121 包括:与所述位线结构层 150 连接的第一控制块,例如图 8 中的 SA,第一控制块的至少部分位于沿所述位线 BL 延伸方向上相邻的两个存储块 132 的投影区域之间。

如图 9 所示,所述控制块 121 还包括:与所述字线连接的第二控制块,例如图 9 中的 SWD,所述第二控制块的至少部分位于所连接的字线所在的所述存储块的投影区域范围内。示例性地,第二控制块可以为 SWD。

SWD 即子字线驱动电路,该电路可以用于驱动每个存储块的本地字线 WL,即用于提供对各存储单元的选通信号。这里,SWD 中的子字线是针对存储块的本地字线的概念,即上述字线 WL。相对地,对于多个存储块 132 还可以有全局字线连接多条本地字线。

可以理解的是,一个 SWD 可以通过解码器解码地址命令,连接对应的一条字线 WL,并用于导通该字线 WL 连接的每个存储单元的选择晶体管 T。

对于要进行读写的存储单元,即目标存储单元,只需通过该目标存储单元对应的 SWD 提供驱动信号,通过其连接的字线 WL 导通该目标存储单元所在的字线 WL 连接的多个存储单元。同时,对于该目标存储单元连接的位线则提供相应的数据信号,从而达到对目标存储单元进行独立的读写操作的目的。

在一些实施例中,如图 8 所示,在垂直于所述衬底表面的方向上不同存储结构层中对应的存储块沿所述第二方向对齐。

并且,在一些实施例中,在同一存储结构层中沿所述第二方向相邻的两个存储块共用一个所述第一控制块。

相邻的两个所述存储块 132 中处于相邻位置的所述位线 BL 连接同一个所述 SA。示例性地,如图 8 所示,位于同一存储结构层 130 的中沿第二方向延伸的相邻的两个存储块 132 可以连接同一个 SA。当然,由于不同存储结构层 130 中在 Z 方向上位于同一直线的存储单元连接在同一位线上,因此,不同存储结构层 130 中相邻的两个存储块也可以连接同一个 SA,即一个 SA 可以通过位线连接 4 个存储块 132 中的存储单元。对于同一存储结构层 130 中的两个相邻的存储块,其中一个存储块 132 处于工作状态时,另一个存储块 132 的位线 BL 则作为参考位线,而处于工作状态的存储块 132 的位线则作为 SA 的目标位线。如此,可以使这两个存储块交替进行读写等操作,提升 SA 的使用效率,减少 SA 的占用面积。

此外,还可以使不同存储结构层 130 中相邻的两个存储块 132 连接同一个 SA 并互为参考,但是,这种情况下这两个存储块 132 的位线不能共用,而是使用两组位线,并在操作过程中分别作为目标位线和参考位线。

如图 9 所示,针对各存储块 132 中与存储单元连接的字线 WL,在一些实施例中,位于第二方向上同一直线的多个选择晶体管 T 的栅极 G 连接在

同一条字线 WL 上。

这里的第二方向是与第一方向垂直或者具有一定夹角的方向，即字线 WL 与位线 BL 的延伸方向是相互交叉的。位于该第二方向上的多个选择晶体管 T 由同一条字线 WL 控制，这样，每条字线 WL 和位线 BL 可以唯一确定一个选择晶体管 T，进而实现对每个存储单元的单独控制。

在一些实施例中，如图 9 所示，上述连接线 140 还可以包括与控制电路层 120 连接的第三连接线 143；字线 WL 则与第三连接线 143 连接。

由于字线 WL 是沿平行于衬底 110 的方向延伸的，因此，在垂直于衬底的方向上还有用于连接字线 WL 与控制电路层 120 的第三连接线 143。每条字线 WL 可以与一条或多条第三连接线 143 连接。

需要说明的是，控制电路层 120 中可以包括用于连接第三连接线 143 的连接端，还可以包括用于为字线 WL 提供控制信号的控制电路或者驱动电路。

在一些实施例中，字线 WL 位于选择晶体管 T 的栅极 G 所在的平行于衬底 110 表面的平面内。

由于字线 WL 用于向选择晶体管 T 的栅极 G 提供控制信号，故字线需要连接选择晶体管 T 的栅极 G。在本公开实施例中，可以采用连通的金属线直接作为多个选择晶体管 T 的栅极 G，因此字线 WL 的位置位于选择晶体管 T 的栅极 G 所在的平面内。也就是说，字线 WL 贯穿在每一层存储结构 130 之中。

在一些实施例中，如图 9 所示，所述存储结构层 130 包括：上结构层 130a 和下结构层 130b；

所述上结构层 130a 中的存储块为第一存储块 132a；所述下结构层 130b 中的存储块为第二存储块 132b；

位于所述上结构层 130a 中沿第一方向延伸的相邻的第一存储块 132a 之间具有第一间隔区域；

位于所述下结构层 130b 中沿第一方向延伸的相邻的第二存储块 132b 之间具有第二间隔区域；

所述第一间隔区域与所述第二间隔区域在所述控制电路层上的投影不重合。

示例性地，位于上结构层 130a 中，沿第一方向延伸的相邻的第一存储块 132a 中的字线 WL 之间具有第一间隔区域 161，下结构层 130a 中沿第一方向延伸的相邻的第二存储块 132b 中的字线 WL 之间具有第二间隔区域 162。上结构层 130a 中各第一存储块 132a 字线 WL 的至少部分可以投影在下结构层 130b 的第二间隔区域 162 中，也就是说，上结构层 130a 中的字线 WL 的至少部分可以从第二间隔区域 162 中暴露出来，从而可以通过垂直方向的连接线连接至控制电路层 120。

在一些实施例中，所述第一存储块通过贯穿所述第二间隔区域 162 的

连接线，连接至对应所述第一存储块的第二控制块，如 SWD；

所述第二存储块通过位于所述第二存储块下方的连接线，连接至对应所述第二存储块的所述第二控制块，如 SWD。所述第一存储块对应的第二控制块和所述第二存储块对应的所述第二控制块沿第一方向间隔排布，如图 9 所示。

在一些实施例中，所述第一存储块的连接线的长度，大于所述第二存储块的连接线的长度；

所述第一存储块连接的所述第二控制块的驱动能力，大于所述第二存储块连接的所述第二控制块的驱动能力。

示例性地，上结构层 130a 的各条字线 WL 连接的第三连接线 143，经过下结构层 130b 的各字线 WL 之间的第二间隔区域 162 与控制电路层 120 连接。

这里，每个存储块 132 中的每条字线可以连接至少一条第三连接线 143，并通过第三连接线 143 连接至控制电路层 120。此外，下结构层由于没有遮挡，因此可以直接通过第三连接线 143 连接至控制电路层 120。因此，控制电路层 120 中的驱动电路可以对每一条字线单独控制。

需要说明的是，在本公开实施例中，上结构层 130a 和下结构层 130b 中位于重叠位置的字线中的开口可以是错开的，即上述第一间隔区域 161 与第二间隔区域 162 是相互错开的，如图 9 所示。这样，连接在上结构层 130a 中各字线 WL 上的第三连接线 143 可以垂直向下延伸，通过下结构层 130b 中的开口 160 延伸至控制电路层 120。下结构层 130b 中的各字线 WL 则可以直接垂直向下延伸至控制电路层 120。如此，上下两层存储结构层 130 中与各字线 WL 连接的第三连接线 143 之间互不影响，可以按照一定的规律分布（取决于字线以及开口的位置），从而具有稳定均匀的结构。

在一些实施例中，如图 10 所示，所述控制电路层 120 还包括：全局控制电路 123；所述全局控制电路 123 与多个所述控制块 121 连接；所述全局控制电路至少用于向多个所述控制块提供控制信号。

示例性地，上述全局控制电路 123 可以包括：全局字线，连接多个所述第二控制块，用于提供多个第二控制块连接的所述存储块中多条字线的控制信号。

在一些实施例中，所述全局控制电路 123 所在的区域：位于任意的所述存储块 132 在所述控制电路层 120 上的投影区域以外。

示例性地，全局控制电路 123 可以位于控制电路层 120 外围的区域，即存储结构层 130 投影区域以外。全局控制电路 123 可以连接多个控制块 121，从而为多个控制块 121 提供控制信号。全局控制电路 123 也可以位于一些控制块 121 之间，例如，位于多个并列的控制块 121 中间的两个控制块 121 之间的间隙内。

全局控制电路 123 所连接的多个控制块 121 可以分时控制，也可同步

控制，这取决于全局控制电路与对应控制块 121 的功能及连接关系，这里不做限制。

在一些实施例中，所述存储器还包括：

电源模块，连接多个第一控制块和/或多个第二控制块，配置为提供电
5 源信号；

所述电源模块位于所述衬底中，且所述电源模块与所述控制电路层位于同一结构层内。

电源模块可以产生不同的电压，以在写入、读取等操作时满足存储器中各个器件的需求。示例性地，电源模块和控制电路层在衬底中所在的深度基本相同，以优化存储器的器件及线路布局。

在一些实施例中，所述存储器还包括：

数据输入输出（I/O）模块，连接所述第一控制块，所述数据输入输出模块配置为通过所述第一控制块对存储单元进行数据的写入或读取。

数据输入输出模块可以配置为与存储器以外的组件进行数据交换。示例性地，数据输入输出模块可以连接 SA，并通过 SA 和 SA 连接的位线对存储单元进行数据的读取和写入等操作。

与上述全局控制电路类似，这里的电源模块与数据输入输出模块也可以设置于衬底的外围区域，并连接多个第一控制块或者第二控制块。

如图 11 所示，本公开实施例提供一种存储器的制造方法，包括：

步骤 S101、提供衬底；

步骤 S102、在衬底上形成控制电路层；其中，控制电路层中包括存储器的至少部分控制电路；

步骤 S103、在控制电路层上形成至少两层堆叠的存储结构层；存储结构层包括：存储单元阵列，存储结构层与控制电路通过垂直于衬底方向的连接线连接。

上述方法用于形成上述任一实施例所述的存储器，在本公开实施例中，在衬底上形成控制电路层，该控制电路层可以至少部分位于衬底中，例如，可以通过对衬底进行区域化的掺杂、刻蚀等工艺形成半导体器件结构。该控制电路层也可以包括至少部分位于衬底之上，例如，覆盖在衬底表面的金属布线等。

总之，控制电路层包含有至少部分存储器的控制电路，因此，可以包含大量的电路走线以及与之连接的器件。

在控制电路层上还可以覆盖介质材料构成的隔离层，然后在隔离层上形成存储结构层。存储结构层与控制电路层之间具有电连接，故两者可以通过贯穿隔离层的导线进行连接。也就是说，在形成存储结构层之前，还可以在隔离层上形成通孔，并填入导电材料。

然后，在形成有上述带有通孔的隔离层后，可以在上面堆叠形成存储结构层。存储结构层中的一些接触节点可以与上述通孔通过导电材料连接，

进而连接至控制电路层中。

如此，就可以形成垂直方向堆叠的多层存储结构层以及位于存储结构层下层的控制电路层，有效地节省了空间，提升存储器的集成度。

此外，如图 12 所示，本公开实施例还提供一种存储系统 200，包括上述任一实施例所涉及的存储器 100 以及与该存储器 100 所连接的存储控制器 300。该存储系统 200 可以为任意一种存储芯片。

应理解，说明书通篇中提到的“一个实施例”或“一实施例”意味着与实施例有关的特定特征、结构或特性包括在本公开的至少一个实施例中。因此，在整个说明书各处出现的“在一个实施例中”或“在一实施例中”未必一定指相同的实施例。此外，这些特定的特征、结构或特性可以任意适合的方式结合在一个或多个实施例中。应理解，在本公开的各种实施例中，上述各过程的序号的大小并不意味着执行顺序的先后，各过程的执行顺序应以其功能和内在逻辑确定，而不对本公开实施例的实施过程构成任何限定。上述本公开实施例序号仅仅为了描述，不代表实施例的优劣。

需要说明的是，在本文中，术语“包括”、“包含”或者其任何其他变体意在涵盖非排他性的包含，从而使得包括一系列要素的过程、方法、物品或者装置不仅包括那些要素，而且还包括没有明确列出的其他要素，或者是还包括为这种过程、方法、物品或者装置所固有的要素。在没有更多限制的情况下，由语句“包括一个……”限定的要素，并不排除在包括该要素的过程、方法、物品或者装置中还存在另外的相同要素。

在本公开所提供的几个实施例中，应该理解到，所揭露的设备和方法，可以通过其它的方式实现。以上所描述的设备实施例仅仅是示意性的，例如，所述单元的划分，仅仅为一种逻辑功能划分，实际实现时可以有另外的划分方式，如：多个单元或组件可以结合，或可以集成到另一个系统，或一些特征可以忽略，或不执行。另外，所显示或讨论的各组成部分相互之间的耦合、或直接耦合、或通信连接可以是通过一些接口，设备或单元的间接耦合或通信连接，可以是电性的、机械的或其它形式的。

上述作为分离部件说明的单元可以是、或也可以不是物理上分开的，作为单元显示的部件可以是、或也可以不是物理单元；既可以位于一个地方，也可以分布到多个网络单元上；可以根据实际的需要选择其中的部分或全部单元来实现本实施例方案的目的。

另外，在本公开各实施例中的各功能单元可以全部集成在一个处理单元中，也可以是各单元分别单独作为一个单元，也可以两个或两个以上单元集成在一个单元中；上述集成的单元既可以采用硬件的形式实现，也可以采用硬件加软件功能单元的形式实现。

以上所述，仅为本公开的实施方式，但本公开的保护范围并不局限于此，任何熟悉本技术领域的技术人员在本公开揭露的技术范围内，可轻易想到变化或替换，都应涵盖在本公开的保护范围之内。因此，本公开的保

护范围应以所述权利要求的保护范围为准。

工业实用性

- 5 本公开实施例的技术方案中，存储器的至少部分控制电路被设置于堆叠的存储结构层与衬底之间的控制电路层中，并且存储结构层与控制电路层通过垂直于衬底方向的连接线进行连接。如此，相对于控制电路被设置于存储单元阵列周围的方案，本公开实施例提供的存储器可以具有更高的集成度和更小的面积，并且垂直堆叠的结构更便于制造和电路走线设计。

权利要求书

1. 一种存储器，包括：

衬底；

位于所述衬底内的控制电路层；所述控制电路层中包括所述存储器的至少部分控制电路；

至少两个存储结构层；所述至少两个存储结构层依次堆叠在所述控制电路层上；所述存储结构层与所述控制电路层电连接。

2. 根据权利要求 1 所述的存储器，其中，所述存储结构层包括：多个阵列排布的存储块；

所述控制电路层包括：与每个所述存储块对应连接的多个控制块。

3. 根据权利要求 2 所述的存储器，其中，所述存储块包括：

多个阵列排布的存储单元；

以及多条沿第一方向延伸的平行的字线；每条所述字线连接多个沿所述第一方向间隔排布的所述存储单元；所述第一方向平行于所述衬底的表面。

4. 根据权利要求 3 所述的存储器，其中，所述存储器还包括：

位线结构层，位于所述控制电路层与至少两个所述存储结构层之间；所述位线结构层中包括多条沿第二方向延伸的位线；所述第二方向与所述第一方向之间具有夹角，所述第二方向平行于所述衬底的表面；

每条所述位线连接沿第二方向间隔排布的多组存储单元，其中，每组存储单元是通过第一支线连接的沿垂直于所述衬底表面的方向上堆叠设置的多个存储单元。

5. 根据权利要求 4 所述的存储器，其中，所述控制块包括：

与所述位线结构层连接的第一控制块，所述第一控制块的至少部分位于沿所述位线延伸方向上相邻的两个存储块的投影区域之间；

与所述字线连接的第二控制块，所述第二控制块的至少部分位于所连接的字线所在的所述存储块的投影区域范围内。

6. 根据权利要求 5 所述的存储器，其中，在垂直于所述衬底表面的方向上不同存储结构层中对应的存储块沿所述第二方向对齐。

7. 根据权利要求 5 所述的存储器，其中，在同一存储结构层中沿所述第二方向相邻的两个存储块共用一个所述第一控制块。

8. 根据权利要求 5 所述的存储器，其中，所述存储结构层包括：上结构层和下结构层；所述上结构层中的存储块为第一存储块；所述下结构层中的存储块为第二存储块；

位于所述上结构层中沿所述第一方向延伸的相邻的第一存储块之间具有第一间隔区域；

位于所述下结构层中沿所述第一方向延伸的相邻的第二存储块之间具

有第二间隔区域;

所述第一间隔区域与所述第二间隔区域在所述控制电路层上的投影不重合。

5 9. 根据权利要求 8 所述的存储器, 其中, 所述第一存储块通过贯穿所述第二间隔区域的连接线, 连接至对应所述第一存储块的所述第二控制块;

所述第二存储块通过位于所述第二存储块下方的连接线, 连接至对应所述第二存储块的所述第二控制块, 所述第一存储块对应的第二控制块和所述第二存储块对应的所述第二控制块沿第一方向间隔排布。

10 10. 根据权利要求 9 所述的存储器, 其中, 所述第一存储块的连接线的长度, 大于所述第二存储块的连接线的长度;

所述第一存储块连接的所述第二控制块的驱动能力, 大于所述第二存储块连接的所述第二控制块的驱动能力。

11. 根据权利要求 5 所述的存储器, 其中, 所述存储器还包括:

15 电源模块, 连接多个第一控制块和/或多个第二控制块, 配置为提供电源信号;

所述电源模块位于所述衬底中, 且所述电源模块与所述控制电路层位于同一结构层内。

12. 根据权利要求 5 所述的存储器, 其中, 所述存储器还包括:

20 数据输入输出模块, 连接所述第一控制块, 所述数据输入输出模块配置为通过所述第一控制块对存储单元进行数据的写入或读取。

13. 根据权利要求 2 至 12 任一所述的存储器, 其中, 所述控制电路层还包括: 全局控制电路;

所述全局控制电路与多个所述控制块连接;

所述全局控制电路至少用于向多个所述控制块提供控制信号。

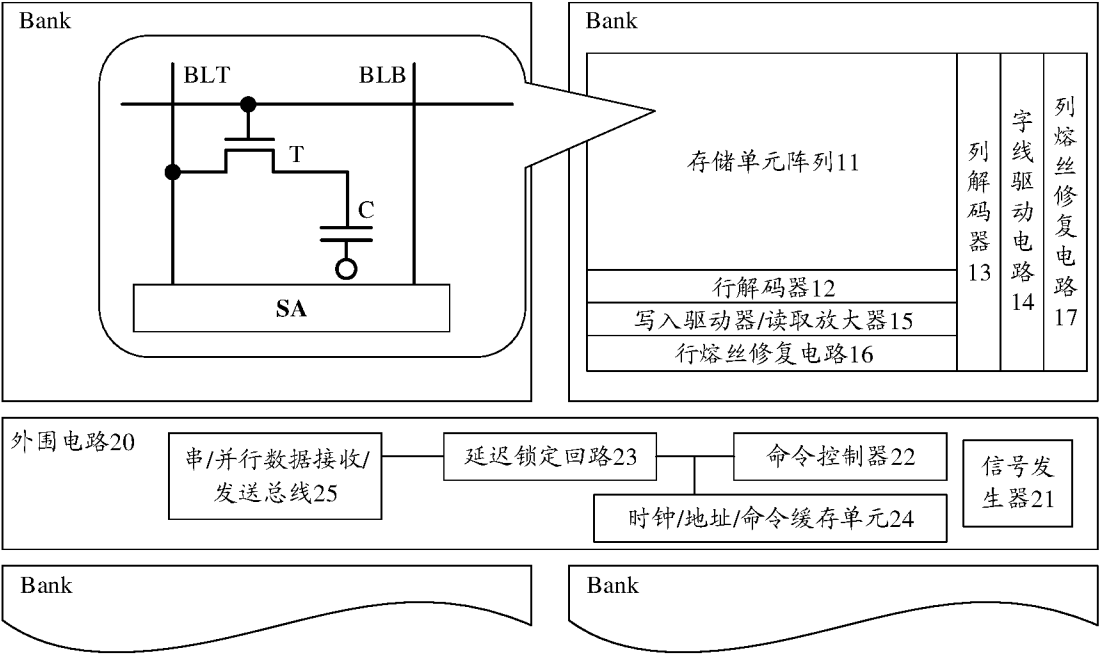
25 14. 根据权利要求 13 所述的存储器, 其中, 所述全局控制电路包括:

全局字线驱动模块, 连接多个第二控制块, 配置为提供多个所述第二控制块连接的所述存储块中多条字线的控制信号。

15. 一种存储系统, 包括:

如权利要求 1 至 14 任一所述的存储器;

30 存储控制器。



10
图 1

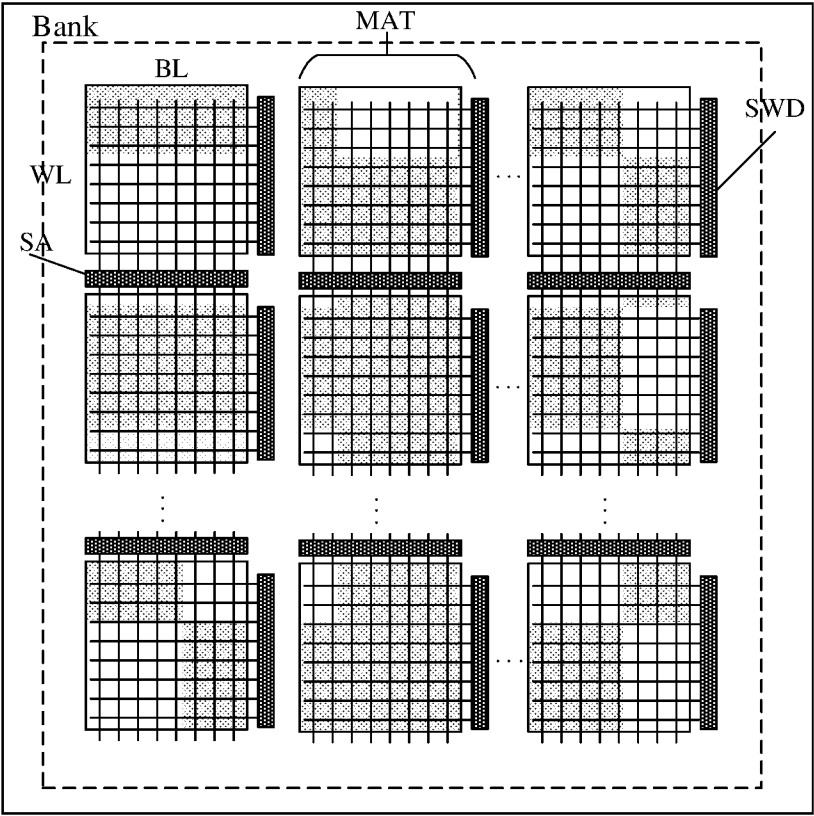


图 2

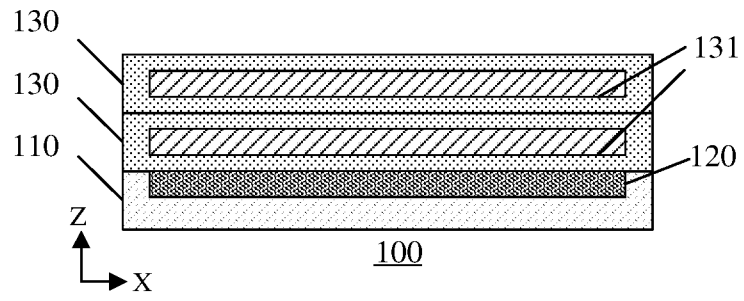


图 3

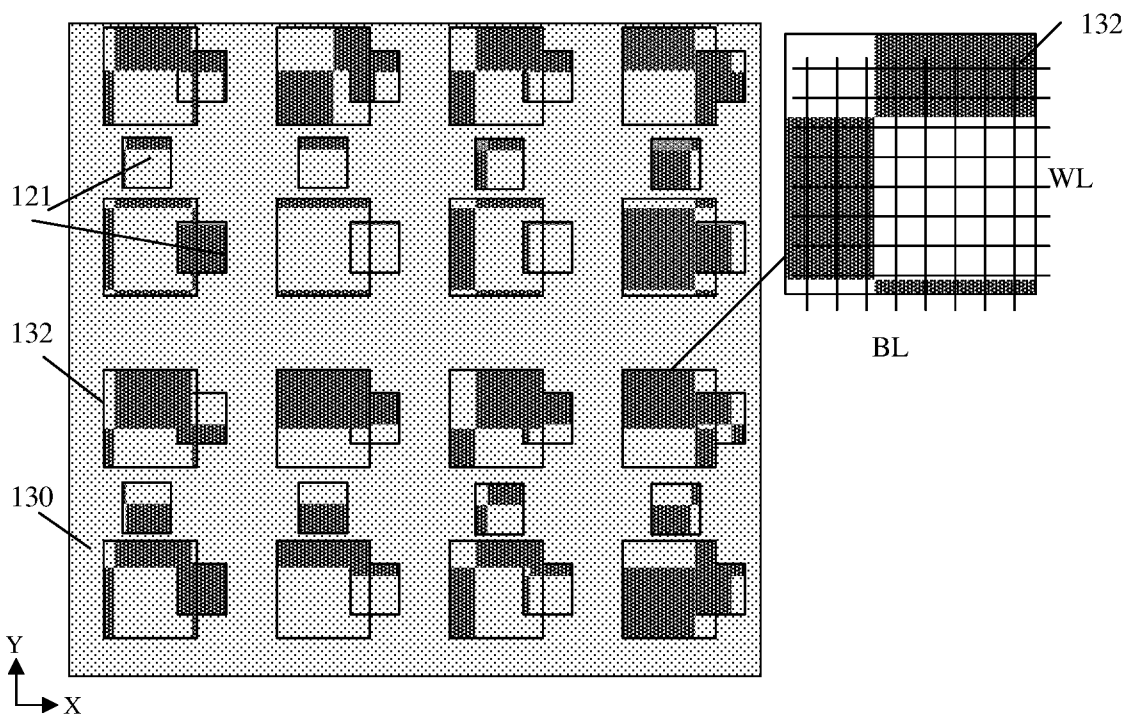


图 4

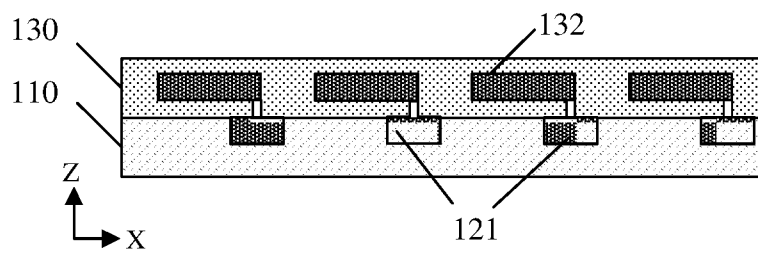


图 5

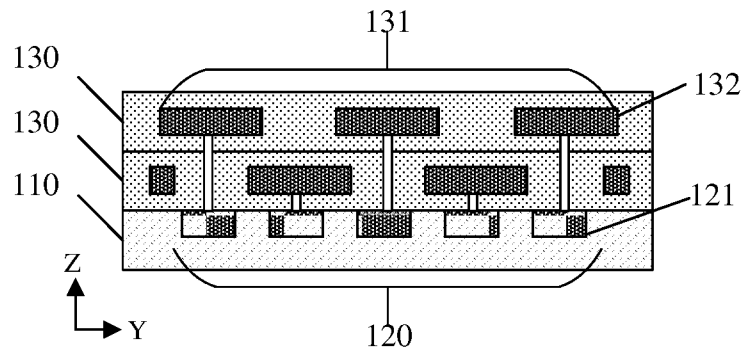


图 6

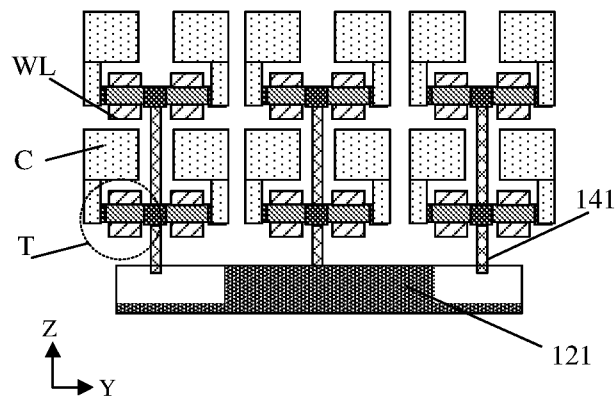


图 7

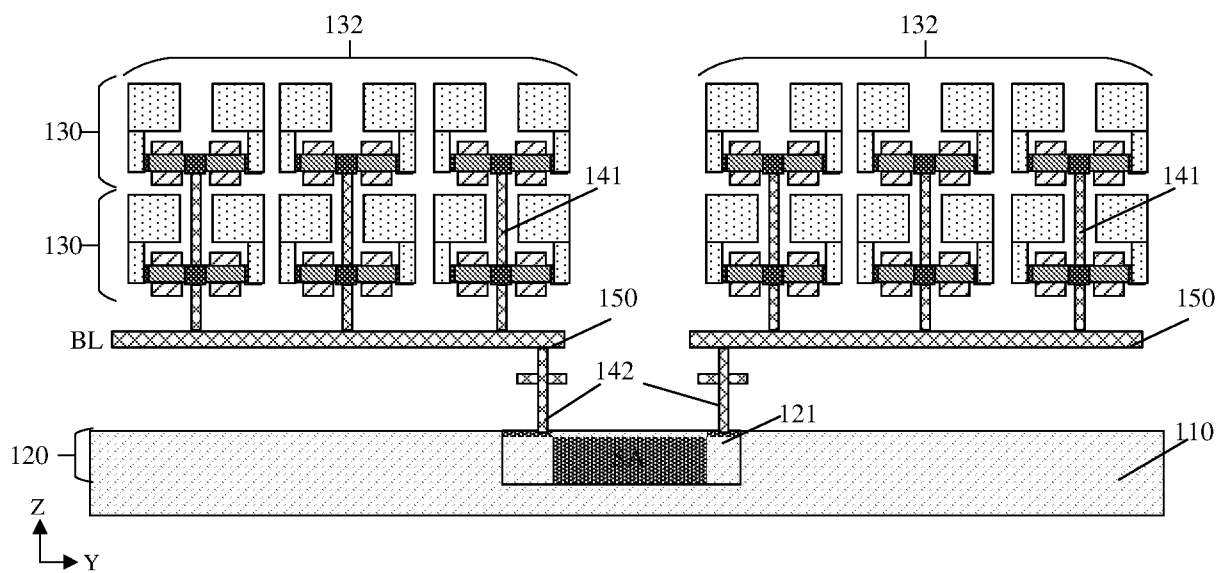


图 8

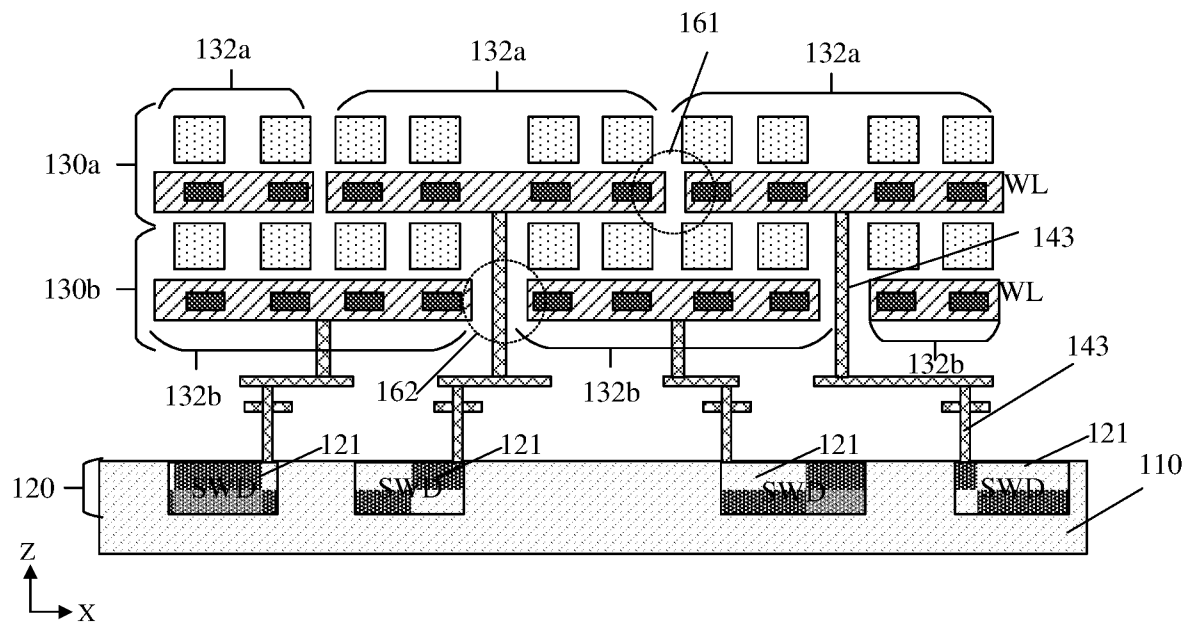


图 9

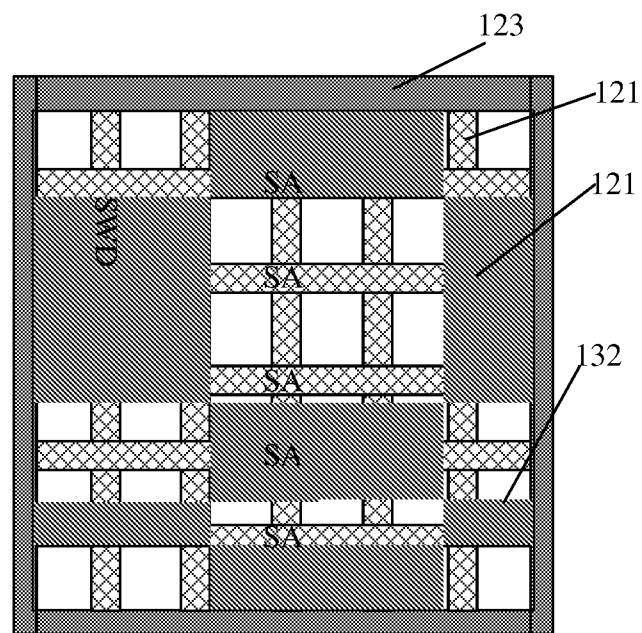


图 10

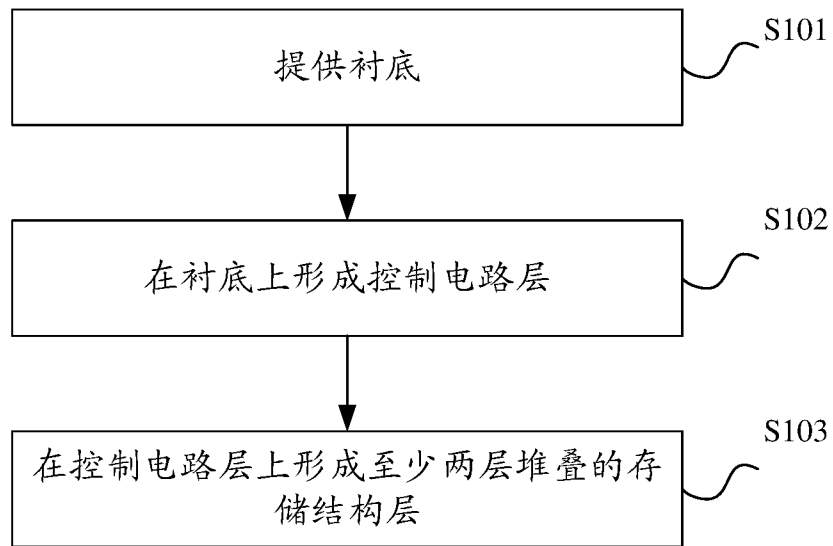


图 11

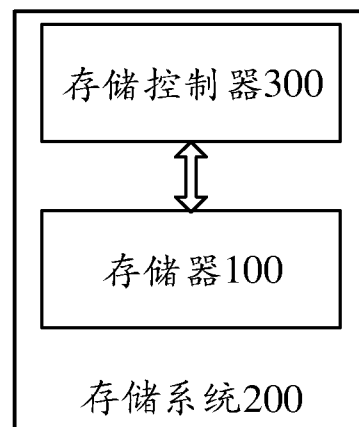


图 12

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2022/130651

A. CLASSIFICATION OF SUBJECT MATTER

H01L25/065(2023.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L, G11C

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

VEN, CNTXT, ENTXT, DWPI, CNKI, IEEE: 存储器, 衬底, 堆叠, 三维, 存储块, 存储单元, 控制电路, 驱动电路, 放大器, 解码器, 字线, 位线, storage, memory, stacked, 3D, substrate, block, unit, control circuit, drive circuit, amplifier, decoder, sense amplifier, SA, sub wordline driver, SWD, wordline, WL, bitline, BL

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 110291641 A (MICRON TECHNOLOGY INC.) 27 September 2019 (2019-09-27) description, paragraphs [0056]-[0082]; and figures 1-3 and 7	1-15
A	CN 109755251 A (SAMSUNG ELECTRONICS CO., LTD.) 14 May 2019 (2019-05-14) entire document	1-15
A	CN 114121968 A (SAMSUNG ELECTRONICS CO., LTD.) 01 March 2022 (2022-03-01) entire document	1-15
A	CN 112740403 A (YANGTZE MEMORY TECHNOLOGIES CO., LTD.) 30 April 2021 (2021-04-30) entire document	1-15
A	US 2001022369 A1 (TAKUYA, Fukuda et al.) 20 September 2001 (2001-09-20) entire document	1-15



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance
 “D” document cited by the applicant in the international application
 “E” earlier application or patent but published on or after the international filing date
 “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 “O” document referring to an oral disclosure, use, exhibition or other means
 “P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

11 May 2023

Date of mailing of the international search report

17 May 2023

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/
CN)
China No. 6, Xitucheng Road, Jimenqiao, Haidian District,
Beijing 100088

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2022/130651

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	110291641	A	27 September 2019	TW	201839762	A	01 November 2018
				JP	2021122054	A	26 August 2021
				KR	20190108174	A	23 September 2019
				JP	2020514939	A	21 May 2020
				US	2019267083	A1	29 August 2019
				WO	2018151987	A1	23 August 2018
				SG	11201907437	UA	27 September 2019
				EP	3583627	A1	25 December 2019
				US	2018233197	A1	16 August 2018
				US	2020066339	A1	27 February 2020
				US	2021183441	A1	17 June 2021
CN	109755251	A	14 May 2019	US	2019139968	A1	09 May 2019
				KR	20190051306	A	15 May 2019
CN	114121968	A	01 March 2022	KR	20220026654	A	07 March 2022
				TW	202209314	A	01 March 2022
				US	2022068859	A1	03 March 2022
				CN	214505493	U	26 October 2021
CN	112740403	A	30 April 2021	WO	2022133844	A1	30 June 2022
				US	2022208705	A1	30 June 2022
				TW	202226544	A	01 July 2022
				KR	20230014735	A	30 January 2023
US	2001022369	A1	20 September 2001	KR	19990062885	A	26 July 1999
				JPH	11186518	A	09 July 1999
				US	6255151	B1	03 July 2001
				TW	471158	B	01 January 2002

A. 主题的分类 H01L25/065 (2023. 01) i 按照国际专利分类 (IPC) 或者同时按照国家分类和 IPC 两种分类																						
B. 检索领域 检索的最低限度文献 (标明分类系统和分类号) H01L, G11C 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库 (数据库的名称, 和使用的检索词 (如使用)) VEN, CNTXT, ENTXT, DWPI, CNKI, IEEE: 存储器, 衬底, 堆叠, 三维, 存储块, 存储单元, 控制电路, 驱动电路, 放大器, 解码器, 字线, 位线, storage, memory, stacked, 3D, substrate, block, unit, control circuit, drive circuit, amplifier, decoder, sense amplifier, SA, sub wordline driver, SWD, wordline, WL, bitline, BL																						
C. 相关文件 <table border="1"> <thead> <tr> <th>类 型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>X</td> <td>CN 110291641 A (美光科技公司) 2019年9月27日 (2019 - 09 - 27) 说明书第[0056]-[0082]段; 附图1-3, 7</td> <td>1-15</td> </tr> <tr> <td>A</td> <td>CN 109755251 A (三星电子株式会社) 2019年5月14日 (2019 - 05 - 14) 全文</td> <td>1-15</td> </tr> <tr> <td>A</td> <td>CN 114121968 A (三星电子株式会社) 2022年3月1日 (2022 - 03 - 01) 全文</td> <td>1-15</td> </tr> <tr> <td>A</td> <td>CN 112740403 A (长江存储科技有限责任公司) 2021年4月30日 (2021 - 04 - 30) 全文</td> <td>1-15</td> </tr> <tr> <td>A</td> <td>US 2001022369 A1 (TAKUYA, Fukuda 等) 2001年9月20日 (2001 - 09 - 20) 全文</td> <td>1-15</td> </tr> </tbody> </table> ☐ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。 <table border="0"> <tr> <td> * 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “D” 申请人在国际申请中引证的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 </td> <td> “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件 </td> </tr> </table>			类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求	X	CN 110291641 A (美光科技公司) 2019年9月27日 (2019 - 09 - 27) 说明书第[0056]-[0082]段; 附图1-3, 7	1-15	A	CN 109755251 A (三星电子株式会社) 2019年5月14日 (2019 - 05 - 14) 全文	1-15	A	CN 114121968 A (三星电子株式会社) 2022年3月1日 (2022 - 03 - 01) 全文	1-15	A	CN 112740403 A (长江存储科技有限责任公司) 2021年4月30日 (2021 - 04 - 30) 全文	1-15	A	US 2001022369 A1 (TAKUYA, Fukuda 等) 2001年9月20日 (2001 - 09 - 20) 全文	1-15	* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “D” 申请人在国际申请中引证的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件	“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求																				
X	CN 110291641 A (美光科技公司) 2019年9月27日 (2019 - 09 - 27) 说明书第[0056]-[0082]段; 附图1-3, 7	1-15																				
A	CN 109755251 A (三星电子株式会社) 2019年5月14日 (2019 - 05 - 14) 全文	1-15																				
A	CN 114121968 A (三星电子株式会社) 2022年3月1日 (2022 - 03 - 01) 全文	1-15																				
A	CN 112740403 A (长江存储科技有限责任公司) 2021年4月30日 (2021 - 04 - 30) 全文	1-15																				
A	US 2001022369 A1 (TAKUYA, Fukuda 等) 2001年9月20日 (2001 - 09 - 20) 全文	1-15																				
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “D” 申请人在国际申请中引证的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件	“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件																					
国际检索实际完成的日期 2023年5月11日		国际检索报告邮寄日期 2023年5月17日																				
ISA/CN的名称和邮寄地址 中国国家知识产权局 中国北京市海淀区蓟门桥西土城路6号 100088		授权官员 孔昕 电话号码 (+86) 010-53961371																				

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2022/130651

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	110291641	A	2019年9月27日	TW	201839762	A	2018年11月1日
				JP	2021122054	A	2021年8月26日
				KR	20190108174	A	2019年9月23日
				JP	2020514939	A	2020年5月21日
				US	2019267083	A1	2019年8月29日
				WO	2018151987	A1	2018年8月23日
				SG	11201907437	UA	2019年9月27日
				EP	3583627	A1	2019年12月25日
				US	2018233197	A1	2018年8月16日
				US	2020066339	A1	2020年2月27日
				US	2021183441	A1	2021年6月17日
CN	109755251	A	2019年5月14日	US	2019139968	A1	2019年5月9日
				KR	20190051306	A	2019年5月15日
CN	114121968	A	2022年3月1日	KR	20220026654	A	2022年3月7日
				TW	202209314	A	2022年3月1日
				US	2022068859	A1	2022年3月3日
				CN	214505493	U	2021年10月26日
CN	112740403	A	2021年4月30日	WO	2022133844	A1	2022年6月30日
				US	2022208705	A1	2022年6月30日
				TW	202226544	A	2022年7月1日
				KR	20230014735	A	2023年1月30日
US	2001022369	A1	2001年9月20日	KR	19990062885	A	1999年7月26日
				JPH	11186518	A	1999年7月9日
				US	6255151	B1	2001年7月3日
				TW	471158	B	2002年1月1日