公告本

I258311

# 發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：P312735P

※ 申請日期：P3-P-10　　※IPC 分類：H04N 9/07 H01L 27/146

## 一、發明名稱：(中文/英文)

半導體裝置及用於驅動半導體裝置單位組件之控制方法及裝置

SEMICONDUCTOR DEVICE, AND CONTROL METHOD AND DEVICE FOR DRIVING UNIT COMPONENT OF SEMICONDUCTOR DEVICE

## 二、申 請 人：(共 1 人)

**姓名或名稱：**(中文/英文)

日商新力股份有限公司

SONY CORPORATION

**代表人：**(中文/英文)

安藤　國威

ANDO, KUNITAKE

**住居所或營業所地址：**(中文/英文)

日本東京都品川區北品川六丁目七番 35 號

7-35, KITASHINAGAWA 6-CHOME SHINAGAWA-KU, TOKYO JAPAN

**國　籍：**(中文/英文)

日本　JAPAN

## 三、發明人：(共 1 人)

**姓　名：**(中文/英文)

馬淵　圭司

MABUCHI, KEIJI

**國　籍：**(中文/英文)

日本　JAPAN

## 四、聲明事項：

☐ 主張專利法第二十二條第二項☐第一款或☐第二款規定之事實，其事實發生日期為：　年　月　日。

☑申請前已向下列國家(地區)申請專利：

【格式請依：受理國家(地區)、申請日、申請案號　順序註記】

☑ 有主張專利法第二十七條第一項國際優先權：

1. 日本；2003年09月10日；特願2003-317709

2.

☐ 無主張專利法第二十七條第一項國際優先權：

1.

2.

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號　順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼　順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼　順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

## 九、發明說明：

【發明所屬之技術領域】

本發明係關於一種其中設置有複數個單位組件之半導體裝置及一種用於驅動該等單位組件之控制方法及裝置。具體而言，本發明係關於一種可降低一諸如固態成像裝置等物理量分佈感測半導體裝置之功耗並提高其動態範圍之技術。舉例而言，在物理量分佈感測半導體裝置中，諸如單位像素等對外部輸入電磁波(例如光及輻射)敏感的單位組件係排列成一矩陣，且物理量分佈係轉換爲電子信號以供讀出。

【先前技術】

目前，物理量分佈感測半導體裝置廣泛應用於各種領域內，在該等半導體裝置中，諸如單位像素等對外部輸入電磁波(例如光及輻射)敏感的單位組件係排列成一行或一矩陣。舉例而言，在成像裝置領域內，係使用具有電荷耦合裝置(CCD)、金屬氧化物半導體(MOS)或互補型金屬氧化物半導體(CMOS)之固態成像裝置，固態成像裝置所具有的所有此等裝置皆將光感測爲一物理量。在此等半導體裝置中，由單位組件(在固態成像裝置中爲單位像素)讀出自物理量分佈轉換而成的電信號。

此外，固態成像裝置包括一種具有具主動式像素感測器(APS，亦稱作增益單元)結構之像素的主動式像素感測器固態成像裝置。在每一APS像素中，一像素信號產生單元皆包括一放大驅動電晶體，該放大驅動電晶體用於依據一電

容產生單元所產生的信號電荷來產生一像素信號。舉例而言，大多數CMOS固態成像裝置即具有此種結構。在此等主動式像素感測器固態成像裝置中，爲讀出像素信號，一具有複數個單位像素之像素單元受一位址控制，以便可選擇任一單位像素以供自該單位像素讀出信號。換言之，主動式像素感測器固態成像裝置係位址控制式固態成像裝置之一實例。

舉例而言，在主動式像素感測器(此係一種其單位像素排成一矩陣之X-Y位址型固態成像感測器)中，一像素係由一具有MOS結構之主動元件(MOS電晶體)構成，從而爲像素本身提供一放大功能。換言之，主動式像素感測器係將聚積於一光電二極體(光電轉換器)中並由主動元件放大的信號電荷(光電子)讀出作爲影像資訊。

舉例而言，在此種X-Y位址型固態成像感測器中，複數個像素電晶體排列成一二維矩陣來構成一像素單元。信號電荷係依據入射光來開始逐行或逐像素地聚積。然後，藉由對位址加以指定，自每一像素中讀出一基於所聚積信號電荷之電流或電壓信號。

單位像素結構；4-TR類型

一般而言，在互補型金屬氧化物半導體(CMOS)感測器中，單位像素結構會因需降低雜訊而較電荷耦合裝置(CCD)之單位像素結構複雜。舉例而言，如圖1A所示，一通用CMOS感測器包括一浮動擴散放大器(FDA)(其係一具有寄生電容之擴散層)及四個位於一單位像素3中的電晶體。此

結構眾所習知且稱作4電晶體像素結構(下文亦稱作4TR結構)。

在此種4TR結構中，一浮動擴散單元38(其係一電荷聚積單元之實例)連接至一放大電晶體42(其係一信號產生單元之實例)之閘極。因此，放大電晶體42根據浮動擴散單元38之電位(下文亦稱作FD電位)將一信號(在此情形中爲電壓信號)經由一像素線51輸出至一豎直信號線53(其係一輸出信號線之實例)。然後，一重設電晶體36重設浮動擴散單元38。

一用作一電荷轉移單元之轉移閘極電晶體(讀出選擇電晶體)34將由一電荷產生單元32所產生的信號電荷轉移至浮動擴散單元38。複數個像素連接至豎直信號線53。爲選擇一像素，需導通一欲選擇像素中的豎直選擇電晶體40。此使得能夠僅將所選像素連接至豎直信號線53，並因此將所選像素的一信號輸出至豎直信號線53。

因此，單位像素3通常包括一光電轉換器(例如一光電二極體(PD))及四個電晶體，其中一電晶體係用於選擇一像素之豎直選擇電晶體40。目前，大多數CMOS感測器之單位像素3皆具有選擇電晶體。因此，與CCD感測器相比，CMOS感測器在提高解析度方面存在缺陷。

單位像素結構；3-TR類型

另一方面，有人建議使用一種3電晶體像素結構(下文亦稱作3TR結構)，以在保持效能之同時減少元件數量。如圖1B所示，爲藉由在單位像素3中減小電晶體所占空間來減小

像素尺寸，單位像素3包括一光電轉換器(例如一光電二極體(PD))及三個電晶體(例如參見日本專利第2708455號)。在下文中，此專利文件稱作專利文件1。

每一具3TR結構之單位像素3皆包括：一諸如一光電二極體之電荷產生單元32，其接收光並對光進行光電轉換以產生信號電荷；一放大電晶體42，其連接至一豎直汲極線(DRN)57並放大一對應於電荷產生單元32所產生信號電荷的信號電壓；及一重設電晶體36，其用於重設電荷產生單元32。此外，一讀出選擇電晶體(轉移閘極單元)34設置於電荷產生單元32與一放大電晶體42之閘極之間。此讀出選擇電晶體34由一豎直掃描電路(未圖示)中的一豎直移位暫存器經由一轉移閘極導線(TRG)55來掃描。換言之，除電荷產生單元32之外，具3TR結構的單位像素3亦包括用於轉移、重設及放大之三個電晶體。

放大電晶體42之一閘極及重設電晶體36之源極皆經由轉移閘極電晶體(讀出選擇電晶體)34連接至電荷產生單元32。重設電晶體36之汲極及放大電晶體42之汲極皆連接至汲極線。放大電晶體42之源極連接至豎直信號線53。轉移閘極電晶體34由一轉移驅動緩衝器150經由轉移閘極導線(TRG)55來驅動。重設電晶體36則由一重設驅動緩衝器152經由一重設閘極導線(RST)56來驅動。

轉移驅動緩衝器150及重設驅動緩衝器152二者皆藉由兩個值來運作：參考電壓0V及電源電壓。具體而言，在此種類型之習知單位像素中，施加至轉移閘極電晶體34之閘極

之低位準電壓爲0伏特。

同一水平列中的各像素皆連接至三條信號線，即轉移閘極導線(TRG)55、重設閘極導線(RST)56及一豎直汲極線(DRN)57。同一豎直排中的各像素皆連接至一公用豎直信號線(讀出信號線)53。放大電晶體42連接至每一豎直信號線53，而豎直信號線53則連接至一對應的負載電晶體單元(未圖示)。當讀出一信號時，一連接至每一放大電晶體42的MOS負載電晶體向豎直信號線53連續提供一預定恒定電流。

每一豎直信號線53皆連接至一可藉助一相關雙重取樣(CDS)來消除雜訊之排電路(未圖示)。經處理的像素信號在一水平掃描電路(未圖示)控制下自排電路讀出。然後，像素信號遞送至一放大電路(一輸出放大器)並輸出至外部。

一豎直掃描電路(未圖示)以一適當的定時來驅動轉移閘極導線(TRG)55、重設閘極導線(RST)56及豎直汲極線(DRN)57，從而控制同一水平列中的各像素。在讀出期間，水平掃描電路依序輸入信號至各CDS處理單元，以導通該等CDS處理單元。因此，自相應豎直信號線53讀出的信號依序遞送至輸出放大器。

如同4TR結構一般，在具3TR結構的單位像素3中，一浮動擴散單元38連接至一放大電晶體42的閘極。因此，放大電晶體42根據浮動擴散單元38之電位將一信號輸出至豎直信號線53。

連接至重設電晶體36之閘極的重設閘極線(RST)56沿列

(水平)方向延伸，且連接至重設電晶體36之汲極之豎直汲極線(DRN)57爲所有像素所公用。豎直汲極線(DRN)57係由一汲極驅動緩衝器140(下文稱作DRN驅動緩衝器)來驅動。重設電晶體36係由重設驅動緩存器152來驅動，以控制浮動擴散單元38之電位。

在專利文件1中，對應於某一列之豎直汲極線(DRN)57與對應於另一列之豎直汲極線(DRN)57相分離。然而，由於豎直汲極線(DRN)57必須使一排中各像素之電流信號能在其上流動，因此實際上豎直汲極線(DRN)57爲所有列所公用。

由電荷產生單元(光電轉換器)32產生的信號電荷藉由轉移閘極電晶體34轉移至浮動擴散單元38。

不同於4TR結構，一具3TR結構的單位像素3不具有串聯連接至放大電晶體42的豎直選擇電晶體40。在3TR結構中，並非藉由豎直選擇電晶體40而是藉由控制FD電位在連接至豎直信號線53的複數個像素中選擇一像素。

因此，對豎直汲極線(DRN)57進行位準控制可起到像素選擇之作用。豎直汲極線(DRN)57可有效地用作一像素選擇線(SEL)，其與第一實例中的豎直選擇線(SEL)具有相同作用。此外，豎直汲極線(DRN)57上一用於控制重設電晶體36及放大電晶體42二者之汲極的脈衝信號與第一實例中的選擇脈衝SEL具有相同作用。在下文中，將豎直汲極線(DRN)57上的脈衝信號稱作DRN控制脈衝SEL。

舉例而言，通常藉由將豎直汲極線(DRN)57切換至一低位準來將FD電位強制爲一低位準(Low)。若欲選擇一像素，

需藉由如下方式將所選像素之FD電位強制爲一高位準(High)：將豎直汲極線(DRN)57切換至一高位準並切換所選列中之重設電晶體36，以將所選像素的一信號輸出至豎直信號線53。此後，藉由將豎直汲極線(DRN)57切換至一低位準而使所選像素之FD電位恢復至一低位準。此項作業係對所選列中的所有像素同時執行。

因此，爲控制FD電位，必須執行如下作業：

1)若欲將所選列之FD電位變爲一高位準，應將豎直汲極線(DRN)57切換至一高位準，此時FD電位藉由所選列之重設電晶體36變爲一高位準。

2)若欲將所選列之FD電位恢復至一低位準，應將豎直汲極線(DRN)57切換至一低位準，此時FD電位藉由所選列之重設電晶體36變爲一低位準。

圖2係一用於驅動具3-TR結構之單位像素3之驅動脈衝之定時圖。藉由控制轉移閘極導線(TRG)55、重設閘極導線(RST)56、各像素所公用之豎直汲極線(DRN)57，會使浮動擴散單元38之電壓發生變化，並因此使豎直信號線53之電壓亦發生變化。

舉例而言，DRN驅動緩衝器140將一汲極驅動脈衝DRN(高位準)施加至豎直汲極線(DRN)57，以將豎直汲極線(DRN)57切換至一高位準。當豎直汲極線(DRN)57處於一電源電壓(高)位準時，一重設脈衝RST(高位準)施加至重設電晶體36，以使重設閘極導線(RST)56升至一高位準(t1)。因此，浮動擴散單元38連接至電源電壓。此後，當重設閘極

導線(RST)56降至一低位準(t2)時，浮動擴散單元38之電壓會因重設電晶體36之閘極(重設閘極)與浮動擴散單元38之間的電容耦合C1而下降。

此種變化經由放大電晶體42顯現於豎直信號線53上。因此，豎直信號線53之電壓下降。此時，浮動擴散單元38之電壓會因豎直信號線53與放大電晶體42之閘極之間的電容耦合C2而進一步下降。

此等效應使浮動擴散單元38之電壓(FD電位)降至低於電源電壓(自t2至t3)。一連接至豎直信號線53的下游電路接收豎直信號線53之電壓(重設位準)，該電壓對應於該FD電壓。

隨後，當一轉移閘極脈衝TRG(高位準)施加至轉移閘極電晶體34時(自t3至t4)，電荷產生單元32將信號電荷(光電子)轉移至浮動擴散單元38，以降低浮動擴散單元38之電壓，因此，豎直信號線53之電壓亦隨浮動擴散單元38之電壓之降低而降低(自t4至t5)。該下游電路亦接收此豎直信號線53電壓(信號位準)。

此後，當豎直汲極線57切換至一低位準且一重設脈衝RST施加至重設電晶體36時(自t5至t6)，浮動擴散單元38恢復至一低位準(t5之後)。該下游電路會計算重設位準與信號位準之差值，然後將該差值作爲一像素信號輸出。

然而，此種驅動類型會因電容耦合C1及C2而降低重設後的浮動擴散單元38之電壓(自t2至t3)。因此，需要一高電源電壓來補償此電壓降低，亦即，不可使用更低位準之電壓，因此，無法達成低功耗及寬動態範圍，此很成問題。

一具4-TR結構(其具有串聯至放大電晶體42的豎直選擇電晶體40)之像素單元3可能會增大浮動擴散單元38之電壓，從而可使用更低位準之電壓，舉例而言，此揭示於日本未審查專利申請公開案第2003-87662號中。

然而，具3-TR結構(其不具有此種選擇電晶體)之像素單元3卻無法使用此種技術。

更佳之情形爲，甚至一具4-TR結構(具有一選擇電晶體)之像素單元3亦會進一步降低功耗並增大動態範圍。

【發明內容】

因此，本發明之一目的係提供一種無論單位像素係3TR結構還是4TR結構，亦即無論是否存在選擇電晶體，皆會使功耗降低及使動態範圍增大之半導體裝置結構及驅動方法。

根據本發明，一種半導體裝置包括一信號獲取單元及一驅動控制單元。該信號獲取單元包括一單位組件，該單位組件具有：一電荷產生單元，其用於因應入射電磁波產生信號電荷；一電荷聚積單元，其用於聚積由該電荷產生單元產生的信號電荷；一信號產生單元，其用於根據聚積於該電荷聚積單元中的信號電荷來產生一信號；及一重設單元，其用於重設該電荷聚積單元。該驅動控制單元使用若干控制脈衝來使該電荷聚積單元達到一重設位準，從而增加欲聚積於該電荷聚積單元中的電荷數量。

根據本發明，一種驅動控制方法驅動一半導體裝置之一單位組件。該單位組件包括：一電荷產生單元，其用於因

應入射電磁波產生信號電荷；一電荷聚積單元，其用於聚積由該電荷產生單元產生的信號電荷；一信號產生單元，其用於根據聚積於該電荷聚積單元中的信號電荷來產生一信號；及一重設單元，其用於重設該電荷聚積單元。該方法包括一如下步驟：使用若干控制脈衝使該電荷聚積單元達到一重設位準，從而增加欲聚積於該電荷聚積單元中的電荷數量。

根據本發明，一種用於驅動一半導體裝置之一單位組件之驅動控制裝置包括一驅動控制單元。該單位組件包括：一電荷產生單元，其用於因應入射電磁波產生信號電荷；一電荷聚積單元，其用於聚積由該電荷產生單元產生的信號電荷；一信號產生單元，其用於根據聚積於該電荷聚積單元中的信號電荷來產生一信號；及一重設單元，其用於重設該電荷聚積單元。該驅動控制單元使用若干控制脈衝使該電荷聚積單元達到一重設位準，從而增加欲聚積於該電荷聚積單元中的電荷數量。

根據本發明，一種照相機包括一信號獲取單元、一驅動控制單元及一光學系統。該信號獲取單元包括一單位組件，該單位組件包括：一電荷產生單元，其用於因應入射電磁波產生信號電荷；一電荷聚積單元，其用於聚積由該電荷產生單元產生的信號電荷；一信號產生單元，其用於根據聚積於該電荷聚積單元中的信號電荷來產生一信號；及一重設單元，其用於重設該電荷聚積單元。該驅動控制單元使用若干控制脈衝來使該電荷聚積單元達到一重設位

準，從而增加欲聚積於該電荷聚積單元中的電荷數量。該光學系統將該等電磁波導引至該信號獲取單元。

【實施方式】

下文將參照附圖詳細闡述本發明之各實施例。下文所將闡述的各實施例係使用一由一CMOS成像感測器構成之裝置，該裝置係X-Y位址型固態成像裝置之一實例。而且，該CMOS成像感測器之所有像素皆由NMOS構成。然而，此僅係一實例。該裝置並非限定爲一MOS型成像裝置。下文所述之所有實施例皆適用於所有其中複數個單位組件對外部輸入電磁波(例如光及輻射)敏感且排列成一行或一矩陣之物理量分佈感測半導體裝置。亦應注意，在本發明之實施例中，用於表示像素佈置方向及線之措詞「列」和「排」分別表示矩陣的水平方向及豎直方向。然而，本發明並不限定爲此等組件佈置。可藉由一沿水平方向設置的信號線讀出自一像素遞送至一成像區域外部的信號。一般而言，「列」及「排」之方向取決於其定義。舉例而言，若「列」表示豎直方向，則本發明所使用之措詞「列」及「排」應互換。

固態成像裝置之結構；第一實施例

圖3A及圖3B係一本發明第一實施例之CMOS固態成像裝置之示意性方塊圖。固態成像裝置1具有一像素單元，在該像素單元中，複數個皆具有一光接受器(一電荷產生單元之實例)之像素排成列及排，亦即排成一二維矩陣。該光接受器依據入射光強度輸出一信號。自每一像素輸出之信號係

一電壓信號，且每一排皆設置有一相關雙重取樣(CDS)處理單元及一數位轉換器。換言之，該裝置係一排型裝置。

換言之，如圖3A所示，固態成像裝置1包括一其中複數個單位像素3排成若干列及排之像素單元(成像單元)10、一驅動控制單元7及一排處理單元26，且驅動控制單元7及排處理單元26皆設置於像素單元10之週邊。驅動控制單元7包括(例如)一水平掃描電路12及一豎直掃描電路14。

雖然爲簡單起見未在圖3A及圖3B中顯示所有列及排，但實際上在每一列及每一排中皆設置有數十至數千個像素。如圖3B所示，單位像素3之結構與圖1B所示及本說明書之「先前技術」部分中所述的3電晶體結構單位像素相同。豎直汲極線57爲像素單元10中的幾乎所有像素所公用。豎直汲極線57之各分支沿排方向延伸並在像素單元10末端處連接在一起，或者延伸形成一於每一電荷產生單元32上方開口之格子。

固態成像裝置1之驅動控制單元7進一步包括一水平掃描電路12、一豎直掃描電路14及一通信及定時控制單元20。驅動控制單元7之此等組件係使用與半導體積體電路製造技術相同之技術與像素單元10整體形成於一諸如單晶矽之半導體區域中。該等整體組件用作固態成像裝置(成像裝置)，其係一半導體系統之實例。

單位像素3經由一豎直控制線15連接至用於選擇一豎排像素之豎直掃描電路14。而且，單位像素3經由一豎直信號線19連接至排處理單元26，在排處理單元26中爲每一排設

置有一排AD電路。在本文中，豎直控制線15係指所有類型的自豎直掃描電路14至像素之線路。

如下文所述，每一水平掃描電路12及豎直掃描電路14皆包括一解碼器並因應一自通信及定時控制單元20遞送之驅動脈衝來起動一移位作業(掃描)。爲此，豎直控制線15包括各種類型之脈衝信號，例如重設脈衝RST、轉移脈衝TRG及DRN控制脈衝DRN。

雖然未圖示，但通信及定時控制單元20包括一脈衝信號產生單元，用於產生一爲每一組件所需之時鐘並按一預定定時產生一脈衝信號。舉例而言，該脈衝信號產生單元包括：一功能塊(一驅動控制裝置之實例)，其用於以一預定定時向水平掃描電路12、豎直掃描電路14及排處理單元26提供脈衝信號；及一通信介面功能塊，其用於接收可提供指令的資料以確定時鐘信號及作業模式並用於輸出含有固態成像裝置1之資訊之資料。舉例而言，通信及定時控制單元20將一水平位址信號輸出至一水平解碼器12a，及將一豎直位址信號輸出至一豎直解碼器14a。在接收到信號時，水平解碼器12a及豎直解碼器14a將分別選擇對應排及對應列。

根據此實施例，通信及定時控制單元20向該裝置內的各組件(例如向水平掃描電路12、豎直掃描電路14、排處理單元26及一輸出電路28)提供一時鐘CLK1，該時鐘CLK1之頻率相同於一自一端子5a輸入的輸入時鐘CLK0(主時鐘)、主時鐘之除以2時鐘或一除以更大數之慢時鐘之頻率。在下文中，將除以2時鐘及一頻率低於除以2時鐘之時鐘統稱作慢

時鐘CLK2。

舉例而言，具VGA級尺寸(約300,000像素)之固態成像裝置接收一24百萬赫茲之輸入時鐘，並以24百萬赫茲之時鐘CLK1或12百萬赫茲之慢時鐘CLK2運作內部電路，然後以30訊框/秒(fps)之速率輸出訊框。本文所述「VGA」係「視頻圖形陣列(Video Graphics Array)」之縮寫，其界定一圖形模式及一顯示解析度。

豎直掃描電路14選擇像素單元10之一列並提供該列所需之脈衝。舉例而言，豎直掃描電路14包括：豎直解碼器14a，其確定豎直方向上的一讀出列(像素單元10之一列)；及一豎直驅動電路14b，其可驅動一位於豎直解碼器14a所確定的讀出位址處(在列方向上)之單位像素3，其方法係向該單位像素3的對應控制線提供一脈衝。而且，除讀出信號的列之外，豎直解碼器14a尚選擇一列用於一電子快門。

水平掃描電路12與一慢時鐘同步地在排處理單元26內依序選擇一排AD電路，並將信號自該排AD電路引導至一水平信號線18。舉例而言，水平掃描電路12包括：水平解碼器12a，其在水平方向上確定一讀出排，亦即，在排處理單元26中選擇其中一個排電路；及一水平驅動電路12b，其根據一由水平解碼器12a確定的讀出位址將排處理單元26之每一信號引導至水平信號線18。水平信號線18之數量取決於排AD電路所處理的位元數量n(其中n爲正整數)。舉例而言，若n爲10，則設置10條水平信號線18。

在此種結構的固態成像裝置1中，自每一單位像素3輸出

的像素信號(在此情形中爲電壓信號)皆經由豎直信號線19遞送至一用於對應豎直排的排AD電路。排處理單元26中的每一排AD電路皆接收並處理來自該排中各像素之信號。舉例而言，排AD電路計算一信號位準與一重設位準(像素重設後緊接的信號位準)之差值，該信號位準及重設位準皆係依據兩個來自通信及定時控制單元20的抽樣脈衝SHP及SHD經由豎直信號線19輸入的電壓模式下的像素信號位準。此處理消除了稱作固定圖案雜訊(FPN)及重設雜訊之雜訊信號分量。此外，在與排處理單元26相同的半導體區域中，可於排處理單元26之下游連接一自動增益控制(AGC)電路，以在需要時放大信號。

每一排AD電路亦包含一類比－數位轉換(ADC)電路，舉例而言，該類比－數位轉換電路可使用慢時鐘CLK2將經處理的類比信號轉換爲10位元數位資料。然後，藉由一由一來自水平掃描電路12的水平選擇信號驅動的水平選擇開關(未圖示)將數位化像素資料遞送至水平信號線18。然後，將像素資料輸入至輸出電路28。10位元數位資料僅係一實例。位元數量亦可小於10(例如8)或大於10(例如14)。

輸出電路28處理來自水平信號線18之信號並將其作爲影像資料經由一輸出端5c輸出。舉例而言，輸出電路28可僅執行緩衝或可在緩衝之前執行黑色位準調整、行偏差修正、信號放大及色彩處理。

在此實施例中，每一排電路皆具有AD轉換功能並爲每一豎直線產生數位資料。然而，另一組件可具有AD轉換功能

來取代排電路。舉例而言，像素單元中每一像素皆可具有AD轉換功能。換言之，像素單元可具有大量功能。另一選擇爲，一類比像素信號可輸出至水平信號線18，然後，可將其AD轉換爲一數位信號，爾後，可將該數位信號遞送至輸出電路28。

在任一上述結構中，像素單元10(其中光接受器用作一電荷產生單元)排成一矩陣並依序逐列輸出像素信號。因此，一對應於像素單元10之圖像(亦即一訊框影像)係由一組來自整個像素單元10的像素信號來表示。

在具此種結構的固態成像裝置1中，用於讀出像素信號之驅動定時類似於圖2所示的習知3TR結構之驅動定時。然而，不同之處在於，在此實施例中，由一控制脈衝用於將浮動擴散單元38(其係電荷聚積單元之一實例)切換至一重設位準之驅動時間明顯短於豎直信號線53因應控制脈衝之因應時間。

第一實施例之特徵在於：單位像素3具有3TR結構；用於驅動重設電晶體36之重設脈衝RST相當於用於將浮動擴散單元38切換至一重設位準之控制脈衝；及重設脈衝RST明顯爲短，從而增加聚積於浮動擴散單元38內的電荷數量。

3TR結構之驅動方法；第一實施例

圖4係一定時圖，其顯示在讀出信號電荷時第一實施例驅動方法之一第一實例。具體而言，圖4顯示轉移閘極導線(TRG)55、重設閘極導線(RST)56及豎直汲極線(DRN)57上的驅動脈衝之波形圖案。對於所有脈衝而言，低位準「L」

可使導線失能(不活動)而高位準「H」可對導線賦能(現用)。

在習知方法中，如圖2所示，係慮及豎直信號線53之因應時間來確定重設脈衝RST之寬度，以使豎直信號線53可跟隨重設脈衝RST。與此不同，在第一實施例中，如圖4中自t1至t2之時間段所示，重設脈衝RST之寬度的確定方式須使重設脈衝RST之寬度小於豎直信號線53之因應時間。因此，儘管具3TR結構之單位像素3無選擇電晶體且係藉由控制浮動擴散單元38之電位來進行選擇，但仍可提高浮動擴散單元38之電位。下文將參照定時圖4來詳細闡述其原理。

首先，如在習知方法中一般，當重設脈衝RST上升時(t1)，浮動擴散單元38之電壓以一足夠快之速度(例如在數奈秒內)達到一電源電壓。換言之，對用作一電荷聚積單元之浮動擴散單元38進行充分地重設。相反，豎直信號線53之因應時間則較長，例如超過100奈秒。

隨後，在浮動擴散單元38達到電源電壓之後，重設脈衝RST下降，同時豎直信號線53跟隨之(t2)。此時，浮動擴散單元38之電壓因浮動擴散單元38與重設電晶體36之閘極(重設閘極)之間的電容耦合(圖3B中的C1)而降低。此情形與習知方法相同。

然而，由於豎直信號線53之電壓仍然上升，因此豎直信號線53與放大電晶體52之間的電容耦合(圖3B中的C2)會使浮動擴散單元38之電壓上升。因此，浮動擴散單元38之電壓升至高於習知方法中的電壓。因此，對應於電壓之重設位準亦變高。此會增加聚積於浮動擴散單元38內的電荷數

量。

重設脈衝RST之寬度可明顯短於豎直信號線53對用作一驅動控制脈衝之重設脈衝RST的因應時間。此處，措詞「明顯」意味著：在實際環境中，該位準下之重設脈衝RST之寬度充分短於豎直信號線53之因應時間，以至於增加聚積於浮動擴散單元38內的電荷數量。此外，由於豎直信號線53之因應時間取決於分佈電容(圖3B所示電容耦合C1及C2)，因此必須慮及該分佈電容。

豎直信號線53之因應時間可爲(例如)90%因應時間。本文所述的90%因應時間係指豎直信號線53自脈衝施加開始至達到其最大位準之90%所耗用時間，其中自初始值(完全低位準)至最終值(完全高位準)之位準爲100%。此與普通脈衝信號之瞬態反應所用的定義相同。

可使用重設脈衝RST之寬度與習知驅動方法所用重設脈衝寬度之比率(倍數)、對應於像素數量(更具體而言，係驅動頻率及主時鐘)之比率、一相對於一具體裝置中豎直信號線53之因應時間之比率、或重設脈衝RST自身之脈衝寬度等來精確界定該「在明顯短於豎直信號線53對重設脈衝RST之因應時間之時間內驅動重設電晶體36」之狀態。

總之，只要可改善必需使用高電源電壓(亦即，無法使用低位準電壓)、因而無法達成低功耗及寬動態範圍之問題，便可使用該定義。

在本實例中，當重設脈衝RST現用(在此實施例中爲高位準)，亦即當重設電晶體36導通時，浮動擴散單元38較佳重

設至電源電壓位準，亦即，充分地重設用作電荷聚積單元之浮動擴散單元38。

其原因在於，若重設脈衝RST之寬度極小因而在現用期間浮動擴散單元38未充分重設，則浮動擴散單元38有時在跟隨重設脈衝RST時會給輸出信號輸出一較大的重設偏差。爲充分地重設浮動擴散單元38，較佳增大重設電晶體36之閘極電壓或較佳使用深耗盡模式電晶體作爲重設電晶體36。

舉例而言，在一其中豎直信號線53需要約100奈秒之因應時間之裝置結構中，重設脈衝RST之寬度等於此因應時間之一半(亦即50奈秒)即可提供上述優點。當然，該寬度亦可小於彼值。舉例而言，若主時鐘CLK0爲25百萬赫茲，則一個時鐘之寬度爲40奈秒、半個時鐘之寬度爲20奈秒。此等時鐘無需修改便可用作脈衝信號。若需要使脈衝寬度小於彼等脈衝寬度，則可使用(例如)一延遲電路來產生該脈衝寬度。

圖5顯示當應用該驅動方法之第一實例時對一具3TR結構之實際裝置之模擬結果。在此圖式中，緊跟在符號「♦」之後的數字表示脈衝寬度。此處係使用一符合VGA標準(640×480，約300,000像素)之CMOS感測器作爲該裝置。單位像素3係3TR結構類型且其像素間距爲4.1微米。輸入時鐘頻率爲24百萬赫茲。裝置之電源電壓爲2.6伏。豎直信號線53之90%因應時間約爲130奈秒。

自圖5可見，若重設脈衝RST之寬度小於或等於130奈秒

(其爲豎直信號線53之因應時間)，則重設位準增大。若重設脈衝RST之寬度小於約65奈秒(其爲豎直信號線53之因應時間之一半(1/2))，則重設位準會顯著增大。而且，若重設脈衝RST之寬度小於或等於26奈秒(其爲豎直信號線53之因應時間之1/5)，則重設位準會極大地增大。舉例而言，20奈秒的脈衝寬度可使重設位準增加約200毫伏，10奈秒之脈衝寬度會使重設位準增加約300毫伏。此外，即使重設脈衝RST之寬度爲10奈秒，浮動擴散單元38亦會在脈衝寬度期間達到電源電壓。

在模擬所用之裝置中，主時鐘CLK0爲24百萬赫茲且半個時鐘寬度爲20奈秒。因此，自重設脈衝RST寬度觀點來看，重設脈衝RST寬度小於一個時鐘(40奈秒)會使重設位準顯著增加而小於半個時鐘(20奈秒)則會使重設位準極大地增加。

自上文可見，在具3TR結構之單位像素3(其中無選擇電晶體且藉由控制浮動擴散單元38之電位來選擇單位像素3)中，藉由使用第一實施例之第一實例，聚積於浮動擴散單元38中的電荷數量可因上述電壓增大效用而增多。相應地，電源電壓可得以降低，亦即可使用更低位準之電壓並可提供一寬運作裕量。

因此，功耗可得以降低。此外，若所用電源電壓的位準與習知方法相同，則可增大浮動擴散單元38之動態範圍。寬動態範圍會提供具有足夠信號位準之成像信號，儘管(例如)爲增大像素數量或減小晶片尺寸(下文稱作「像素尺寸收

縮」)，必須減小像素尺寸。爲達成更低位準之電壓及像素尺寸收縮，此係一種用於保持浮動擴散單元38之動態範圍的優良技術。

3TR結構之驅動方法；第二實例

圖6係一用於闡釋當讀出信號電荷時第一實施例之驅動方法之第二實例之圖式。圖6顯示該驅動方法之第二實例中的電位。

一驅動方法之第二實例之特徵在於：在重設電晶體36處於一「臨限電壓降低(Vth drop)」狀態時執行浮動擴散單元38之重設過程，以便即使在重設脈衝RST之寬度較長時浮動擴散單元38之電壓亦可增大。本文所述「臨限電壓降低」係指一種狀態，在該狀態中，即使在將一高位準電壓施加至一電晶體之閘極時，該閘極之電位亦低於該電晶體之汲極電位。下文將詳細闡述該方法。

舉例而言，假定驅動脈衝與圖2所示習知實例之驅動脈衝相同。在一驅動方法之第一實例中，係在第一重設高位準週期(自t1至t2)中，將浮動擴散單元38連接至放大電晶體42之汲極之電源電壓。與此不同，在一驅動方法之第二實例中，則係將驅動狀態確定爲當重設電晶體36導通時重設電晶體36處於一臨限電壓降低狀態中。

舉例而言，如圖6所示，當RST變爲高位準時，浮動擴散單元38迅速跟隨該變化，而豎直信號線53則緩慢地跟隨該變化。因此，浮動擴散單元38之電壓在RST變爲高位準之後立即變爲一臨限電壓降低狀態之電壓。此後，當豎直信

號線53跟隨該變化時，浮動擴散單元38之電壓因放大電晶體42與豎直信號線53之間的電容耦合C2而增大。增大後的FD電壓既可低於亦可高於電源電壓。

此處，「當重設脈衝RST處於一高位準時(亦即當重設電晶體36導通時)重設電晶體36處於一臨限電壓降低狀態中」之狀態較佳位於一範圍中，在該範圍中，浮動擴散單元38之電荷數量可多於重設電晶體36之臨限電壓降低狀態中的電荷數量。此時，重設電晶體36之一通道電壓介於重設電晶體36之汲極之電源電壓與一低於該電源電壓之第二電壓之間。此處，「第二電壓」(例如)略微低於該電源電壓。舉例而言，該第二電壓較電源電壓低0.3至0.7伏，更佳之情形爲約低0.5伏。當然，若重設電晶體36處於一臨限電壓降低狀態中，則第二電壓之其他值亦可達成電壓增大效用。

對於無豎直選擇電晶體之像素而言，僅當所有連接至豎直信號線53之像素中的浮動擴散單元38皆預先處於一低位準且豎直信號線53亦在重設所選列之前處於一低位準時，方可達成此效用。

隨後，當RST恢復至一低位準時(t2)，浮動擴散單元38之電壓因重設電晶體36之閘極(重設閘極)與浮動擴散單元38之間的電容耦合C1而減小。此情形與習知方法相同。

如驅動方法之第一實例一般，在無臨限電壓降低狀態的重設過程中，儘管電容耦合C1試圖增大浮動擴散單元38之電壓，但浮動擴散單元38之電壓仍無法升高，此乃因浮動擴散單元38連接至具有電源電壓之放大電晶體42之汲極。

圖7顯示使用一具3TR結構之裝置的實際像素的驅動方法之第二實例之量測結果。如在圖5所示模擬中一般，使用一符合VGA標準(640×480，約300,000像素)之CMOS感測器作爲目標裝置。單位像素3係3TR結構類型且像素間距爲4.1微米。輸入時鐘頻率爲24百萬赫茲。裝置之電源電壓爲2.6伏。

在圖7所示量測結果中，藉由在一足夠長的重設脈衝週期中改變脈衝之重設電壓來繪製自豎直信號線53輸出之電壓。由圖可見，當重設信號之高位準變化時，一高於2.68伏的位準無法引起臨限電壓降低狀態。

據認爲，當重設信號之高位準降低至低於2.68伏時，將出現臨界電壓降低狀態且豎直信號線53之電壓下降。然而，如圖式中圓圈所示，量測結果表明：在約2.1伏(電源電壓2.6伏-約0.5伏)至約2.68伏(電源電壓2.6伏+約0.08伏)的範圍內，重設位準因驅動方法之第二實例之電壓升高效應而上升至高於未出現臨限電壓降低狀態時的重設位準。

因此，在具3TR結構的單位像素3(其中無選擇電晶體且藉由控制浮動擴散單元38之電位來選擇單位像素3)中，藉由在設計時使用此電壓範圍，可使電源電壓降至低於在重設信號高位準高於或等於2.68伏之情形下的電源電壓。因此，如在驅動方法之第一實例中一般，功耗可得以降低。若使用一與習知方法具有相同位準的電源電壓，則可增大動態範圍。

單位像素結構；第二實施例及其驅動方法；第一實例

圖8A及圖8B顯示本發明第二實施例之固態成像裝置1中單位像素3之結構實例。固態成像裝置1之整個結構可與圖3A所示第一實施例之固態成像裝置結構相同。根據第二實施例，單位像素3包括至少該浮動擴散單元38及四個電晶體。

換言之，具此種結構之單位像素3包括：一電荷產生單元32，其具有一將入射光轉換爲信號電荷並聚積信號電荷之光電轉換器(光電二極體)；一浮動擴散單元38；一放大電晶體42，其閘極連接至浮動擴散單元38；一重設電晶體36，其汲極連接至放大電晶體42之汲極；一轉移閘極電晶體34，其用於將由電荷產生單元32產生的信號電荷轉移至浮動擴散單元38；及豎直選擇電晶體40，其用於選擇一豎直排。換言之，單位像素3具有4TR結構，其包括放大電晶體42及串聯至放大電晶體42以選擇像素之選擇電晶體。

在圖8A所示單位像素3中，在以下兩個電晶體之中：放大電晶體42及豎直選擇電晶體40，係豎直選擇電晶體40連接至豎直信號線53。相反地，在圖8B所示單位像素3中，係放大電晶體42連接至豎直信號線53。圖8B所示單位像素3與圖1A所示單位像素相同。

對於圖8A及圖8B所示的兩種結構，若重設電晶體36之汲極未連接至一固定電源且可以與3TR結構相同之方式來驅動，則可應用在第一實施例之第一或第二實例中所述之相同驅動方法。在此種情形中，當重設電晶體36之汲極受驅動至一低位準、浮動擴散單元38設定爲一低位準且豎直選

擇電晶體40導通時，可應用在第一實施例之第一或第二實例中所述之驅動方法。

4TR結構之驅動方法；第二實例

圖9係一在根據第二實施例讀出信號電荷時一種驅動方法之第二實例之定時圖。該驅動方法之第二實例僅可應用於具有其中放大電晶體42連接至豎直信號線53的結構(如圖8B所示)之單位像素3。換言之，該第二實例僅可應用於其中豎直選擇電晶體40連接至放大電晶體42之汲極之單位像素3。

在第二實施例之第二實例中，目標單位像素3爲4TR結構類型。用於使浮動擴散單元38(其係電荷聚積單元之實例)達到一重設位準之控制脈衝包括一用於驅動重設電晶體36之重設脈衝RST及一用於驅動豎直選擇電晶體40之選擇脈衝SEL。此第二實例之特徵在於如下驅動方法：換言之，導通豎直選擇電晶體40(其係選擇開關單元之一實例)並同時關斷重設電晶體36，從而增加浮動擴散單元38之電荷數量。另一選擇爲，在使豎直選擇電晶體40導通之後，在一顯著短於豎直信號線53之因應時間之時間內關斷重設電晶體36，從而增加浮動擴散單元38之電荷數量。下文將詳細闡述此等方法。

圖9顯示在(具體而言)一讀出期間內轉移閘極導線(TRG)55、重設閘極導線(RST)56及一豎直選擇線(SEL)52上之驅動脈衝之波形圖。對於所有脈衝而言，低位準「L」皆會使導線失能(待用)，而高位準「H」皆會使導線賦能(現

用)。

若豎直選擇電晶體40連接至放大電晶體42之汲極，則可應用與第一實施例之第一或第二實例中相同之驅動方法，而無需驅動一連接至重設電晶體36之汲極之線。

若當重設脈衝RST爲高位準時浮動擴散單元38重設爲電源電壓位準而未出現臨限電壓降低狀態，則應執行圖7所示之作業。首先，在接通選擇脈衝SEL之前導通重設電晶體36(t0)。然後，導通豎直選擇電晶體40(t1)，並同時或在一足夠短的時間內關斷重設電晶體36(t2)。

此處，措詞「足夠短的時間」表示一較豎直信號線53之因應時間明顯爲短的時間。此處所使用措詞「明顯」表示如下程度：將一與控制脈衝(此處爲重設脈衝RST及選擇脈衝SEL)相關的預定時間週期定義爲一自選擇脈衝SEL導通豎直選擇電晶體40至重設脈衝RST關斷重設電晶體36爲止的時間週期，亦即，兩個脈衝現用時間之交疊，在實際環境中，該預定時間週期足夠短。

另一選擇爲，此可係一較豎直信號線53之因應時間足夠早關斷重設脈衝RST之程度。換言之，重設脈衝RST首先導通重設電晶體36，然後，選擇脈衝SEL導通豎直選擇電晶體40。兩個脈衝現用時間之交疊應足夠短。若豎直選擇電晶體40基本在重設電晶體36關斷的同時導通，則兩個脈衝之現用時間之交疊實際爲零。

第二實施例驅動方法之第二實例類似於第一實施例驅動方法之第一實例。當豎直信號線53跟隨一變化時，浮動擴

散單元38之電壓會因豎直信號線53與放大電晶體42之間的電容耦合而增大。

因此，亦可以與第一實施例驅動方法之第一實例相同的方式來定義「在一顯著短於豎直信號線53對重設脈衝RST之因應時間內驅動重設電晶體36」之狀態。

舉例而言，在其中豎直信號線53需要因應時間約爲100奈秒的裝置中，在交疊短於或等於約該因應時間的一半(50%，即50奈秒)時，可達成一顯著效用。若交疊短於或等於20奈秒，則可達成一最大效用。

因此，甚至在具4TR結構的單位像素3(其中豎直選擇電晶體40連接至放大電晶體42之汲極)中，亦可藉由應用此第二實施例驅動方法之第二實例，來降低電源電壓，亦即，可使用更低位準之電壓，並可提供一寬運作裕量。因此，如在驅動方法之第一實例中一般，功耗可得以降低。若使用與習知方法具有相同位準之電源電壓，則可增大動態範圍。

4TR結構之驅動方法；第三實例

如圖8B所示，在具4TR結構的單位像素3(其中豎直選擇電晶體40連接至放大電晶體42之汲極)中，若當重設脈衝RST爲一高位準時浮動擴散單元38之電壓變爲一臨限電壓降低狀態之電壓，則重設脈衝RST與選擇脈衝SEL之間的現用時間交疊可能較長。亦即，可具有如下驅動計時。如圖9所示，首先，導通重設電晶體36(t0)。此後，導通豎直選擇電晶體40(t1)，然後，關斷重設電晶體36(t2)。此時，重設脈衝RST與選擇脈衝SEL之間的現用時間交疊較長。

其原因在於，如在第一實例之驅動方法之第二實例中一般，儘管浮動擴散單元38迅速地跟隨重設電晶體36(重設閘極)，但豎直信號線53卻緩慢地跟隨該變化，因此浮動擴散單元38之電壓會自重設通道所確定的值升高。當未出現臨限電壓降低狀態時，浮動擴散單元38之電壓亦無法升高，其原因爲：即使浮動擴散單元38試圖升高電壓，電子亦會自汲極流入會因。

因此，如在第一實施例之驅動方法之第二實例中一般，將驅動狀態確定爲當重設脈衝RST處於一高位準時重設電晶體36處於一臨限電壓降低狀態中。在此種情形中，亦可藉由使用重設電晶體36之汲極之電源電壓及一略微低於該電源電壓之第二電壓來界定較佳狀態。

因此，甚至在4TR結構的單位像素3(其中豎直選擇電晶體40連接至放大電晶體42之汲極)中，亦可藉由應用此第二實施例之驅動方法之第三實例，來降低電源電壓，亦即，可使用低位準電壓，並可提供一寬運作裕量，此如同在第一實施例之驅動方法之第二實例中一般。因此，如在第一實施例之驅動方法之第一實例中一般，功耗可得以減小。若使用一與習知方法具有相同位準之電源電壓，則可增大動態範圍。

此外，根據本發明，一固態成像裝置可係一單晶片型固態成像裝置，或可係一由複數個晶片構成的模組型固態成像裝置。舉例而言，如圖10所示，一模組型固態成像裝置包括一用於成像之感測器晶片及一用於處理數位信號之信

號處理晶片。該模組型固態成像裝置可進一步包括一光學系統。

當將本發明應用於一照相機時，該照相機可降低其功耗並可提供具寬動態範圍之成像圖像。

儘管上文係參照上述實施例來顯示並闡述本發明，但本發明之技術範圍並非僅限於上述實施例所述範圍。可對上述實施例作出各種改變及修改，此並不背離本發明之精神及範圍，且此等實施例意欲囊括於本發明之技術範圍內。

由隨附申請專利範圍所界定之本發明並不限於上述實施例。本發明之解決方法未必要求必須具備上述實施例中所述特徵之所有組合。上述實施例包括本發明之各階段，且可藉由適當組合複數個所揭示的組件及因素來提取出多種發明。儘管自上述實施例所述結構中去除了某些組件及因素，但仍可將該等其中已去除此等組件及因素之結構提取作爲發明，只要該等結構達成該效果即可。

舉例而言，上文詳細闡述之驅動方法僅係與本發明相關之形貌。實際上，舉例而言，儘管圖4顯示豎直汲極線57通常處於一高位準且在像素讀出之後施加一低位準脈衝，但豎直汲極線57亦可通常處於一低位準且在像素讀出時間期間施加一高位準脈衝。此驅動作業決不會改變上文說明。此外，在除像素讀出以外之各階段中，亦可執行上文未闡述的諸如電子快門作業等其他作業，因此，實際上，可對該等階段實施各種修改。由於熟習此項技術者易於瞭解具體修改方法，因此本文不包含對該等具體方法之闡述。

此外，舉例而言，儘管係參照一具FDA結構(其中使用一浮動擴散單元(電荷注入單元之一實例)作爲電荷注入單元)的像素信號產生單元5來闡述上述實施例，但像素信號產生單元5未必爲FDA類型。舉例而言，一浮動閘極FG(其係電荷注入單元之一實例)可設置於一轉移電極下方的基板上，且可使用一種偵測方法，在該偵測方法中，係使用由穿過浮動閘極FG下方一通道的信號電荷變化而引起的浮動閘極FG的電位變化。

而且，儘管上文係參照具有一轉移電極之結構來闡述上述實施例，但該結構亦可係一無轉移電極的虛擬閘極(VG)結構。

而且，儘管上文係參照一具有一包括一電荷產生單元、一浮動擴散單元及三或四個MOS電晶體之單位像素之固態成像裝置來闡述上述實施例，但上述結構及方法僅需如下狀態：一諸如光電二極體之電荷產生單元藉由電荷轉移構件與一諸如一浮動擴散單元之電荷聚積單元相隔離。舉例而言，可藉由使用一可達成相同功能之JFET來作出修改。

此外，儘管上文係參照一排型固態成像裝置(其中自排成列及排的像素輸出的信號爲電壓信號且每一豎直排皆設置有一CDS處理功能單元)來闡述上述實施例，但亦可使用一可抑制來自一成像信號流的偏離固定圖案雜訊之電路結構來替代排型電路。

【圖式簡單說明】

圖1A及圖1B顯示CMOS感測器之一單位像素之結構；

圖2係一用於驅動一3TR結構像素單元之驅動脈衝之定時圖實例；

圖3A及圖3B爲一本發明第一實施例之CMOS固態成像裝置之示意性方塊圖；

圖4係一根據該第一實施例在信號電荷讀出期間使用的驅動方法之第一實例的定時圖；

圖5顯示當將該驅動方法之第一實例應用於一具3TR結構之裝置時的模擬結果；

圖6係一用於闡釋根據該第一實施例在信號電荷讀出期間使用的該驅動方法之一第二實例；

圖7顯示當將該驅動方法之第二實例應用於一具3TR結構之裝置時使用一實際像素進行量測之結果；

圖8A及圖8B係一本發明第二實施例之固態成像裝置之單位像素結構之實例；

圖9係一根據該第二實施例在信號電荷讀出期間使用的一驅動方法之定時圖；及

圖10係一本發明固態成像裝置之實例。

【主要元件符號說明】

| | |
|---|---|
| 3 | 單位像素 |
| 5 | 像素信號產生單元 |
| 32 | 電荷產生單元 |
| 34 | 讀出選擇電晶體(轉移閘極單元) |
| 36 | 重設電晶體 |
| 38 | 浮動擴散單元 |

| | |
|---|---|
| 42 | 放大電晶體 |
| 51 | 像素線 |
| 53 | 豎直信號線 |
| 55 | 轉移閘極導線(TRG) |
| 56 | 重設閘極導線(RST) |
| 52 | 放大電晶體 |
| 150 | 轉移驅動緩衝器 |
| 152 | 重設驅動緩存器 |
| C1 | 電容耦合 |
| C2 | 電容耦合 |
| 40 | 豎直選擇電晶體 |
| 57 | 豎直汲極線(DRN) |
| 140 | 汲極驅動緩衝器 |
| 1 | 固態成像裝置 |
| 5a | 端子 |
| 5c | 輸出端 |
| 10 | 像素單元 |
| 12 | 水平掃描電路 |
| 12a | 水平解碼器 |
| 12b | 水平驅動電路 |
| 14 | 豎直掃描電路 |
| 14a | 豎直解碼器 |
| 14b | 豎直驅動電路 |
| 7 | 驅動控制單元 |

| | |
|---|---|
| 15 | 豎直控制線 |
| 18 | 水平信號線 |
| 19 | 豎直信號線 |
| 20 | 通信及定時控制單元 |
| 26 | 排處理單元 |
| 28 | 輸出電路 |

## 五、中文發明摘要：

本發明揭示一種諸如一CMOS感測器之固態成像裝置，其包括一單位像素，該單位像素具有：一用於產生信號電荷之電荷產生單元，一用於聚積由電荷產生單元產生的信號電荷之浮動擴散單元，一用於將電荷產生單元內的信號電荷轉移至浮動擴散單元之轉移閘極電晶體，一用於重設浮動擴散單元之重設電晶體，及一用於依據由電荷產生單元產生的信號電荷來產生一信號並將該信號輸出至一豎直信號線之放大電晶體。一用於驅動重設電晶體之重設脈衝之寬度充分減小至(例如)小於或等於一因應重設脈衝而出現於該豎直信號線上的信號之因應時間的1/2，較佳爲小於或等於該因應時間的1/5。

## 六、英文發明摘要：

十一、圖式：

圖 1A

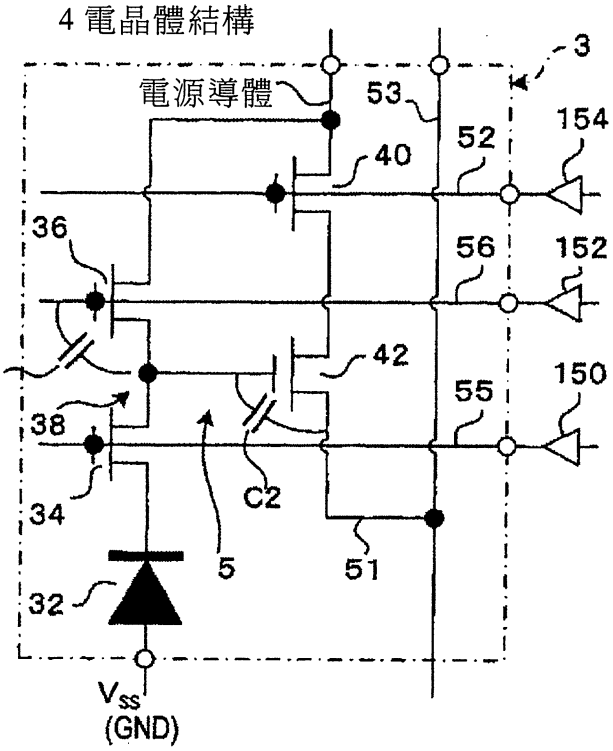
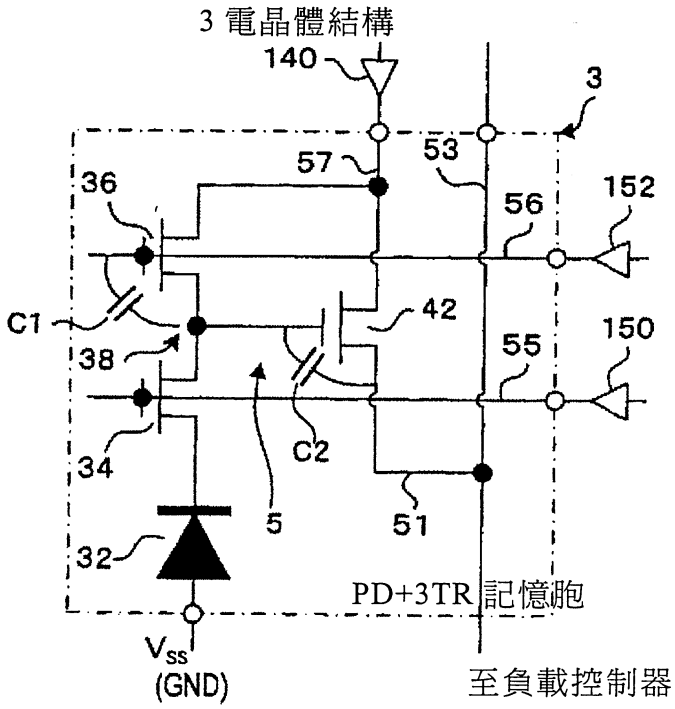

4 電晶體結構
電源導體
3
53
154
52
40
36
56
152
42
C1
55
150
38
C2
34
5
51
32
$V_{SS}$
(GND)

圖 1B


3 電晶體結構
140
3
57
53
36
56
152
C1
42
55
150
38
C2
34
5
51
32
PD+3TR 記憶胞
$V_{SS}$
(GND)
至負載控制器

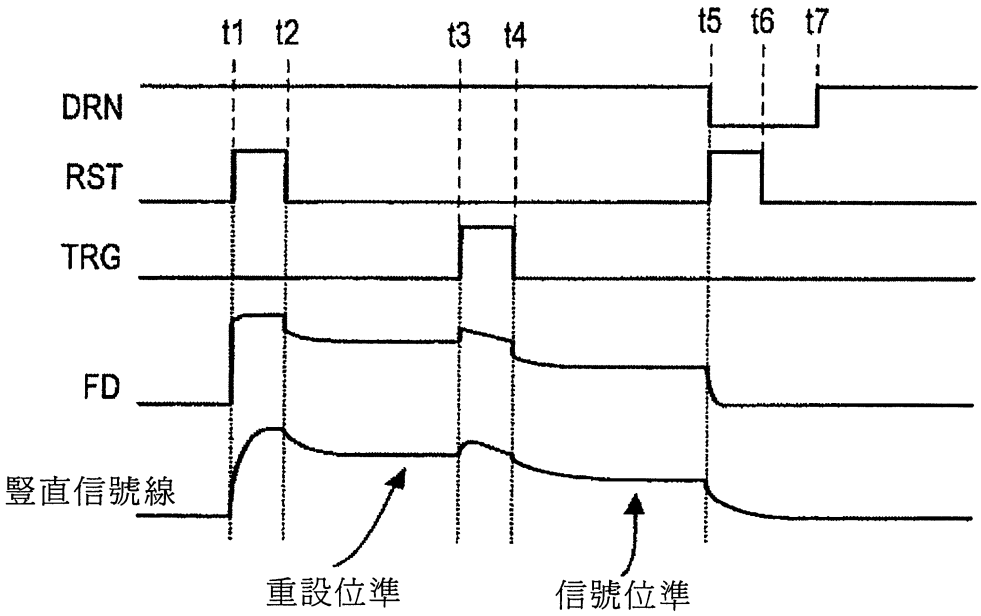



圖 2

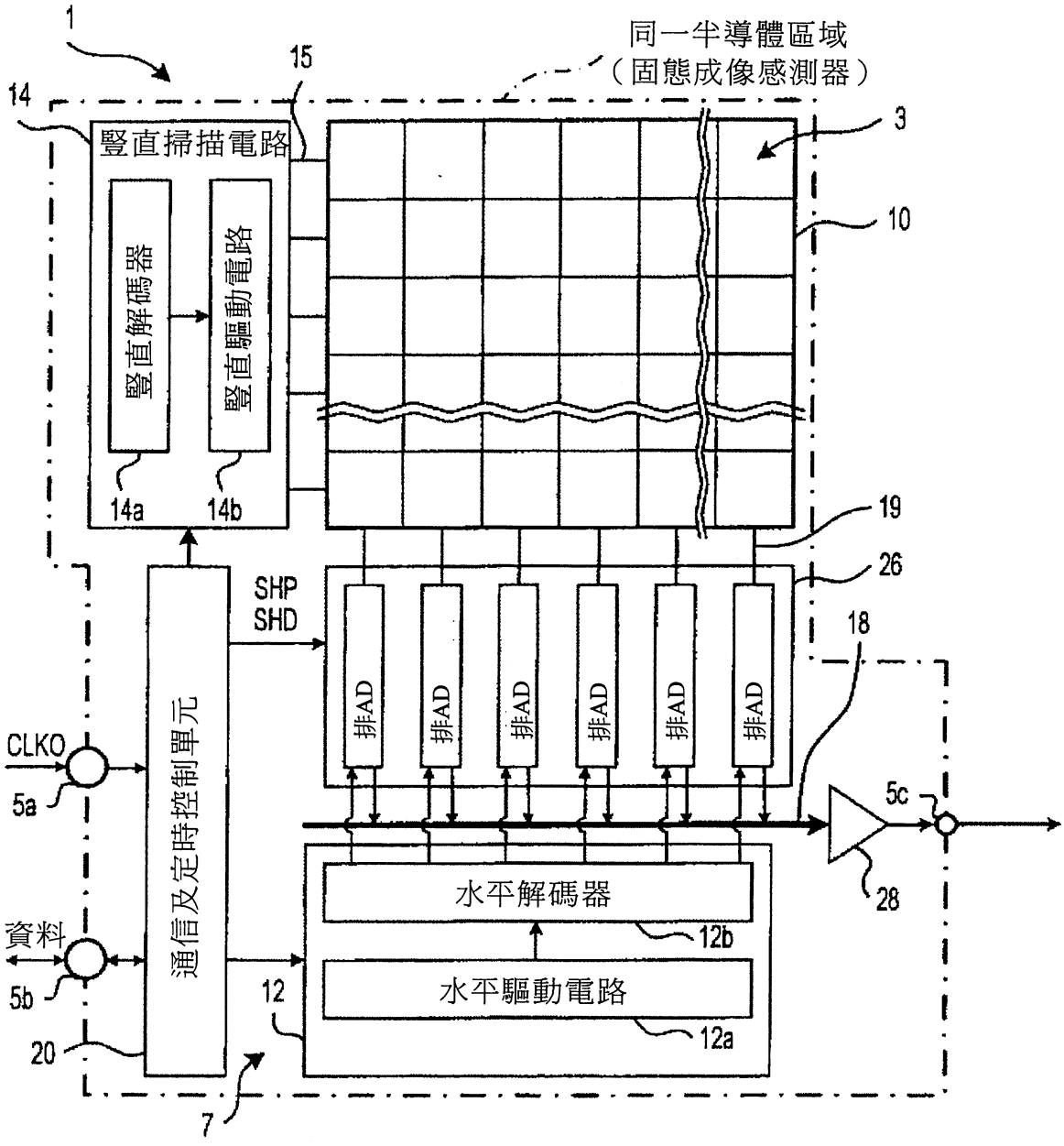

1
同一半導體區域
（固態成像感測器）
15
14
3
10
豎直掃描電路
豎直解碼器
豎直驅動電路
14a
14b
19
26
SHP
SHD
18
排AD
排AD
排AD
排AD
排AD
排AD
CLKO
5a
5c
28
資料
5b
通信及定時控制單元
水平解碼器
12b
12
水平驅動電路
12a
20
7

圖 3A

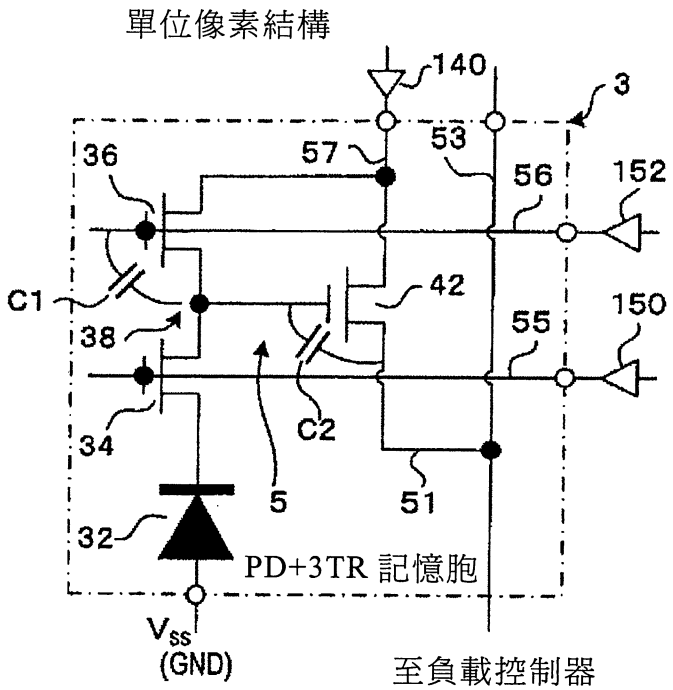

單位像素結構
140
3
36
57
53
56
152
C1
42
150
38
55
34
C2
5
51
32
PD+3TR 記憶胞
Vss
(GND)
至負載控制器

圖 3B

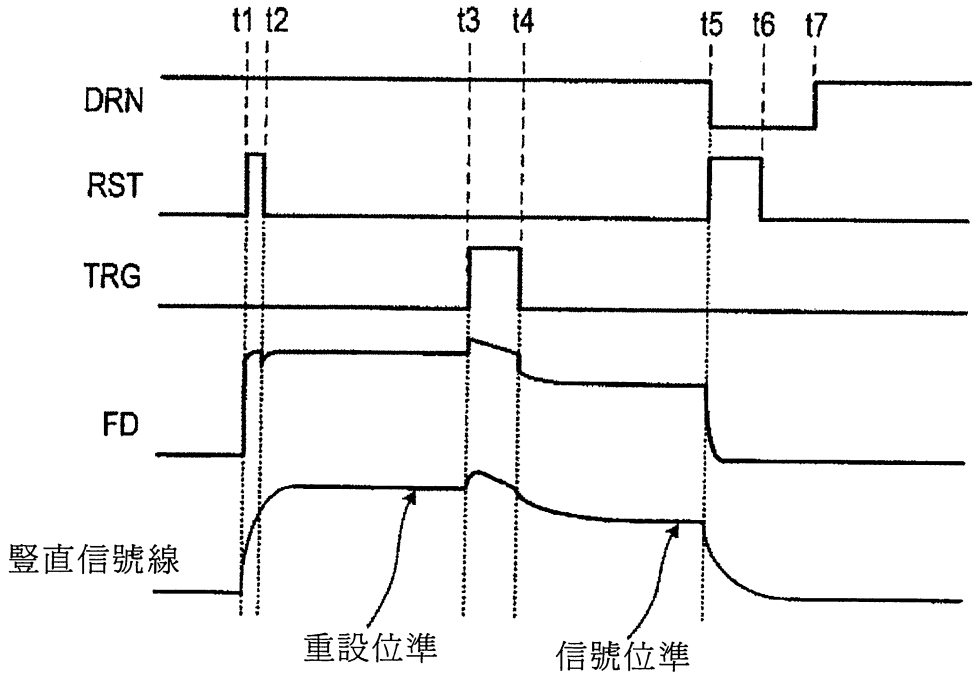



圖 4

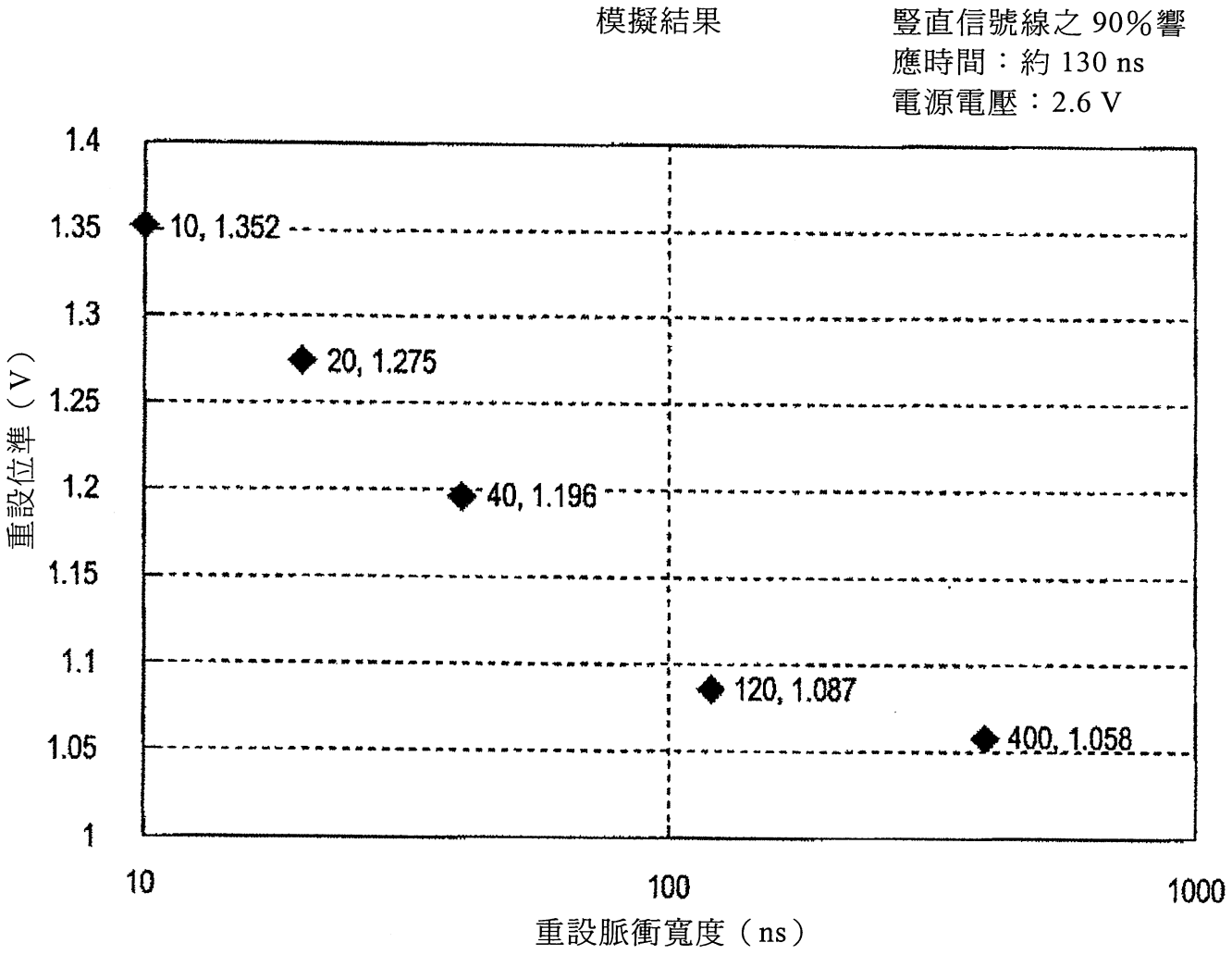

模擬結果
豎直信號線之 90%響
應時間：約 130 ns
電源電壓：2.6 V
1.4
1.35
1.3
1.25
1.2
1.15
1.1
1.05
1
重設位準（V）
10, 1.352
20, 1.275
40, 1.196
120, 1.087
400, 1.058
10
100
1000
重設脈衝寬度（ns）

圖 5

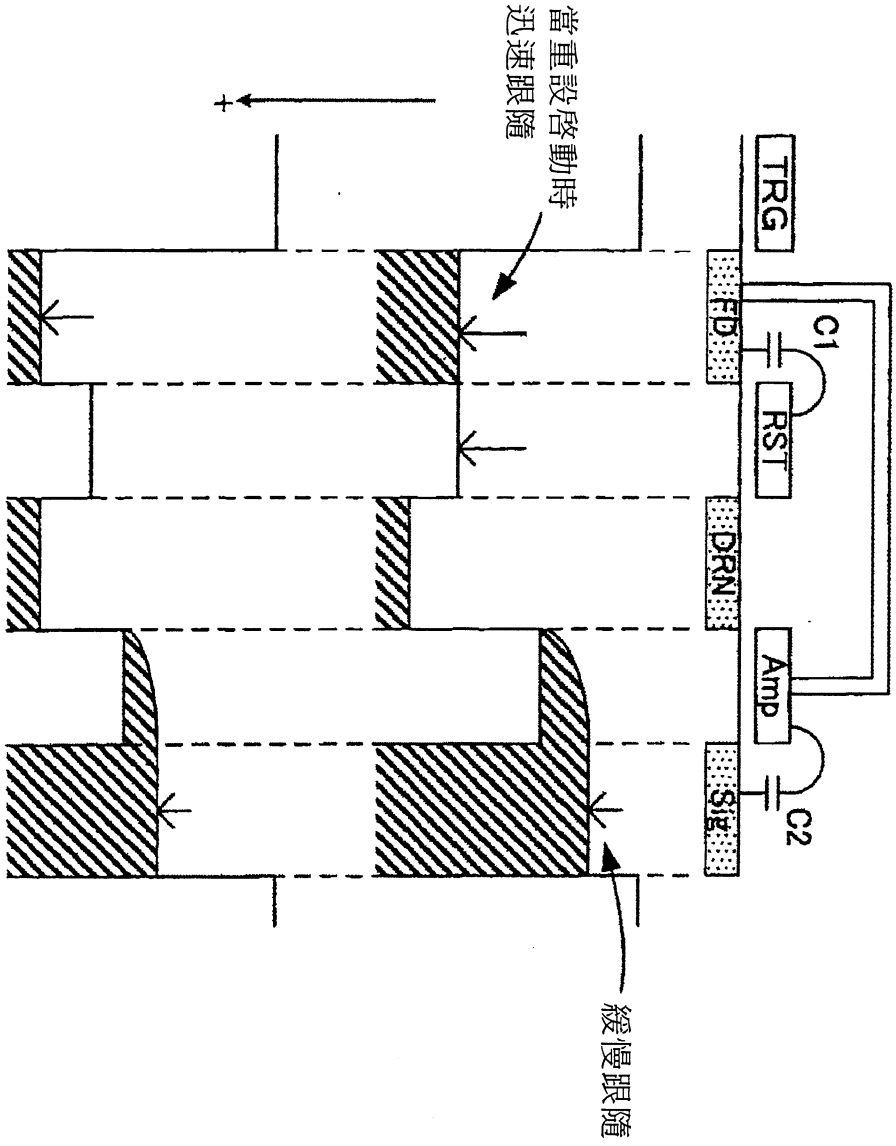



圖 6

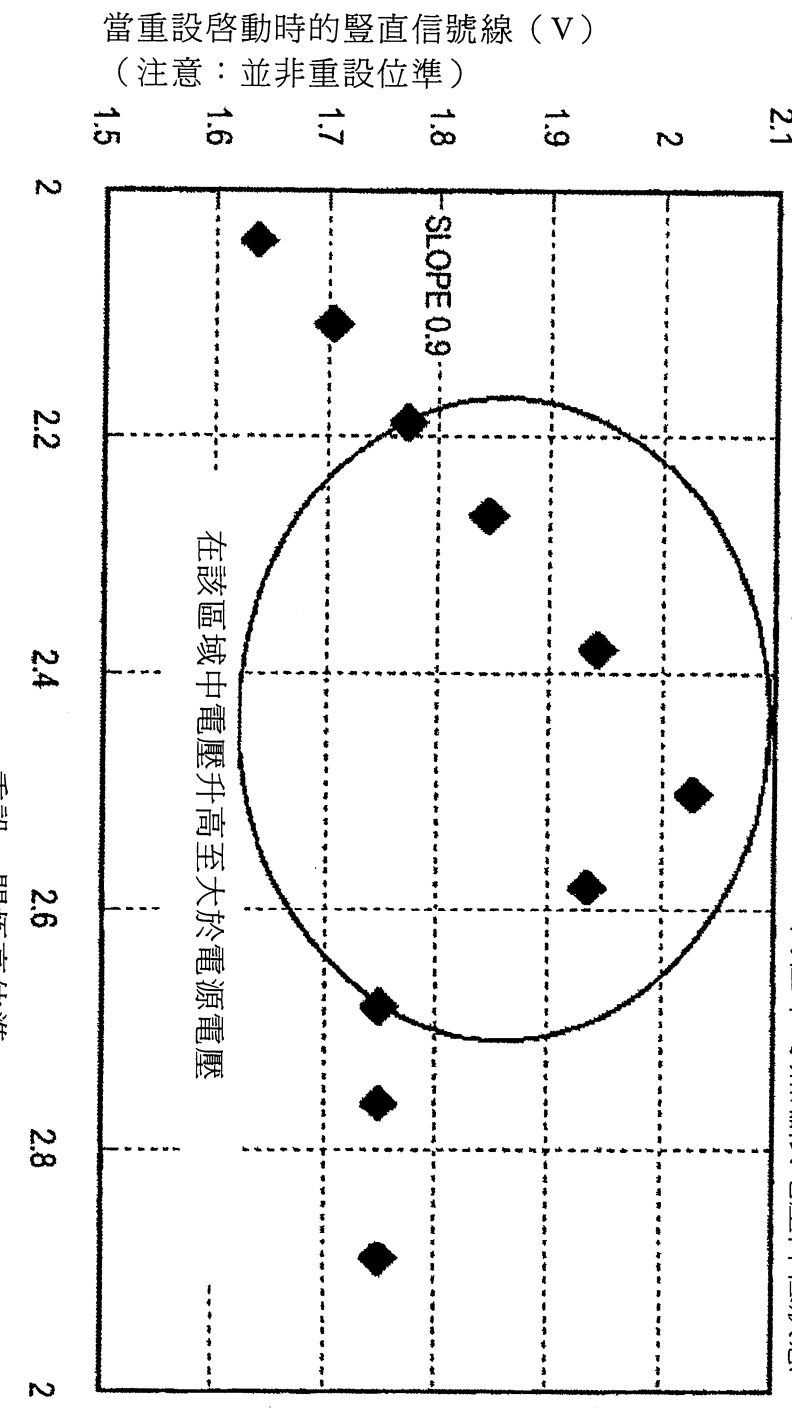

當重設啓動時的豎直信號線（V）
（注意：並非重設位準）
2.1
2
1.9
1.8
1.7
1.6
1.5
SLOPE 0.9
在該區域中電壓升高至大於電源電壓
2
2.2
2.4
2.6
2.8
2
重設－閘極高位準
量測結果
電源電壓：2.6 V
在重設－閘極爲高於 2.68 V 之
高位準時無臨限電壓降低狀態

圖 7

圖 8A

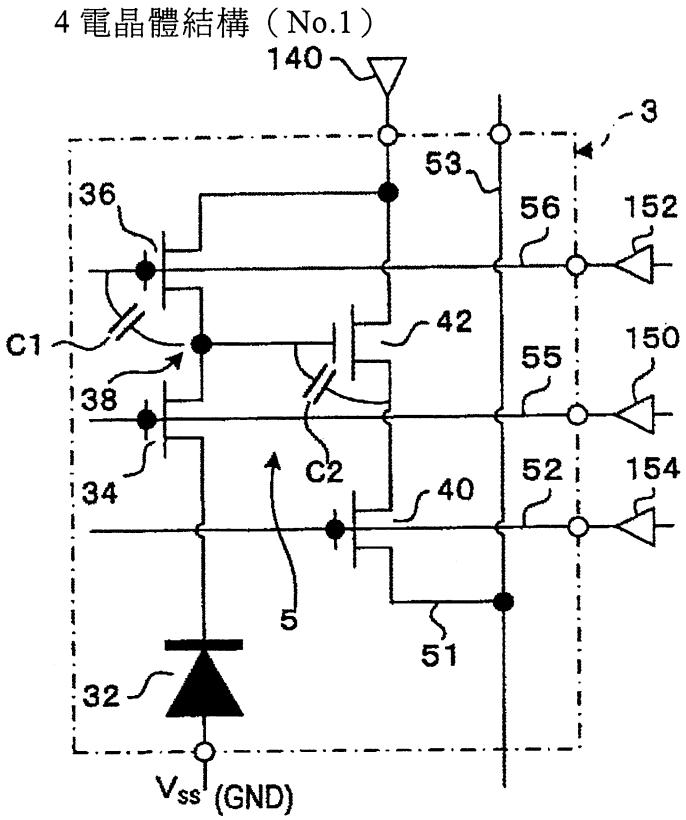
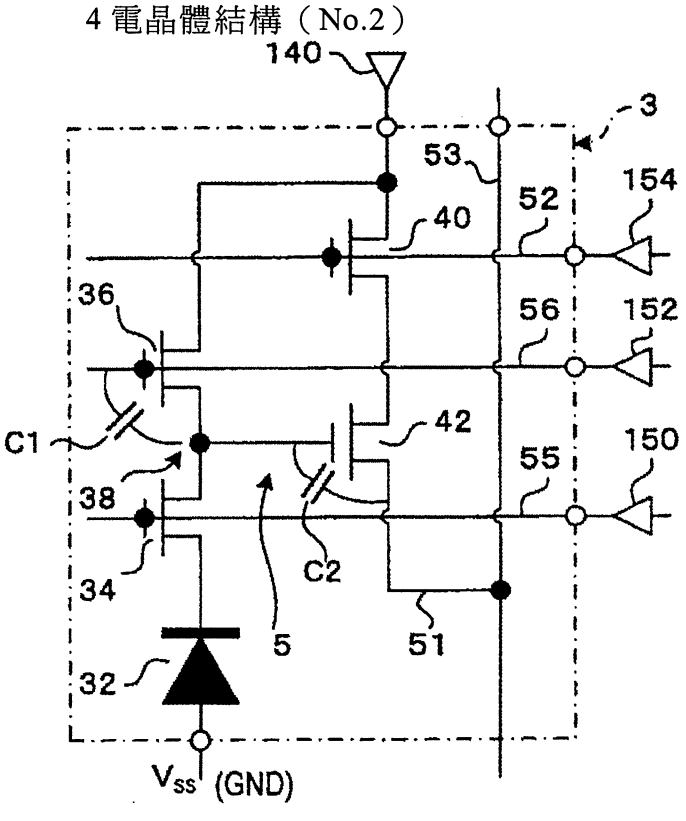

4 電晶體結構（No.1）
140
3
53
36
56
152
42
C1
150
55
38
C2
34
52
154
40
5
51
32
Vss (GND)

圖 8B


4 電晶體結構（No.2）
140
3
53
154
52
40
36
56
152
42
C1
150
55
38
C2
34
5
51
32
Vss (GND)

交疊周期顯著短於豎直信號線之
響應時間

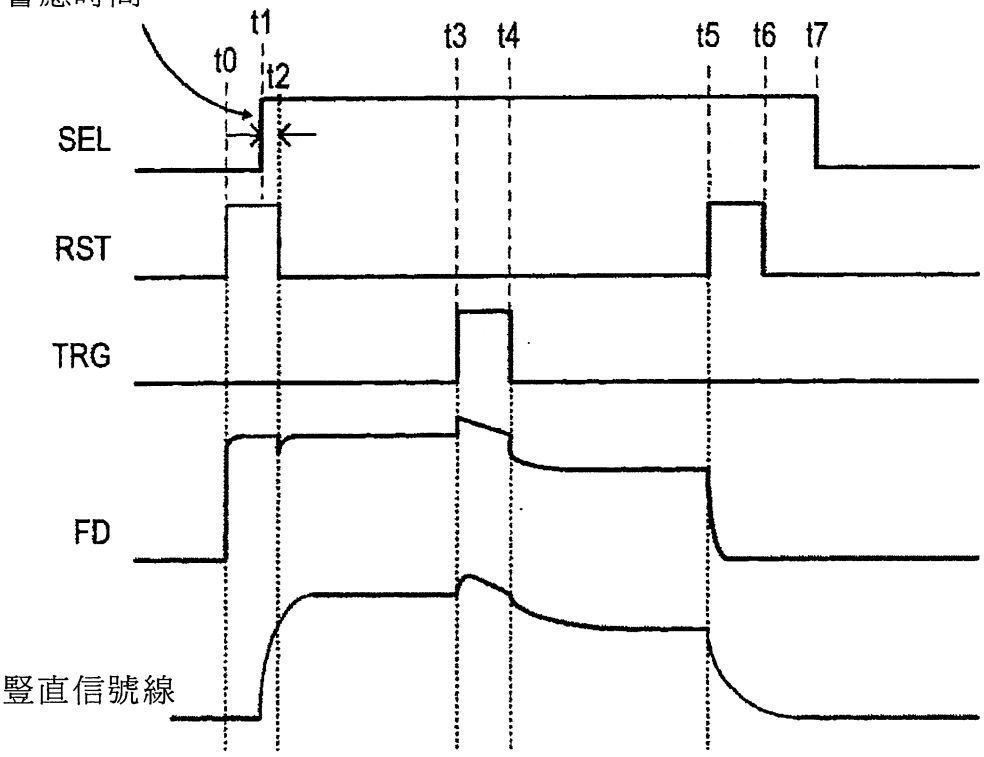



圖 9

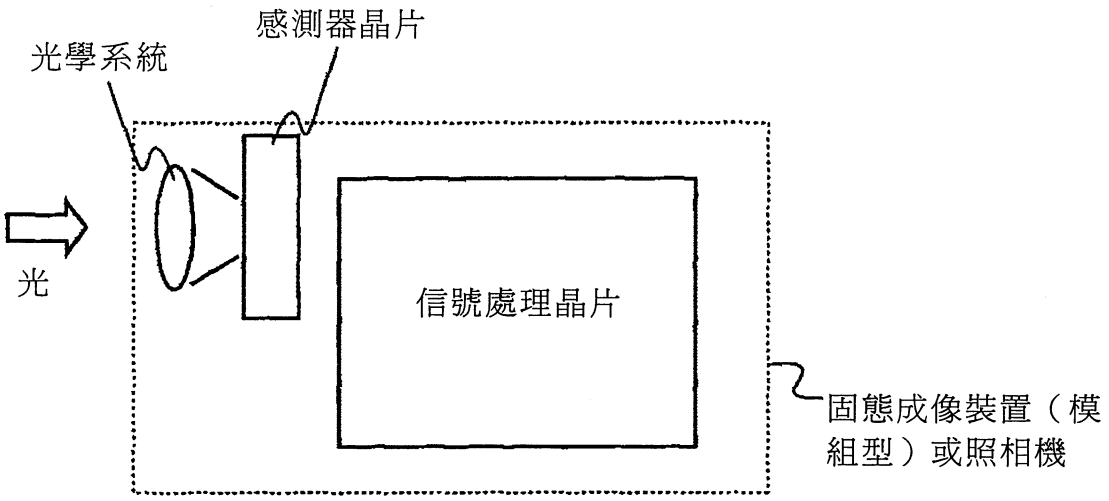



圖 10

## 七、指定代表圖：

(一)本案指定代表圖為：第( 3B )圖。

(二)本代表圖之元件符號簡單說明:

| | |
|---|---|
| 3 | 單位像素 |
| 5 | 像素信號產生單元 |
| 32 | 電荷產生單元 |
| 34 | 讀出選擇電晶體(轉移閘極單元) |
| 36 | 重設電晶體 |
| 38 | 浮動擴散單元 |
| 42 | 放大電晶體 |
| 51 | 像素線 |
| 53 | 豎直信號線 |
| 55 | 轉移閘極導線(TRG) |
| 56 | 重設閘極導線(RST) |
| 57 | 豎直汲極線(DRN) |
| 140 | 汲極驅動緩衝器 |
| 150 | 轉移驅動緩衝器 |
| 152 | 重設驅動緩存器 |
| C1 | 電容耦合 |
| C2 | 電容耦合 |

## 八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

# 十、申請專利範圍：

1. 一種固態成像裝置，其包含：

一包括一單位組件之信號獲取單元，該單位組件包括：一電荷產生單元，其用於因應入射電磁波而產生信號電荷；一電荷聚積單元，其用於聚積由該電荷產生單元產生的該信號電荷；一信號產生單元，其用於根據聚積於該電荷聚積單元中的該信號電荷來產生一信號；及一重設單元，其用於重設該電荷聚積單元；及

一驅動控制單元，其用於使用若干控制脈衝來使該電荷聚積單元達到一重設位準，從而增加欲聚積於該電荷聚積單元中的電荷數量。

2. 如請求項1之裝置，其中該等控制脈衝包含一用於驅動該重設單元之重設脈衝，且該驅動控制單元之運作方式使一與該等控制脈衝相關之預定時間週期顯著短於一因應該重設脈衝而出現於該信號產生單元之一輸入信號線上的信號的一因應時間。

3. 如請求項2之裝置，其中該驅動控制單元運作時將與該等控制脈衝相關的該預定時間週期視爲該等控制脈衝之一的一寬度。

4. 如請求項2之裝置，其中該單位組件進一步包含一用於在該信號獲取單元中選擇該等信號產生單元之一的選擇開關單元，該選擇開關單元連接至一位於該信號產生單元之該輸出信號線之對置側處的電源線，該等控制脈衝包含一用於驅動該重設單元之重設脈衝及一用於驅動該選

94 12 14
年 月 日修(更)正替換頁

擇開關單元之選擇脈衝，且該驅動控制單元運作時將與該等控制脈衝相關的該預定時間週期視爲一自該選擇脈衝導通該選擇開關單元起至該重設脈衝關斷該重設單元時止的時間週期。

5. 如請求項4之裝置，其中該驅動控制單元藉由該選擇脈衝導通該選擇開關單元並同時藉由該重設脈衝關斷該重設單元。

6. 如請求項2之裝置，其中該驅動控制單元之運作方式使與該等控制脈衝相關之該預定時間週期短於或等於因應該重設脈衝而出現於該信號產生單元之該輸入信號線上的該信號的因應時間的1/2。

7. 如請求項6之裝置，其中該驅動控制單元之運作方式使與該等控制脈衝相關之該預定時間週期短於或等於因應該重設脈衝而出現於該信號產生單元之該輸入信號線上的該信號的因應時間的1/5。

8. 如請求項2之裝置，其中該驅動控制單元之運作方式使與該等控制脈衝相關之該預定時間週期短於或等於用於該驅動控制單元的一主時鐘的一個時鐘。

9. 如請求項8之裝置，其中該驅動控制單元之運作方式使與該等控制脈衝相關之該預定時間週期短於或等於用於該驅動控制單元之該主時鐘的半個時鐘。

10. 如請求項2之裝置，其中該驅動控制單元之運作方式使與該等控制脈衝相關之該預定時間週期短於或等於40奈秒(ns)。

94 12 14
年 月 日修(更)正替換頁

11. 如請求項10之裝置，其中該驅動控制單元之運作方式使與該等控制脈衝相關之該預定時間週期短於或等於20奈秒(ns)。

12. 如請求項2之裝置，其中該驅動控制單元之運作方式使該電荷聚積單元在與該等控制脈衝相關的該預定時間週期內因應該重設脈衝之驅動而受到充分重設。

13. 如請求項1之裝置，其中該等控制脈衝包含一用於驅動該重設單元之重設脈衝，且該驅動控制單元之運作方式使當該重設脈衝變爲現用時，該重設單元達到一處於一預定電壓範圍內的臨限電壓降低狀態。

14. 如請求項13之裝置，其中該驅動控制單元之運作方式使該預定電壓範圍介於一電源電壓減0.5伏至該電源電壓之間。

15. 如請求項13之裝置，其中該單位組件進一步包含一用於在該信號獲取單元中選擇該等信號產生單元之一的選擇開關單元，該選擇開關單元連接至一位於該信號產生單元之一輸出信號線之對置側的電源線，該等控制脈衝包含一用於驅動該重設單元之重設脈衝及一用於驅動該選擇開關單元之選擇脈衝，且該驅動控制單元在藉由使用該選擇脈衝導通該選擇開關單元之前藉由使用該重設脈衝導通該重設單元，然後，藉由使用該選擇脈衝導通該選擇開關單元，同時或此後藉由使用該重設脈衝關斷該重設單元。

16. 一種用於驅動一半導體裝置中一單位組件之驅動控制方

年 12 月 14 日修(更)正替換頁

法，該單位組件包含：一電荷產生單元，其用於因應入射電磁波而產生信號電荷；一電荷聚積單元，其用於聚積由該電荷產生單元產生的該信號電荷；一信號產生單元，其用於根據聚積於該電荷聚積單元中的該信號電荷來產生一信號；及一重設單元，其用於重設該電荷聚積單元，該方法包含一如下步驟：使用若干控制脈衝使該電荷聚積單元達到一重設位準，以增加聚積於該電荷聚積單元中的電荷數量。

17. 如請求項16之驅動控制方法，其中該等控制脈衝包含一用於驅動該重設單元之重設脈衝，且該步驟之運作方式使一與該等控制脈衝相關之預定時間週期顯著短於一因應該重設脈衝而出現於該信號產生單元之一輸入信號線上的信號的一因應時間。

18. 如請求項16之驅動控制方法，其中該等控制脈衝包含一用於驅動該重設單元之重設脈衝，且該步驟之運作方式使當該重設脈衝變爲現用時，該重設單元達到一處於一預定電壓範圍內的臨限電壓降低狀態。

19. 一種用於驅動一半導體裝置中一單位組件之驅動控制裝置，該單位組件包含：一電荷產生單元，其用於因應入射電磁波而產生信號電荷；一電荷聚積單元，其用於聚積由該電荷產生單元產生的該信號電荷；一信號產生單元，其用於根據聚積於該電荷聚積單元中的該信號電荷來產生一信號；及一重設單元，其用於重設該電荷聚積單元，該裝置包含一用於使用若干控制脈衝使該電荷聚

年 12 月 14 日修(更)正替換頁

積單元達到一重設位準以增加聚積於該電荷聚積單元中的一電荷數量之驅動控制單元。

20. 如請求項19之驅動控制裝置，其中該驅動控制單元包含一脈衝信號產生單元，該脈衝信號產生單元用於產生一用於驅動該重設單元之重設脈衝作爲該等控制脈衝之一，且該驅動控制單元之運作方式使一與該等控制脈衝相關之預定時間週期顯著短於一因應該重設脈衝而出現於該信號產生單元之一輸入信號線上的信號的一因應時間。

21. 如請求項19之驅動控制裝置，其中該驅動控制單元包含一脈衝信號產生單元，該脈衝信號產生單元用於產生一用於驅動該重設單元之重設脈衝作爲該等控制脈衝之一，且該驅動控制單元之運作方式使當該重設脈衝變爲現用時，該重設單元達到一處於一預定電壓範圍內的臨限電壓降低狀態。

22. 如請求項1之裝置，其進一步包含一用於將該等電磁波導引至該信號獲取單元的光學系統。

23. 一種具有感測器晶片之照相機，其包含：

一包括一單位組件之信號獲取單元，該單位組件包括：一電荷產生單元，其用於因應入射電磁波而產生信號電荷；一電荷聚積單元，其用於聚積由該電荷產生單元產生的該信號電荷；一信號產生單元，其用於根據聚積於該電荷聚積單元中的該信號電荷來產生一信號；及一重設單元，其用於重設該電荷聚積單元；

94 12 14
年 月 日修(更)正替換頁

一驅動控制單元，其用於使用若干控制脈衝來使該電荷聚積單元達到一重設位準，從而增加聚積於該電荷聚積單元中的一電荷數量；及

一光學系統，其用於將該等電磁波導引至該信號獲取單元內。