



(12) 发明专利申请

(10) 申请公布号 CN 104517841 A

(43) 申请公布日 2015. 04. 15

(21) 申请号 201310454314. 4

(22) 申请日 2013. 09. 27

(71) 申请人 中芯国际集成电路制造(上海)有限公司

地址 201203 上海市浦东新区张江路 18 号

(72) 发明人 马燕春

(74) 专利代理机构 上海光华专利事务所 31219
代理人 李仪萍

(51) Int. Cl.

H01L 21/336(2006. 01)

H01L 21/265(2006. 01)

H01L 29/78(2006. 01)

H01L 29/10(2006. 01)

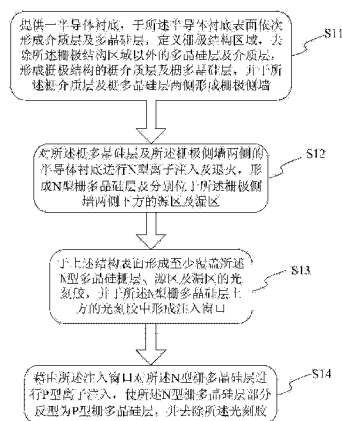
权利要求书1页 说明书6页 附图6页

(54) 发明名称

一种半导体器件及其制作方法

(57) 摘要

本发明提供一种半导体器件及其制作方法, 包括步骤: 1) 于半导体衬底表面形成介质栅层、多晶硅栅层及栅极侧墙; 2) 对多晶硅栅层及栅极侧墙两侧的半导体衬底进行 N 型离子注入及退火, 形成 N 型多晶硅栅层、源区及漏区; 3) 形成覆盖 N 型多晶硅栅层、源区及漏区的光刻胶, 并于 N 型多晶硅栅层上方的光刻胶中形成注入窗口; 4) 对 N 型多晶硅栅层进行 P 型离子注入, 使 N 型多晶硅栅层部分反型为 P 型多晶硅栅层, 并去除光刻胶。本发明通过于 N 型多晶硅栅层中注入高浓度浓度 P 型离子使栅极形成 P-N 二极管结构, 通过离焦曝光工艺制作具有注入窗口的光刻胶以保护源区及漏区, 从而大大提高器件的性能及稳定性。



1. 一种半导体器件的制作方法,其特征在于,至少包括以下步骤:

1) 提供一半导体衬底,于所述半导体衬底表面依次形成介质层及多晶硅层,定义栅极结构区域,去除所述栅极结构区域以外的多晶硅层及介质层,形成栅极结构的介质栅层及多晶硅栅层,并于所述介质栅层及多晶硅栅层两侧形成栅极侧墙;

2) 对所述多晶硅栅层及所述栅极侧墙两侧的半导体衬底进行 N 型离子注入及退火,形成 N 型多晶硅栅层及分别位于所述栅极侧墙两侧下方的源区及漏区;

3) 于上述结构表面形成至少覆盖所述 N 型多晶硅栅层、源区及漏区的光刻胶,并于所述 N 型多晶硅栅层上方的光刻胶中形成注入窗口;

4) 藉由所述注入窗口对所述 N 型多晶硅栅层进行 P 型离子注入,使所述 N 型多晶硅栅层部分反型为 P 型多晶硅栅层,并去除所述光刻胶。

2. 根据权利要求 1 所述的半导体器件的制作方法,其特征在于:步骤 1) 制作所述栅极侧墙之前还包括采用 N 型离子注入工艺及退火工艺于所述半导体衬底中形成浅掺杂漏的步骤,所述浅掺杂漏的离子掺杂浓度为 $1e12 \sim 9e13/cm^3$ 。

3. 根据权利要求 1 所述的半导体器件的制作方法,其特征在于:所述 N 型多晶硅栅层、源区及漏区的离子掺杂浓度为 $1e14 \sim 9e15/cm^3$ 。

4. 根据权利要求 1 所述的半导体器件的制作方法,其特征在于:步骤 3) 中,采用一定的离焦量对所述光刻胶进行曝光,以于所述 N 型多晶硅栅层上方的光刻胶中制作注入窗口,所述注入窗口的截面为 U 型面。

5. 根据权利要求 1 所述的半导体器件的制作方法,其特征在于:所述注入窗口的宽度小于或等于所述 N 型多晶硅栅层的宽度。

6. 根据权利要求 1 所述的半导体器件的制作方法,其特征在于:步骤 4) 去除所述光刻胶以后还包括对所述 P 型多晶硅栅层进行退火的步骤。

7. 根据权利要求 1 所述的半导体器件的制作方法,其特征在于:所述 P 型多晶硅栅层位于所述 N 型多晶硅栅层之上,所述 P 型多晶硅栅层的离子掺杂浓度为 $1e15 \sim 9e16/cm^3$ 。

8. 一种半导体器件,其特征在于,包括:

半导体衬底;

栅极结构,包括结合于所述半导体衬底表面的介质栅层、结合于所述介质栅层表面的多晶硅栅层及结合于所述介质栅层及多晶硅栅层两侧的栅极侧墙,所述多晶硅栅层包括位于下层的 N 型多晶硅栅层及位于上层的 P 型多晶硅栅层;

源区及漏区,形成于所述栅极结构两侧下方的半导体衬底中。

9. 根据权利要求 1 所述的半导体器件,其特征在于:还包括连接于所述漏区并延伸至所述栅极结构下方一定宽度的浅掺杂漏,所述浅掺杂漏的离子掺杂浓度为 $1e12 \sim 9e13/cm^3$ 。

10. 根据权利要求 1 所述的半导体器件,其特征在于:所述 N 型多晶硅栅层的离子掺杂浓度为 $1e14 \sim 9e15/cm^3$,所述 P 型多晶硅栅层的离子掺杂浓度为 $1e15 \sim 9e16/cm^3$ 。

一种半导体器件及其制作方法

技术领域

[0001] 本发明属于半导体制造领域,特别是涉及一种半导体器件及其制作方法。

背景技术

[0002] 传统的图像传感器通常可以分为两类:电荷耦合器件(Charge Coupled Device, CCD)图像传感器和互补金属氧化物半导体(CMOS)图像传感器。其中,CMOS图像传感器具有体积小、功耗低、生产成本低等优点,因此,CMOS图像传感器易于集成在例如手机、笔记本电脑、平板电脑等便携电子设备中,作为提供数字成像功能的摄像模组使用。

[0003] CMOS图像传感器通常采用3T或4T的像素结构。图1显示为一种传统CMOS图像传感器的4T像素结构,包括光电二极管11、转移晶体管12、复位晶体管13、源跟随晶体管14以及行选择晶体管15。其中,光电二极管11用于感应光强变化而形成相应的图像电荷信号。转移晶体管12用于接收转移控制信号TX,在转移控制信号TX的控制下,转移晶体管12相应导通或关断,从而使得光电二极管11所感应的图像电荷信号被读出到与该转移晶体管12的漏极耦接的浮动扩散区(floating diffusion),进而由该浮动扩散区存储图像电荷信号。复位晶体管13用于接收复位控制信号RST,在该复位控制信号RST的控制下,复位晶体管13相应导通或关断,从而向源跟随晶体管14的栅极提供复位信号。源跟随晶体管14用于将转移晶体管12获得的图像电荷信号转换为电压信号,并且该电压信号可以通过行选择晶体管15输出到位线BL上。

[0004] 随着CMOS图像传感器的发展,光电二极管造成的噪声大大降低,现在,CMOS图像传感器的噪声的主要来源为 $1/f$ 噪声,而这种 $1/f$ 噪声主要来自于传统的表面沟道型NMOS源跟随晶体管。为了解决这个重大的缺陷,埋沟型NMOS源跟随管由于可以实现较低的 $1/f$ 噪声,而逐渐取代了表面沟道型NMOS源跟随晶体管。

[0005] 但是,由于埋沟型NMOS源跟随晶体管需要在多晶硅栅中注入较大浓度的P型离子,这很难便面会导致N型源漏区被注入一定量的P型离子而降低其掺杂浓度甚至使其反型,从而导致源跟随管性能的降低甚至失效。

[0006] 因此,提供一种可以有效解决上述问题的埋沟型NMOS源跟随晶体管及其制作方法实属必要。

发明内容

[0007] 鉴于以上所述现有技术的缺点,本发明的目的在于提供一种半导体器件及其制作方法,用于解决现有技术中埋沟型源跟随晶体管在栅极结构的离子注入过程中容易导致源漏区反型的问题。

[0008] 为实现上述目的及其他相关目的,本发明提供一种半导体器件的制作方法,至少包括以下步骤:

[0009] 1) 提供一半导体衬底,于所述半导体衬底表面依次形成介质层及多晶硅层,定义栅极结构区域,去除所述栅极结构区域以外的多晶硅层及介质层,形成栅极结构的介质栅

层及多晶硅栅层,并于所述介质栅层及多晶硅栅层两侧形成栅极侧墙;

[0010] 2) 对所述多晶硅栅层及所述栅极侧墙两侧的半导体衬底进行 N 型离子注入及退火,形成 N 型多晶硅栅层及分别位于所述栅极侧墙两侧下方的源区及漏区;

[0011] 3) 于上述结构表面形成至少覆盖所述 N 型多晶硅栅层、源区及漏区的光刻胶,并于所述 N 型多晶硅栅层上方的光刻胶中形成注入窗口;

[0012] 4) 藉由所述注入窗口对所述 N 型多晶硅栅层进行 P 型离子注入,使所述 N 型多晶硅栅层部分反型为 P 型多晶硅栅层,并去除所述光刻胶。

[0013] 作为本发明的半导体器件的制作方法的一种优选方案,步骤 1) 制作所述栅极侧墙之前还包括采用 N 型离子注入工艺及退火工艺于所述半导体衬底中形成浅掺杂漏的步骤,所述浅掺杂漏的离子掺杂浓度为 $1e12 \sim 9e13/cm^3$ 。

[0014] 作为本发明的半导体器件的制作方法的一种优选方案,所述 N 型多晶硅栅层、源区及漏区的离子掺杂浓度为 $1e14 \sim 9e15/cm^3$ 。

[0015] 作为本发明的半导体器件的制作方法的一种优选方案,步骤 3) 中,采用一定的离焦量对所述光刻胶进行曝光,以于所述 N 型多晶硅栅层上方的光刻胶中制作注入窗口,所述注入窗口的截面为 U 型面。

[0016] 作为本发明的半导体器件的制作方法的一种优选方案,所述注入窗口的宽度小于或等于所述 N 型多晶硅栅层的宽度。

[0017] 作为本发明的半导体器件的制作方法的一种优选方案,步骤 4) 去除所述光刻胶以后还包括对所述 P 型多晶硅栅层进行退火的步骤。

[0018] 作为本发明的半导体器件的制作方法的一种优选方案,所述 P 型多晶硅栅层位于所述 N 型多晶硅栅层之上,所述 P 型多晶硅栅层的离子掺杂浓度为 $1e15 \sim 9e16/cm^3$ 。

[0019] 本发明还提供一种半导体器件,包括:

[0020] 半导体衬底;

[0021] 栅极结构,包括结合于所述半导体衬底表面的介质栅层、结合于所述介质栅层表面的多晶硅栅层及结合于所述介质栅层及多晶硅栅层两侧的栅极侧墙,所述多晶硅栅层包括位于下层的 N 型多晶硅栅层及位于上层的 P 型多晶硅栅层;

[0022] 源区及漏区,形成于所述栅极结构两侧下方的半导体衬底中。

[0023] 作为本发明的半导体器件的一种优选方案,还包括连接于所述漏区并延伸至所述栅极结构下方一定宽度的浅掺杂漏,所述浅掺杂漏的离子掺杂浓度为 $1e12 \sim 9e13/cm^3$ 。

[0024] 作为本发明的半导体器件的一种优选方案,所述 N 型多晶硅栅层的离子掺杂浓度为 $1e14 \sim 9e15/cm^3$,所述 P 型多晶硅栅层的离子掺杂浓度为 $1e15 \sim 9e16/cm^3$ 。

[0025] 如上所述,本发明提供一种半导体器件及其制作方法,包括步骤:1) 提供一半导体衬底,于所述半导体衬底表面依次形成介质层及多晶硅层,定义栅极结构区域,去除所述栅极结构区域以外的多晶硅层及介质层,形成栅极结构的介质栅层及多晶硅栅层,并于所述介质栅层及多晶硅栅层两侧形成栅极侧墙;2) 对所述多晶硅栅层及所述栅极侧墙两侧的半导体衬底进行 N 型离子注入及退火,形成 N 型多晶硅栅层及分别位于所述栅极侧墙两侧下方的源区及漏区;3) 于上述结构表面形成至少覆盖所述 N 型多晶硅栅层、源区及漏区的光刻胶,并于所述 N 型多晶硅栅层上方的光刻胶中形成注入窗口;4) 藉由所述注入窗口对所述 N 型多晶硅栅层进行 P 型离子注入,使所述 N 型多晶硅栅层部分反型为 P 型多晶硅栅层,

并去除所述光刻胶。本发明通过于多晶硅栅层中注入浓度较高的 P 型离子使栅极呈正电压,通过离焦曝光工艺制作具有注入窗口的光刻胶以保护源区及漏区,避免在 P 型离子注入过程中对源区及漏区造成影响,可以大大提高器件的性能及稳定性。本发明仅将部分的 N 型多晶硅栅反型为 P 型多晶硅栅,工艺可控性强,可以降低工艺难度,且本发明与现有的 CMOS 工艺兼容,适用于工业生产。

附图说明

- [0026] 图 1 显示为现有技术中的 4T 型 CMOS 图像传感器的像素结构示意图。
- [0027] 图 2 显示为本发明的半导体器件的制作方法的步骤流程示意图。
- [0028] 图 3 ~ 图 7 显示为本发明的半导体器件的制作方法步骤 1) 所呈现的结构示意图。
- [0029] 图 8 显示为本发明的半导体器件的制作方法步骤 2) 所呈现的结构示意图。
- [0030] 图 9 ~ 图 10 显示为本发明的半导体器件的制作方法步骤 3) 所呈现的结构示意图。
- [0031] 图 11 ~ 图 13 显示为本发明的半导体器件的制作方法步骤 4) 所呈现的结构示意图。
- [0032] 元件标号说明
- | | | |
|--------|-----------|---------------|
| [0033] | 101 | 半导体衬底 |
| [0034] | 102 | 介质层 |
| [0035] | 103 | 多晶硅层 |
| [0036] | 104 | 介质栅层 |
| [0037] | 105 | 多晶硅栅层 |
| [0038] | 106 | 浅掺杂漏 |
| [0039] | 107 | 栅极侧墙 |
| [0040] | 108 | 源区 |
| [0041] | 109 | 漏区 |
| [0042] | 110 | N 型多晶硅栅层 |
| [0043] | 111 | 光刻胶 |
| [0044] | 112 | 注入窗口 |
| [0045] | 113 | P 型多晶硅栅层 |
| [0046] | S11 ~ S14 | 步骤 1) ~ 步骤 4) |

具体实施方式

[0047] 以下通过特定的具体实例说明本发明的实施方式,本领域技术人员可由本说明书所揭露的内容轻易地了解本发明的其他优点与功效。本发明还可以通过另外不同的具体实施方式加以实施或应用,本说明书中的各项细节也可以基于不同观点与应用,在没有背离本发明的精神下进行各种修饰或改变。

[0048] 请参阅图 2 ~ 图 13。需要说明的是,本实施例中所提供的图示仅以示意方式说明本发明的基本构想,遂图式中仅显示与本发明中有关的组件而非按照实际实施时的组件数目、形状及尺寸绘制,其实际实施时各组件的型态、数量及比例可为一种随意的改变,且其组件布局型态也可能更为复杂。

[0049] 如图 2～图 13 所示,本实施例提供一种半导体器件的制作方法,至少包括以下步骤:

[0050] 如图 2～图 7 所示,首先进行步骤 1)S11,提供一半导体衬底 101,于所述半导体衬底 101 表面依次形成介质层 102 及多晶硅层 103,定义栅极结构区域,去除所述栅极结构区域以外的多晶硅层 103 及介质层 102,制作出栅极结构的介质栅层 104 及多晶硅栅层 105,并于所述介质栅层 104 及多晶硅栅层 105 两侧制作栅极侧墙 107。

[0051] 作为示例,所述半导体衬底 101 可以但不限于为 Si 衬底、SOI 衬底等,在本实施例中,所述半导体衬底 101 采用 Si 衬底。所述介质层 102 为二氧化硅层。

[0052] 具体地,首先采用热氧化法于所述半导体衬底 101 表面形成一定厚度的二氧化硅层,然后采用外延工艺于所述二氧化硅层表面外延多晶硅层 103,如图 3～图 4 所示;

[0053] 然后定义栅极结构区域,并依据该栅极结构区域于所述多晶硅层 103 表面制作光刻胶 111 图形,并采用湿法腐蚀或干法刻蚀工艺去除所述栅极结构区域以外的多晶硅层 103 及介质层 102,制作出栅极结构的介质栅层 104 及多晶硅栅层 105,如图 5 所示;

[0054] 接着以所述多晶硅层 103 为掩膜,采用 N 型离子注入工艺及退火工艺于所述半导体衬底 101 中形成浅掺杂漏 106,在本实施例中,所述 N 型离子为 P(磷),所述浅掺杂漏 106 的离子掺杂浓度为 $1e12 \sim 9e13/cm^3$,如图 6 所示;

[0055] 制作完所述浅掺杂漏 106 以后,于所述介质栅层 104 及多晶硅栅层 105 两侧制作栅极侧墙 107,所述栅极侧墙 107 的材料可以为氧化硅、氮化硅等,如图 7 所示。

[0056] 如图 2 及图 8 所示,然后进行步骤 2)S12,对所述多晶硅栅层 105 及所述栅极侧墙 107 两侧的半导体衬底 101 进行 N 型离子注入及退火,形成 N 型多晶硅栅层 110 及分别位于所述栅极侧墙 107 两侧下方的源区 108 及漏区 109。

[0057] 具体地,首先直接对所述多晶硅栅层 105 及所述栅极侧墙 107 两侧的半导体衬底 101 进行 N 型离子注入,所述 N 型离子为 P(磷),然后经过退火激活后,所述多晶硅栅层 105 中掺杂有 N 型离子形成 N 型多晶硅栅层 110,所述栅极侧墙 107 两侧下方的半导体中则分别形成 N 型源区 108 及 N 型漏区 109,其中,所述 N 型多晶硅栅层 110、源区 108 及漏区 109 的离子掺杂浓度为 $1e14 \sim 9e15/cm^3$ 。

[0058] 如图 2 及图 9～图 10 所示,接着进行步骤 3),于上述结构表面制作出至少覆盖所述 N 型多晶硅栅层 110、源区 108 及漏区 109 的光刻胶 111,并于所述 N 型多晶硅栅层 110 上方的光刻胶 111 中制作注入窗口 112。

[0059] 具体地,采用旋涂工艺制作出覆盖所述 N 型多晶硅栅层 110、源区 108 及漏区 109 的光刻胶 111,所述光刻胶 111 的超出所述多晶硅栅层一定的厚度。然后采用一定的离焦量对所述光刻胶 111 进行曝光,使曝光的焦点高于常规的曝光工艺,在本实施例中,采用的离焦量为有效曝光景深的一半。这样曝光后,可以仅于所述 N 型多晶硅栅层 110 上方的光刻胶 111 中制作出注入窗口 112,所述注入窗口 112 的截面为 U 型面。

[0060] 当然,为了保证后续 P 型离子注入不会对源漏区 109 造成影响,所述注入窗口 112 的宽度 D 一般选择为小于或等于所述 N 型多晶硅栅层 110 的宽度,在本实施例中,所述注入窗口 112 的宽度 D 略小于所述 N 型多晶硅栅层 110 的宽度。

[0061] 如图 2 及图 11～图 13 所示,最后进行步骤 4),藉由所述注入窗口 112 对所述 N 型多晶硅栅层 110 进行 P 型离子注入,使所述 N 型多晶硅栅层 110 部分反型为 P 型多晶硅栅

层 113, 并去除所述光刻胶 111。

[0062] 作为示例, 在进行 P 型离子注入时, 适当控制 P 型离子的注入能量, 在所述光刻胶 111 的保护下, 可以保证所述源区 108 及漏区 109 不受影响, 同时, 在所述 N 型多晶硅栅层 110 及介质栅层 104 的保护下, 器件的沟道区也不会受到影响。在本实施例中, 以所述多晶硅栅层的厚度为 $1000 \sim 1500 \text{ \AA}$, 所采用的 P 型离子为 B (硼), 离子注入的能量为 $10 \sim 20 \text{ keV}$, 此时注入的深度为 $300 \sim 700 \text{ \AA}$, 可以使所述 N 型多晶硅栅层 110 的上部反型成 P 型多晶硅栅层 113。本步骤不需要把所述 N 型多晶硅栅层 110 全部反型为 P 型多晶硅栅层 113, 工艺可控性很强, 且不会对栅极结构方的器件结构造成影响, 可以大大降低工艺难度, 并提高器件的性能。

[0063] 作为示例, P 型离子注入完成后, 去除所述光刻胶 111, 并对所述 P 型多晶硅栅层 113 进行退火, 以去除由于离子注入所产生的缺陷, 并使离子分布均匀。

[0064] 在本实施例中, 所述 P 型多晶硅栅层 113 位于所述 N 型多晶硅栅层 110 之上, 所述 P 型多晶硅栅层 113 的离子掺杂浓度为 $1e15 \sim 9e16/\text{cm}^3$ 。

[0065] 如图 13 所示, 本实施例还提供一种半导体器件, 包括:

[0066] 半导体衬底 101;

[0067] 栅极结构, 包括结合于所述半导体衬底 101 表面的介质栅层 104、结合于所述介质栅层 104 表面的多晶硅栅层及结合于所述介质栅层 104 及多晶硅栅层两侧栅极侧墙 107, 所述多晶硅栅层包括位于下层的 N 型多晶硅栅层 110 及位于上层的 P 型多晶硅栅层 113;

[0068] 源区 108 及漏区 109, 形成于所述栅极结构两侧下方的半导体衬底 101 中。

[0069] 作为示例, 所述半导体器件还包括连接于所述漏区 109 并延伸至所述栅极结构下方一定宽度的浅掺杂漏 106, 所述浅掺杂漏 106 的离子掺杂浓度为 $1e12 \sim 9e13/\text{cm}^3$ 。

[0070] 作为示例, 所述源区 108 及漏区 109 的离子掺杂浓度为 $1e14 \sim 9e15/\text{cm}^3$ 。

[0071] 作为示例, 所述 N 型多晶硅栅层 110 的离子掺杂浓度为 $1e14 \sim 9e15/\text{cm}^3$, 所述 P 型多晶硅栅层 113 的离子掺杂浓度为 $1e15 \sim 9e16/\text{cm}^3$ 。

[0072] 综上所述, 本发明提供一种半导体器件及其制作方法, 包括步骤: 1) 提供一半导体衬底 101, 于所述半导体衬底 101 表面依次形成介质层 102 及多晶硅层 103, 定义栅极结构区域, 去除所述栅极结构区域以外的多晶硅层 103 及介质层 102, 形成栅极结构的介质栅层 104 及多晶硅栅层 105, 并于所述介质栅层 104 及多晶硅栅层 105 两侧形成栅极侧墙 107; 2) 对所述多晶硅栅层 105 及所述栅极侧墙 107 两侧的半导体衬底 101 进行 N 型离子注入及退火, 形成 N 型多晶硅栅层 110 及分别位于所述栅极侧墙 107 两侧下方的源区 108 及漏区 109; 3) 于上述结构表面形成至少覆盖所述 N 型多晶硅栅层 110、源区 108 及漏区 109 的光刻胶 111, 并于所述 N 型多晶硅栅层 110 上方的光刻胶 111 中形成注入窗口 112; 4) 藉由所述注入窗口 112 对所述 N 型多晶硅栅层 110 进行 P 型离子注入, 使所述 N 型多晶硅栅层 110 部分反型为 P 型多晶硅栅层 113, 并去除所述光刻胶 111。本发明通过于多晶硅栅层中注入浓度较高的 P 型离子使栅极呈正电压, 通过离焦曝光工艺制作具有注入窗口 112 的光刻胶 111 以保护源区 108 及漏区 109, 避免在 P 型离子注入过程中对源区 108 及漏区 109 造成影响, 可以大大提高器件的性能及稳定性。本发明仅将部分的 N 型多晶硅栅层 110 反型为 P 型多晶硅栅层 113, 工艺可控性强, 可以降低工艺难度, 且本发明与现有的 CMOS 工艺兼容, 适用于工业生产。所以, 本发明有效克服了现有技术中的种种缺点而具高度产业利用价

值。

[0073] 上述实施例仅例示性说明本发明的原理及其功效,而非用于限制本发明。任何熟悉此技术的人士皆可在不违背本发明的精神及范畴下,对上述实施例进行修饰或改变。因此,举凡所属技术领域中具有通常知识者在未脱离本发明所揭示的精神与技术思想下所完成的一切等效修饰或改变,仍应由本发明的权利要求所涵盖。

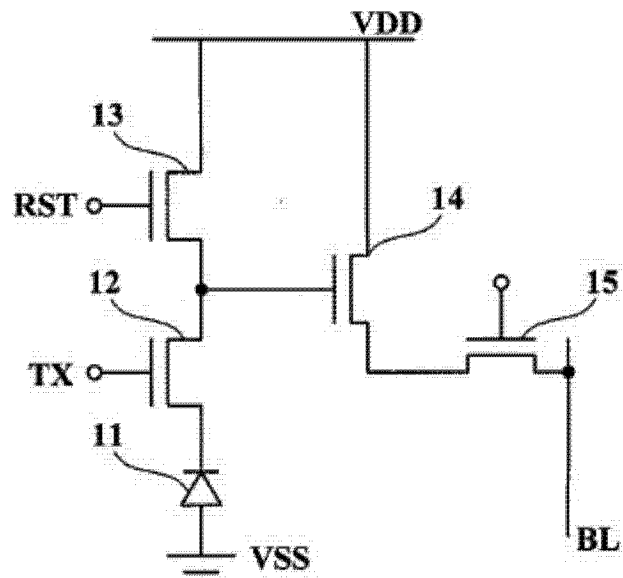


图 1

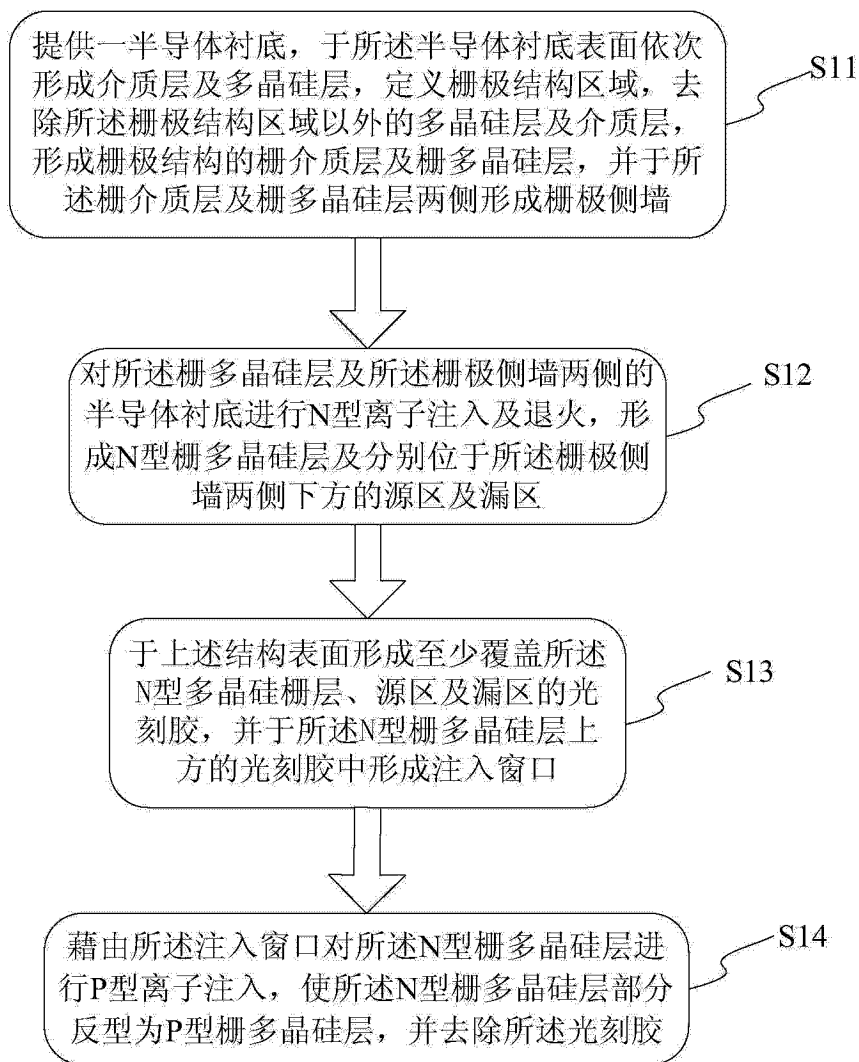


图 2

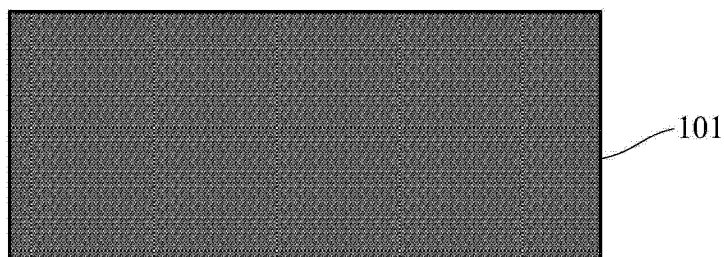


图 3

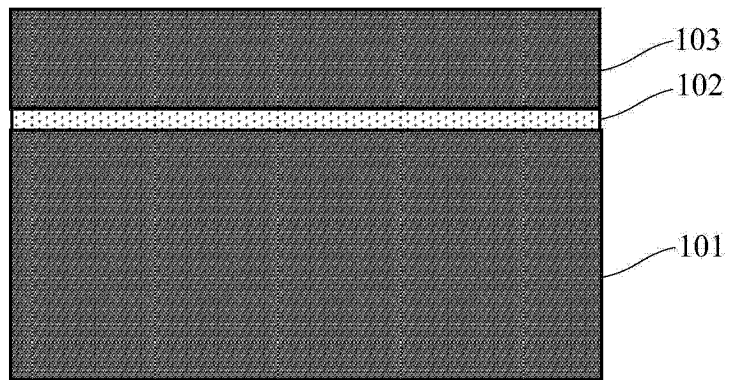


图 4

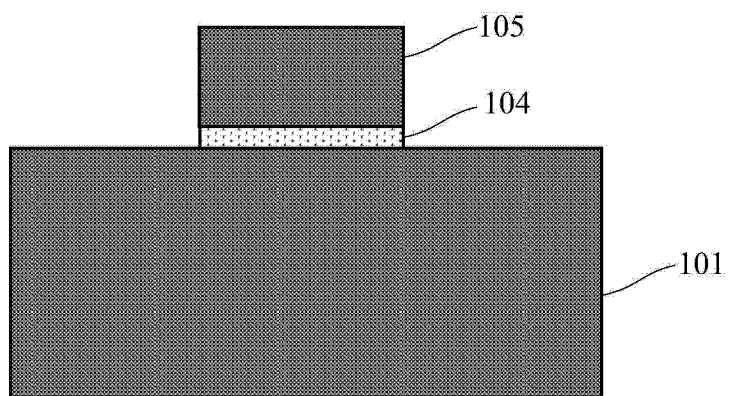


图 5

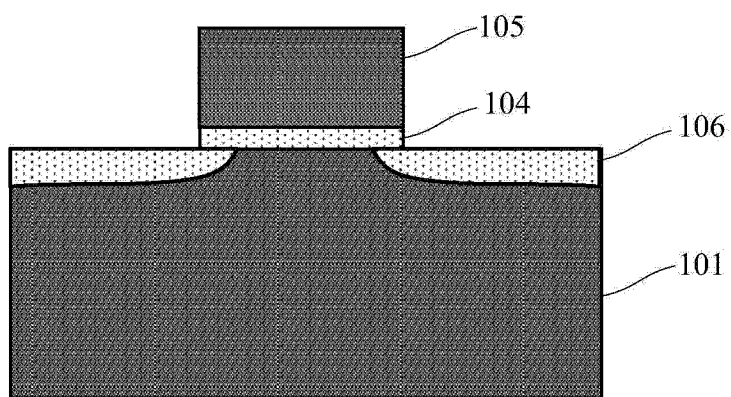


图 6

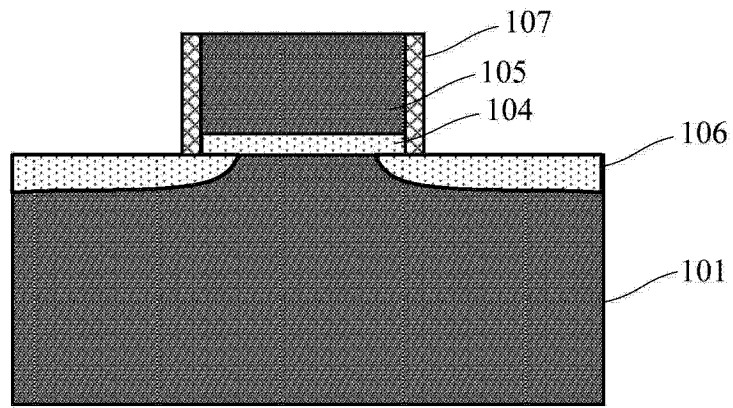


图 7

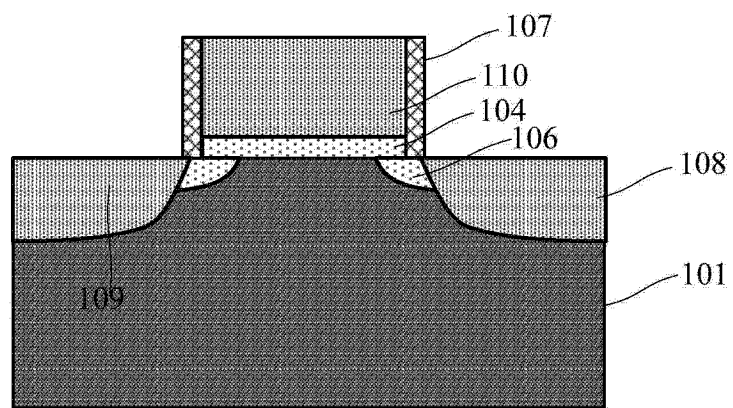


图 8

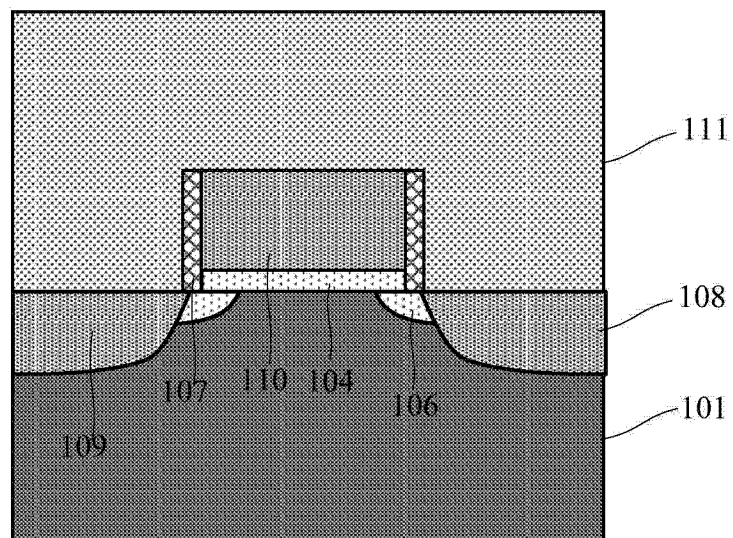


图 9

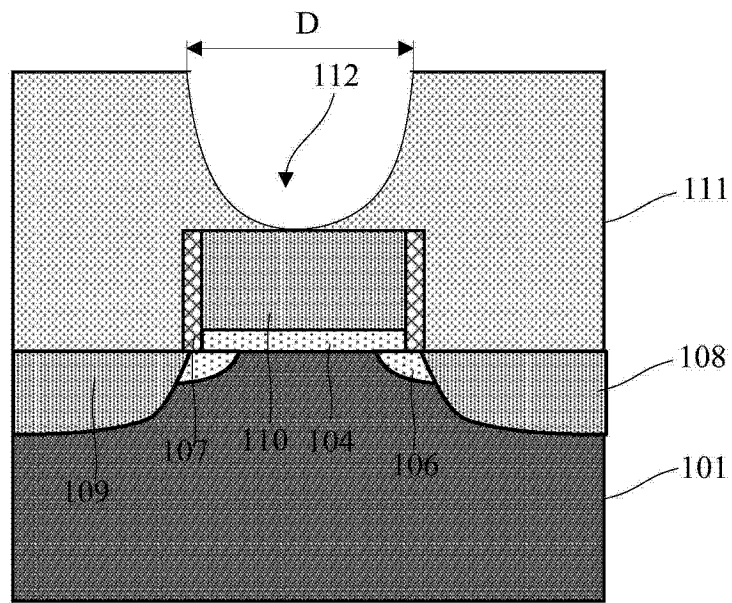


图 10

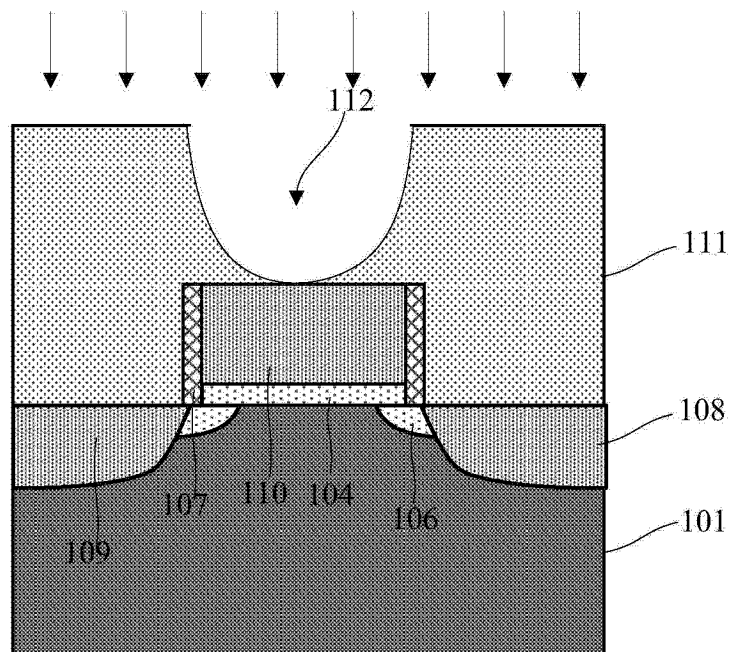


图 11

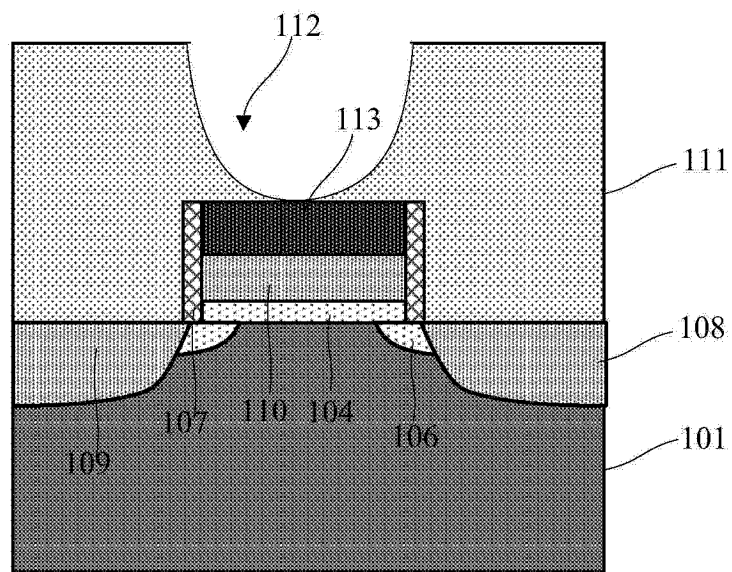


图 12

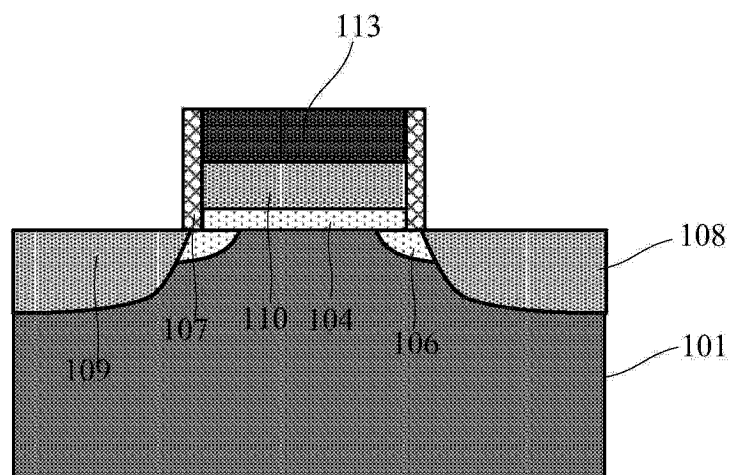


图 13