

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5632001号  
(P5632001)

(45) 発行日 平成26年11月26日(2014.11.26)

(24) 登録日 平成26年10月17日(2014.10.17)

(51) Int. Cl.	F I
G 1 1 C 19/28 (2006.01)	G 1 1 C 19/28 D
G 1 1 C 19/00 (2006.01)	G 1 1 C 19/00 G
G 0 9 G 3/36 (2006.01)	G 1 1 C 19/00 J
G 0 9 G 3/20 (2006.01)	G 0 9 G 3/36
	G 0 9 G 3/20 6 2 2 E
	請求項の数 15 (全 41 頁) 最終頁に続く

(21) 出願番号 特願2012-531898 (P2012-531898)  
 (86) (22) 出願日 平成23年8月30日 (2011. 8. 30)  
 (86) 国際出願番号 PCT/JP2011/069635  
 (87) 国際公開番号 W02012/029799  
 (87) 国際公開日 平成24年3月8日 (2012. 3. 8)  
 審査請求日 平成25年2月19日 (2013. 2. 19)  
 (31) 優先権主張番号 特願2010-197199 (P2010-197199)  
 (32) 優先日 平成22年9月2日 (2010. 9. 2)  
 (33) 優先権主張国 日本国 (JP)

(73) 特許権者 000005049  
 シャープ株式会社  
 大阪府大阪市阿倍野区長池町22番22号  
 (74) 代理人 110000338  
 特許業務法人HARAKENZO WORLD PATENT & TRADEMARK  
 (72) 発明者 大河 寛幸  
 日本国大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内  
 (72) 発明者 佐々木 寧  
 日本国大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内

最終頁に続く

(54) 【発明の名称】 シフトレジスタ及び表示装置

(57) 【特許請求の範囲】

【請求項1】

同一導電型のトランジスタで構成された単位回路を多段接続した構成を有し、複数のクロック信号に基づいて動作するシフトレジスタであって、

上記単位回路は、

一方の導通端子に第1クロック信号が与えられ、他方の導通端子が出力端子に接続された第1出力制御トランジスタと、

アクティブな全オン制御信号が上記単位回路に与えられると、上記出力端子にオン電圧の出力信号を出力する一方、非アクティブな全オン制御信号が上記単位回路に与えられると、上記オン電圧の出力信号の出力を停止する全オン出力信号生成回路と、

非アクティブな全オン制御信号が上記単位回路に与えられると、入力信号に基づいて上記第1出力制御トランジスタの制御端子にオン電圧を与えるプリチャージ回路と、

アクティブな全オン制御信号が上記単位回路に与えられると、上記第1出力制御トランジスタの制御端子にオフ電圧を与えるディスチャージ回路とを備えており、

上記ディスチャージ回路は、一方の導通端子が上記第1出力制御トランジスタの制御端子に接続され、他方の導通端子にオフ電圧が与えられるディスチャージトランジスタを含み、

制御端子に上記第1クロック信号とは位相が異なる第2クロック信号が与えられ、一方の導通端子にオン電圧が与えられる第1リセットトランジスタと、

制御端子に非アクティブな全オン制御信号が与えられ、一方の導通端子が、上記ディス

チャージトランジスタの制御端子および上記第 1 リセットトランジスタの他方の導通端子に接続されるリセット分離トランジスタと、

制御端子に上記入力信号が与えられ、一方の導通端子が、上記リセット分離トランジスタの他方の導通端子に接続され、他方の導通端子にオフ電圧が与えられる第 2 リセットトランジスタと、をさらに含むことを特徴とするシフトレジスタ。

【請求項 2】

上記プリチャージ回路は、制御端子に入力信号が与えられ、一方の導通端子にオン電圧が与えられ、他方の導通端子が上記第 1 出力制御トランジスタの制御端子に接続されたプリチャージトランジスタを含むことを特徴とする請求項 1 に記載のシフトレジスタ。

【請求項 3】

上記プリチャージ回路は、  
制御端子に非アクティブな全オン制御信号が与えられ、一方の導通端子にオン電圧が与えられる第 1 プリチャージトランジスタと、

制御端子に入力信号が与えられ、一方の導通端子が上記第 1 プリチャージトランジスタの他方の導通端子に接続され、他方の導通端子が上記第 1 出力制御トランジスタの制御端子に接続された第 2 プリチャージトランジスタと、を含むことを特徴とする請求項 1 に記載のシフトレジスタ。

【請求項 4】

上記ディスチャージトランジスタは、制御端子が上記第 1 リセットトランジスタの他方の導通端子に接続されていることを特徴とする請求項 1 に記載のシフトレジスタ。

【請求項 5】

制御端子にアクティブな全オン制御信号が与えられ、一方の導通端子にオン電圧が与えられる第 1 0 リセットトランジスタを含み、

上記ディスチャージトランジスタは、制御端子が上記第 1 0 リセットトランジスタの他方の導通端子に接続されていることを特徴とする請求項 1 に記載のシフトレジスタ。

【請求項 6】

一方の導通端子が上記出力端子に接続され、他方の導通端子にオフ電圧が与えられる第 2 出力制御トランジスタと、上記ディスチャージ回路及び上記第 2 出力制御トランジスタにそれぞれ、オン電圧またはオフ電圧を与えるリセット信号生成回路とを含み、

上記リセット信号生成回路は、

上記単位回路に与えられる全オン制御信号がアクティブの場合、上記第 2 クロック信号に基づいて、上記ディスチャージ回路にオン電圧を与えるとともに、上記入力信号がオン電圧である間、上記第 2 出力制御トランジスタの制御端子にオフ電圧を与え、

上記単位回路に与えられる全オン制御信号が非アクティブの場合、上記入力信号がオフ電圧である間、上記第 2 クロック信号に基づいて、上記ディスチャージ回路及び上記第 2 出力制御トランジスタの制御端子にオン電圧を与えることを特徴とする請求項 1 に記載のシフトレジスタ。

【請求項 7】

上記リセット信号生成回路は、さらに、

上記単位回路に与えられる全オン制御信号が非アクティブの場合、上記入力信号がオン電圧である間、上記ディスチャージ回路及び上記第 2 出力制御トランジスタの制御端子にオフ電圧を与えることを特徴とする請求項 6 に記載のシフトレジスタ。

【請求項 8】

上記リセット信号生成回路は、

上記第 1 リセットトランジスタと、

他方の導通端子が上記第 2 出力制御トランジスタの制御端子に接続される上記リセット分離トランジスタと、

一方の導通端子が、上記第 2 出力制御トランジスタの制御端子に接続される上記第 2 リセットトランジスタと、  
を含むことを特徴とする請求項 6 に記載のシフトレジスタ。

10

20

30

40

50

## 【請求項 9】

上記リセット信号生成回路は、

上記第 1 リセットトランジスタと、

一方の端子が上記第 1 リセットトランジスタの他方の導通端子に接続され、他方の導通端子が上記ディスチャージトランジスタの制御端子に接続される抵抗素子と、

一方の導通端子が、上記抵抗素子の他方の導通端子に接続され、他方の導通端子が上記第 2 出力制御トランジスタの制御端子に接続される上記リセット分離トランジスタと、

一方の導通端子が、上記第 2 出力制御トランジスタの制御端子に接続される上記第 2 リセットトランジスタと、

を含むことを特徴とする請求項 6 に記載のシフトレジスタ。

10

## 【請求項 10】

上記単位回路は、さらに、制御端子にアクティブな全オン制御信号が与えられ、一方の導通端子が上記第 2 出力制御トランジスタの制御端子に接続され、他方の導通端子にオフ電圧が与えられる出力リセットトランジスタを含むことを特徴とする請求項 6 に記載のシフトレジスタ。

## 【請求項 11】

上記単位回路は、さらに、制御端子にアクティブな全オン制御信号が与えられ、一方の導通端子が上記第 1 出力制御トランジスタの制御端子に接続され、他方の導通端子にオフ電圧が与えられる第 2 ディスチャージトランジスタを含むことを特徴とする請求項 1 に記載のシフトレジスタ。

20

## 【請求項 12】

上記第 1 出力制御トランジスタの上記制御端子と、上記第 1 出力制御トランジスタの上記他方の導通端子との間に容量が形成されていることを特徴とする請求項 1 に記載のシフトレジスタ。

## 【請求項 13】

同一導電型のトランジスタで構成された単位回路を多段接続した構成を有し、複数のクロック信号に基づいて動作するシフトレジスタであって、

上記単位回路は、

一方の導通端子に第 1 クロック信号が与えられ、他方の導通端子が出力端子に接続された第 1 出力制御トランジスタと、

30

アクティブな全オン制御信号が上記単位回路に与えられると、上記出力端子にオン電圧の出力信号を出力する一方、非アクティブな全オン制御信号が上記単位回路に与えられると、上記オン電圧の出力信号の出力を停止する全オン出力信号生成回路と、

非アクティブな全オン制御信号が上記単位回路に与えられると、入力信号に基づいて上記第 1 出力制御トランジスタの制御端子にオン電圧を与えるプリチャージ回路と、

アクティブな全オン制御信号が上記単位回路に与えられると、上記第 1 出力制御トランジスタの制御端子にオフ電圧を与えるディスチャージ回路とを備えており、

上記ディスチャージ回路は、一方の導通端子が上記第 1 出力制御トランジスタの制御端子に接続され、他方の導通端子にオフ電圧が与えられるディスチャージトランジスタを含み、

40

制御端子に後段の単位回路からの出力信号が与えられ、一方の導通端子にオン電圧が与えられる第 3 リセットトランジスタと、

制御端子に非アクティブな全オン制御信号が与えられ、一方の導通端子が、上記ディスチャージトランジスタの制御端子および上記第 3 リセットトランジスタの他方の導通端子に接続されるリセット分離トランジスタと、

制御端子に上記入力信号が与えられ、一方の導通端子が、上記リセット分離トランジスタの他方の導通端子に接続され、他方の導通端子にオフ電圧が与えられる第 2 リセットトランジスタと、をさらに含み、

上記ディスチャージトランジスタは、制御端子が上記第 3 リセットトランジスタの他方の導通端子に接続されることを特徴とするシフトレジスタ。

50

## 【請求項 14】

データ信号線及び走査信号線を備えた表示パネルを備えた表示装置であって、  
請求項 1 ~ 13 の何れか 1 項に記載のシフトレジスタを含み、上記走査信号線を順次選択する走査信号線駆動回路と、

上記データ信号線に映像信号を供給するデータ信号線駆動回路と、

上記走査信号線駆動回路及び上記データ信号線駆動回路に電源電圧を供給する電源回路とを備え、

上記電源回路をオンまたはオフしたとき、アクティブな全オン制御信号を上記走査信号線駆動回路に与えて、全ての走査信号線をアクティブにすることを特徴とする表示装置。

## 【請求項 15】

上記データ信号線駆動回路は、請求項 1 ~ 13 の何れか 1 項に記載のシフトレジスタを含み、

上記電源回路をオンまたはオフしたとき、上記アクティブな全オン制御信号を上記データ信号線駆動回路に与えて、全てのデータ信号線に同一の電圧を与えることを特徴とする請求項 14 に記載の表示装置。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、シフトレジスタ及び表示装置に関し、特に表示装置の駆動回路に用いられるシフトレジスタに関する。

## 【背景技術】

## 【0002】

アクティブマトリクス型の表示装置は、2次元状に配置された表示素子を行単位で選択し、選択した表示素子に表示データに応じた電圧を書き込むことにより、映像を表示する。表示素子を行単位で選択するためには、走査信号線駆動回路として、クロック信号に基づき出力信号を順にシフトするシフトレジスタが用いられる。また、点順次駆動を行う表示装置では、データ信号線駆動回路の内部に同様のシフトレジスタが設けられる。

## 【0003】

液晶表示装置では、表示素子内のトランジスタ(TFT; Thin Film Transistor)を形成するための製造プロセスを用いて、表示素子の駆動回路を表示素子と一体に形成することがある。この場合には、製造コストを削減するために、シフトレジスタを含む駆動回路を、表示素子内のトランジスタと同一導電型のトランジスタで形成することが好ましい。また、シフトレジスタに与えるクロック信号の本数を多くすると、クロック配線用のレイアウト面積や消費電力などが増加する。このような背景から、同一導電型のトランジスタを用いて、2相のクロック信号に基づき動作するシフトレジスタが必要とされている。このようなシフトレジスタを用いる場合、液晶表示装置の電源回路をオンまたはオフしたときに発生する映像の乱れが人間の目に見えるため、視聴者が不快感を覚える場合がある。

## 【0004】

そこで、電源回路をオンしたときに、シフトレジスタの全ての出力端子からハイレベルの出力信号を出力させる全オン動作をさせることができれば、画面に表示される映像の乱れを緩和することができる。このような全オン動作をさせることができるシフトレジスタが、例えば特許文献 1 に開示されている。

## 【0005】

図 35 は、特許文献 1 のシフトレジスタ 110 の構成を示すブロック図であり、図 36 は、該シフトレジスタ 110 に含まれる単位回路 111 の回路図である。図 36 に示す単位回路 111 の動作を説明する。シフトレジスタ 110 に含まれる複数の単位回路 111 は、それぞれ、全オン制御端子 AON、AONB(AON の否定)を有し、シフトレジスタ 110 が全オン動作するとき、外部から全オン制御信号 AON、AONB が与えられる。全オン制御信号 AON がハイレベルで、全オン制御信号 AONB がローレベルのとき、トランジスタ T108 はオフ状態、トランジスタ T109 はオン状態になる。ここで、ス

10

20

30

40

50

タートパルス S T 及びクロック信号 C K 1、C K 2 がハイレベルとすると、節点 N 1 0 2 の電位は V S S、節点 N 1 0 1 の電位は V D D になり、出力端子 O U T からは電位が V D D の出力信号が出力される。他の単位回路も同様に、V D D の出力信号が同時に出力される。したがって、このような単位回路で構成されたシフトレジスタでは、全オン動作を行うことができる。

【先行技術文献】

【特許文献】

【0006】

【特許文献1】国際公開公報「W O 2 0 0 9 / 0 3 4 7 4 9 号公報（2009年3月19日公開）」

10

【発明の概要】

【発明が解決しようとする課題】

【0007】

しかしながら、上記シフトレジスタ 1 1 0 では、節点 N 1 0 1 の電位が、全オン動作時に V D D になり、全オン動作後、通常動作に復帰する際にも、V D D がチャージされたままであるため、トランジスタ T 1 0 2 がオン状態になる場合がある。この場合に、クロック信号 C K がハイレベルになると、通常動作復帰時にハイレベルの出力信号が出力され、誤動作を引き起こすおそれがある。よって、このような誤動作を防止するためには、全オン動作後（通常動作復帰時）に、節点 N 1 0 1 の電位を V S S に固定するなど、初期化動作を別途行わなければならない、回路構成が複雑になる。

20

【0008】

本発明は、上記の問題点を鑑みてなされたものであり、その目的は、簡易な構成により全オン動作後の誤動作を防止することができるシフトレジスタ及びそれを備えた表示装置を提供することにある。

【課題を解決するための手段】

【0009】

本発明のシフトレジスタは、上記課題を解決するために、同一導電型のトランジスタで構成された単位回路を多段接続した構成を有し、複数のクロック信号に基づいて動作するシフトレジスタであって、

上記単位回路は、

30

一方の導通端子に第1クロック信号が与えられ、他方の導通端子が出力端子に接続された第1出力制御トランジスタと、

アクティブな全オン制御信号が上記単位回路に与えられると、上記出力端子にオン電圧の出力信号を出力する一方、非アクティブな全オン制御信号が上記単位回路に与えられると、上記オン電圧の出力信号の出力を停止する全オン出力信号生成回路と、

非アクティブな全オン制御信号が上記単位回路に与えられると、入力信号に基づいて上記第1出力制御トランジスタの上記制御端子にオン電圧を与えるプリチャージ回路と、

アクティブな全オン制御信号が上記単位回路に与えられると、上記第1出力制御トランジスタの制御端子にオフ電圧を与えるディスチャージ回路とを備えることを特徴とする。

40

【0010】

上記の構成によれば、アクティブな全オン制御信号が上記単位回路に与えられると（全オン動作）、上記第1出力制御トランジスタの制御端子にオフ電圧が与えられる。よって、全オン動作後、通常動作に復帰する際、すなわち、全オン制御信号が非アクティブで入力信号がローレベルのときに、上記プリチャージ回路と上記第1出力制御トランジスタとの接続点（節点 N 1）の電位は V S S になるため、上記第1出力制御トランジスタがオン状態になることはない。

【0011】

そのため、全オン動作後、通常動作に復帰するときに、従来のようにトランジスタ T 2（図36のトランジスタ 1 0 2）がオン状態になって、ハイレベルのクロック信号 C K が

50

出力されるおそれはない。よって、シフトレジスタの誤動作を防止することができる。また、上記単位回路は、従来の単位回路（図36参照）と比較して回路構成が複雑化することもない。

【0012】

本発明の表示装置は、上記課題を解決するために、  
 データ信号線及び走査信号線を備えた表示パネルを備えた表示装置であって、  
 上記の何れかに記載のシフトレジスタを含み、上記走査信号線を順次選択する走査信号線駆動回路と、  
 上記データ信号線に映像信号を供給するデータ信号線駆動回路と、  
 上記走査信号線駆動回路及び上記データ信号線駆動回路に電源電圧を供給する電源回路とを備え、  
 上記電源回路をオンまたはオフしたとき、アクティブな全オン制御信号を上記走査信号線駆動回路に与えて、全ての走査信号線をアクティブにすることを特徴とする。

10

【0013】

本発明の表示装置は、  
 データ信号線及び走査信号線を備えた表示パネルを備えた表示装置であって、  
 上記の何れかに記載のシフトレジスタを含み、上記走査信号線を順次選択する走査信号線駆動回路と、  
 上記データ信号線に映像信号を供給するデータ信号線駆動回路と、  
 上記走査信号線駆動回路及び上記データ信号線駆動回路に電源電圧を供給する電源回路とを備え、  
 上記電源回路をオンまたはオフしたとき、アクティブな全オン制御信号を上記走査信号線駆動回路に与えて、全ての走査信号線をアクティブにすることを特徴とする。

20

【発明の効果】

【0014】

本発明のシフトレジスタは、以上のように、上記単位回路は、非アクティブな全オン制御信号が上記単位回路に与えられると、入力信号に基づいて上記第1出力制御トランジスタの制御端子にオン電圧を与えるプリチャージ回路と、アクティブな全オン制御信号が上記単位回路に与えられると、上記第1出力制御トランジスタの制御端子にオフ電圧を与えるディスチャージ回路とを備える構成である。よって、簡易な構成により全オン動作後の誤動作を防止することができるシフトレジスタ及びそれを備えた表示装置を提供することができる。

30

【図面の簡単な説明】

【0015】

【図1】本発明の実施の形態1に係るシフトレジスタの構成を示すブロック図である。

【図2】図1のシフトレジスタに含まれる単位回路の回路図である。

【図3】図1のシフトレジスタの通常動作時のタイミングチャートである。

【図4】図1のシフトレジスタの全オン動作時のタイミングチャートである。

【図5】本発明の実施の形態2に係るシフトレジスタに含まれる単位回路の回路図である。

40

【図6】実施の形態2に係るシフトレジスタにおいて、クロック信号CK、CKBがハイレベルの場合における全オン動作時のタイミングチャートである。

【図7】実施の形態2に係るシフトレジスタにおいて、クロック信号CK、CKBがローレベルの場合における全オン動作時のタイミングチャートである。

【図8】実施の形態3に係るシフトレジスタの構成を示すブロック図である。

【図9】図8に示すシフトレジスタに含まれる単位回路の回路図である。

【図10】図8に示すシフトレジスタの通常動作時のタイミングチャートである。

【図11】図8に示すシフトレジスタの全オン動作時のタイミングチャートである。

【図12】本発明の実施の形態4に係るシフトレジスタに含まれる単位回路の回路図である。

50

【図 1 3】実施の形態 4 に係るシフトレジスタの全オン動作時のタイミングチャートである。

【図 1 4】実施の形態 1 に係るシフトレジスタに含まれる単位回路の他の構成を示す回路図である。

【図 1 5】実施の形態 3 に係るシフトレジスタに含まれる単位回路の他の構成を示す回路図である。

【図 1 6】本発明の実施の形態 5 に係るシフトレジスタに含まれる単位回路の回路図である。

【図 1 7】実施の形態 5 に係るシフトレジスタの全オン動作時のタイミングチャートである。

10

【図 1 8】本発明の実施の形態 6 に係るシフトレジスタに含まれる単位回路の回路図である。

【図 1 9】実施の形態 6 に係るシフトレジスタの全オン動作時のタイミングチャートである。

【図 2 0】本発明の実施の形態 7 に係るシフトレジスタに含まれる単位回路の回路図である。

【図 2 1】実施の形態 7 に係るシフトレジスタの全オン動作時のタイミングチャートである。

【図 2 2】本発明の実施の形態 8 に係るシフトレジスタに含まれる単位回路の回路図である。

20

【図 2 3】実施の形態 8 に係るシフトレジスタの全オン動作時のタイミングチャートである。

【図 2 4】本発明の実施の形態 9 に係るシフトレジスタに含まれる単位回路の回路図である。

【図 2 5】実施の形態 9 に係るシフトレジスタの全オン動作時のタイミングチャートである。

【図 2 6】本発明の実施の形態 1 0 に係るシフトレジスタに含まれる単位回路の回路図である。

【図 2 7】実施の形態 1 0 に係るシフトレジスタの全オン動作時のタイミングチャートである。

30

【図 2 8】本発明のシフトレジスタを備えた液晶表示装置の概略構成を示すブロック図である。

【図 2 9】本発明のシフトレジスタを備えた他の液晶表示装置の概略構成を示すブロック図である。

【図 3 0】図 2 9 に示す液晶表示装置の動作を示すタイミングチャートである。

【図 3 1】本発明のシフトレジスタを備えた他の液晶表示装置の概略構成を示すブロック図である。

【図 3 2】図 3 1 に示す液晶表示装置の動作を示すタイミングチャートである。

【図 3 3】図 3 1 に示す液晶表示装置の電源回路をオフする場合のタイミングチャートである。

40

【図 3 4】図 3 1 に示す通常動作している液晶表示装置の電源回路が強制的にオフされた場合のタイミングチャートである。

【図 3 5】従来のシフトレジスタの全オン動作時のタイミングチャートである。

【図 3 6】図 3 5 に示すシフトレジスタの全オン動作時のタイミングチャートである。

【発明を実施するための形態】

【0016】

〔実施の形態 1〕

本発明に係る実施の形態 1 について、以下に説明する。図 1 は、実施の形態 1 に係るシフトレジスタの構成を示すブロック図である。図 1 に示すシフトレジスタ 1 0 は、 $n$  個 ( $n$  は 2 以上の整数) の単位回路 1 1 を多段接続して構成されている。単位回路 1 1 は、ク

50

ロック端子CK、CKB、入力端子IN、全オン制御端子AON、AONB、及び出力端子OUTを有している。以下、各端子経由で入出力される信号を当該端子と同じ名称で呼ぶ（例えば、クロック端子CK経由で入力される信号をクロック信号CKという）。

【0017】

シフトレジスタ10には、外部からスタートパルスSTと2相のクロック信号CK（CK1）、CKB（CK2）、及び全オン制御信号AON、AONB（AONの否定）が供給される。スタートパルスSTは、1段目の単位回路11の入力端子INに与えられる。クロック信号CK1（第1クロック信号）は、奇数段目の単位回路11のクロック端子CKと、偶数段目（偶数にはゼロも含まれる、以下同じ）の単位回路11のクロック端子CKBに与えられる。クロック信号CK2（第2クロック信号）は、奇数段目の単位回路11のクロック端子CKBと、偶数段目の単位回路11のクロック端子CKに与えられる。全オン制御信号AON、AONBは、単位回路11の全オン制御端子AON、AONBにそれぞれ与えられる。単位回路11の出力信号OUTは、出力信号SROUT1～SROUTnとして外部に出力されるとともに、後段の単位回路11の入力端子INに与えられる。

10

【0018】

なお、各単位回路11に与えられるクロック信号は、2相に限定されるものではなく、3相以上であってもよい。例えば、4相クロック信号CK1、CK2、CK3、CK4が設けられ、クロック信号CK1とCK3とが同位相に、クロック信号CK2とCK4とが同位相に設定されている構成としてもよい。この構成では、例えば、クロック信号CK1が、1段目の単位回路11のクロック端子CKと、2段目の単位回路11のクロック端子CKBに与えられ、クロック信号CK2が、1段目の単位回路11のクロック端子CKBと、2段目の単位回路11のクロック端子CKに与えられ、クロック信号CK3が、3段目の単位回路11のクロック端子CKと、4段目の単位回路11のクロック端子CKBに与えられ、クロック信号CK4が、3段目の単位回路11のクロック端子CKBと、4段目の単位回路11のクロック端子CKに与えられ、以降の単位回路11には上記の順にクロック信号CK1、CK2、CK3、CK4が与えられる構成とすることができる。

20

【0019】

図2は、シフトレジスタ10に含まれる単位回路11の回路図である。図2に示すように、単位回路11は同一導電型のトランジスタで構成され、9個のNチャネル型トランジスタT1～T9と、2個の容量C1、C2と、1個の抵抗R1（抵抗素子）とを含んでいる。トランジスタT1はプリチャージ回路またはプリチャージトランジスタ（第2プリチャージトランジスタ）、トランジスタT2は出力制御トランジスタ（第1出力制御トランジスタ）、トランジスタT3は出力制御トランジスタ（第2出力制御トランジスタ）、トランジスタT4はディスチャージ回路またはディスチャージトランジスタ（第1ディスチャージトランジスタ）、トランジスタT5はリセットトランジスタ（第1リセットトランジスタ）、トランジスタT6はリセット分離トランジスタ、トランジスタT7はリセットトランジスタ（第2リセットトランジスタ）、トランジスタT8はプリチャージトランジスタ（第1プリチャージトランジスタ）、トランジスタT9は全オン出力信号生成回路、プリチャージトランジスタT5～T7はリセット信号生成回路として機能する。以下、ゲート端子（制御端子）に与えたときにトランジスタをオン状態にする電圧（信号のレベル）をオン電圧（オンレベル）といい、ゲート端子に与えたときにトランジスタをオフ状態にする電圧（信号のレベル）をオフ電圧（オフレベル）という。Nチャネル型トランジスタでは、ハイ電圧がオン電圧（ハイレベルがオンレベル）、ロー電圧がオフ電圧（ローレベルがオフレベル）になり、Pチャネル型トランジスタではその逆になる。

30

40

【0020】

トランジスタT1のドレイン端子（一方の導通端子）は、トランジスタT8のソース端子に接続され、ゲート端子（制御端子）は、入力端子INに接続される。また、トランジスタT1のソース端子（他方の導通端子）は、トランジスタT2のゲート端子と、トランジスタT4のドレイン端子とに接続される。以下、この接続点を節点N1という。トラン

50



ジスタT2のドレイン端子は、クロック端子CKに接続され、ソース端子は、出力端子OUTと、トランジスタT3のドレイン端子とに接続される。トランジスタT3、T4のソース端子は接地される。

【0021】

トランジスタT5のドレイン端子には電源電圧VDDが与えられ、トランジスタT5のソース端子は、抵抗R1の一端に接続される。トランジスタT6のドレイン端子は、抵抗R1の他端に接続され、ソース端子は、トランジスタT7のドレイン端子に接続され、ゲート端子は、全オン制御端子AONBに接続される。抵抗R1とトランジスタT6との接続点は、トランジスタT4のゲート端子にも接続される。以下、この接続点を節点N3という。トランジスタT7のゲート端子は、入力端子INに接続され、ソース端子は接地される。トランジスタT6、T7の接続点は、トランジスタT3のゲート端子にも接続される。以下、この接続点を節点N2という。

10

【0022】

トランジスタT8のドレイン端子には電源電圧VDDが与えられ、トランジスタT8のソース端子は、トランジスタT1のドレイン端子に接続され、ゲート端子は、全オン制御端子AONBに接続される。

【0023】

トランジスタT9のドレイン端子には電源電圧VDDが与えられ、トランジスタT9のソース端子は、出力端子OUTに接続され、ゲート端子は、全オン制御端子AONに接続される。

20

【0024】

容量C1、C2は容量素子で構成される。容量C1はトランジスタT2のゲート端子とソース端子との間に設けられ、容量C2は、節点N2と接地との間に設けられる。容量C1はブートストラップ容量として機能し、容量C2は電荷を保持するための容量として機能する。なお、容量C1、C2は、容量素子ではなく、配線容量やトランジスタの寄生容量を用いて構成してもよい。これにより、容量素子を設けない分だけ回路構成を簡素化することができる。

【0025】

上記構成の単位回路11を含むシフトレジスタ10は、ハイレベルの出力信号OUTを1つずつ順に出力する通常動作の他に、全ての出力端子OUTにハイレベルの出力信号OUTを同時に出力する全オン動作を行う。以下、クロック信号CK1、CK2を含め、シフトレジスタ10の内部の信号と入出力信号の電位は、特に断わらない限り、ハイレベルのときにはVDD、ローレベルのときにはVSSであるとする。

30

【0026】

(通常動作)

次に、通常動作について図3を用いて説明する。図3は、シフトレジスタ10の通常動作時のタイミングチャートである。図3において、期間t0～期間tn+1は、それぞれ前半と後半に分けられ、また通常動作の期間中、全オン制御信号AONはローレベル(非アクティブ)、全オン制御信号AONBはハイレベルである。

【0027】

40

スタートパルスSTは、期間t0の前半でハイレベルになり、クロック信号CK1は期間tod(odは奇数;以下、奇数期間という)の前半でハイレベルになり、クロック信号CK2は期間tev(evは偶数;以下、偶数期間という)の前半でハイレベルになる。それ以外のときには、これら3つの信号はローレベルになる。このようにクロック信号CK1、CK2は、互いに位相が異なり、ハイレベル期間が重複しないように設定されている。

【0028】

図3に示すように、入力信号INとしてスタートパルスSTが与えられたとき、1段目の単位回路11(以下、単位回路SR1という)は、以下のように動作する。単位回路SR1では、入力信号INは期間t0の前半でハイレベルになり、クロック信号CK(CK

50

1) は奇数期間の前半でハイレベルになり、クロック信号  $CKB$  ( $CK2$ ) は偶数期間の前半でハイレベルになる。

【0029】

期間  $t_0$  の前半では、スタートパルス  $ST$  がハイレベルになると、トランジスタ  $T_1$  がオン状態になるため、節点  $N_1$  の電位は  $V_{DD} - V_{th}$  (ただし、 $V_{th}$  はトランジスタ  $T_1$ 、 $T_8$  の閾値電圧) になり、トランジスタ  $T_2$  はオン状態になる。また、クロック信号  $CKB$  がハイレベルになると、トランジスタ  $T_5$  がオン状態になる。さらに、スタートパルス  $ST$  がハイレベルであるため、トランジスタ  $T_7$  がオン状態になり、全オン制御信号  $AONB$  が通常動作時ではハイレベルであるため、トランジスタ  $T_6$  がオン状態になる。ここで、抵抗  $R_1$  が高抵抗である場合、節点  $N_2$ 、節点  $N_3$  の電位がともに  $V_{SS}$  になり、トランジスタ  $T_3$ 、 $T_4$  はともにオフ状態になる。このとき、クロック信号  $CK$  はローレベルであり、また全オン制御信号  $AON$  は通常動作時ではローレベル (非アクティブ) でありトランジスタ  $T_9$  がオフ状態であるため、出力信号  $OUT$  はローレベルになる。なお、容量  $C_1$  には、トランジスタ  $T_2$  のゲートソース間の電位差  $V_{DD} - V_{th}$  に応じた電荷が蓄積される。

10

【0030】

期間  $t_0$  の後半では、スタートパルス  $ST$  とクロック信号  $CKB$  がローレベルになるため、トランジスタ  $T_1$ 、 $T_5$ 、 $T_7$  はオフ状態になる。トランジスタ  $T_1$  がオフ状態になると、節点  $N_1$  はフローティング状態になるが、節点  $N_1$  の電位は、容量  $C_1$  によって  $V_{DD} - V_{th}$  に保持される。

20

【0031】

期間  $t_1$  の前半では、クロック信号  $CK$  がハイレベルになる。このとき、トランジスタ  $T_2$  はオン状態であるため、出力信号  $OUT$  はハイレベルになる。また、節点  $N_1$  はフローティング状態であり、節点  $N_1$  とトランジスタ  $T_2$  のソース端子とは、電位差  $V_{DD} - V_{th}$  を保持した容量  $C_1$  を介して接続されている。トランジスタ  $T_2$  のソース端子の電位が  $V_{SS}$  から  $V_{DD}$  に変化すると、節点  $N_1$  の電位は同じ量だけ変化して電源電圧  $V_{DD}$  よりも高くなる (ブートストラップ効果)。そのため、最大電圧が  $V_{DD}$  であるクロック信号  $CK$  は、トランジスタ  $T_2$  を電圧降下なく通過し、出力端子  $OUT$  からはクロック信号  $CK$  がそのままの電圧レベルで出力される。

30

【0032】

期間  $t_1$  の後半では、クロック信号  $CK$  がローレベルになる。このとき、トランジスタ  $T_2$  はオン状態であるため、出力信号  $OUT$  はローレベルになり、節点  $N_1$  の電位は、 $V_{DD} - V_{th}$  に戻る。

【0033】

期間  $t_2$  の前半では、クロック信号  $CKB$  がハイレベルになるため、トランジスタ  $T_5$  がオン状態になり、節点  $N_2$ 、節点  $N_3$  の電位が上昇する。その結果、トランジスタ  $T_3$ 、 $T_4$  がオン状態になるため、節点  $N_1$  及び出力端子  $OUT$  の電位は  $V_{SS}$  になる。なお、このとき、節点  $N_2$  の電位は  $V_{DD} - V_{th}$  になり、容量  $C_2$  には電源電圧  $V_{DD}$  に応じた電荷が蓄積される。

40

【0034】

これ以降、単位回路  $SR_1$  は、以下のように動作する。奇数期間の前半では、クロック信号  $CK$  はハイレベル、クロック信号  $CKB$  はローレベルになるため、トランジスタ  $T_5$  がオフ状態になる。そのため、節点  $N_2$  の電位は、容量  $C_2$  によって  $V_{DD} - V_{th}$  に保持される。一方、偶数期間の前半では、クロック信号  $CK$  はローレベル、クロック信号  $CKB$  はハイレベルになるため、トランジスタ  $T_5$  がオン状態になる。そのため、節点  $N_2$  の電位は  $V_{DD} - V_{th}$  になり、容量  $C_2$  には電源電圧  $V_{DD}$  に応じた電荷が蓄積される。

【0035】

この結果、図3に示すように、単位回路  $SR_1$  内の節点  $N_1$  の電位は、期間  $t_0$  と、期間  $t_1$  の後半では  $V_{DD} - V_{th}$  になり、期間  $t_1$  の前半では  $V_{DD}$  よりも高いレベルに

50

なり、それ以外ではVSSになる。単位回路SR1内の節点N2の電位は、期間t0と期間t1とではVSSになり、期間t2以降ではVDD - Vthになる。また、単位回路SR1の出力信号OUT(シフトレジスタ10の出力信号SROUT1)は、期間t1の前半ではハイレベルになり、それ以外ではローレベルになる。

#### 【0036】

同様に、i段目(iは1以上n以下の整数)の単位回路11の出力信号OUTi(シフトレジスタ10の出力信号SROUTi)は、期間tiの前半ではハイレベルになり、それ以外ではローレベルになる。このようなシフトレジスタ10は、2相のクロック信号CK1、CK2に基づき、出力信号SROUT1~SROUTnを1つずつ順にハイレベルにする。

10

#### 【0037】

(全オン動作)

次に、全オン動作について図4を用いて説明する。図4は、シフトレジスタ10の全オン動作時のタイミングチャートである。全オン動作の期間中、全オン制御信号AONはハイレベル(アクティブ)、全オン制御信号AONBはローレベルである。また、スタートパルスST、クロック信号CK、CKBはそれぞれハイレベルに設定される。

#### 【0038】

スタートパルスSTがハイレベルであるため、トランジスタT7がオン状態になり、全オン制御信号AONBがローレベルであるため、トランジスタT6がオフ状態になる。これにより、節点N2の電位がVSSになるため、トランジスタT3がオフ状態になる。また、クロック信号CKBがハイレベルであるため、トランジスタT5がオン状態になり、節点N3の電位がVDD - Vthになるため、トランジスタT4がオン状態になる。また、全オン制御信号AONBがローレベルであるため、トランジスタT8がオフ状態になる。これにより、節点N1の電位はVSSになるため、トランジスタT2はオフ状態になる。このとき、全オン制御信号AONはハイレベルであるため、トランジスタT9がオン状態になり、出力端子OUTから、レベルがVDD - Vth(ただし、VthはトランジスタT9の閾値電圧)の出力信号OUTが出力される。この出力信号OUTは、出力信号SROUT1として外部に出力されるとともに、後段の単位回路11の入力端子INに与えられ、後段の単位回路11では上記1段目と同様の動作を行う。

20

#### 【0039】

このように、全オン動作時には、期間t0~tn+1に渡って、全ての出力端子OUT1~OUTnから、ハイレベルVDD - Vthの出力信号OUTが出力される。

30

#### 【0040】

本実施の形態1に係るシフトレジスタ10によれば、全オン動作時では、クロック信号CKBがハイレベルであり、全オン制御信号AONBがローレベルであるため、トランジスタT4、T5がオン状態、トランジスタT6がオフ状態になり、節点N1の電位がVSSに固定される。そのため、全オン動作後、通常動作に復帰するとき、従来のようにトランジスタT2がオン状態になってクロック信号CKが出力されるおそれはない。よって、シフトレジスタ10の誤動作を防止することができる。また、本実施の形態1に係る単位回路11は、図2に示すように、従来の単位回路(図36参照)と比較して回路構成が複雑化することもない。

40

#### 【0041】

さらに、本実施の形態1に係るシフトレジスタ10の単位回路11には、トランジスタT8が設けられており、全オン動作時ではオフ状態になる。そのため、全オン動作時に、トランジスタT1、T4がオン状態になっても、トランジスタT1、T4に貫通電流が流れることはない。よって、シフトレジスタ10の動作を安定化させることができる。

#### 【0042】

なお、図2の単位回路11において、トランジスタT8が設けられていない構成としてもよい。この場合には、トランジスタT1、T4に流れる貫通電流を抑えて誤動作を防止するため、すなわち節点N1の電位がVSSになるように、トランジスタT4の能力(サ

50

イズ)を、トランジスタT1の能力(サイズ)よりも大きくしておくことが好ましい。後述の各单位回路についても同様である。

【0043】

また、図2の単位回路11において、抵抗R1が設けられていない構成、あるいは、抵抗R1とトランジスタT5の接続関係が逆転した構成としてもよい。例えば、抵抗素子を設けず抵抗R1に相当する寄生抵抗を利用する構成や、抵抗素子を設けずトランジスタT5のサイズを調整する構成により、上記動作を実現することができる。後述の各单位回路についても同様である。

【0044】

次に、本発明に係るシフトレジスタの他の形態について説明する。なお、以下の説明では、主に、実施の形態1に係るシフトレジスタ10との相違点について説明するものとし、実施の形態1で説明した各構成要素と同一の機能を有する構成要素には同一の番号を付し、その説明を省略する。

【0045】

〔実施の形態2〕

本発明に係る実施の形態2について、以下に説明する。実施の形態2に係るシフトレジスタ20の構成(図示せず)は、図1に示す実施の形態1に係るシフトレジスタ10と同一である。図5は、シフトレジスタ20に含まれる単位回路21の回路図である。図5に示す単位回路21は、実施の形態1に係るシフトレジスタ10に含まれる単位回路11(図2参照)に、トランジスタT10を追加したものである。トランジスタT10は、リセットトランジスタ(第2リセットトランジスタ)として機能する。

【0046】

図5に示すように、トランジスタT10のドレイン端子には電源電圧VDDが与えられ、トランジスタT10のソース端子は、節点N3に接続され、ゲート端子は、全オン制御端子AONに接続される。

【0047】

シフトレジスタ20の通常動作は、シフトレジスタ10の通常動作と同一であるため、以下では、全オン動作について説明する。全オン動作の期間中、全オン制御信号AONはハイレベル(アクティブ)、全オン制御信号AONBはローレベルである。また、スタートパルスSTは、ハイレベルに設定される。クロック信号CK、CKBのレベルは任意に設定することができる。そこで、まずクロック信号CK、CKBがハイレベルの場合を説明する。図6は、クロック信号CK、CKBがハイレベルの場合における、シフトレジスタ20の全オン動作時のタイミングチャートである。

【0048】

スタートパルスSTがハイレベルであるため、トランジスタT7がオン状態になり、全オン制御信号AONBがローレベルであるため、トランジスタT6がオフ状態になる。これにより、節点N2の電位がVSSになるため、トランジスタT3がオフ状態になる。また、全オン制御信号AONはハイレベルであるため、トランジスタT10がオン状態になり、節点N3の電位がVDD - Vth(ただし、VthはトランジスタT10の閾値電圧)になる。これにより、トランジスタT4がオン状態になる。また、全オン制御信号AONBがローレベルであるため、トランジスタT8がオフ状態になる。これにより、節点N1の電位がVSSになるため、トランジスタT2はオフ状態になる。そして、トランジスタT9がオン状態になるため、出力端子OUTから、レベルがVDD - Vth(ただし、VthはトランジスタT9の閾値電圧)の出力信号OUTが出力される。この出力信号OUTは、出力信号SROUT1として外部に出力されるとともに、後段の単位回路21の入力端子INに与えられ、後段の単位回路21は上記1段目と同様の動作を行う。

【0049】

このように、全オン動作時には、期間t0 ~ tn+1に渡って、全ての出力端子OUT1 ~ OUTnから、ハイレベルVDD - Vthの出力信号OUTが出力される。

【0050】

10

20

30

40

50

次に、クロック信号  $CK$ 、 $CKB$  がローレベルの場合を説明する。図 7 は、クロック信号  $CK$ 、 $CKB$  がローレベルの場合における、シフトレジスタ 20 の全オン動作時のタイミングチャートである。

【0051】

スタートパルス  $ST$  がハイレベルであるため、 $T7$  がオン状態になる。これにより、節点  $N2$  の電位が  $VSS$  になるため、トランジスタ  $T3$  がオフ状態になる。また、クロック信号  $CKB$  がローレベルであっても、全オン制御信号  $AON$  がハイレベルであるため、トランジスタ  $T10$  がオン状態になることにより、節点  $N3$  の電位が  $VDD - V_{th}$  (ただし、 $V_{th}$  はトランジスタ  $T10$  の閾値電圧) になる。これにより、トランジスタ  $T4$  がオン状態になるため、節点  $N1$  の電位が  $VSS$  になり、トランジスタ  $T2$  はオフ状態になる。そして、トランジスタ  $T9$  がオン状態になるため、出力端子  $OUT$  から、レベルが  $VDD - V_{th}$  (ただし、 $V_{th}$  はトランジスタ  $T9$  の閾値電圧) の出力信号  $OUT$  が出力される。この出力信号  $OUT$  は、出力信号  $SROUT1$  として外部に出力されるとともに、後段の単位回路 21 の入力端子  $IN$  に与えられ、後段の単位回路 21 は上記 1 段目と同様の動作を行う。

10

【0052】

このように、クロック信号  $CK$ 、 $CKB$  がローレベルの場合も、全オン動作時には、期間  $t_0 \sim t_{n+1}$  に渡って、全ての出力端子  $OUT1 \sim OUTn$  から、ハイレベル  $VDD - V_{th}$  の出力信号  $OUT$  が出力される。

【0053】

本実施の形態に係るシフトレジスタ 20 によれば、トランジスタ  $T10$  が設けられることにより、全オン動作時では、節点  $N3$  の電位が  $VDD - V_{th}$  (オン電圧) になるため、トランジスタ  $T4$  がオン状態になり、節点  $N1$  の電位が  $VSS$  に固定される。すなわち、クロック信号  $CK$ 、 $CKB$  のレベルに関わらず、節点  $N1$  の電位を  $VSS$  に固定して、全オン動作を行うことができる。

20

【0054】

〔実施の形態 3〕

本発明に係る実施の形態 3 について、以下に説明する。図 8 は、実施の形態 3 に係るシフトレジスタの構成を示すブロック図である。図 8 に示すシフトレジスタ 30 は、 $(n+1)$  個の単位回路 31 を多段接続して構成されている。単位回路 31 は、クロック端子  $CK$ 、 $CKB$ 、入力端子  $INs$ 、 $INr$ 、全オン制御端子  $AON$ 、 $AONB$ 、及び出力端子  $OUT$  を有している。

30

【0055】

シフトレジスタ 30 には、外部からスタートパルス  $ST$  と 2 相のクロック信号  $CK$ 、 $CKB$ 、及び全オン制御信号  $AON$ 、 $AONB$  ( $AON$  の否定) が供給される。スタートパルス  $ST$  は、1 段目の単位回路 31 の入力端子  $INs$  に与えられる。クロック信号  $CK1$  は、奇数段目の単位回路 31 のクロック端子  $CK$  と、偶数段目の単位回路 31 のクロック端子  $CKB$  に与えられる。クロック信号  $CK2$  は、奇数段目の単位回路 31 のクロック端子  $CKB$  と、偶数段目の単位回路 31 のクロック端子  $CK$  に与えられる。全オン制御信号  $AON$ 、 $AONB$  は、単位回路 31 の全オン制御信号端子  $AON$ 、 $AONB$  にそれぞれ与えられる。 $(n+1)$  段目を除く単位回路 31 の出力信号  $OUT$  は、出力信号  $SROUT1 \sim SROUTn$  として外部に出力されるとともに、後段の単位回路 31 の入力端子  $INs$ 、及び前段の単位回路 31 の入力端子  $INr$  に与えられる。 $(n+1)$  段目の単位回路 31 の出力信号  $OUT$  (出力信号 dummy) は、 $n$  段目の単位回路 31 の入力端子  $INr$ 、及び、遅延回路 32 (例えばバッファ) を介して  $(n+1)$  段目の単位回路 31 の入力端子  $INr$  に与えられる。

40

【0056】

図 9 は、シフトレジスタ 30 に含まれる単位回路 31 の回路図である。図 9 に示すように、単位回路 31 は同一導電型のトランジスタで構成され、9 個の  $N$  チャネル型トランジスタ  $T1 \sim T4$ 、 $T6 \sim T9$ 、 $T11$  と、2 個の容量  $C1$ 、 $C2$  とを含んでいる。トラン

50

ジスタT11はリセットトランジスタ(第3リセットトランジスタ)、トランジスタT6、T7、T11はリセット信号生成回路として機能する。

【0057】

トランジスタT11のドレイン端子には電源電圧VDDが与えられ、トランジスタT11のソース端子は、トランジスタT6のドレイン端子に接続され、ゲート端子は、入力端子INrに接続される。トランジスタT6、T11の接続点(節点N3)は、トランジスタT4のゲート端子にも接続される。

【0058】

トランジスタT6のソース端子は、トランジスタT7のドレイン端子に接続され、ゲート端子は、全オン制御端子AONBに接続される。トランジスタT7のゲート端子は、入力端子INsに接続され、ソース端子は接地される。トランジスタT6、T7の接続点(節点N2)は、トランジスタT3のゲート端子にも接続される。

【0059】

上記構成の単位回路31を含むシフトレジスタ30は、実施の形態1に係るシフトレジスタ10と同様、ハイレベルの出力信号を1つずつ順に出力する通常動作の他に、全ての出力端子OUTにハイレベルの出力信号OUTを同時に出力する全オン動作を行う。また、シフトレジスタ30では、出力信号OUTが、出力信号SROUT1~SROUTnとして外部に出力されるとともに、後段の単位回路31の入力端子INs、及び前段の単位回路31の入力端子INrに入力される。すなわち、シフトレジスタ30は、後段の単位回路31の出力信号を用いて、節点N1のディスチャージと、出力信号のプルダウンを行う。

【0060】

(通常動作)

次に、通常動作について図10を用いて説明する。図10は、シフトレジスタ30の通常動作時のタイミングチャートである。図10において、期間t0~期間tn+1は、それぞれ前半と後半に分けられ、また通常動作の期間中、全オン制御信号AONはローレベル(非アクティブ)、全オン制御信号AONBはハイレベルである。

【0061】

スタートパルスSTは、期間t0の前半でハイレベルになり、クロック信号CK1は期間t0dの前半でハイレベルになり、クロック信号CK2は期間tevの前半でハイレベルになる。それ以外のときには、これら3つの信号はローレベルになる。このようにクロック信号CK1、CK2は、互いに位相が異なり、ハイレベル期間が重複しないように設定されている。

【0062】

図10に示すように、入力信号INsとしてスタートパルスSTが与えられたとき、1段目の単位回路SR1は、以下のように動作する。単位回路SR1では、入力信号INsは期間t0の前半でハイレベルになり、クロック信号CKは奇数期間の前半でハイレベルになり、クロック信号CKBは偶数期間の前半でハイレベルになる。

【0063】

期間t0の前半では、スタートパルスSTがハイレベルになると、トランジスタT1がオン状態になるため、節点N1の電位はVDD-Vth(ただし、VthはトランジスタT1、T8の閾値電圧)になり、トランジスタT2はオン状態になる。また、スタートパルスSTがハイレベルであるため、トランジスタT7がオン状態になり、全オン制御信号AONBが通常動作時ではハイレベルであるため、トランジスタT6がオン状態になる。ここで、入力信号INrは期間t0でローレベルであるため、トランジスタT11はオフ状態になり、節点N2、節点N3の電位がともにVSSになり、トランジスタT3、T4はともにオフ状態になる。このとき、クロック信号CKはローレベルであり、また全オン制御信号AONは通常動作時ではローレベルでありトランジスタT9がオフ状態であるため、出力信号OUTはローレベルになる。なお、容量C1には、トランジスタT2のゲート-ソース間の電位差VDD-Vthに応じた電荷が蓄積される。

## 【 0 0 6 4 】

期間  $t_0$  の後半では、スタートパルス  $ST$  と入力信号  $IN_r$  がローレベルになるため、トランジスタ  $T_1$ 、 $T_7$ 、 $T_{11}$  はオフ状態になる。トランジスタ  $T_1$  がオフ状態になると、節点  $N_1$  はフローティング状態になるが、節点  $N_1$  の電位は、容量  $C_1$  によって  $V_{DD} - V_{th}$  に保持される。

## 【 0 0 6 5 】

期間  $t_1$  の前半では、クロック信号  $CK$  がハイレベルになる。このとき、トランジスタ  $T_2$  はオン状態であるため、出力信号  $OUT$  はハイレベルになる。また、節点  $N_1$  はフローティング状態であり、節点  $N_1$  とトランジスタ  $T_2$  のソース端子とは、電位差  $V_{DD} - V_{th}$  を保持した容量  $C_1$  を介して接続されている。トランジスタ  $T_2$  のソース端子の電位が  $V_{SS}$  から  $V_{DD}$  に変化すると、節点  $N_1$  の電位は同じ量だけ変化して電源電圧  $V_{DD}$  よりも高くなる（ブートストラップ効果）。そのため、最大電圧が  $V_{DD}$  であるクロック信号  $CK$  は、トランジスタ  $T_2$  を電圧降下なく通過し、出力端子  $OUT$  からはクロック信号  $CK$  がそのままの電圧レベルで出力される。

10

## 【 0 0 6 6 】

期間  $t_1$  の後半では、クロック信号  $CK$  がローレベルにある。このとき、トランジスタ  $T_2$  はオン状態であるため、出力信号  $OUT$  はローレベルになり、節点  $N_1$  の電位は、 $V_{DD} - V_{th}$  に戻る。

## 【 0 0 6 7 】

期間  $t_2$  の前半では、入力信号  $IN_r$  がハイレベルになるため、トランジスタ  $T_{11}$  がオン状態になり、節点  $N_2$ 、節点  $N_3$  の電位が上昇する。その結果、トランジスタ  $T_3$ 、 $T_4$  がオン状態になるため、節点  $N_1$  及び出力端子  $OUT$  の電位は  $V_{SS}$  になる。なお、このとき、節点  $N_2$  の電位は  $V_{DD} - V_{th}$  になり、容量  $C_2$  には電源電圧  $V_{DD}$  に応じた電荷が蓄積される。

20

## 【 0 0 6 8 】

これ以降、単位回路  $SR_1$  は、以下のように動作する。入力信号  $IN_r$  がローレベルになるため、トランジスタ  $T_{11}$  がオフ状態になる。そのため、節点  $N_2$  の電位は、容量  $C_2$  によって  $V_{DD} - V_{th}$  に保持される。

## 【 0 0 6 9 】

この結果、図 10 に示すように、単位回路  $SR_1$  内の節点  $N_1$  の電位は、期間  $t_0$  と、期間  $t_1$  の後半では  $V_{DD} - V_{th}$  になり、期間  $t_1$  の前半では  $V_{DD}$  よりも高いレベルになり、それ以外では  $V_{SS}$  になる。単位回路  $SR_1$  内の節点  $N_2$  の電位は、期間  $t_0$  と期間  $t_1$  とでは  $V_{SS}$  になり、期間  $t_2$  以降では  $V_{DD}$  になる。また、単位回路  $SR_1$  の出力信号  $OUT$ （シフトレジスタ 10 の出力信号  $SROUT_1$ ）は、期間  $t_1$  の前半ではハイレベルになり、それ以外ではローレベルになる。

30

## 【 0 0 7 0 】

同様に、 $i$  段目の単位回路 31 の出力信号  $OUT_i$ （シフトレジスタ 30 の出力信号  $SROUT_i$ ）は、期間  $t_i$  の前半ではハイレベルになり、それ以外ではローレベルになる。このようなシフトレジスタ 30 は、2 相のクロック信号  $CK_1$ 、 $CK_2$  に基づき、出力信号  $SROUT_1 \sim SROUT_n$  を 1 つずつ順にハイレベルにするとともに、後段の出力信号  $SROUT_1 \sim SROUT_n$  に基づき、出力信号  $SROUT_1 \sim SROUT_n$  を 1 つずつ順にローレベルにする（リセット動作）。

40

## 【 0 0 7 1 】

（全オン動作）

次に、全オン動作について図 11 を用いて説明する。図 11 は、シフトレジスタ 30 の全オン動作時のタイミングチャートである。図 11 において、期間  $t_0 \sim$  期間  $t_{n+1}$  は、それぞれ前半と後半に分けられ、また全オン動作の期間中、全オン制御信号  $AON$  はハイレベル（アクティブ）、全オン制御信号  $AONB$  はローレベルである。また、スタートパルス  $ST$ 、クロック信号  $CK$ 、 $CKB$  はそれぞれハイレベルに設定される。

## 【 0 0 7 2 】

50

スタートパルス  $S T$  がハイレベルであるため、 $T 7$  がオン状態になり、全オン制御信号  $A O N B$  がローレベルであるため、トランジスタ  $T 6$  がオフ状態になる。これにより、節点  $N 2$  の電位が  $V S S$  になるため、トランジスタ  $T 3$  がオフ状態になる。また、入力信号  $I N r$  がハイレベルになるため、トランジスタ  $T 1 1$  がオン状態になり、節点  $N 3$  の電位が  $V D D - V t h$  (ただし、 $V t h$  はトランジスタ  $T 1 1$  の閾値電圧) になるため、トランジスタ  $T 4$  がオン状態になる。また、全オン制御信号  $A O N B$  がローレベルであるため、トランジスタ  $T 8$  がオフ状態になる。これにより、節点  $N 1$  の電位は  $V S S$  になるため、トランジスタ  $T 2$  はオフ状態になる。このとき、全オン制御信号  $A O N$  はハイレベルであるため、トランジスタ  $T 9$  がオン状態になり、出力端子  $O U T$  から、レベルが  $V D D - V t h$  (ただし、 $V t h$  はトランジスタ  $T 9$  の閾値電圧) の出力信号  $O U T$  が出力される。この出力信号  $O U T$  は、出力信号  $S R O U T 1$  として外部に出力されるとともに、後段の単位回路  $3 1$  の入力端子  $I N s$  に与えられる。また、2 段目以降では、出力信号  $O U T$  は、外部に出力されるとともに、後段の単位回路  $3 1$  の入力端子  $I N s$ 、及び、前段の単位回路  $3 1$  の入力端子  $I N r$  に与えられる。

10

## 【0073】

このように、全オン動作時には、期間  $t 0 \sim t n + 1$  に渡って、全ての出力端子  $O U T 1 \sim O U T n$  から、ハイレベル  $V D D - V t h$  の出力信号  $O U T$  が出力される。

## 【0074】

## 〔実施の形態4〕

本発明に係る実施の形態4について、以下に説明する。実施の形態4に係るシフトレジスタ40の構成(図示せず)は、図1に示す実施の形態1に係るシフトレジスタ10と同一である。図12は、シフトレジスタ40に含まれる単位回路41の回路図である。図12に示す単位回路41は、実施の形態1に係るシフトレジスタ10に含まれる単位回路11(図2参照)に、トランジスタ  $T 1 2$  を追加したものである。なお、トランジスタ  $T 1 2$  は、ディスチャージトランジスタ(第2ディスチャージトランジスタ)として機能する。

20

## 【0075】

図12に示すように、トランジスタ  $T 1 2$  のドレイン端子は節点  $N 1$  に接続され、ゲート端子は全オン制御端子  $A O N$  に接続され、ソース端子は接地される。また、単位回路11と異なり、トランジスタ  $T 4$  のゲート端子が節点  $N 2$  に接続される。

30

## 【0076】

シフトレジスタ20の通常動作は、シフトレジスタ10の通常動作と同一であるため、以下では、全オン動作について説明する。図13は、シフトレジスタ40の全オン動作時のタイミングチャートである。全オン動作の期間中、全オン制御信号  $A O N$  はハイレベル(アクティブ)、全オン制御信号  $A O N B$  はローレベルである。また、スタートパルス  $S T$ 、クロック信号  $C K$ 、 $C K B$  は、それぞれハイレベルに設定される。

## 【0077】

スタートパルス  $S T$  がハイレベルであるため、トランジスタ  $T 7$  がオン状態になり、全オン制御信号  $A O N B$  がローレベルであるため、トランジスタ  $T 6$  がオフ状態になる。これにより、節点  $N 2$  の電位が  $V S S$  になるため、トランジスタ  $T 3$ 、 $T 4$  がオフ状態になる。また、全オン制御信号  $A O N$  がハイレベルであるため、トランジスタ  $T 1 2$ 、 $T 9$  がオン状態になる。また、全オン制御信号  $A O N B$  がローレベルであるため、トランジスタ  $T 8$  がオフ状態になる。これにより、節点  $N 1$  の電位は  $V S S$  になるため、トランジスタ  $T 2$  はオフ状態になり、出力端子  $O U T$  から、レベルが  $V D D - V t h$  (ただし、 $V t h$  はトランジスタ  $T 9$  の閾値電圧) の出力信号  $O U T$  が出力される。この出力信号  $O U T$  は、出力信号  $S R O U T 1$  として外部に出力されるとともに、後段の単位回路41の入力端子  $I N$  に与えられ、後段の単位回路41は上記1段目と同様の動作を行う。

40

## 【0078】

このように、全オン動作時には、期間  $t 0 \sim t n + 1$  に渡って、全ての出力端子  $O U T 1 \sim O U T n$  から、ハイレベル  $V D D - V t h$  の出力信号  $O U T$  が出力される。

50



## 【 0 0 7 9 】

ここで、クロック信号 C K、C K B がローレベルの場合であっても、トランジスタ T 6 はオフ状態であるため、トランジスタ T 4 は、ゲート端子に V S S が与えられオフ状態になる。このとき、全オン制御信号 A O N はハイレベルであるため、トランジスタ T 1 2 がオン状態になり、節点 N 1 の電位は V S S になる。よって、トランジスタ T 2 はオフ状態になり、出力端子 O U T から、レベルが V D D - V t h (ただし、V t h はトランジスタ T 9 の閾値電圧) の出力信号 O U T が出力される。

## 【 0 0 8 0 】

このように、クロック信号 C K、C K B がローレベルの場合も、全オン動作時には、期間  $t_0 \sim t_{n+1}$  に渡って、全ての出力端子 O U T 1 ~ O U T n から、ハイレベル V D D - V t h の出力信号 O U T が出力される。

10

## 【 0 0 8 1 】

本実施の形態 4 に係るシフトレジスタ 4 0 によれば、トランジスタ T 1 2 が設けられることにより、全オン動作時では、節点 N 1 の電位が V S S に固定される。すなわち、クロック信号 C K、C K B のレベルに関わらず、節点 N 1 の電位を V S S に固定して、全オン動作を行うことができる。

## 【 0 0 8 2 】

ここで、トランジスタ T 1 2 を、実施の形態 1 に係るシフトレジスタ 1 0 に含まれる単位回路 1 1、あるいは、実施の形態 3 に係るシフトレジスタ 3 0 に含まれる単位回路 3 1 に追加した構成(それぞれ、図 1 4、図 1 5 に示す)としてもよい。これにより、入力信号 I N、クロック信号 C K、C K B のレベルに関わらず、節点 N 1 の電位を V S S に固定して、全オン動作を行うことができる。

20

## 【 0 0 8 3 】

## 〔実施の形態 5〕

本発明に係る実施の形態 5 について、以下に説明する。実施の形態 5 に係るシフトレジスタ 5 0 の構成(図示せず)は、図 1 に示す実施の形態 1 に係るシフトレジスタ 1 0 と同一である。図 1 6 は、シフトレジスタ 5 0 に含まれる単位回路 5 1 の回路図である。図 1 7 に示す単位回路 5 1 は、実施の形態 1 に係るシフトレジスタ 1 0 に含まれる単位回路 1 1 (図 2 参照)において、トランジスタ T 1、T 8 の接続を逆にしたものである。

## 【 0 0 8 4 】

図 1 6 に示すように、トランジスタ T 1 のドレイン端子には電源電圧 V D D が与えられ、トランジスタ T 1 のソース端子はトランジスタ T 8 のドレイン端子に接続され、ゲート端子は、入力端子 I N に接続される。また、トランジスタ T 8 のソース端子は、トランジスタ T 2 のゲート端子と、トランジスタ T 4 のドレイン端子との接続点(節点 N 1)に接続される。トランジスタ T 8 のゲート端子は、全オン制御端子 A O N B に接続される。

30

## 【 0 0 8 5 】

シフトレジスタ 5 0 の通常動作は、シフトレジスタ 1 0 の通常動作と同一であるため、以下では、全オン動作について説明する。図 1 7 は、シフトレジスタ 5 0 の全オン動作時のタイミングチャートである。全オン動作の期間中、全オン制御信号 A O N はハイレベル、全オン制御信号 A O N B はローレベルである。また、スタートパルス S T、クロック信号 C K、C K B はそれぞれハイレベルに設定される。

40

## 【 0 0 8 6 】

スタートパルス S T がハイレベルであるため、トランジスタ T 7 がオン状態になり、全オン制御信号 A O N B がローレベルであるため、トランジスタ T 6 がオフ状態になる。これにより、節点 N 2 の電位が V S S になるため、トランジスタ T 3 がオフ状態になる。また、クロック信号 C K B がハイレベルであるため、トランジスタ T 5 がオン状態になり、節点 N 3 の電位が V D D - V t h (ただし、V t h はトランジスタ T 5 の閾値電圧)になるため、トランジスタ T 4 がオン状態になる。また、全オン制御信号 A O N B がローレベルであるため、トランジスタ T 8 がオフ状態になる。これにより、節点 N 1 の電位は V S S になるため、トランジスタ T 2 はオフ状態になる。このとき、全オン制御信号 A O N は

50

ハイレベルであるため、トランジスタT9がオン状態になり、出力端子OUTから、レベルが $V_{DD} - V_{th}$ （ただし、 $V_{th}$ はトランジスタT9の閾値電圧）の出力信号OUTが出力される。この出力信号OUTは、出力信号SROUT1として外部に出力されるとともに、後段の単位回路51の入力端子INに与えられ、後段の単位回路51は上記1段目と同様の動作を行う。

【0087】

このように、全オン動作時には、期間 $t_0 \sim t_{n+1}$ に渡って、全ての出力端子OUT1～OUTnから、ハイレベル $V_{DD} - V_{th}$ の出力信号OUTが出力される。

【0088】

〔実施の形態6〕

本発明に係る実施の形態6について、以下に説明する。実施の形態6に係るシフトレジスタ60の構成（図示せず）は、図8に示す実施の形態3に係るシフトレジスタ30と同一である。図18は、シフトレジスタ60に含まれる単位回路61の回路図である。図18に示す単位回路61は、実施の形態3に係るシフトレジスタ30に含まれる単位回路31（図9参照）において、トランジスタT1、T8の接続を逆にしたものである。

【0089】

図18に示すように、トランジスタT1のドレイン端子には電源電圧 $V_{DD}$ が与えられ、トランジスタT1のソース端子は、トランジスタT8のドレイン端子に接続され、ゲート端子は、入力端子INsに接続される。また、トランジスタT8のソース端子は、トランジスタT2のゲート端子と、トランジスタT4のドレイン端子との接続点（節点N1）に接続される。トランジスタT8のゲート端子は、全オン制御端子AONBに接続される。

【0090】

シフトレジスタ50の通常動作は、シフトレジスタ30の通常動作と同一であるため、以下では、全オン動作について説明する。図19は、シフトレジスタ50の全オン動作時のタイミングチャートである。全オン動作の期間中、全オン制御信号AONはハイレベル、全オン制御信号AONBはローレベルである。また、スタートパルスST、クロック信号CK、CKBはそれぞれハイレベルに設定される。

【0091】

スタートパルスSTがハイレベルであるため、T7がオン状態になり、全オン制御信号AONBがローレベルであるため、トランジスタT6がオフ状態になる。これにより、節点N2の電位が $V_{SS}$ になるため、トランジスタT3がオフ状態になる。また、入力信号INrがハイレベルになるため、トランジスタT11がオン状態になり、節点N3の電位が $V_{DD} - V_{th}$ （ただし、 $V_{th}$ はトランジスタT11の閾値電圧）になるため、トランジスタT4がオン状態になる。また、全オン制御信号AONBがローレベルであるため、トランジスタT8がオフ状態になる。これにより、節点N1の電位は $V_{SS}$ になるため、トランジスタT2はオフ状態になる。このとき、全オン制御信号AONはハイレベルであるため、トランジスタT9がオン状態になり、出力端子OUTから、レベルが $V_{DD} - V_{th}$ （ただし、 $V_{th}$ はトランジスタT9の閾値電圧）の出力信号OUTが出力される。この出力信号OUTは、出力信号SROUT1として外部に出力されるとともに、後段の単位回路61の入力端子INsに与えられる。また、2段目以降では、出力信号OUTは、外部に出力されるとともに、後段の単位回路61の入力端子INs、及び、前段の単位回路61の入力端子INrに与えられる。

【0092】

このように、全オン動作時には、期間 $t_0 \sim t_{n+1}$ に渡って、全ての出力端子OUT1～OUTnから、ハイレベル $V_{DD} - V_{th}$ の出力信号OUTが出力される。

【0093】

〔実施の形態7〕

本発明に係る実施の形態7について、以下に説明する。実施の形態7に係るシフトレジスタ70の構成（図示せず）は、図1に示す実施の形態1に係るシフトレジスタ10と同

10

20

30

40

50

一である。図20は、シフトレジスタ70に含まれる単位回路71の回路図である。

【0094】

図20に示すように、単位回路71は同一導電型のトランジスタで構成され、9個のNチャンネル型トランジスタT1～T5、T7～T9、T12と、2個の容量C1、C2と、1個の抵抗R1とを含んでいる。

【0095】

トランジスタT1のドレイン端子には電源電圧VDDが与えられ、トランジスタT1のソース端子はトランジスタT8のドレイン端子に接続され、ゲート端子は、入力端子INに接続される。また、トランジスタT8のソース端子は、トランジスタT2のゲート端子と、トランジスタT4のドレイン端子との接続点(節点N1)に接続される。トランジスタT8のゲート端子は、全オン制御端子AONBに接続される。トランジスタT12のドレイン端子は節点N1に接続され、ゲート端子は全オン制御端子AONに接続され、ソース端子は接地される。

10

【0096】

トランジスタT5のドレイン端子には電源電圧VDDが与えられ、トランジスタT5のソース端子は抵抗R1の一端に接続され、ゲート端子にはクロック信号CKBが与えられる。トランジスタT7のドレイン端子は抵抗R1の他端に接続され、ゲート端子は入力端子INに接続され、ソース端子は接地される。トランジスタT7と抵抗R1との接続点(節点N2)は、トランジスタT4のゲート端子と、トランジスタT3のゲート端子にも接続される。

20

【0097】

シフトレジスタ70の通常動作は、シフトレジスタ10の通常動作と同一であるため、以下では、全オン動作について説明する。図21は、シフトレジスタ70の全オン動作時のタイミングチャートである。全オン動作の期間中、全オン制御信号AONはハイレベル(アクティブ)、全オン制御信号AONBはローレベルである。また、スタートパルスSTはハイレベルに設定され、クロック信号CK、CKBはそれぞれローレベルに設定される。

【0098】

スタートパルスSTがハイレベルであるため、トランジスタT7がオン状態になり、クロック信号CKBがローレベルであるため、トランジスタT5がオフ状態になる。これにより、節点N2の電位がVSSになるため、トランジスタT3、T4がオフ状態になる。また、全オン制御信号AONがハイレベルであるため、トランジスタT12、T9がオン状態になる。また、全オン制御信号AONBがローレベルであるため、トランジスタT8がオフ状態になる。これにより、節点N1の電位はVSSになるため、トランジスタT2はオフ状態になり、出力端子OUTから、レベルがVDD - Vth(ただし、VthはトランジスタT9の閾値電圧)の出力信号OUTが出力される。この出力信号OUTは、出力信号SROUT1として外部に出力されるとともに、後段の単位回路71の入力端子INに与えられ、後段の単位回路71は上記1段目と同様の動作を行う。

30

【0099】

このように、全オン動作時には、期間t0～tn+1に渡って、全ての出力端子OUT1～OUTnから、ハイレベルVDD - Vthの出力信号OUTが出力される。

40

【0100】

本実施の形態7に係るシフトレジスタ70によれば、トランジスタT12が設けられることにより、全オン動作時には、節点N1の電位がVSSに固定される。すなわち、クロック信号CK、CKBのレベルに関わらず、節点N1の電位をVSSに固定して、全オン動作を行うことができる。

【0101】

〔実施の形態8〕

本発明に係る実施の形態8について、以下に説明する。実施の形態8に係るシフトレジスタ80の構成(図示せず)は、図8に示す実施の形態3に係るシフトレジスタ30と同

50

一である。図 2 2 は、シフトレジスタ 8 0 に含まれる単位回路 8 1 の回路図である。図 2 2 に示す単位回路 8 1 は、実施の形態 6 に係るシフトレジスタ 6 0 に含まれる単位回路 6 1 (図 1 8 参照) に、トランジスタ T 1 2 を追加したものである。

【 0 1 0 2 】

図 2 2 に示すように、トランジスタ T 1 2 のドレイン端子は節点 N 1 に接続され、ゲート端子は全オン制御端子 A O N に接続され、ソース端子は接地される。また、単位回路 6 1 と異なり、トランジスタ T 4 のゲート端子が節点 N 2 に接続される。

【 0 1 0 3 】

シフトレジスタ 8 0 の通常動作は、シフトレジスタ 3 0 の通常動作と同一であるため、以下では、全オン動作について説明する。図 2 3 は、シフトレジスタ 8 0 の全オン動作時のタイミングチャートである。全オン動作の期間中、全オン制御信号 A O N はハイレベル(アクティブ)、全オン制御信号 A O N B はローレベルである。また、スタートパルス S T、クロック信号 C K、C K B はそれぞれハイレベルに設定される。

10

【 0 1 0 4 】

スタートパルス S T がハイレベルであるため、トランジスタ T 7 がオン状態になり、全オン制御信号 A O N B がローレベルであるため、トランジスタ T 6 がオフ状態になる。これにより、節点 N 2 の電位が V S S になるため、トランジスタ T 3、T 4 がオフ状態になる。また、全オン制御信号 A O N がハイレベルであるため、トランジスタ T 1 2、T 9 がオン状態になる。また、全オン制御信号 A O N B がローレベルであるため、トランジスタ T 8 がオフ状態になる。これにより、節点 N 1 の電位は V S S になるため、トランジスタ T 2 はオフ状態になり、出力端子 O U T から、レベルが V D D - V t h (ただし、V t h はトランジスタ T 9 の閾値電圧) の出力信号 O U T が出力される。この出力信号 O U T は、出力信号 S R O U T 1 として外部に出力されるとともに、後段の単位回路 8 1 の入力端子 I N s に与えられる。また、2 段目以降では、出力信号 O U T は、外部に出力されるとともに、後段の単位回路 8 1 の入力端子 I N s、及び、前段の単位回路 8 1 の入力端子 I N r に与えられる。

20

【 0 1 0 5 】

このように、全オン動作時には、期間  $t_0 \sim t_{n+1}$  に渡って、全ての出力端子 O U T 1 ~ O U T n から、ハイレベル V D D - V t h の出力信号 O U T が出力される。

【 0 1 0 6 】

本実施の形態 4 に係るシフトレジスタ 4 0 によれば、トランジスタ T 1 2 が設けられることにより、全オン動作時では、節点 N 1 の電位が V S S に固定される。すなわち、クロック信号 C K、C K B のレベルに関わらず、節点 N 1 の電位を V S S に固定して、全オン動作を行うことができる。

30

【 0 1 0 7 】

〔実施の形態 9〕

本発明に係る実施の形態 9 について、以下に説明する。実施の形態 9 に係るシフトレジスタ 9 0 の構成は、図 1 に示す実施の形態 1 に係るシフトレジスタ 1 0 と同一である。図 2 4 は、シフトレジスタ 9 0 に含まれる単位回路 9 1 の回路図である。図 2 4 に示す単位回路 9 1 は、実施の形態 2 に係るシフトレジスタ 2 0 に含まれる単位回路 2 1 (図 5 参照) に、トランジスタ T 1 3 を追加したものである。なお、トランジスタ T 1 3 は出力リセットトランジスタとして機能する。

40

【 0 1 0 8 】

図 2 4 に示すように、トランジスタ T 1 3 のドレイン端子は節点 N 2 に接続され、ゲート端子は全オン制御端子 A O N に接続され、ソース端子は接地される。

【 0 1 0 9 】

シフトレジスタ 9 0 の通常動作は、シフトレジスタ 1 0 の通常動作と同一であるため、以下では、全オン動作について説明する。図 2 5 は、シフトレジスタ 9 0 の全オン動作時のタイミングチャートである。全オン動作の期間中、全オン制御信号 A O N はハイレベル、全オン制御信号 A O N B はローレベルである。また、スタートパルス S T、クロック信

50

号CK、CKBは、それぞれローレベルに設定される。

【0110】

スタートパルスSTがローレベルであるため、トランジスタT7がオフ状態になり、全オン制御信号AONBがローレベルであるため、トランジスタT6もオフ状態になる。ここで、節点N2にトランジスタT13が接続されているため、全オン制御信号AONがハイレベルになると、節点N2の電位がVSSになり、トランジスタT3がオフ状態になる。また、全オン制御信号AONがハイレベルであるため、トランジスタT10がオン状態になり、節点N3の電位がVDD - Vth（ただし、VthはトランジスタT10の閾値電圧）になる。これにより、トランジスタT4がオン状態になる。また、全オン制御信号AONBがローレベルであるため、トランジスタT8がオフ状態になる。これにより、節点N1の電位がVSSになるため、トランジスタT2はオフ状態になる。そして、トランジスタT9がオン状態になるため、出力端子OUTから、レベルがVDD - Vth（ただし、VthはトランジスタT9の閾値電圧）の出力信号OUTが出力される。この出力信号OUTは、出力信号SROUT1として外部に出力されるとともに、後段の単位回路101の入力端子INに与えられ、後段の単位回路101は上記1段目と同様の動作を行う。

10

【0111】

本実施の形態に係るシフトレジスタ90によれば、トランジスタT13が設けられることにより、全オン動作時では、節点N2の電位がVSSに固定される。すなわち、スタートパルスST、クロック信号CK、CKBのレベルに関わらず、節点N2の電位をVSSに固定して、トランジスタT3を確実にオフ状態にすることができるため、全オン動作の安定化を図ることができる。なお、スタートパルスST、クロック信号CK、CKBは、それぞれハイレベルであってもよい。

20

【0112】

〔実施の形態10〕

本発明に係る実施の形態10について、以下に説明する。実施の形態10に係るシフトレジスタ100の構成（図示せず）は、図1に示す実施の形態1に係るシフトレジスタ10と同一である。図26は、シフトレジスタ100に含まれる単位回路101の回路図である。図26に示す単位回路101は、実施の形態2に係るシフトレジスタ20に含まれる単位回路21（図5参照）に、トランジスタT14を追加したものである。

30

【0113】

図26に示すように、トランジスタT14のドレイン端子は節点N2に接続され、ゲート端子は、トランジスタT3のドレイン端子と、トランジスタT2のソース端子と、トランジスタT9のソース端子とに接続され、ソース端子は接地される。

【0114】

シフトレジスタ100の通常動作は、シフトレジスタ10の通常動作と同一であるため、以下では、全オン動作について説明する。図27は、シフトレジスタ100の全オン動作時のタイミングチャートである。全オン動作の期間中、全オン制御信号AONはハイレベル、全オン制御信号AONBはローレベルである。また、スタートパルスST、クロック信号CK、CKBは、それぞれローレベルに設定される。

40

【0115】

スタートパルスSTがローレベルであるため、トランジスタT7がオフ状態になり、全オン制御信号AONBがローレベルであるため、トランジスタT6もオフ状態になる。ここで、全オン制御信号AONがハイレベルであるため、トランジスタT9がオン状態になり、トランジスタT14のゲート端子にVDDが与えられ、オン状態になる。これにより、節点N2の電位がVSSになるため、トランジスタT3がオフ状態になる。また、全オン制御信号AONがハイレベルであるため、トランジスタT10がオン状態になり、節点N3の電位がVDD - Vth（ただし、VthはトランジスタT10の閾値電圧）になる。これにより、トランジスタT4がオン状態になる。また、全オン制御信号AONBがローレベルであるため、トランジスタT8がオフ状態になる。これにより、節点N1の電位

50

がVSSになるため、トランジスタT2はオフ状態になる。そして、トランジスタT9がオン状態になるため、出力端子OUTから、レベルがVDD - Vth(ただし、VthはトランジスタT9の閾値電圧)の出力信号OUTが出力される。この出力信号OUTは、出力信号SROUT1として外部に出力されるとともに、後段の単位回路101の入力端子INに与えられ、後段の単位回路101は上記1段目と同様の動作を行う。

#### 【0116】

本実施の形態に係るシフトレジスタ100によれば、トランジスタT14が設けられることにより、全オン動作時では、節点N2の電位がVSSに固定される。すなわち、スタートパルスST、クロック信号CK、CKBのレベルに関わらず、節点N2の電位をVSSに固定して、トランジスタT3を確実にオフ状態にすることができるため、全オン動作の安定化を図ることができる。なお、スタートパルスST、クロック信号CK、CKBは、それぞれハイレベルであってもよい。

10

#### 【0117】

上述した各実施の形態の単位回路は、Nチャネル型トランジスタで構成されているが、これに限定されるものではなく、Pチャネル型トランジスタで構成されていてもよい。

#### 【0118】

(表示装置について)

上述した各シフトレジスタは、例えば、表示装置や撮像装置の駆動回路などに適用可能である。図28は、本発明のシフトレジスタを備えた液晶表示装置110の概略構成を示すブロック図である。

20

#### 【0119】

図28に示す液晶表示装置110は、表示部111、表示制御回路112、走査信号線駆動回路113、およびデータ信号線駆動回路114を備えたアクティブマトリクス型の表示装置である。液晶表示装置110では、シフトレジスタ10は走査信号線駆動回路113として使用される。

#### 【0120】

図28に示す表示部111は、n本の走査信号線G1~Gn、m本のデータ信号線S1~Sm、および、(m×n)個の表示素子Pijを含んでいる(ただし、mは2以上の整数、jは1以上m以下の整数)。走査信号線G1~Gnは互いに平行に配置され、データ信号線S1~Smは走査信号線G1~Gnと直交するように互いに平行に配置される。走査信号線Giとデータ信号線Sjの交点近傍には、表示素子Pijが配置される。このように(m×n)個の表示素子Pijは、行方向にm個ずつ、列方向にn個ずつ、2次元状に配置される。走査信号線Giはi行目に配置された表示素子Pijに共通して接続され、データ信号線Sjはj列目に配置された表示素子Pijに共通して接続される。

30

#### 【0121】

液晶表示装置110の外部からは、水平同期信号HSYNC、垂直同期信号VSYNCなどの制御信号と表示データDTが供給される。表示制御回路112は、これらの信号に基づき、走査信号線駆動回路113に対してクロック信号CK1、CK2、スタートパルスSTおよび全オン制御信号GAON、GAONBを出力し、データ信号線駆動回路114に対して制御信号SCと表示データDTを出力する。

40

#### 【0122】

走査信号線駆動回路113は、n段のシフトレジスタ10で構成されている。このシフトレジスタ10に、ローレベルの全オン制御信号GAONとハイレベルの全オン制御信号GAONBが与えられると、シフトレジスタ10は通常動作をする。つまり、シフトレジスタ10は、クロック信号CK1、CK2に基づき、出力信号SROUT1~SROUTnを1つずつ順にハイレベル(選択状態を示す)にする。出力信号SROUT1~SROUTnは、それぞれ、走査信号線G1~Gnに与えられる。これにより、走査信号線G1~Gnが1本ずつ順に選択され、1行分の表示素子Pijが一括して選択される。

#### 【0123】

データ信号線駆動回路114は、制御信号SCと表示データDTに基づき、データ信号

50

線  $S_1 \sim S_m$  に対して表示データ  $D_T$  に応じた電圧を与える。これにより、表示データ  $D_T$  に応じた電圧が選択された 1 行分の表示素子  $P_{ij}$  に書き込まれる。このようにして、液晶表示装置 110 は映像を表示する。

【0124】

一方、ハイレベルの全オン制御信号  $GAON$  とローレベルの全オン制御信号  $GAONB$  が走査信号線駆動回路 113 に与えられたときには、シフトレジスタ 10 は全オン動作をする。このため、走査信号線駆動回路 113 から走査信号線  $G_1 \sim G_n$  に、それぞれハイレベルの出力信号  $SROUT_1 \sim SROUT_n$  が同時に与えられ、すべての表示素子  $P_{ij}$  に表示データ  $D_T$  に応じた電圧が書き込まれる。

【0125】

図 29 は、シフトレジスタ 10 を備えた液晶表示装置 120 の概略構成を示すブロック図である。図 29 に示す液晶表示装置 120 は、表示部 121、表示制御回路 122、走査信号線駆動回路 123、および、データ信号線駆動回路 124 を備えたアクティブマトリクス型の表示装置である。液晶表示装置 120 では、シフトレジスタ 10 は、点順次駆動を行うデータ信号線駆動回路 124 に内蔵されて使用される。

【0126】

図 29 に示す表示部 121 は、図 28 に示す表示部 111 と同様の構成を有する。ただし、表示部 121 では、走査信号線の本数が  $m$  本、データ信号線の本数が  $n$  本であり、( $m \times n$ ) 個の表示素子  $P_{ij}$  は行方向に  $n$  個ずつ、列方向に  $m$  個ずつ 2 次元状に配置される。

【0127】

表示制御回路 122 は、外部から供給された制御信号と表示データ  $D_T$  に基づき、走査信号線駆動回路 123 に対して制御信号  $GC$  を出力し、データ信号線駆動回路 124 に対してクロック信号  $CK_1$ 、 $CK_2$ 、スタートパルス  $ST$ 、アナログ映像データ  $ADT$  および全オン制御信号  $SAON$ 、 $SAONB$  を出力する。走査信号線駆動回路 123 は、制御信号  $GC$  に基づき、走査信号線  $G_1 \sim G_m$  を 1 本ずつ順に選択する。

【0128】

データ信号線駆動回路 124 は、 $n$  段のシフトレジスタ 10 と  $N$  チャンネル型トランジスタからなる  $n$  個のサンプリングスイッチ  $SW_1 \sim SW_n$  を含んでいる。サンプリングスイッチ  $SW_1 \sim SW_n$  の一端はデータ信号線  $S_1 \sim S_n$  にそれぞれ接続され、他端にはアナログ映像データ  $ADT$  が伝達される映像信号線  $VSIG$  が接続される。サンプリングスイッチ  $SW_1 \sim SW_n$  である  $N$  チャンネル型トランジスタのゲート端子には、それぞれ、シフトレジスタ 10 の出力信号  $SROUT_1 \sim SROUT_n$  が与えられる。

【0129】

ローレベルの全オン制御信号  $SAON$  とハイレベルの全オン制御信号  $SAONB$  がデータ信号線駆動回路 124 に与えられると、シフトレジスタ 10 は通常動作をする。この場合、出力信号  $SROUT_1 \sim SROUT_n$  は 1 つずつ順にハイレベルになるので、サンプリングスイッチ  $SW_1 \sim SW_n$  は 1 つずつ順にオン状態になり、アナログ映像データ  $ADT$  はオン状態のサンプリングスイッチに接続されたデータ信号線に与えられる。これにより、走査信号線駆動回路 123 によって選択された 1 行分の表示素子  $P_{ij}$  に、アナログ映像データ  $ADT$  に応じた電圧が 1 つずつ順に書き込まれる。このようにして、液晶表示装置 120 は映像を表示する。

【0130】

一方、ハイレベルの全オン制御信号  $SAON$  とローレベルの全オン制御信号  $SAONB$  がデータ信号線駆動回路 124 に与えられたときには、シフトレジスタ 10 は全オン動作をする。このとき、シフトレジスタ 10 からハイレベルの出力信号  $SROUT_1 \sim SROUT_n$  がサンプリングスイッチ  $SW_1 \sim SW_n$  のゲート端子のそれぞれに同時に与えられる。この結果、サンプリングスイッチ  $SW_1 \sim SW_n$  は同時にオン状態になり、アナログ映像データ  $ADT$  はすべてのデータ信号線  $S_1 \sim S_n$  に同時に与えられる。これにより、走査信号線駆動回路 123 によって選択された 1 行分の表示素子  $P_{ij}$  に、アナログ映像

10

20

30

40

50

データ A D T に応じた電圧が同時に書き込まれる。

【 0 1 3 1 】

図 3 0 は、液晶表示装置 1 2 0 の動作を示すタイミングチャートである。図 3 0 に示すように、データ信号線駆動回路 1 2 4 に含まれるシフトレジスタ 1 0 は、期間  $t_0 \sim t_n$  では通常動作している。このとき、データ信号線  $S_1 \sim S_n$  にハイレベルの出力信号  $S R O U T_1 \sim S R O U T_n$  がそれぞれ 1 つずつ順に出力される。期間  $t(n+2)$  では、全オン制御信号  $S A O N$  がハイレベルになり、シフトレジスタ 1 0 は全オン動作をする。このとき、データ信号線  $S_1 \sim S_n$  に、ハイレベルの出力信号  $R O U T_1 \sim S R O U T_n$  が同時に出力される。

【 0 1 3 2 】

シフトレジスタ 1 0 を内蔵する走査信号線駆動回路またはデータ信号線駆動回路を備えた液晶表示装置は、電源回路をオンしたとき、オフしたとき、強制的にオフしたときにそれぞれ映像の乱れを生じる場合がある。しかし、走査信号線駆動回路またはデータ信号線駆動回路に含まれるシフトレジスタを全オン動作させることによって、映像の乱れを人間の目にわからなくなる程度まで抑えることができる。以下、それぞれの場合について説明する。

【 0 1 3 3 】

< 電源回路をオンしたときの液晶表示装置の動作 >

図 3 1 は、さらに他の液晶表示装置 1 3 0 の構成を示すブロック図である。図 3 1 に示す液晶表示装置 1 3 0 は、表示部 1 3 1、走査信号線駆動回路 1 3 3 およびデータ信号線駆動回路 1 3 4 を備えたアクティブマトリクス型の表示装置である。走査信号線駆動回路 1 3 3 およびデータ信号線駆動回路 1 3 4 は、シフトレジスタ 1 0 を内蔵し、液晶表示装置 1 3 0 は点順次駆動によって駆動される。また、走査信号線駆動回路 1 3 3 およびデータ信号線駆動回路 1 3 4 は、電源電圧  $V_H$ 、 $V_L$  を供給する電源回路 1 3 6 に接続されており、電源回路 1 3 6 の端子と接地端子との間には、容量素子 1 3 7 が設けられている。

【 0 1 3 4 】

表示部 1 3 1 は、 $n$  本の走査信号線  $G_1 \sim G_n$ 、 $n$  本のデータ信号線  $S_1 \sim S_n$ 、および、 $(n \times n)$  個の表示素子  $P_{ij}$  を含んでいる。走査信号線  $G_1 \sim G_n$  は互いに平行に配置され、データ信号線  $S_1 \sim S_n$  は走査信号線  $G_1 \sim G_n$  と直交するように互いに平行に配置される。走査信号線  $G_i$  とデータ信号線  $S_j$  の交点近傍には、表示素子  $P_{ij}$  が配置される。このように  $(n \times n)$  個の表示素子  $P_{ij}$  は、行方向、列方向ともに  $n$  個ずつ、2次元状に配置される。走査信号線  $G_i$  は  $i$  行目に配置された表示素子  $P_{ij}$  に共通して接続され、データ信号線  $S_j$  は  $j$  列目に配置された表示素子  $P_{ij}$  に共通して接続される。

【 0 1 3 5 】

表示素子  $P_{ij}$  にはスイッチング素子としての T F T 1 3 5 が設けられている。T F T 1 3 5 のゲート電極は走査信号線  $G_1 \sim G_n$  に接続され、ドレイン電極は画素電極  $E_p$  に接続されている。画素電極  $E_p$  と対向して共通電極  $E_c$  が設けられ、画素電極  $E_p$  と共通電極  $E_c$  とによって液晶容量が形成される。また、画素電極  $E_p$  が設けられた基板には補助電極  $E_s$  も設けられており、画素電極  $E_p$  と補助電極  $E_s$  とによって補助容量が形成される。補助電極  $E_s$  は補助電極駆動信号線  $C_s$  に接続され、補助電極駆動信号線  $C_s$  は走査信号線駆動回路 1 3 3 または外部回路に接続される。

【 0 1 3 6 】

走査信号線駆動回路 1 3 3 およびデータ信号線駆動回路 1 3 4 は、いずれも  $n$  段のシフトレジスタ 1 0 で構成される。走査信号線駆動回路 1 3 3 には、クロック信号  $G C K_1$ 、 $G C K_2$ 、スタートパルス  $G S T$  および全オン制御信号  $G A O N$  が与えられ、データ信号線駆動回路 1 3 4 には、クロック信号  $S C K_1$ 、 $S C K_2$ 、スタートパルス  $S S T$  および全オン制御信号  $S A O N$  が与えられる。走査信号線駆動回路 1 3 3 およびデータ信号線駆動回路 1 3 4 の動作は、それぞれ液晶表示装置 1 1 0 の走査信号線駆動回路 1 1 3、液晶表示装置 1 2 0 のデータ信号線駆動回路 1 2 4 の動作と同じであるため、その説明を省略

10

20

30

40

50



する。

【0137】

このような構成の液晶表示装置130の電源回路136をオンしたとき、オンした直後に表示部131に表示される映像が乱れることがある。これは、以下の理由によるものと考えられる。電源回路136をオンした直後には、電源電圧 $V_H$ 、 $V_L$ が十分なレベルまで立ち上がっていない。その結果、液晶表示装置130のロジック制御が正常に行われず、映像信号線 $VSIG$ から不要な電荷が表示素子 $P_{ij}$ に流入したり、対向電極 $E_c$ の電位 $COM$ や、補助電極 $E_s$ の電位 $C_s$ が不安定化して、対向電極 $E_c$ と画素電極 $E_p$ との間に電荷が蓄積されたりすることがその原因であると考えられる。

【0138】

そこで、蓄積された電荷を瞬時に抜くことができれば、人間の目には映像の乱れが見えなくなることを利用し、電源回路136をオンしたときに、すべての表示素子 $P_{ij}$ の $TFT135$ をオン状態にして、蓄積された電荷を瞬時に抜けばよい。このため、電源電圧 $V_H$ 、 $V_L$ が十分なレベルまで立ち上がると、走査信号線駆動回路133およびデータ信号線駆動回路134にそれぞれハイレベル(アクティブ)の全オン制御信号 $GAON$ 、 $SAON$ を与えて、走査信号線駆動回路133およびデータ信号線駆動回路134を全オン動作させる。

【0139】

図32は、液晶表示装置130の動作を示すタイミングチャートである。図32に示すように、期間 $t_0$ の始めに電源回路136をオンすると、電源電圧 $V_H$ 、 $V_L$ は、期間 $t_0$ の間に十分なレベルまで立ち上がる。次に、期間 $t_1$ の始めに全オン制御信号 $GAON$ 、 $SAON$ をハイレベルにする。このとき、走査信号線駆動回路133が全オン動作を開始して、走査信号線 $G_1 \sim G_n$ にそれぞれハイレベルの出力信号 $GOUT_{11} \sim GOUT_{1n}$ を与える。このとき、データ信号線駆動回路134も全オン動作をして、ハイレベルの出力信号をサンプリングスイッチ $SW_1 \sim SW_n$ に同時に与える。

【0140】

その結果、すべての走査信号線 $G_1 \sim G_n$ にハイレベルの出力信号 $GOUT_{11} \sim GOUT_{1n}$ がそれぞれ与えられるので、 $TFT135$ はオン状態になる。また、サンプリングスイッチ $SW_1 \sim SW_n$ もすべてオン状態になり、データ信号線 $S_1 \sim S_n$ は映像信号線 $VSIG$ に接続される。また期間 $t_1$ の始めに、映像信号線 $VSIG$ 、対向電極 $E_c$ の電位 $COM$ および補助電極 $E_s$ の電位 $C_s$ をそれぞれローレベルにすることによって、表示素子 $P_{ij}$ に蓄積された電荷を映像信号線 $VSIG$ に抜く。

【0141】

そして、期間 $t_3$ の始めに、映像信号線 $VSIG$ 、対向電極 $E_c$ の電位 $COM$ および補助電極 $E_s$ の電位 $C_s$ をそれぞれハイレベルにして、映像信号線 $VSIG$ から表示素子 $P_{ij}$ に初期値の電荷を充電する。初期値の電荷を充電するのは、画素電極 $E_p$ がフローティング状態のときに、対向電極 $E_c$ の電位 $COM$ および補助電極 $E_s$ の電位 $C_s$ を変化させると、映像が乱れる場合があるからである。その後、期間 $t_3$ の終端で、全オン制御信号 $GAON$ 、 $SAON$ をローレベルにし、期間 $t_5$ の始めから通常動作を開始し、期間 $t_6$ の始めからアナログ映像データ $ADT$ が映像信号線 $VSIG$ に伝達されるようにする。

【0142】

なお、上述の動作タイミングの説明では、期間 $t_0$ の始めに電源回路136をオンにし、期間 $t_1$ の始めから全オン動作を開始させたが、期間 $t_0$ の始めに電源回路136をオンにするだけでなく、同時に全オン動作を開始させてもよい。また、図32には、通常動作時に、対向電極 $E_c$ および補助電極 $E_s$ を交流駆動する場合を示したが、直流駆動してもよい。

【0143】

また、電源回路136をオンしたときに、シフトレジスタ10を全オン動作させれば、節点 $N_3$ の電位は $VDD - V_{th}$ になるため、トランジスタ $T_4$ はオン状態になる。これにより、接点 $N_1$ の電位はローレベルになるため、トランジスタ $T_2$ はオフ状態になる。

10

20

30

40

50

また、トランジスタT7のゲート端子にハイレベルのスタートパルスSTが与えられるので、トランジスタT7はオン状態になる。そのため、トランジスタT3もオフ状態になる。また、トランジスタT9はオン状態になる。

【0144】

次に、全オン動作から通常動作に復帰するとき、全オン制御信号AONはローレベルになるので、トランジスタT9はオフ状態になる。一方、全オン制御信号AONBはハイレベルになるので、トランジスタT6はオン状態になる。このため、トランジスタT3はオン状態となり、出力端子OUTにローレベルの出力信号OUTが出力される。したがって、全オン動作から通常動作に復帰するときに、シフトレジスタ10の初期化動作を行う必要がない。この結果、シフトレジスタ10は、初期化動作が不要な分だけ通常動作に早く復帰することができる。また、シフトレジスタ10の単位回路11内に初期化回路を設ける必要がないので、シフトレジスタ10を小さくすることができる。

10

【0145】

<電源回路をオフしたときの液晶表示装置の動作>

次に、外部からの指示または内部で発生する指示に基づいて、液晶表示装置130の電源回路136をオフしたときに発生する映像の乱れを抑制する方法について説明する。

【0146】

図33は、液晶表示装置130の電源回路136をオフする場合のタイミングチャートである。図33に示すように、期間t0~t2の前半では、全オン制御信号GAONはローレベル(非アクティブ)であるため、走査信号線駆動回路133は通常動作をし、それぞれハイレベルの走査信号GOUT11~GOUTn1を走査信号線G1~Gnに1つずつ順に与えている。同様に、データ信号線駆動回路134もサンプリングスイッチSW1~SWnに、ハイレベルの出力信号を1つずつ順に与えて、サンプリングスイッチSW1~SWnを順にオンしている。その結果、データ信号線S1~Snに順にアナログ映像データADTが書き込まれ、表示部131に映像が表示されている。

20

【0147】

期間t3の始めに液晶表示装置130の電源回路136をオフする指示が与えられると、ハイレベル(アクティブ)の全オン制御信号GAONが走査信号線駆動回路133に与えられる。このため、走査信号線駆動回路133は全オン動作を開始し、ハイレベルの出力信号GOUT11~GOUTn1をそれぞれ走査信号線G1~Gnに同時に与える。また、サンプリングスイッチSW1~SWnはすべてオフ状態にされているので、同一のデータ信号線に接続された表示素子Pijは互いに導通する。この結果、液晶表示装置130がドット反転駆動または走査信号線反転駆動されていれば、同一のデータ信号線に接続され、隣接または近傍にある表示素子Pijに蓄積された正電荷と負電荷が互いに打消しあう。そして、対向電極Ecの電位COMが無電圧状態に向かって移行するとき、すべての表示素子Pij間でほぼ揃った表示状態に移行する。さらに、期間t3の終端で、それまで映像信号線VSI G、対向電極Ecの電位COMおよび補助電極Esの電位Csをローレベルにして、表示素子Pijに蓄積された電荷を映像信号線VSI Gに抜く。その後、期間t4の終端で全オン動作を終了し、さらに期間t5の終端で電源回路をオフする。このようにして、電源回路136をオフしたときに表示部131に表示される映像の乱れを抑制することができる。なお、この動作は、ドット反転駆動および走査信号線反転駆動を行う液晶表示装置に適用することができる。

30

40

【0148】

また、期間t3の始めに、走査信号線G1~Gnを同時にハイレベルにするだけでなく、さらに全オン制御信号SAONをハイレベルにすることによって、走査信号線G1~Gnを同時にハイレベルにするだけでなく、さらにデータ信号線S1~Snも同時にハイレベルにしてもよい。この場合には、表示部131上のすべての表示素子Pijの電荷状態が揃うように放電させることができるので、液晶表示装置130の電源回路136をオフしたときに表示部131に表示される映像の乱れを抑制することができる。なお、この動作は、ドット反転駆動および走査信号線反転駆動だけでなく、データ信号線反転駆動など

50

の交流駆動を行う液晶表示装置に適用することができる。

【0149】

<電源回路が強制的にオフされた液晶表示装置の動作>

液晶表示装置130の表示部131に映像が表示されているときに、液晶表示装置130の電源回路136が強制的にオフ（視聴者が意図しないオフ）された場合について説明する。図34は、通常動作している液晶表示装置130の電源回路136が強制的にオフされた場合のタイミングチャートである。この場合、容量素子137の一端は電源回路136の出力端子に接続され、他端は接地されている。

【0150】

図34に示すように、期間 $t_0 \sim t_3$ では、走査信号線駆動回路133は通常動作をしている。このとき、全オン制御信号GAON、SAONはいずれもハイレベル（非アクティブ）である。

【0151】

期間 $t_4$ の始めに電源回路136が強制的にオフされると、同時に全オン制御信号GAON、SAONをローレベル（アクティブ）にする。この結果、走査信号線駆動回路133は全オン動作を開始し、走査信号線にハイレベルの出力信号GOUT11～GOUT1nを出力する。同様に、データ信号線駆動回路134も全オン動作を開始し、データ信号線S1～Snにハイレベルの出力信号（図示しない）を出力する。

【0152】

しかし、電源回路136の出力端子に接続された容量素子137のために、電源電圧VH、VLは瞬時にローレベルにはならず、容量素子137によって決まる時定数にしたがって低下し、期間 $t_4$ の終端でローレベルになる。したがって、走査信号線駆動回路133の出力信号GOUT11～GOUT1n、およびデータ信号線駆動回路134の出力信号も電源電圧VHと同様に、期間 $t_4$ の終端でローレベルになる。この場合も、前述の電源回路136をオフしたときと同一の効果を生じる。

【0153】

以上のように、本発明のシフトレジスタは、

同一導電型のトランジスタで構成された単位回路を多段接続した構成を有し、複数のクロック信号に基づいて動作するシフトレジスタであって、

上記単位回路は、

一方の導通端子に第1クロック信号が与えられ、他方の導通端子が出力端子に接続された第1出力制御トランジスタと、

アクティブな全オン制御信号が上記単位回路に与えられると、上記出力端子にオン電圧の出力信号を出力する一方、非アクティブな全オン制御信号が上記単位回路に与えられると、上記オン電圧の出力信号の出力を停止する全オン出力信号生成回路と、

非アクティブな全オン制御信号が上記単位回路に与えられると、入力信号に基づいて上記第1出力制御トランジスタの上記制御端子にオン電圧を与えるプリチャージ回路と、

アクティブな全オン制御信号が上記単位回路に与えられると、上記第1出力制御トランジスタの制御端子にオフ電圧を与えるディスチャージ回路とを備えることを特徴とする。

【0154】

上記の構成によれば、アクティブな全オン制御信号が上記単位回路に与えられると（全オン動作）、上記第1出力制御トランジスタの制御端子にオフ電圧が与えられる。よって、全オン動作後、通常動作に復帰する際、すなわち、全オン制御信号が非アクティブで入力信号がローレベルのときに、上記プリチャージ回路と上記第1出力制御トランジスタとの接続点（節点N1）の電位はVSSになるため、上記第1出力制御トランジスタがオン状態になることはない。

【0155】

そのため、全オン動作後、通常動作に復帰するときに、従来のようにトランジスタT2（図36のトランジスタ102）がオン状態になって、ハイレベルのクロック信号CKが

10

20

30

40

50

出力されるおそれはない。よって、シフトレジスタの誤動作を防止することができる。また、上記単位回路は、従来の単位回路（図36参照）と比較して回路構成が複雑化することもない。

**【0156】**

上記シフトレジスタでは、

上記プリチャージ回路は、制御端子に入力信号が与えられ、一方の導通端子にオン電圧が与えられ、他方の導通端子が上記第1出力制御トランジスタの制御端子に接続されたプリチャージトランジスタを含む構成とすることもできる。

**【0157】**

上記シフトレジスタでは、

上記プリチャージ回路は、

制御端子に非アクティブな全オン制御信号が与えられ、一方の導通端子にオン電圧が与えられる第1プリチャージトランジスタと、

制御端子に入力信号が与えられ、一方の導通端子が上記第1プリチャージトランジスタの他方の導通端子に接続され、他方の導通端子が上記第1出力制御トランジスタの制御端子に接続された第2プリチャージトランジスタと、を含む構成とすることもできる。

**【0158】**

上記シフトレジスタでは、

制御端子に上記第1クロック信号とは位相が異なる第2クロック信号が与えられ、一方の導通端子にオン電圧が与えられる第1リセットトランジスタを含み、

上記ディスチャージ回路は、制御端子が上記第1リセットトランジスタの他方の導通端子に接続され、一方の導通端子が上記第1出力制御トランジスタの制御端子に接続され、他方の導通端子にオフ電圧が与えられるディスチャージトランジスタを含む構成とすることもできる。

**【0159】**

上記シフトレジスタでは、

制御端子にアクティブな全オン制御信号が与えられ、一方の導通端子にオン電圧が与えられる第2リセットトランジスタを含み、

上記ディスチャージ回路は、制御端子が上記第2リセットトランジスタの他方の導通端子に接続され、一方の導通端子が上記第1出力制御トランジスタの制御端子に接続され、他方の導通端子にオフ電圧が与えられるディスチャージトランジスタを含む構成とすることもできる。

**【0160】**

上記シフトレジスタでは、

制御端子に後段の単位回路からの出力信号が与えられ、一方の導通端子にオン電圧が与えられる第3リセットトランジスタを含み、

上記ディスチャージ回路は、制御端子が上記第3リセットトランジスタの他方の導通端子に接続され、一方の導通端子が上記第1出力制御トランジスタの制御端子に接続され、他方の導通端子にオフ電圧が与えられる第1ディスチャージトランジスタを含む構成とすることもできる。

**【0161】**

上記シフトレジスタでは、

一方の導通端子が上記出力端子に接続され、他方の導通端子にオフ電圧が与えられる第2出力制御トランジスタと、上記ディスチャージ回路及び上記第2出力制御トランジスタにそれぞれ、オン電圧またはオフ電圧を与えるリセット信号生成回路とを含み、

上記リセット信号生成回路は、

上記単位回路に与えられる全オン制御信号がアクティブの場合、上記第1クロック信号とは位相が異なる第2クロック信号に基づいて、上記ディスチャージ回路にオン電圧を与えるとともに、上記入力信号がオン電圧である間、上記第2出力制御トランジスタの制御端子にオフ電圧を与え、

10

20

30

40

50

上記単位回路に与えられる全オン制御信号が非アクティブの場合、上記入力信号がオフ電圧である間、上記第2クロック信号に基づいて、上記ディスチャージ回路及び上記第2出力制御トランジスタの制御端子にオン電圧を与える構成とすることもできる。

**【0162】**

上記シフトレジスタでは、

上記リセット信号生成回路は、さらに、

上記単位回路に与えられる全オン制御信号が非アクティブの場合、上記入力信号がオン電圧である間、上記ディスチャージ回路及び上記第2出力制御トランジスタの制御端子にオフ電圧を与える構成とすることもできる。

**【0163】**

上記シフトレジスタでは、

上記ディスチャージ回路は、

一方の導通端子が上記第1出力制御トランジスタの制御端子に接続され、他方の導通端子にオフ電圧が与えられるディスチャージトランジスタを含み、

上記リセット信号生成回路は、

制御端子に上記第1クロック信号とは位相が異なる第2クロック信号が与えられ、一方の導通端子にオン電圧が与えられる第1リセットトランジスタと、

制御端子に非アクティブな全オン制御信号が与えられ、一方の導通端子が、上記第1リセットトランジスタの他方の導通端子及び上記ディスチャージトランジスタの制御端子にそれぞれ接続され、他方の導通端子が上記第2出力制御トランジスタに接続されるリセット分離トランジスタと、

制御端子に上記入力信号が与えられ、一方の導通端子が、上記リセット分離トランジスタの他方の導通端子及び上記第2出力制御トランジスタの制御端子にそれぞれ接続され、他方の導通端子にオフ電圧が与えられる第2リセットトランジスタと、を含む構成とすることもできる。

**【0164】**

上記シフトレジスタでは、

上記ディスチャージ回路は、

一方の導通端子が上記第1出力制御トランジスタの制御端子に接続され、他方の導通端子にオフ電圧が与えられるディスチャージトランジスタを含み、

上記リセット信号生成回路は、

制御端子に上記第1クロック信号とは位相が異なる第2クロック信号が与えられ、一方の導通端子にオン電圧が与えられる第1リセットトランジスタと、

一方の端子が上記第1リセットトランジスタの他方の導通端子に接続され、他方の端子が上記ディスチャージトランジスタの制御端子に接続される抵抗素子と、

制御端子に非アクティブな全オン制御信号が与えられ、一方の導通端子が、上記抵抗素子の他方の導通端子及び上記ディスチャージトランジスタの制御端子にそれぞれ接続され、他方の導通端子が上記第2出力制御トランジスタに接続されるリセット分離トランジスタと、

制御端子に上記入力信号が与えられ、一方の導通端子が、上記リセット分離トランジスタの他方の導通端子及び上記第2出力制御トランジスタの制御端子にそれぞれ接続され、他方の導通端子にオフ電圧が与えられる第2リセットトランジスタと、を含む構成とすることもできる。

**【0165】**

上記シフトレジスタでは、

上記単位回路に与えられる全オン制御信号がアクティブの場合、上記入力信号がオン電圧である間、上記ディスチャージ回路にオフ電圧を与え、

上記単位回路に与えられる全オン制御信号が非アクティブの場合、上記入力信号がオフ電圧である間、上記第1クロック信号とは位相が異なる第2クロック信号に基づいて、上記ディスチャージ回路にオン電圧を与えるリセット信号生成回路を含む構成とすることも

10

20

30

40

50

できる。

【0166】

上記シフトレジスタでは、

一方の導通端子が上記出力端子に接続され、他方の導通端子にオフ電圧が与えられる第2出力制御トランジスタと、上記ディスチャージ回路及び上記第2出力制御トランジスタにそれぞれ、オン電圧またはオフ電圧を与えるリセット信号生成回路とを含み、

上記リセット信号生成回路は、

上記単位回路に与えられる全オン制御信号がアクティブの場合、上記入力信号がオン電圧である間、上記ディスチャージ回路及び上記第2出力制御トランジスタの制御端子にオフ電圧を与え、

10

上記単位回路に与えられる全オン制御信号が非アクティブの場合、上記入力信号がオフ電圧である間、上記第1クロック信号とは位相が異なる第2クロック信号に基づいて、上記ディスチャージ回路及び上記第2出力制御トランジスタの制御端子にオン電圧を与える構成とすることもできる。

【0167】

上記シフトレジスタでは、

上記リセット信号生成回路は、さらに、

上記単位回路に与えられる全オン制御信号が非アクティブの場合、上記入力信号がオン電圧である間、上記ディスチャージ回路及び上記第2出力制御トランジスタの制御端子にオフ電圧を与える構成とすることもできる。

20

【0168】

上記シフトレジスタでは、

上記単位回路は、さらに、制御端子にアクティブな全オン制御信号が与えられ、一方の導通端子が上記第2出力制御トランジスタの制御端子に接続され、他方の導通端子にオフ電圧が与えられる出力リセットトランジスタを含む構成とすることもできる。

【0169】

上記シフトレジスタでは、

上記単位回路は、さらに、制御端子にアクティブな全オン制御信号が与えられ、一方の導通端子が上記第1出力制御トランジスタの制御端子に接続され、他方の導通端子にオフ電圧が与えられる第2ディスチャージトランジスタを含む構成とすることもできる。

30

【0170】

上記シフトレジスタでは、

上記第1出力制御トランジスタの上記制御端子と、上記第1出力制御トランジスタの上記他方の導通端子との間に容量が形成されている構成とすることもできる。

【0171】

本発明の表示装置は、

データ信号線及び走査信号線を備えた表示パネルを備えた表示装置であって、

上記の何れかに記載のシフトレジスタを含み、上記走査信号線を順次選択する走査信号線駆動回路と、

上記データ信号線に映像信号を供給するデータ信号線駆動回路と、

40

上記走査信号線駆動回路及び上記データ信号線駆動回路に電源電圧を供給する電源回路とを備え、

上記電源回路をオンまたはオフしたとき、アクティブな全オン制御信号を上記走査信号線駆動回路に与えて、全ての走査信号線をアクティブにすることを特徴とする。

【0172】

上記表示装置では、

上記データ信号線駆動回路は、上記の何れかに記載のシフトレジスタを含み、

上記電源回路をオンまたはオフしたとき、上記アクティブな全オン制御信号を上記データ信号線駆動回路に与えて、全てのデータ信号線に同一の電圧を与える構成とすることもできる。

50

## 【 0 1 7 3 】

本発明は上述した各実施形態に限定されるものではなく、請求項に示した範囲で種々の変更が可能であり、異なる実施形態にそれぞれ開示された技術的手段を適宜組み合わせて得られる実施形態についても本発明の技術的範囲に含まれる。

## 【産業上の利用可能性】

## 【 0 1 7 4 】

本発明は、同一導電型のシフトレジスタを用いて、クロック信号に基づき動作するシフトレジスタに適用されるものであって、特に、表示装置や撮像装置の駆動回路などに好適である。

## 【符号の説明】

10

## 【 0 1 7 5 】

1 0、2 0、3 0、4 0、5 0、6 0、7 0、8 0、9 0、1 0 0 シフトレジスタ

1 1、2 1、3 1、4 1、5 1、6 1、7 1、8 1、9 1、1 0 1 単位回路

3 2 遅延回路

T 1 トランジスタ（プリチャージ回路、プリチャージトランジスタ、第2プリチャージトランジスタ）

T 2 トランジスタ（出力制御トランジスタ、第1出力制御トランジスタ）

T 3 トランジスタ（出力制御トランジスタ、第2出力制御トランジスタ）

T 4 トランジスタ（ディスチャージ回路、ディスチャージトランジスタ、第1ディスチャージトランジスタ）

20

T 5 トランジスタ（リセットトランジスタ、第1リセットトランジスタ）

T 6 トランジスタ（リセット分離トランジスタ）

T 7 トランジスタ（リセットトランジスタ、第2リセットトランジスタ）

T 8 トランジスタ（プリチャージトランジスタ、第1プリチャージトランジスタ）

T 9 トランジスタ（全オン出力信号生成回路）

T 1 0 トランジスタ（リセットトランジスタ、第2リセットトランジスタ）

T 1 1 トランジスタ（リセットトランジスタ、第3リセットトランジスタ）

T 1 2 トランジスタ（ディスチャージトランジスタ、第2ディスチャージトランジスタ）

T 1 3 トランジスタ（出力リセットトランジスタ）

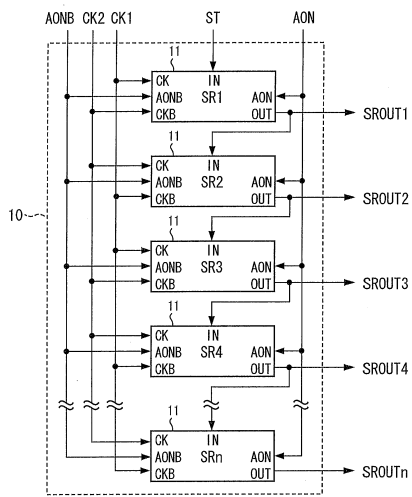
30

R 1 抵抗（抵抗素子）

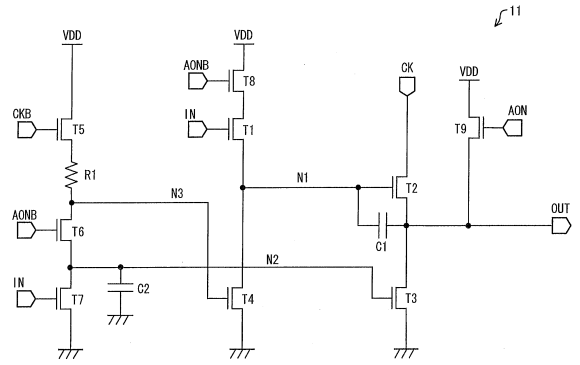
C 1、C 2 容量

1 1 0、1 2 0、1 3 0 液晶表示装置（表示装置）

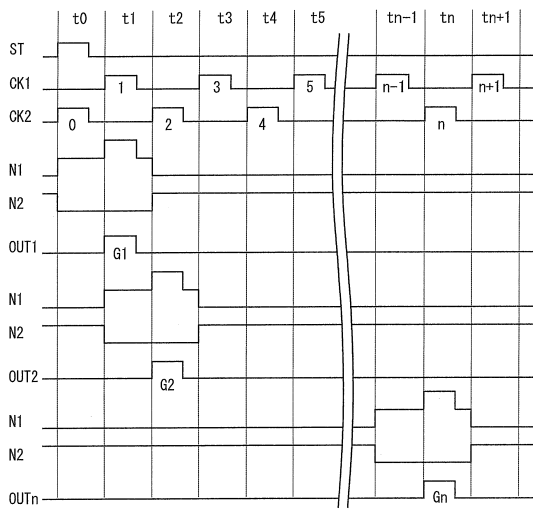
【 図 1 】



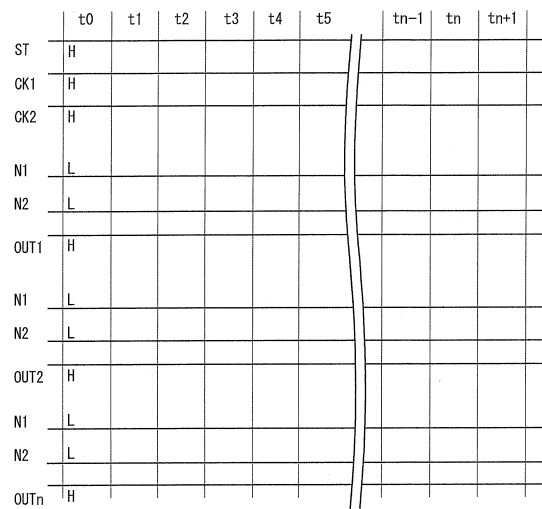
【 図 2 】



【 図 3 】

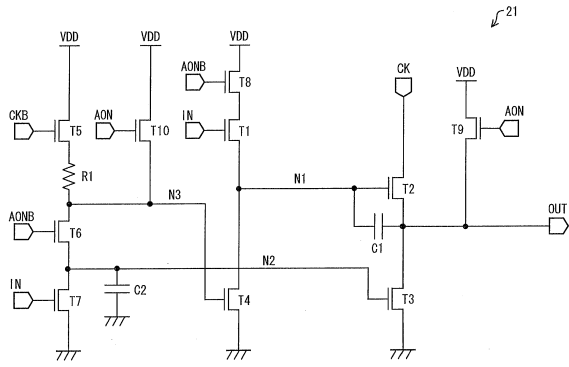


【 図 4 】

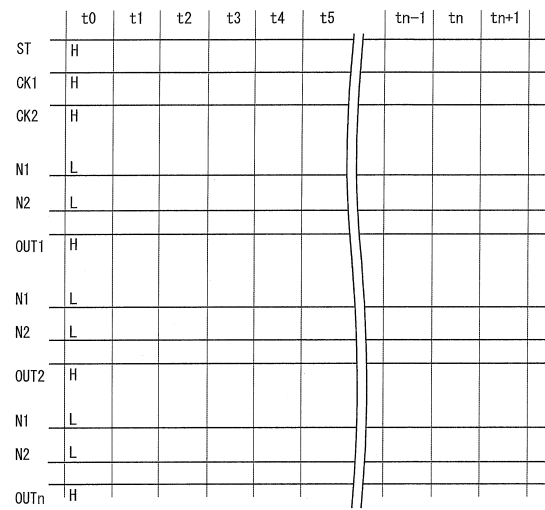




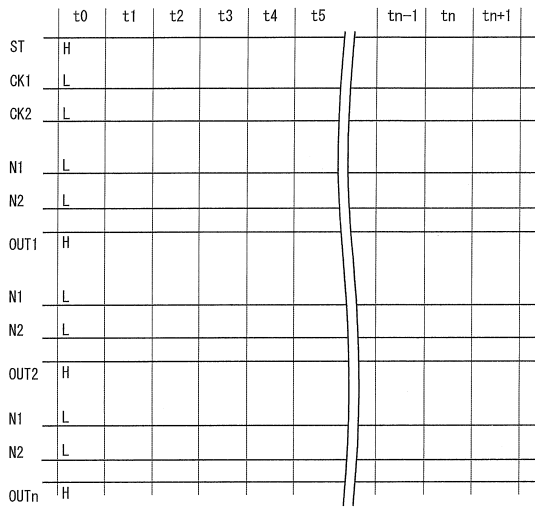
【 図 5 】



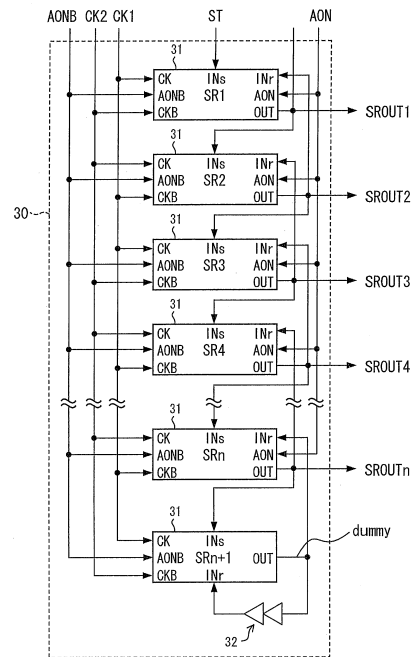
【 図 6 】



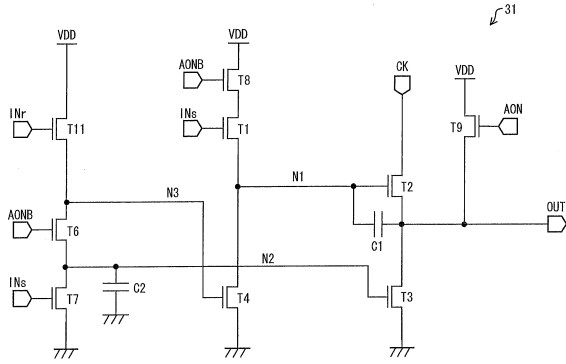
【 図 7 】



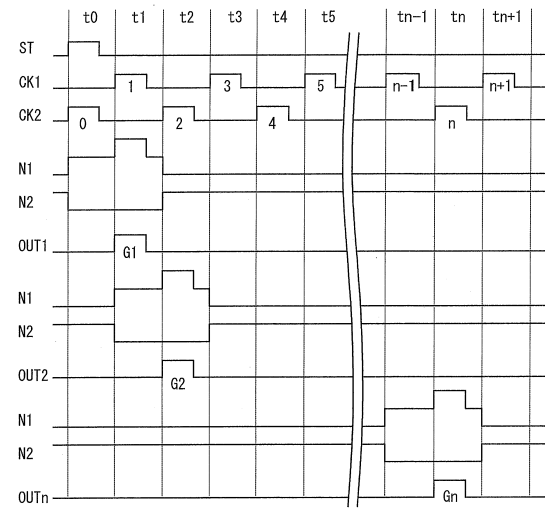
【 図 8 】



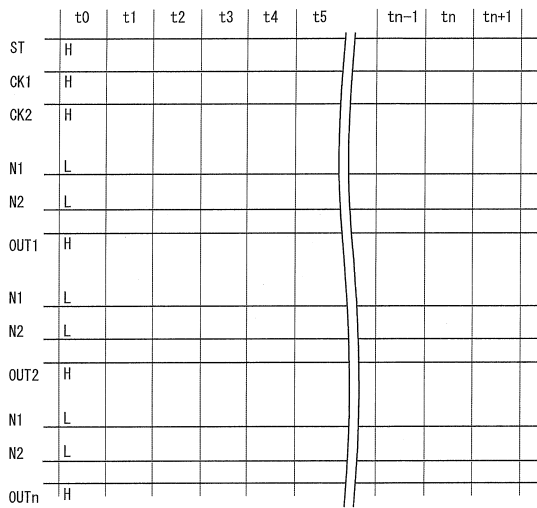
【 図 9 】



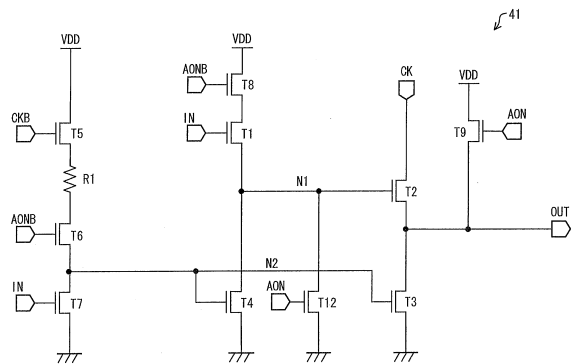
【 図 10 】



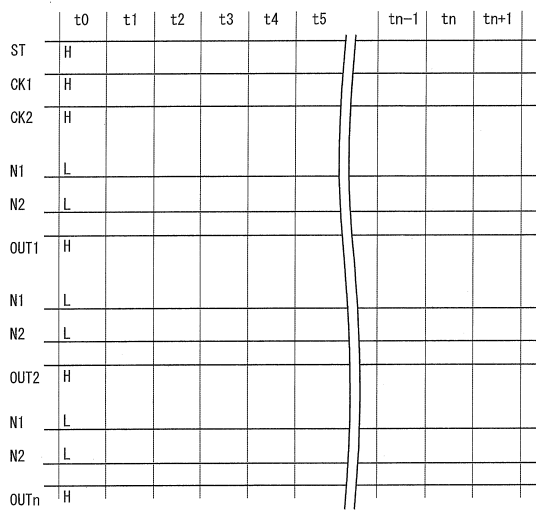
【 図 11 】



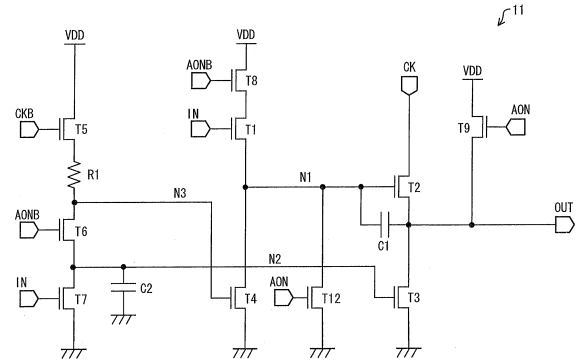
【 図 12 】



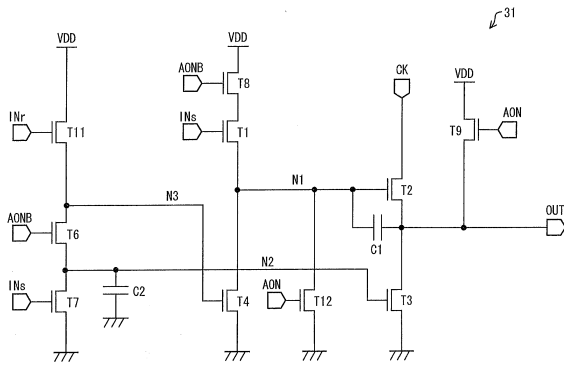
【図 13】



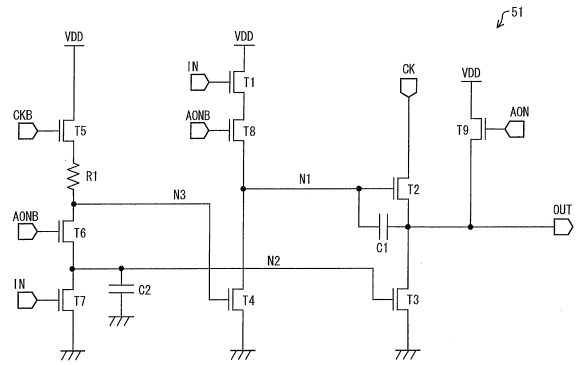
【図 14】



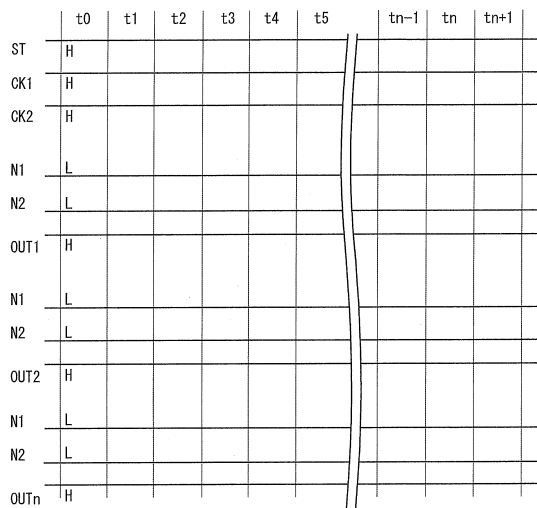
【図 15】



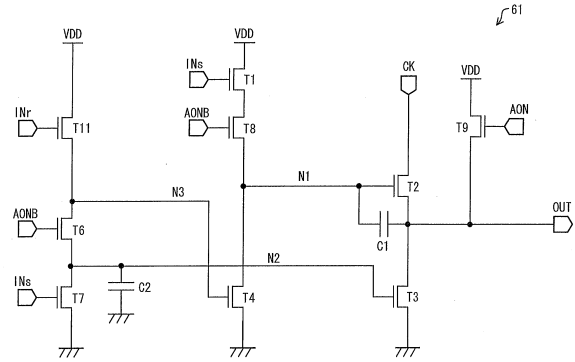
【図 16】



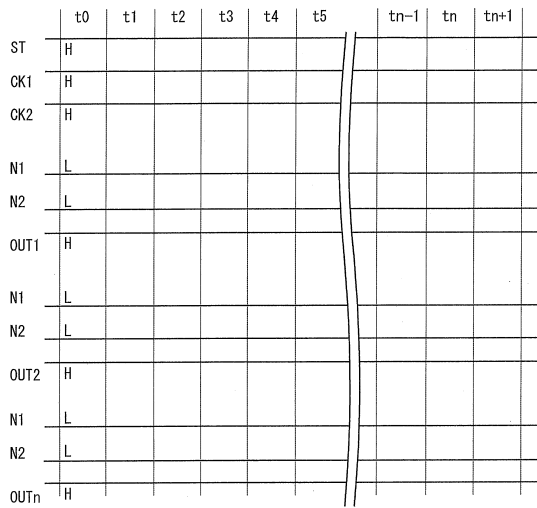
【 17 】



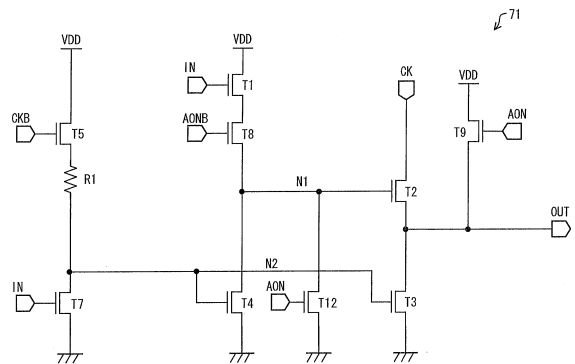
【 18 】



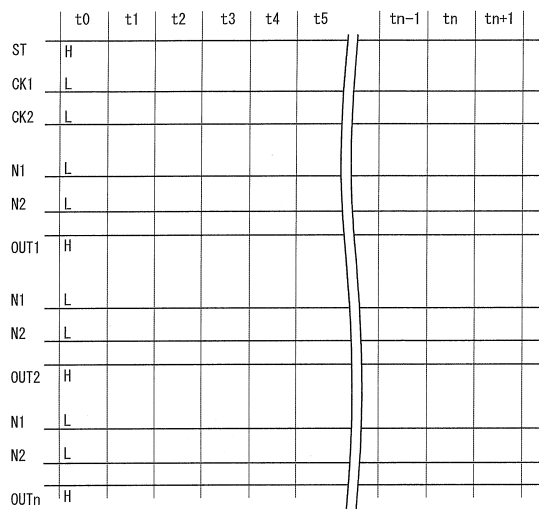
【 19 】



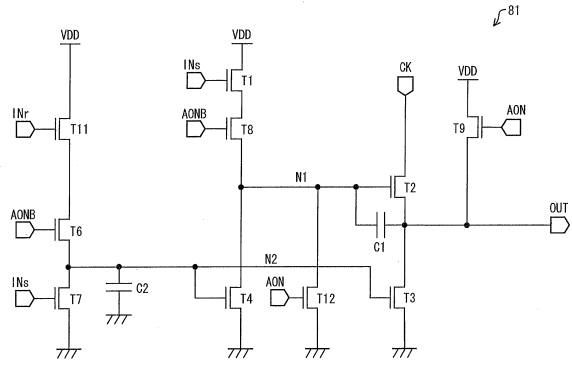
【 20 】



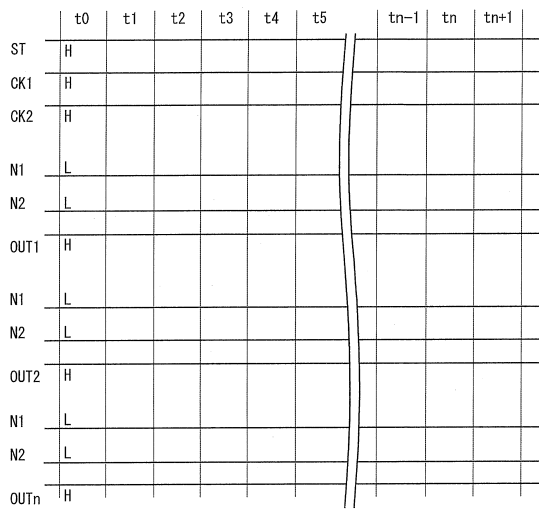
【図 2 1】



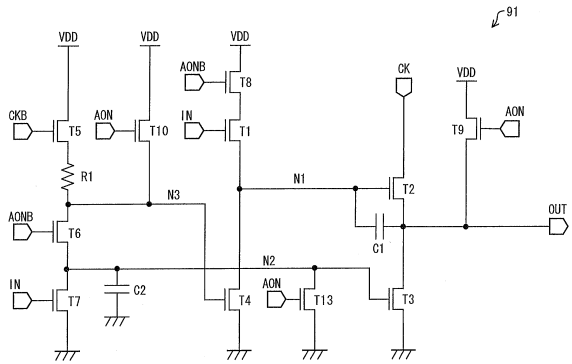
【図 2 2】



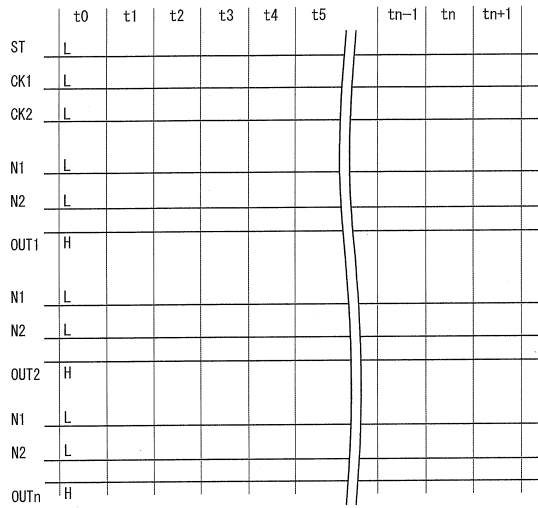
【図 2 3】



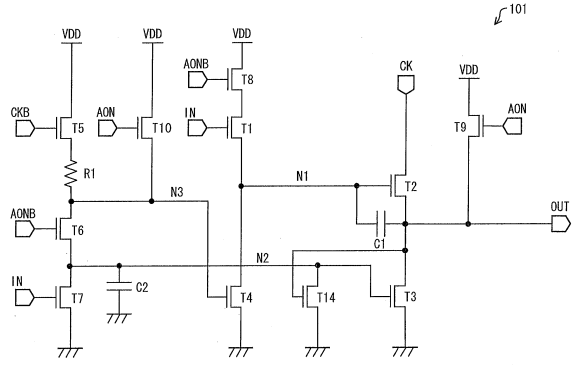
【図 2 4】



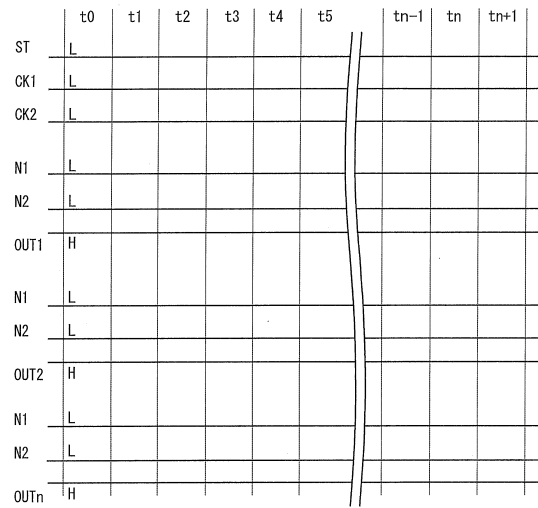
【図25】



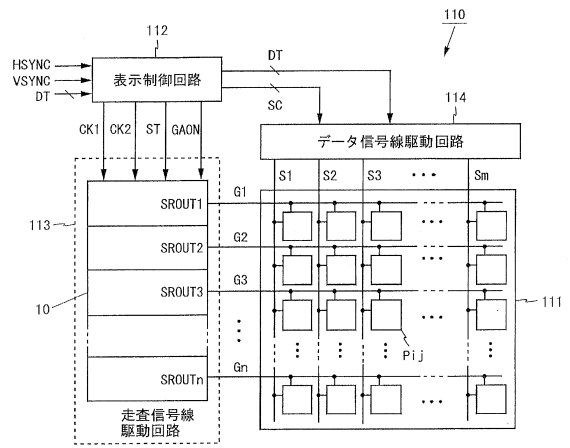
【図26】



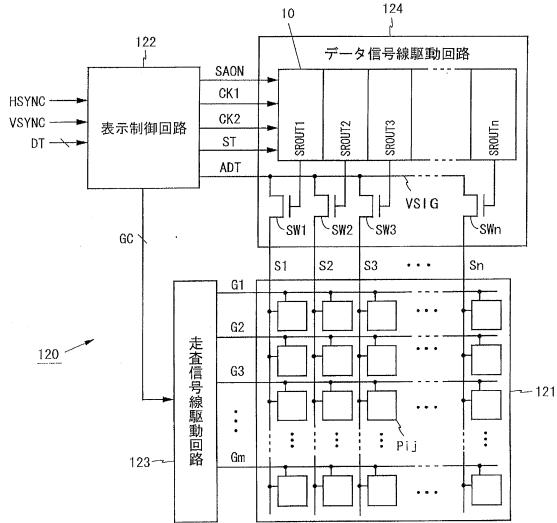
【図27】



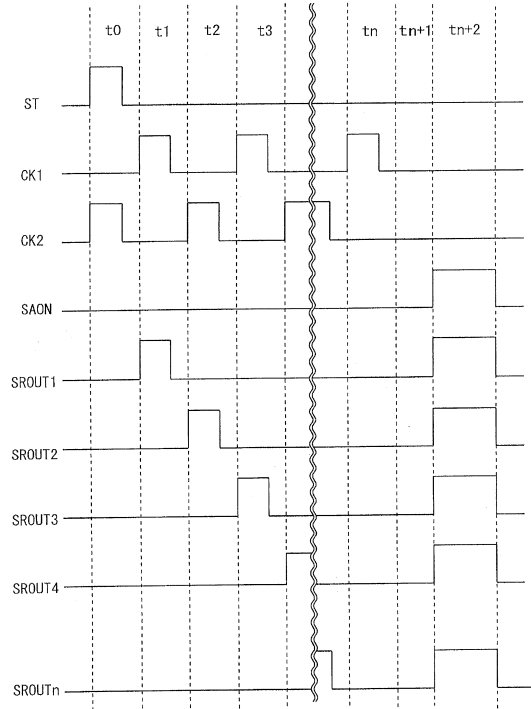
【図28】



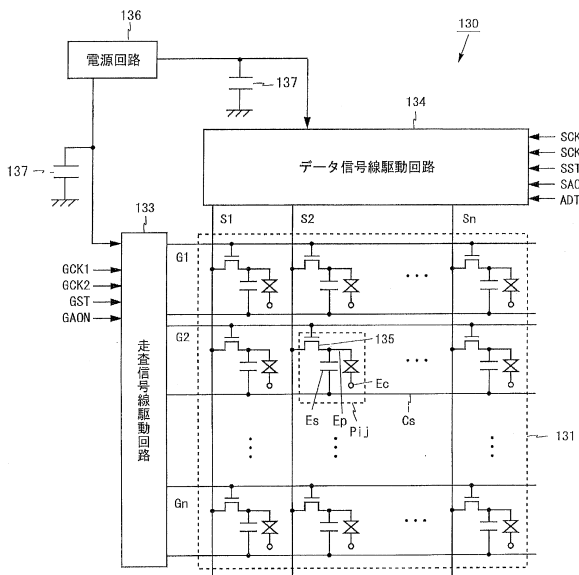
【図 29】



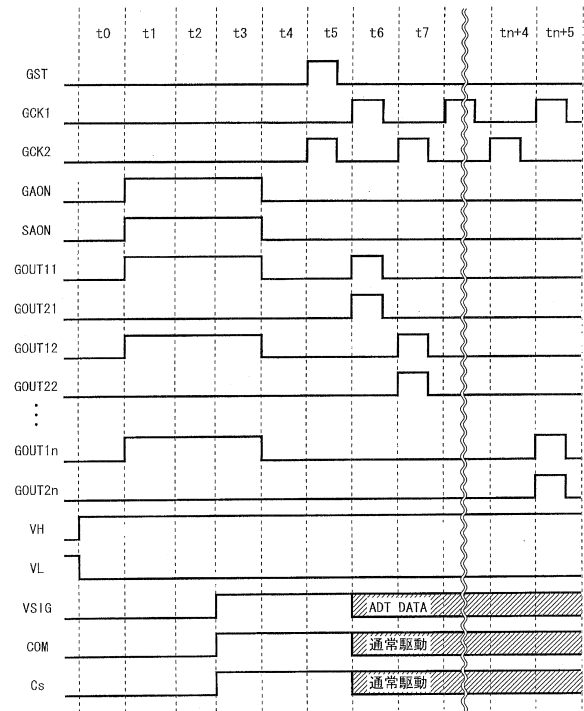
【図 30】



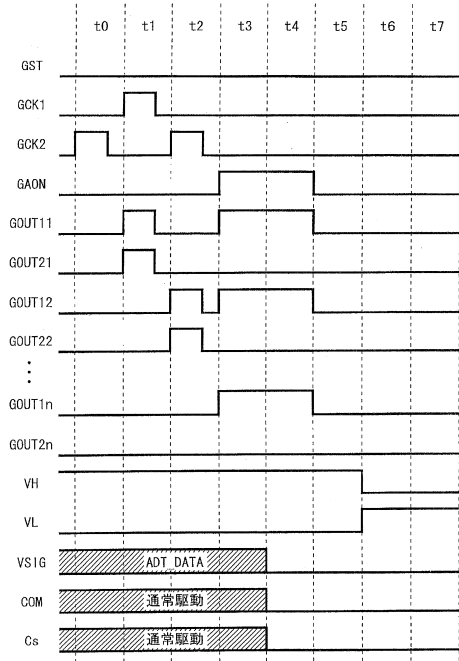
【図 31】



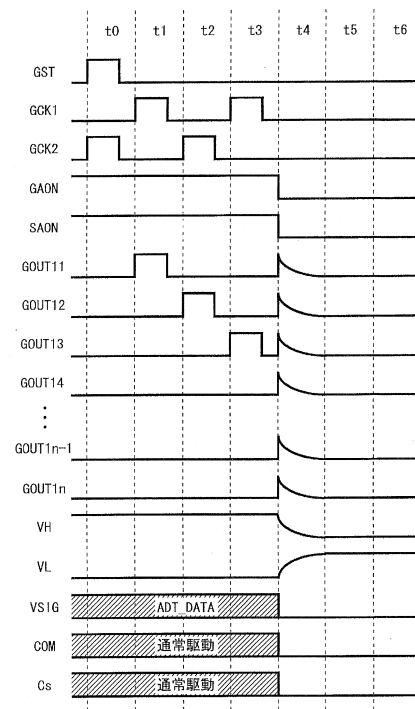
【図 32】



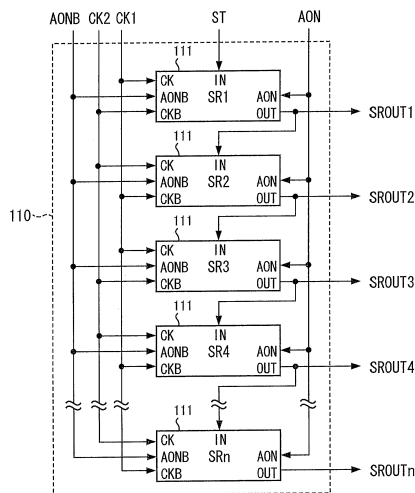
【図 3 3】



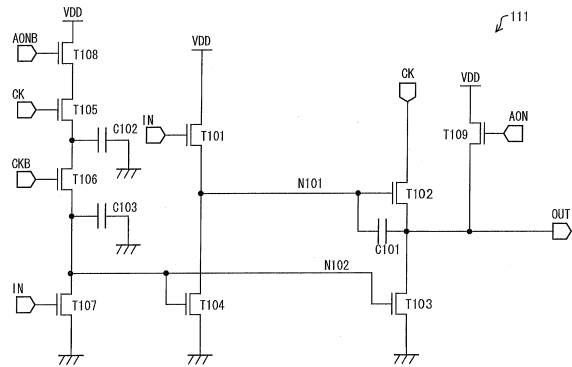
【図 3 4】



【図 3 5】



【図 3 6】





## フロントページの続き

- (51)Int.Cl. F I  
G 0 9 G 3/20 6 2 3 H  
G 0 9 G 3/20 6 2 2 G  
G 0 9 G 3/20 6 2 3 R
- (72)発明者 村上 祐一郎  
日本国大阪府大阪市阿倍野区长池町2番2号 シャープ株式会社内
- (72)発明者 山本 悦雄  
日本国大阪府大阪市阿倍野区长池町2番2号 シャープ株式会社内

審査官 堀田 和義

- (56)参考文献 国際公開第2009/084267(WO, A1)  
国際公開第2009/034749(WO, A1)  
国際公開第2009/034750(WO, A1)

- (58)調査した分野(Int.Cl., DB名)  
G 1 1 C 1 9 / 2 8  
G 1 1 C 1 9 / 0 0