



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201228093 A1

(43)公開日：中華民國 101 (2012) 年 07 月 01 日

(21)申請案號：100128428

(22)申請日：中華民國 100 (2011) 年 08 月 09 日

(51)Int. Cl.：

H01Q1/20 (2006.01)

H01Q1/38 (2006.01)

H05K1/16 (2006.01)

H01B5/14 (2006.01)

B32B15/04 (2006.01)

B32B15/20 (2006.01)

(30)優先權：2010/08/11 德國

10 2010 034 156.8

(71)申請人：O V D 綺納格拉姆有限公司 (瑞士) OVD KINEGRAM AG (CH)

瑞士

(72)發明人：愛普 莎夏 瑪利歐 EPP, SASCHA MARIO (CH)；皮德思 約翰 安東尼 PETERS, JOHN ANTHONY (CH)；荀德勒 尤里希 SCHINDLER, ULRICH (DE)

(74)代理人：陳啟舜

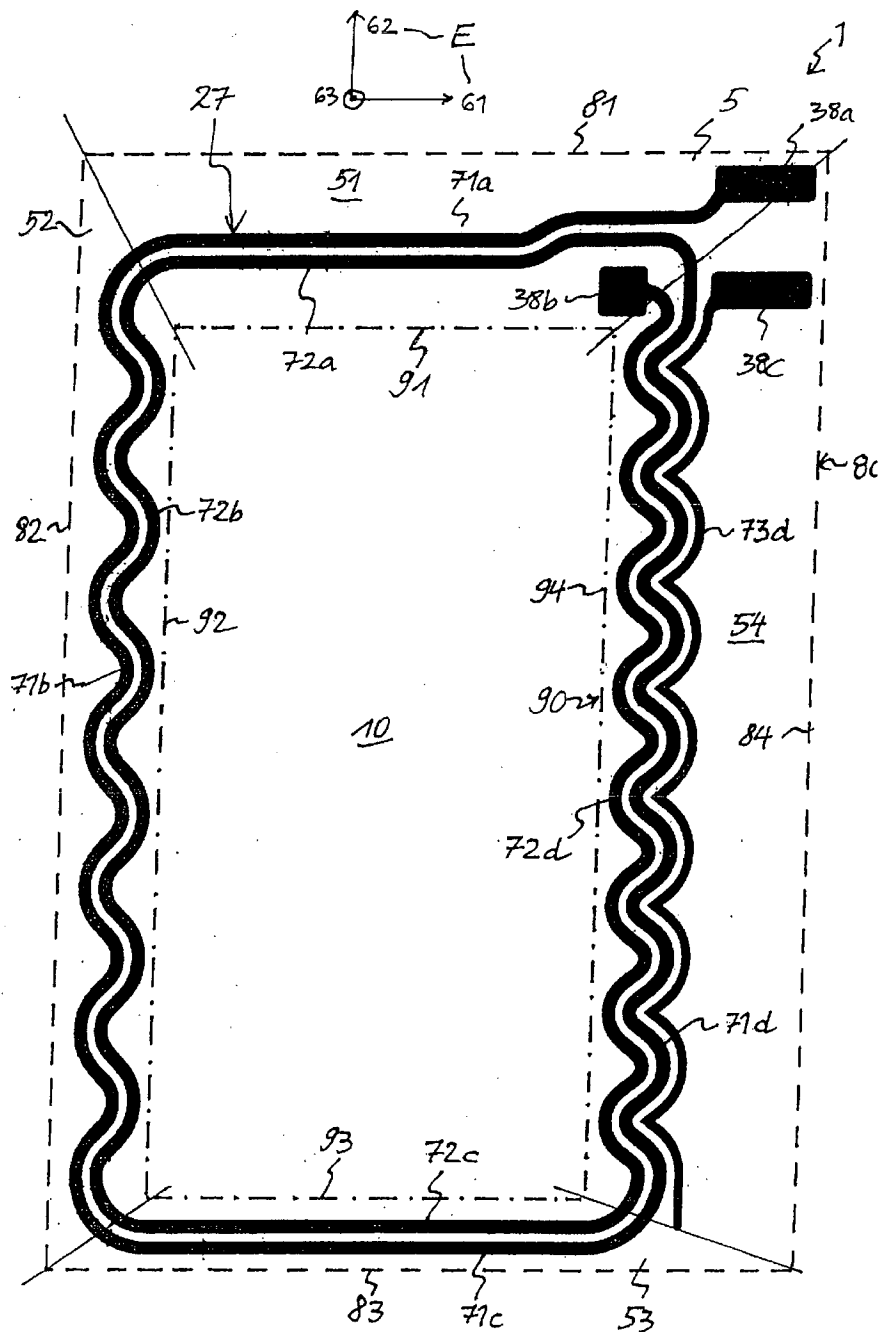
申請實體審查：無 申請專利範圍項數：17 項 圖式數：12 共 46 頁

(54)名稱

膜元件

(57)摘要

本發明涉及的是一種膜元件(1)以及這種膜元件的製造方法。膜元件(1)包括一個絕緣基層(10)、基層(10)上面至少佈置了一層導電塗層(20,30)。在這種膜元件上，其基層延伸到一個有一個 x 軸(61)、一個 y 軸(62)和一個 z 軸(63)的笛卡爾坐標系的 xy 平面(E)上。在導電塗層上膜元件(1)的一個框形區(5)內形成一個導體電路(27)。此框形區(5)由其邊(81,82,83,84)分別平行於 x 軸(61)或者 y 軸(62)的更大的、更靠外部的矩形(80)表面構成，而在此矩形(80)表面上又留置了一個更小的、更靠內部的矩形(90)，其方位和大矩形(80)一致。框形區域(5)又進一步細分為兩個走向平行於 x 軸和兩個走向平行於 y 軸的框形段(51,52,53,54)，這些框形段分別和外部矩形(80)的一個相鄰邊(81,82,83,84)並且和外部矩形(80)相鄰邊中的一條(81,82,83,84)直接相接以及和內部矩形(90)的與此平行的邊(91,92,93,94)鄰接，並將導體電路細分為導體電路段(71a 到 71d, 72a 到 72d, 73d)。在此，x 軸(61)方向和 y 軸(62)方向上的基層(10)的機械性能各不相同。如果平行於 z 軸(63)來看，至少有一個導體電路段(71a 到 71d, 72a 到 72d, 73d)其長度的 50%以上傾斜於 x 軸(61)和 y 軸(62)。



- 1：膜元件
- 5：框形區
- 10：基層
- 27：導體電路
- 38a：接觸面
- 38b：接觸面
- 38c：接觸面
- 39：接觸面
- 51：第一框形段
- 52：第二框形段
- 53：第三框形段
- 54：第四框形段
- 61：x 軸
- 62：y 軸
- 63：z 軸
- 70：線圈
- 71a：導體電路段
- 71b：導體電路段
- 71c：導體電路段
- 71d：導體電路段
- 72a：導體電路段
- 72b：導體電路段
- 72c：導體電路段
- 72d：導體電路段
- 73d：導體電路段，輔助結構
- 80：外部矩形
- 81：第一邊
- 82：第二邊
- 83：第三邊
- 84：第四邊
- 90：內部協形
- 91：第一邊
- 92：第二邊
- 93：第三邊
- 94：第四邊
- E：xy 平面



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201228093 A1

(43)公開日：中華民國 101 (2012) 年 07 月 01 日

(21)申請案號：100128428

(22)申請日：中華民國 100 (2011) 年 08 月 09 日

(51)Int. Cl.：

H01Q1/20 (2006.01)

H01Q1/38 (2006.01)

H05K1/16 (2006.01)

H01B5/14 (2006.01)

B32B15/04 (2006.01)

B32B15/20 (2006.01)

(30)優先權：2010/08/11 德國

10 2010 034 156.8

(71)申請人：O V D 綺納格拉姆有限公司 (瑞士) OVD KINEGRAM AG (CH)

瑞士

(72)發明人：愛普 莎夏 瑪利歐 EPP, SASCHA MARIO (CH)；皮德思 約翰 安東尼 PETERS, JOHN ANTHONY (CH)；荀德勒 尤里希 SCHINDLER, ULRICH (DE)

(74)代理人：陳啟舜

申請實體審查：無 申請專利範圍項數：17 項 圖式數：12 共 46 頁

(54)名稱

膜元件

(57)摘要

本發明涉及的是一種膜元件(1)以及這種膜元件的製造方法。膜元件(1)包括一個絕緣基層(10)、基層(10)上面至少佈置了一層導電塗層(20,30)。在這種膜元件上，其基層延伸到一個有一個 x 軸(61)、一個 y 軸(62)和一個 z 軸(63)的笛卡爾坐標系的 xy 平面(E)上。在導電塗層上膜元件(1)的一個框形區(5)內形成一個導體電路(27)。此框形區(5)由其邊(81,82,83,84)分別平行於 x 軸(61)或者 y 軸(62)的更大的、更靠外部的矩形(80)表面構成，而在此矩形(80)表面上又留置了一個更小的、更靠內部的矩形(90)，其方位和大矩形(80)一致。框形區域(5)又進一步細分為兩個走向平行於 x 軸和兩個走向平行於 y 軸的框形段(51,52,53,54)，這些框形段分別和外部矩形(80)的一個相鄰邊(81,82,83,84)並且和外部矩形(80)相鄰邊中的一條(81,82,83,84)直接相接以及和內部矩形(90)的與此平行的邊(91,92,93,94)鄰接，並將導體電路細分為導體電路段(71a 到 71d, 72a 到 72d, 73d)。在此，x 軸(61)方向和 y 軸(62)方向上的基層(10)的機械性能各不相同。如果平行於 z 軸(63)來看，至少有一個導體電路段(71a 到 71d, 72a 到 72d, 73d)其長度的 50%以上傾斜於 x 軸(61)和 y 軸(62)。

六、發明說明：

【發明所屬之技術領域】

本發明涉及的是一種膜元件，它帶有絕緣基層，基層上至少佈置了一層導電塗層，以及生產這種膜元件的方法。

【先前技術】

DE-B-102007030414 所述的是一種在絕緣基層，例如在 PET 薄膜上（PET=聚對苯二甲 10 酸乙二醇酯），製造導電結構的方法。其過程是首先以導體電路的形式，例如以 RFID 天線的形式（RFID=射頻識別），使用範本印刷的方法將一種導電印刷材料，例如膠合於彌散介質中的金屬顆粒，印製到基層表面形成一個導電塗層，即所謂的胚層（“seed layer”）。接著對印製的胚層進行電鍍強化以形成導電結構，方法是給包含松落的塗層金屬的電解質通電，使金屬塗層在導電塗層上分離。

眾所周知，膜元件在溫度上升時，例如在壓膜的過程中，會發生波浪捲曲，這種現象將導致嚴重的缺陷。因此 DE-A-102006029397 對一種其上面佈置安全元件的塑膠基膜進行了說明。此基膜在和另外一層塑膠薄膜壓合之後，並且在複合層冷卻之後會在安全元件範圍內產生桔皮效應，這將使安全元件的整個表面都出現波浪狀捲曲。此問題的解決方法是，在附加安全元件之前先使基膜的溫度回緩，很明顯，這樣可降低基膜的內部張力。

本發明的一個方面基於一個眾所周知的事實，即一

個工業化生產出來的塑膠膜基層通常在其構成的平面上擁有兩個突出的方向，即所謂的主鬆弛方向，在這兩個方向上基層具有非常不同的機械性能。塑膠膜上的這兩個突出方向的其中一個可以是和生產方向一致的輸送方向，薄膜在加工工程中沿著這個方向移動。塑膠膜上的另外一個突出方向的走向主要是橫向於輸送方向。一般來說主要將塑膠薄膜上的輸送方向稱為縱向或者機器方向（“Machine Direction”，簡寫為：MD），而和此相垂直的方向為橫向（“Transverse Direction”，簡寫為：TD）。在機械製造的紙張中也存在類似的情形：在紙張中輸送方向也是一個常用的參數，它主要用於調整造紙纖維，使其和造紙機的運行方向平行。塑膠膜的這種各向異性是比較普遍的，例如雙向拉伸聚丙烯薄膜，簡稱 BOPP 薄膜（BOPP= Biaxially Oriented Polypropylene）。聚丙烯薄膜的眾多特性，例如機械性能、光學性能和屏障效應，能夠通過薄膜拉伸得到優化。拉伸能產生比較明顯的分子定向，這樣薄膜就擁有各向異性的特點。傳統的膜元件包含一個絕緣基層、基層上面至少佈置了一層導電塗層，並且在導電塗層裡膜元件的一個框形區中有一個導體電路。在這種膜元件上導體電路，例如構成一個銅天線線圈的導體電路，在元件的大部分長度上都沿著主鬆弛方向。生產層壓產品或者層壓半成品時，例如生產“預層壓嵌體”（簡寫：Prelam）或者“電子護照封面”（帶 RFID 嵌體的 ID 證件封套）時，使用這種傳統膜元件將使產品產生波浪狀褶皺以致作廢（ID=身份證明）。這一波浪狀褶皺在傳統膜元件上可辨

認出來，不過一般情況下還不會產生不良影響。只有當傳統膜元件暴露於較高的溫度時，例如在溫度約達 100°C 的層壓加工過程中，此波浪狀褶皺就會變得明顯，以致於無法再忽略。在此過程中這一波浪狀褶皺可能會穿透到層壓產品的外層，並在產品外觀上形成可見的和/或者可觸摸到的、不良的波浪狀褶皺。此波浪狀褶皺對外觀的影響程度取決於基層的厚度、導電塗層的厚度和基層上導體電路的具體走向。如果基層的厚度足夠厚，大於 $300\mu\text{m}$ ，尤其是大於 $500\mu\text{m}$ 時，由於底膜有足夠的穩定性，所以不會或者只會產生微弱的、可忍受的波浪狀褶皺。但是如果基層的層厚低於 $300\mu\text{m}$ ，則波浪狀褶皺將在外觀上產生不良影響。根據基層厚度的不同，褶皺現象也會受基層上導電塗層的影響。如果和底層相比導電塗層的厚度相對較小，這樣產生的波浪褶皺也會較少，也就是說波浪狀褶皺將在較小的範圍出現。這種現象的解釋是，一個相對於基層來說比較厚的導電塗層會有比較高的機械穩定性，這樣就會在基層和導電塗層之間造成不必要的機械應力，這種應力將在層壓過程中或者層壓後在外觀上以不良的波浪狀褶皺出現。基層相對於其上面的導電塗層來說越厚並且越穩定的話，則層壓過程或者層壓後出現的褶皺也會越少。舉例來說，一個厚度大約為 $300\mu\text{m}$ ，其上面的導電塗層厚度大約 $10\mu\text{m}$ 的基層產生的褶皺是不明顯的。但是基層厚度約為 $50\mu\text{m}$ ，導電塗層厚度約為 $10\mu\text{m}$ 時，基層上產生的波浪狀褶皺就比較明顯了。對於這種現象的解釋是，基層和其上面佈置的至少一層導電塗層之間的應力狀

態，尤其是一個或者幾個導體電路之間的應力狀況，在基層中幾乎是“凍結”住的，但是在溫度升高的情況下這種應力被釋放了。在這一過程中基層的材料會產生鬆弛現象，而基層上面的導電塗層的材料卻沒有跟著鬆弛，這樣就導致了褶皺的產生。

【發明內容】

本發明的基本任務是對一種改進型膜元件以及生產這種膜元件的方法進行闡述。此任務通過一種包括一個絕緣基層的、基層上面至少佈置了一層導電塗層的膜元件得到了解決。在這種膜元件上，其基層延伸到一個有一個 x 軸、一個 y 軸和一個 z 軸的笛卡爾坐標系的 xy 平面上。在導電塗層上膜元件的一個框形區域內形成一個導體電路。此框形區域由其邊分別平行於 x 軸或者 y 軸的更大的、更靠外部的矩形表面構成，而在此矩形表面上又留置了一個更小的、更靠內部的矩形，其方位和大矩形一致。框形區域又進一步細分為兩個走向平行於 x 軸和兩個走向平行於 y 軸的框形區，這些框形區分別和較為外部的矩形的一個相鄰邊直接相接以及和較外部矩形相鄰邊中的一條直接相接，另外還和較內部矩形的平行邊鄰接，並將導體電路細分為更小的導體電路段。在此， x 軸方向和 y 軸方向上的基層機械性能各不相同，並且如果平行於 z 軸來看，至少有一個導體電路段其長度的 50% 以上傾斜於 x 軸和 y 軸。此任務由一種生產膜元件的方法進一步得到解決，其步驟為：準備一個基層，此基層延伸到一個有一個

x 軸、一個 y 軸和一個 z 軸的笛卡爾坐標系的 xy 平面，並且此基層在 x 軸和 y 軸方向上的機械性能各不相同；至少在基層的一個表面上加一層導電塗層；以及在膜元件的一個框形區的至少一個導電塗層上形成一個導體電路。此框形區域由其邊分別平行於 x 軸或者 y 軸的更大的、更靠外部的矩形表面構成，而在此矩形表面上又留置了一個更小的、更靠內部的矩形，其方位和大矩形一致。框形區域又進一步細分為兩個走向平行於 x 軸和兩個走向平行於 y 軸的框形段，這些框形段分別和較為外部的矩形的一個相鄰邊直接相接以及和較外部矩形相鄰邊中的一條直接相接，另外還和較內部矩形與此平行的邊鄰接，並將導體電路細分為導體電路段。在此，x 軸方向和 y 軸方向上的基層機械性能各不相同，並且如果平行於 z 軸來看，至少有一個導體電路段其長度的 50% 以上傾斜於 x 軸和 y 軸。一個導體電路段位於一個唯一的框形段中。即一個導體電路段歸屬於一個特定的框形段。而某個特定的框形段可以包含一個或者多個導體電路段。和傳統膜元件相比本發明所涉的膜元件的優點是，至少一個導體電路段的大部分，通常是其長度的 50% 以上，其走向都不是沿著基層的主鬆弛方向，而是沿著和它相背離的方向，也就是說和主鬆弛方向相傾斜。當符合本發明的膜元件暴露於約 100°C 或者更高的溫度範圍時，例如在層壓處理過程中，在膜元件上面佈置其他膜層或者將晶片模組和作為天線的線圈相連時，通過應用符合本發明的導體電路流程可以在膜元件上避免波浪狀褶皺的產生。因此使用符合本發明的膜元件可以避

免傳統的、帶有絕緣基層和在絕緣基層上佈置有導電結構的膜元件所帶來的問題，即依照基層厚度的不同在進一步加工過程中進行熱處理時膜元件上會產生褶皺。確切的說是導體電路上傾斜於 x 軸和 y 軸的部分構成了中和應力的元件，它們能夠平衡膜元件中存在的應力。本發明的另外一方面的特點是導體電路長度增加，此長度產生於相對於 x 軸和 y 軸主要呈傾斜走向的導體電路。如果導體電路構成的是一個天線，例如用於 RFID 標籤的應答器天線，隨著導體電路長度增長而增大的導體電路電阻就和品質因數 Q 的下降相符，品質因數 Q 也被稱為諧振電路品質或者 Q 因數（“ Q -value”）。尤其是對雙面天線來說可能有一個 $Q > 30$ 的很高的品質因數，但對於一些特定的、使用了很高的資料傳輸速度的應用來說，降低的品質因數對於通訊穩定性是很有利的。也就是說對於那些需要做出修正的，尤其是需要降低品質因數的應用來說，在尋找適合具體應用的最優天線佈局方面，符合本發明的膜元件能夠提供比傳統膜元件更高的設計自主性。在此應視為有利因素的是，符合本發明的傾斜的，例如彎曲的，導體電路佈局不會造成導體電路的電感係數發生明顯變化。符合本發明的膜元件尤其適合用於在佔用空間較小的情況下要求低生產成本的量產產品，例如 RFID 標籤、信用卡、智慧卡、護照本和類似的產品。本發明中具有優勢的設計在從屬的申請專利範圍中指出。

按照本發明的一個優選的實施例子，在至少一個導電塗層中至少將形成一個電極表面，此電極表面和導體電

路有電路連接。這個至少一個的電極表面可以用作晶片模組的接觸點和/或者作為到佈置於相對的基層平面上的電極平面的直通連接點。基層的厚度以在 12 和 250 μm 之間為佳，或者在 50 至 100 μm 之間。在此，基層最好由 PET、PET-G、PVC、PC、PP、PS、PEN、ABS 或者 BOPP 之類的合成材料薄膜，或者由合成紙或者由兩個或者多個此類薄膜層壓成的材料構成（PET-G = 含有乙二醇的 PET；PVC = 聚氯乙烯；PC = 聚碳酸酯；PP = 聚丙烯；PS = 聚苯乙烯；PEN = 聚萘二甲酸乙二醇酯；ABS = 丙烯腈-苯乙烯-丁二烯共聚物）。另外基層也有可能是多層結構，例如由一個合成材料薄膜和一個或者多個裝飾層構成。符合本發明的膜元件主要的形狀是矩形，並且 y 軸和基層較長的外形尺寸的方向一致。

導電塗層的厚度以 1 到 30 μm 之間為佳，或者在 8 到 20 μm 之間。在這裡導電塗層的厚度可以是恆定的也可以是不恆定的。在至少一層的導電塗層這一方面，所指的主要是包含或者由一種金屬導電材料組成的塗層，例如鋁、銅、銀、鉻、金或者金屬合金。另外這至少一層的導電塗層也有可能是由其他導電材料構成，或者是含有這類材料，例如導電聚合物、石墨烯或者一種透明的導電材料，例如 ITO（= 銦錫氧化物）。根據優選的本發明的一個實施例子，內部矩形的對角線交叉點和外部矩形的疊合在一起，所以相對的框形段就具有相同的寬度。在此框形中的所有框形段就可能具有相同的寬度。框形區形成了一個環繞的、封閉的回廊，此回廊主要環繞著由一個由膜元

件構成的矩形產品的對角線交叉點，例如智慧卡產品。如果至少一個的導體電路段其長度的至少 80%，最好是至少 90%，傾斜於 x 軸和 y 軸，這是種有利條件。膜元件上的褶皺和導體電路上不是沿主鬆弛方向延伸的部分呈負關聯狀態；也就是說，導體電路上傾斜於 x 軸和 y 軸的部分占導體電路總長度的比例越大，膜元件上產生的波浪狀褶皺就越少。可能會出現至少一個的導體電路段在其傾斜走向的部分裡呈波浪狀或者鋸齒狀延伸的情況，例如三角形或者鋸齒形。波浪狀或者鋸齒狀的導體電路只有較少的或者沒有電路部分，在這些部分裡導體電路沿著主鬆弛方向延伸。因此在避免膜元件出現波浪狀褶皺方面，波浪狀或者鋸齒狀延伸的導體電路具有優勢。至少一個的導體電路段也可以構成一個由很多相同的、彼此相連的單個元件組成的電路圖。如果 y 軸指向基層的機器方向，x 軸指向和此相反的基層橫向方向，這種情況是有利的。基層中的這兩個方向的特點是在基層材料中具有良好的分子定向，這種分子定向可通過 - 例如光譜學方法或者測量如雙折射或者二向色性之類的光學特性進行確定。沿著基層的機器方向和與此相反的橫向方向，機械性能顯示出彼此有明顯差異的測量值，例如彈性模數，簡稱 E-模數，抗拉強度、拉斷伸長度、拉斷伸長度或者耐衝擊強度，以及中間的熱不穩定性或者收縮性。機械性能有可能是一種形變特性例如抗壓或者抗拉強度、基層材料中的內應力或者是一種鬆弛性能，例如應力鬆弛，尤其是在熱處理的過程中溫度升高時出現的基層材料鬆弛，例如在溫度約為 100°C 的層壓

處理過程中。優先的做法是使導體帶形成一個線圈，尤其是作為電磁耦合元件，例如天線，起作用的線圈，並且線圈至少有一匝環繞著內部矩形。此線圈最好有 1 到 10 匝，或者 1 到 4 匝。而線圈的一匝分別被細分為 4 個導體電路段，每個導體電路段都分別延伸於一個框形段。

根據本發明所傾向的一個實施例子，內部矩形的一個第一邊至少為與此平行的外部矩形邊長的 50%，最好是至少 60%，並且與內部矩形第一邊垂直的內部矩形的一條邊長度至少為與此平行的外部矩形邊長的 70%，但最好是 75%。在這種情況下框形區將形成一個狹長的環繞平面帶，平面帶裡面佈置了導體電路。比較理想的是，內部矩形的一個第一邊長度在 30 到 40mm 之間並且外部矩形於此平行的一條邊長度為 45 到 55mm。另外比較理想的是，內部矩形的一條和內部矩形第一邊長度相垂直的邊長度處於 60 到 70mm 之間，並且外部矩形於此平行的一條邊長度介於 75 到 85mm。另外，如果由框形區形成的環繞平面帶寬度為 5 到 10mm，也是比較理想的。另外還可能出現這種情況，即膜元件包含了第一層導電塗層，在上面膜元件的框形區中形成第一個導體電路，以及第二個導電塗層，在上面的框形區中形成第二個導體電路。在這種結構中，基層佈置於第一和第二導電塗層之間。此外第一和第二導體電路還主要通過一個穿過基層的直通連接相連。並且第一個和第二個導體電路中至少有一個導體電路段具有前述的傾斜走向。相連的第一和第二導體電路主要將構成一個線圈，尤其是作為天線的線圈，例如 RFID 應

答器天線。

根據本發明所傾向的一個實施例子，在第一和/或者第二導電塗層中還將形成第一和第二電極表面，這兩個電極表面分別和第一和/或者第二導體電路有電路連接。在此第一和第二導體電路首先通過至少一個導電的直通連接穿過基層彼此相連並且/或者彼此以電容或者電感應方式進行耦合。通過改變相互之間的重合，例如通過將第一導體電路相對於第二導體電路進行錯位或者改變一個或者兩個導體電路的寬度，可以改變天線的電學性能，例如改變電容量 C 或者諧振頻率，借此可適應特定的應用目的。第一和第二導體電路也可能完全重合，這就相當於一個所謂的“Full Width Overlap（全寬重合）”（=FWO）。第一和第二導體電路也可能只是部分重合，相當於所謂的“Partial Width Overlap（部分寬度重合）”（=PWO）。例如第一個線圈形的導體電路可以有兩個線匝，第二個線圈形的導體電路可以有一個線匝，而第二個導體電路的線匝，平行於 z 軸來看，延伸於第一個導體電路的兩個線匝之間並且從兩邊將這兩個線匝重疊。主要為第一導體電路的導體電路主要具有 0.5 到 5mm 的寬度，或者是 1 到 2mm 的寬度。第一導體電路的寬度可能大於、等於或者小於第二導體電路的寬度。例如可以通過減少第二個導體電路的寬度來達到減少第一和第二個導體電路間重疊區的目的。通過這種方法可以改變天線的電學特性，例如電容量 C 或者諧振頻率 f ，以適應特定的應用目的。可以通過 $\{x;y\}$ 座標對確定至少一個導體電路段的走向，而此座標

對又主要由週期性結構函數 $F(x$ 或 $y)$ 定義。這一 $\{x;y\}$ 座標對來源於笛卡爾坐標系，基層就在此坐標系的 xy 平面延伸。在平行於 x 軸的框形段中至少一個導體電路段的走向由結構函數 $y=F(x)$ 定義的 $\{x;y\}$ 座標對確定。在平行於 y 軸的框形段中至少一個導體電路段的走向由結構函數 $y=F(y)$ 定義的 $\{x;y\}$ 座標對確定。在週期性結構函數 $F(x$ 或 $y)$ 中，傾向於將結構函數的週期選擇為小於具體框形段長度的兩倍，尤其是傾向於小於框形段長度的一倍。這樣，一個框形段就表示結構函數的一半週期，尤其可能表示結構函數的完整週期。框形段主要具有介於 20 mm 和 120 mm 的長度，特別傾向於使其長度介於 35 mm 和 80 mm 之間。基層機械性能的各向異性越高，就最好將週期性結構函數的週期選得越小。通過這一方法，基層機械性能的各向異性越高，至少一個具有週期性結構的導體電路段就包括更多的週期。最佳的情況是，結構性函數 $F(x$ 或 $y)$ 使至少一個的導體電路段其傾斜於 x 軸和 y 軸部分的長度總和與至少一個的導體電路段總長度的比例達到最大。最佳情況是，結構函數 $F(x$ 或 $y)$ 是一個 $y=F(x)=A*\sin(2*\pi*f*x + \varphi)$ 或者 $x=F(y)=A*\sin(2*\pi*f*y + \varphi)$ 的正弦函數，在此 A 代表振幅， f 代表頻率而 φ 代表相位角。形狀為正弦曲線的導體電路段僅在正弦曲線的最大值和最小值處平行於 x 軸或者 y 軸，也就是說只在每個週期的兩個點平行。在這種組織結構中，至少一個導體電路段其沿著主鬆弛方向延伸的部分將降低到使得基層實際產生的波浪狀褶皺最少。因此正弦曲線是導體電路的最佳走向。也可能至

少兩個導體電路段具有前述的傾斜走向，而在至少兩個導體電路段上，定義結構函數 $F(x \text{ 或 } y)$ 的參數分別具有不同數值。定義次級結構函數的參數可能是：振幅、頻率、相和結構函數 F 的形狀。對於兩個處於相同框形段中的導體電路段來說 - 在這兩個導體電路段中導體電路主要傾斜於 x 軸和 y 軸，如果兩個導體電路段的距離低於一個特定的閾值，從屬於具體導體電路段的結構函數 $F(x \text{ 或 } y)$ 的頻率或者振幅就必須彼此協調。否則導體電路段之間就可能產生一個導致短路的連接。因此可以預設使結構函數 $F(x \text{ 或 } y)$ 的頻率或者形狀持續變化，這樣在相同框形段中主要以波浪狀或者鋸齒狀延伸的導體電路段彼此間就有恆定的距離。所有平行於 x 軸的導體電路段或者所有平行於 y 軸的導體電路段可能都主要傾斜於 x 軸和 y 軸。也可能所有導體電路段都顯示出前述的傾斜走向。處於兩個不同的、平行的框形段中的兩個導體電路段可能相對於和兩個平行框形段平行的軸對稱軸或者相對於一個中心對稱點形成對稱關係。也可能兩個在不同的平行框形段中的導體電路段在很大程度上是相同的，尤其是其結構函數可能有相同的頻率、相同的振幅和相同的相位。至少一個的導體電路段的長度可能比相應的、不傾斜的導體電路段大約 0.5% 到 30%，尤其是和 x 軸或者 y 軸平行的導體電路段相比。通過使至少一個導體電路段中的導體電路，從平行於 z 軸的角度看，主要傾斜於 x 軸和 y 軸，例如走向呈波浪狀，則和傳統的、在至少一個的導體電路段中主要平行於 x 軸或者 y 軸的傳統導體電路相比，此導體電路的長度

更長。這導體電路的電阻 R 也將增加。如果在基層相對的兩個表面上，即正面和背面上，分別佈置了一個彼此重合的導體電路，即第一和第二導體電路，則兩個導體電路的絕對重疊區也將通過導體電路的傾斜走向增加。由此導體電路的電容量 C 增加。如果第一或者第二導體電路構成了一個天線或者第一和第二導體電路共同和一個天線耦合，則由於導體電路的傾斜走向天線的頻率 f 降低。按照本發明對導體電路進行結構化或者選擇導體電路的層厚，可影響構成天線的導體電路的電學特性。有可能通過增加導體電路的長度 - 此長度產生於主要呈傾斜走向的導體電路，使得在天線電感應係數基本不變的情況下提高天線容量。可以通過對兩個導體電路之間，尤其是佈置於基層兩個不同表面之上的導體電路之間的重合區進行選擇，特別是通過降低其中一個導體電路的寬度，來調整尤其是降低天線的容量。由於導體電路長度增加 - 此長度產生於主要呈傾斜走向的導體電路，而增加的天線電阻，可以通過提高導體電路的層厚，例如構建一個更厚的銅金屬層，使其重新降低。通過導體電路的傾斜走向設計，當前發明可提供多種可能性，用以調整導體電路的電學特性，尤其是由這些導體電路構成的天線的電學特性。優先使用彼此同步的方法往基層上設置和/或者構造第一和第二導電塗層。這裡的特別優勢在於，在第一步往基層的第一和第二表面分別鋪設一個劃分了結構的導電胚層，然後在一個電鍍槽中往每個胚層鋪設一層電鍍增強層。在此電鍍槽可以有幾個分槽，可以是不帶電或者帶電的，而獨立的某個分

槽可以是不帶電的而其他分槽可以是帶電的。這裡優先使用印刷方法對導電胚層進行結構劃分。例如因此可以將一種導電材料，例如導電墨水或者導電性膠，在稍後將在第一和第二導電塗層中形成第一導體電路以及第二導體電路的區域中，塗到基層的第一和第二表面上。此外也可以在第一個步驟中將導電胚層鋪設到基層的第一和第二表面，例如通過氣相噴鍍法或者作為薄金屬層通過層壓法，然後將一種耐腐蝕物質印到在第一和第二導電塗層中形成第一或者第二導體電路的區域中。緊接著在沒有覆蓋防腐蝕物質的區域使用一種腐蝕劑，例如強鹼，將胚層移除，再接著將抗腐蝕物質也移除。此外還可以通過在胚層上全面印一層腐蝕劑或者在鋪設胚層之前先印刷上一層洗淨掩膜來對胚層進行結構劃分；或者在導電胚層上，在第一和第二導電塗層不形成導電區的區域內印製一個絕緣隔離層，此隔離層將阻止電鍍增強層在此區域產生電鍍積聚。劃分好結構後的胚層也可以，例如直接進行層壓或者熱衝壓或者冷衝壓。在這裡塗鍍導電印刷材料、防腐蝕層、腐蝕劑和絕緣隔離層時，最好使用兩個彼此同步的印刷設備，一個印刷設備印製基層的第一平面，而第二個印刷設備印製對面的基層第二平面。在此最好將印刷設備安置於彼此相對的基層的不同面上，並且通過機械或者電力手段或者通過借助感測器在印刷設備上檢測到的規矩線在基層上彼此連接，以便兩個設備精確地按照規矩線，也就是說位置精確地進行作業。而在印製方法方面，這裡優先選擇使用凹版印刷、膠版印刷、絲網印刷、移印或者噴墨印刷。通過這

些方法一方面是可以達到對第一和第二導電塗層進行彼此位置精確的結構劃分，此外可以在同一個電鍍工序中同時製作第一和第二導電塗層的電鍍增強層，這樣可以降低生產成本和生產時間，另外還可以在不增加額外花費的情況下一起製作通過基層和導電塗層進行連接的直通連接，並且減少為此所需的工藝步驟。

【實施方式】

為讓本發明之上述及其他目的、特徵及優點能更明顯易懂，下文特舉本發明之較佳實施例，並配合所附圖式，作詳細說明如下：

請閱第 1 圖所示，傳統膜元件的導體電路。a) 部分是傳統膜元件的一個第一導體電路 27 的俯視圖，b) 部分是傳統膜元件的一個第二導體電路 37 的俯視圖，而 c) 部分是傳統膜元件第一和第二導體電路的重合俯視圖。第一導體電路 27 被佈置於圖示上沒有繪製出來的基層的一個第一表面上，此基層沿著一個有 x 軸 61、y 軸 62 和 z 軸 63 的笛卡爾坐標系的 xy 平面 E 延伸。第二個導體電路 37 被佈置於基層的和第一表面相對的一個第二表面上。而第一和第二導體電路 27、37 的佈置方式，如 c) 部分所示，使它們遵照 PWO 天線設計的要求重疊在一起。在基層的第一表面上佈置了第一批接觸面 28，這些接觸面和第一導體電路 27 有著電路連接。在基層的第二表面上佈置了第二批接觸面 38，它們和第二導體電路 37 有電路連接。第一批和第二批接觸面 28、38 作為穿過基

層的直通連接的端面起作用，以便在第一導體電路 27 和第二導體電路 37 之間建立電路連接或者作為和晶片模組連接的接觸點，以便在晶片模組和第一導體電路 27 和/或第二導體電路 37 之間建立電路連接。

請參閱第 4 圖所示，一個多層的膜元件 1，帶有一個基層 10、一個佈置在基層的一個第一表面的導電塗層 20、一個覆蓋了第一導電塗層 20 的第一裝飾層 41、一個佈置於第一裝飾層 41 上的第一保護層 43、一個佈置於基層 10 的一個第二表面的第二導電塗層 30、一個覆蓋了第二導電塗層 30 的第二裝飾層 42 和一個佈置於第二裝飾層 42 上面的第二保護層 44。基層 10 由一層塑膠膜構成，但最好是由 PET、PET-G、PVC、ABS、聚碳酸酯或者 BOPP 薄膜，或者由合成紙或者由兩個或者多個此類薄膜層壓成的材料構成，在此，此類薄膜的厚度介於 12 和 250 μm ，最好是介於 50 和 100 μm 。在此基層 10 最好由一種透明的塑膠膜構成。保護層 43 和 44 指的是厚度為 1 到 5 μm 的保護漆層。但是保護層 43 和 44 也可能為一種塑膠薄膜、合成紙或者一種由二者層壓成的厚度介於 12 和 100 μm 之間，最好是 50 μm 的薄膜。裝飾層 41 和 42 在最簡單的情況下，至少在部分區域中指的是有固定圖例的色漆層。但是裝飾層 41 和 42 也可能表現出一種或多種可作為安全特性的光學變化效果。因此裝飾層 41 和 42 也可能-例如由一種接合劑以及和接合劑混合的具有光學活躍效果的顏料構成，尤其是如金屬顏料和/或者薄膜層顏料和/或者液晶顏料，或者可由 UV 或者 IR 活化的發光顏

料 (UV=紫外線; IR=紅外線)。即使在這種情況下, 裝飾層 41 和 42 最好還是依照固定圖例進行構造並且具有不同的顯示效果。導電塗層 20 和 30 涉及的主要是由金屬導電材料組成或者包含這些材料的塗層或者多層結構, 導電材料舉例: 鋁、銅、銀、鉻、金或者金屬合金。另外導電塗層 20 和 30 也有可能由其他導電材料組成或者包含這些材料, 例如具有導電性能的聚合物或者透明的導電材料, 例如 ITO。

請參閱第 1、2、3 及 4 圖所示, 進行解釋導電塗層 20 和 30 的製造及其佈置設計。製造導電塗層的第一步是先沿著 xy 平面 E 延伸的基層 10 上鋪設一個導電胚層。圖示 2 顯示的就是基層 10, 在其一個表面上佈置了胚層 21, 在其相對的另外一個表面上佈置了胚層 31。這裡胚層 21 和 31 主要由一種導電印刷材料構成, 例如包含金屬微粒, 尤其是銀金屬微粒或者鐵金屬微粒, 的導電墨水或者導電性膠。這裡通過一種印刷方法將胚層 21 和 31 印到基層 10 上, 優先採用凹版印刷方法, 塗層厚度控制在 0.5 和 5 μm 之間, 印刷好後進行乾燥處理。胚層 21 和 31 的印刷工作最好還是通過兩個同步的印刷設備進行, 其中的一個印刷設備安放在基層 10 的一面上, 第二個印刷設備安放到和第一個印刷設備相對的基層 10 的另外一面上。兩個印刷設備通過印刷設備的機械連接進行同步, 或者通過相應的電子連接進行, 也就是說通過交換同步資料進行同步。通過這些步驟, 一方面在印刷胚層 21 和 31 時可以實現很高的位置精度, 另一方面可以達到很高的生

產速度。乾燥後的胚層 21 和 31 厚度最好為 0.3 到 $3\mu\text{m}$ 。在第二個步驟中包含基層 10 和胚層 21 和 31 的膜體被輸送至一個電鍍站，這裡將通過帶電的電鍍流程在設計了導電胚層 21 和 31 的區域中沉積一個電鍍增強層。在這裡導電胚層 21 和 31 通過電極進行接觸並被施加了一個電勢，這樣如圖示 3 所示，電鍍槽的電解液就將往胚層 21 和 31 沉積電鍍增強層 22 以及 32。電鍍增強層 32 和 22 的沉積最好平行地在同一個電解槽中進行，如上文所述這樣可帶來其他的優點。電鍍增強層 22 和 32 最好由一種和胚層 21 和 31 的導電材料不同的金屬材料構成。電鍍增強層 22 和 32 的層厚最好是介於 0.7 和 $25\mu\text{m}$ 之間，這樣導電塗層 20 和 30 的整體厚度才能保持在 1 和 $30\mu\text{m}$ 之間。進行完清潔和乾燥程式之後開始鋪設裝飾層 41 和 42 以及保護漆層 43 和 44，然後將膜元件和安全文檔的一個其他部分進行整合，或者先通過衝壓或者切割工藝分成獨立單元。但是也可以放棄鋪設層 41、42、43 和 44 中的一層或者數層。在這裡導電塗層 20 和 30 的形成通過圖示 2 說明的印刷過程進行控制。圖示 1a 在這裡原則上解釋了由此實現的導電塗層 20 的形成，而圖示 1b 解釋了由此實現的導電塗層 30 的形成。和圖示 1c 的 PWO 天線設計相反，圖示 2 到 4 的截面圖顯示了按照 FWO 天線設計導體電路 20 和 30 的彼此排列格局，在此導體電路 30 的寬度小於導體電路 20 的寬度。圖示 5 顯示了一個沿著笛卡爾坐標系的 z 軸 63 投射到符合本發明的膜元件 1 的俯視圖，此坐標系有 x 軸 61、 y 軸 62 和 z 軸 63。膜元件 1 包

含了一個和坐標系 xy 平面 E 平行的基層 10。基層 10 的方位佈置使得 x 軸 61 方向和 y 軸 62 方向上的機械性能，例如基層 10 的 E 模組，各不相同。此外膜元件 1 還包括了一個佈置於基層 10 的一個第一表面上 - 例如一個正面上 - 的導體電路 27。導體電路 27 形成於膜元件 1 的一個框形區 5，此框形區由更大的外部矩形 80 的表面構成，矩形 80 由邊界虛線表示，有兩條平行於 x 軸 61 的邊 81、83 和兩條平行於 y 軸 62 的邊 82、84。而從矩形 80 的表面中又留置了一個更小的內部矩形 90，由帶點的邊界虛線表示，其方位和外部矩形 80 一樣。膜元件 1 還包含了佈置於基層 10 第一表面的接觸面 38a、38b、38c，這些連接面以直通連接面或者所謂的焊盤的形式用於佈置和導體電路 27 有電路連接的電子元件，例如晶片模組。接觸面 38a、38b、38c 都和導體電路 27 有電流連接。框形區 5 細分為兩個平行於 x 軸 61 的框形段 51、53 和兩個平行於 y 軸 62 的框形段 52、54，這些框形段分別和外部矩形 80 的一條邊 81、82、83、84 以及和外部矩形 80 的邊 81、82、83、84 中的一條直接相連，並且和與此平行的內部矩形 90 的邊 91、92、93、94 相鄰接。導體電路 27 為線圈形狀，而線圈包括了一個第一線匝 71、一個第二線匝 72 和一個輔助接觸結構 73d。輔助接觸結構 73d（“輔助線”）可用於增強和輔助接觸結構 73d 相連的接觸面 38c 的電學特性。框形段 51、52、53、54 將導體電路 27 劃分為導體電路段 71a 到 71d，72a 到 72d 和 73d。這樣導體電路段 71a 和 72a 就附屬於一個第一框形段

51，導體電路段 71b 和 72b 就附屬於一個第二框形段 52，導體電路段 71c 和 72c 就附屬於一個第三框形段 53，導體電路段 71d、72d 和 73d 就附屬於一個第四框形段 54。從平行於 z 軸 63 的角度來看，導體電路段 71b、72b、71d、72d、73d 長度的 50%以上傾斜於 x 軸 61 和 y 軸 62。導體電路段 71b 和 72b 都呈波浪狀走向，有相同並恆定的週期、相同並恆定的振幅、相同的相位和彼此保持恆定的距離。在此，波浪狀走向在波峰和緊接著的波谷之間變化。導體電路段 71b 和 72b 的波浪狀走向有相同的週期，兩個走向之間保持恆定的距離。波浪形一共有約 6 個週期。在此，波浪狀走向在波峰和緊接著的波谷之間變化。導體電路段 71d 和 72d 的走向主要還是和相對著的導體電路段 71b 和 72b 的走向一樣，只是在涉及一個和 y 軸 62 平行的鏡像軸時才呈鏡像對稱走向。導體電路段 73d 和導體電路段 71b、72b、71d 和 72d 一樣呈波浪狀走向，有恆定的振幅、相同的週期和相同的相位，但是有不一樣的波浪形狀。從 z 軸 63 方向看，圖示 6 的 a) 部分為依照圖示 5 所做的第一導體電路 27 的俯視圖。以和 a) 部分相同的視角來看，圖示 6 的 b) 部分為第二導體電路 37 的俯視圖，此導體電路佈置於基層 10 的一個第二平面上，例如背面。第二導體電路 37 被框形段 51 到 54 分割成導體電路段 74a 到 74d。第二導體電路 37 在導體電路段 74b 到 74d 中分別具有約 6 個波浪狀週期。除了第二導體電路 37 之外，基層 10 上面還佈置著接觸面 39a、39b 和 39c，其中只有 39b 和 39c 與第二導體電路 37 有電路

連接。以和 a) 部分及 b) 部分相同的視角來看，圖示 6 的 c) 部分為第一導體電路 27 和第二導體電路 37 的重疊俯視圖，重疊方式和它們在基層 10 上的排列一樣。由於導體電路 27、37 在框形段 51 到 54 中有相似的曲線走向，所以導體電路 27、37 位置精確地重疊在一起，但只是部分重疊，導體電路 37 的面分別有部分和兩個相鄰的導體電路 27 的面以及和這兩個導體電路間的間隙重疊（部分寬度重合 = PWO）。

請參閱第 7、8、9、10、11 及 12 圖所示，按照第 6 圖的表現方式展示了導體電路 27、37 的其他樣式。這些樣式之間的差別都總結到了表格 1 中，表格中也包含了和圖示 1 的傳統膜元件對比的對比值。表格裡的測量值涉及第一導體電路 27 和第二導體電路 37 的重疊，重疊符合圖示 1 和 7 到 12 的 c) 部分。其中一個天線的測量值指的是由第一和第二導體電路耦合形成的天線。

表格一

		圖示 1	圖示 7	圖示 8	圖示 9	圖示 10	圖示 11	圖示 12
1	厚度	10	10	10	10	10	10	10
2	對稱性	S	AS	AS	S	S	AS	S
3	頻率	17.4	16.58	16.99	16.81	17.86	18.28	17.19
4	阻抗	1	1.47	1.53	1.73	1.13	1.07	1.40
5	Q 因數	56	34	28	28	51	57	36
6	電感係數	2.426	2.411	2.356	2.396	2.367	2.337	2.385
7	振幅	0	100	100	100	100	100	100
8	波浪形，上面	0	3	3.5	3	0.75	0.75	2
9	波浪形，	0	4	4	4	1	1	3

	下面							
10	波浪形， 左邊	0	6	8	8	2	2	6
11	波浪形， 右邊	0	8	7.5	8	2	1.5	6
12	級別，波 浪形	7	2	3	1	5	6	4
13	級別，頻 率	5	1	3	2	6	7	4
14	級別，阻 抗	7	3	2	1	5	6	4
15	級別，Q 因數	5	2	1	1	4	6	3
16	長度	100	112.95	115.16	115.20	101.02	100.85	108.60
17	級別，長 度	7	3	2	1	5	6	4

第 1 行中的厚度為電鍍銅-導體電路的厚度，單位為 μm 。

第 2 行中的對稱性數值表示，在相對的框形段中導體電路段是互相對稱 (=S) 還是不互相對稱 (=AS)。

第 3 行中的頻率表示天線的諧振頻率 f ，數值單位為 MHz。

第 4 行中的阻抗表示天線的電阻，單位為 Ohm。

第 5 行中的 Q 因數表示天線的品質因數。

第 6 行中的電感係數表示天線的電感係數，單位為 μH 。

第 7 行中的振幅為波浪形狀的振幅，單位為百分比。

第 8 行中的“波浪形，上面”指的是上面框形段中

波浪形起伏的數量（＝週期數）。

第 9 行中的“波浪形，下面”指的是下面框形段中波浪形起伏的數量（＝週期數）。

第 10 行中的“波浪形，左邊”指的是左邊框形段中波浪形起伏的數量（＝週期數）。

第 11 行中的“波浪形，右邊”指的是右邊框形段中波浪形起伏的數量（＝週期數）。

第 13 行中的值“級別，頻率”指的是天線諧振頻率 f 的級別，單位為 MHz。頻率最高的天線獲得最大的值。

第 14 行中的值“級別，阻抗”指的是所述天線電阻的級別。阻抗最高的天線獲得最大的值。

第 15 行中的值“級別，Q 因數”指的是所述天線品質因數的級別。品質因數最高的天線獲得最大的值。

第 16 行中的長度指的是天線的百分比長度。

第 17 行中的值“級別，長度”指的是所述天線的長度級別。長度最小的天線獲得最大值。

雖然本發明已利用上述較佳實施例揭示，然其並非用以限定本發明，任何熟習此技藝者在不脫離本發明之精神和範圍之內，相對上述實施例進行各種更動與修改仍屬本發明所保護之技術範疇，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

【圖式簡單說明】

第 1 圖：一個傳統膜元件的一個第一導體電路、一個第二導體電路和第一和第二導體電路重合區的俯視圖。

第 2 到 4 圖：膜體的不完全按照比例製作的斷面圖示，用以解釋製造符合本發明的多層膜元件的方法。

第 5 圖：一個按照符合本發明的膜元件的第一實施例子製作的導體電路的俯視圖。

第 6 圖：依照本發明的第一實施例子：符合圖示 5 的導體電路俯視圖、一個第二導體電路俯視圖和第一與第二導體電路重合部分的俯視圖。

第 7 到 12 圖：依照本發明的其他實施例：一個導體電路俯視圖、一個第二導體電路俯視圖和第一與第二導體電路重合部分的俯視圖。

【主要元件符號說明】

〔本發明〕

1	膜元件	10	基層
20	第一導電塗層	21	胚層
22	增強層	27	導體電路
28	接觸面		
30	第二導電塗層	31	胚層
32	增強層	37	導體電路
38	接觸面	39	接觸面
41	裝飾層	42	裝飾層

43	保護漆層	44	保護漆層
5	框形區		
51	第一框形段	52	第二框形段
53	第三框形段	54	第四框形段
61	x 軸	62	y 軸
63	z 軸		
70	線圈		
71a	導體電路段	71b	導體電路段
71c	導體電路段	71d	導體電路段
72a	導體電路段	72b	導體電路段
72c	導體電路段	72d	導體電路段
73d	導體電路段，輔助結構		
74a	導體電路段	74b	導體電路段
74c	導體電路段	74d	導體電路段
80	外部矩形		
81a	第一邊	81b	第二邊
81c	第三邊	81d	第四邊
90	內部協形		
91a	第一邊	91b	第二邊
91c	第三邊	91d	第四邊
E	xy 平面		

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：100128428

※申請日：2011.8.9

※IPC 分類：

一、發明名稱：(中文/英文)

膜元件

二、中文發明摘要：

本發明涉及的是一種膜元件 (1) 以及這種膜元件的製造方法。膜元件 (1) 包括一個絕緣基層 (10)、基層 (10) 上面至少佈置了一層導電塗層 (20, 30)。在這種膜元件上，其基層延伸到一個有一個 x 軸(61)、一個 y 軸(62) 和一個 z 軸(63)的笛卡爾坐標系的 xy 平面 (E) 上。在導電塗層上膜元件 (1) 的一個框形區 (5) 內形成一個導體電路 (27)。此框形區 (5) 由其邊 (81, 82, 83, 84) 分別平行於 x 軸 (61) 或者 y 軸 (62) 的更大的、更靠外部的矩形 (80) 表面構成，而在此矩形 (80) 表面上又留置了一個更小的、更靠內部的矩形 (90)，其方位和大矩形 (80) 一致。框形區域 (5) 又進一步細分為兩個走向平行於 x 軸和兩個走向平行於 y 軸的框形段 (51, 52, 53, 54)，這些框形段分別和外部矩形 (80) 的一個相鄰邊 (81, 82, 83, 84) 並且和外部矩形 (80) 相鄰邊中的一條 (81, 82, 83, 84) 直接相接以及和內部矩形 (90) 的與此平行的邊 (91, 92, 93, 94) 鄰接，並將導體電路細分為導體電路段

H01B 1/20 (2006.01)

H01B 1/38 (2006.01)

H05K 1/16 (2006.01)

H01B 5/14 (2006.01)

B32B 15/04 (2006.01)

B32B 15/20 (2006.01)

(71a 到 71d, 72a 到 72d, 73d)。在此, x 軸 (61) 方向和 y 軸 (62) 方向上的基層 (10) 的機械性能各不相同。如果平行於 z 軸 (63) 來看, 至少有一個導體電路段 (71a 到 71d, 72a 到 72d, 73d) 其長度的 50% 以上傾斜於 x 軸 (61) 和 y 軸 (62)。

三、英文發明摘要：

七、申請專利範圍：

- 1、膜元件包括一個絕緣基層、基層上面至少佈置了一層導電塗層，在這種膜元件上，其基層延伸到一個有一個 x 軸、一個 y 軸和一個 z 軸的笛卡爾坐標系的 xy 平面上，在導電塗層上膜元件的一個框形區內形成一個導體電路，此框形區域由其邊分別平行於 x 軸或者 y 軸的更大的、更靠外部的矩形表面構成，而在此矩形表面上又留置了一個更小的、更靠內部的矩形，其方位和大矩形一致，框形區域又進一步細分為兩個走向平行於 x 軸和兩個走向平行於 y 軸的框形段，這些框形段分別和外部矩形的一個相鄰邊並且和外部矩形相鄰邊中的一條直接相接以及和內部矩形的與此平行的邊鄰接，並將導體電路細分為導體電路段，在此，x 軸方向和 y 軸方向上的基層的機械性能各不相同，並且如果平行於 z 軸來看，至少有一個導體電路段長度的 50% 以上傾斜於 x 軸和 y 軸。
- 2、申請專利範圍第 1 項中所述的膜元件，其特點是，至少一個導體電路段之長度的至少 80%，最好是至少 90%，傾斜於 x 軸和 y 軸。
- 3、申請專利範圍第 1 或者第 2 項所述的膜元件，其特點是，至少一個導體電路段在其傾斜走向的部分中呈波浪狀或者鋸齒狀。
- 4、之前申請專利範圍其中一項所述的膜元件，其特點是，y 軸表示基層的機器方向，x 軸表示橫向於機器方向的基層橫向方向。

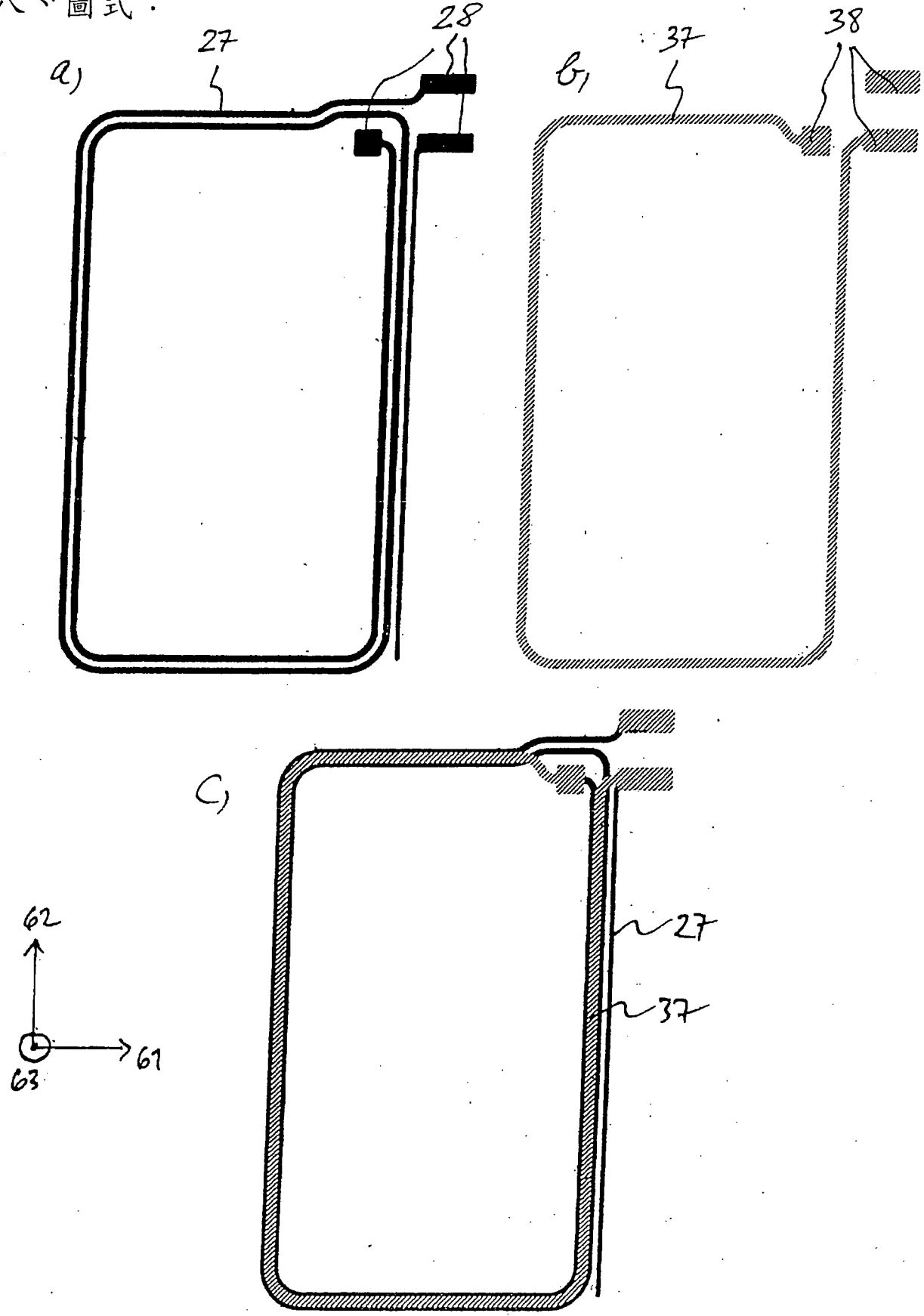
- 5、之前申請專利範圍其中一項所述的膜元件，其特點是，機械性能是一種形變特性、一種內應力或者一種鬆弛特性。
- 6、之前申請專利範圍其中一項所述的膜元件，其特點是，內部矩形的一條第一邊之長度至少為外部矩形與此平行的邊之長度的 50%，最好是至少 60%，並且，和內部矩形第一邊垂直的內部矩形邊長度至少為與此平行的外部矩形的邊之長度的 70%，最好是至少 75%。
- 7、之前申請專利範圍其中一項所述的膜元件，其特點是，此膜元件包含第一導電塗層，在這個塗層中在膜元件的框形區內形成第一導體電路，還包含第二導電塗層，在這個塗層中在框形區內形成第二導體電路，而基層就佈置於第一和第二導電塗層之間；第一和第二導體電路彼此連接形成一個天線結構，並且第一和第二導體電路中至少有一個導體電路段具有前述的傾斜走向。
- 8、之前申請專利範圍其中一項所述的膜元件，其特點是，至少一個導體電路段的走向可以用 $\{x;y\}$ 座標對進行描述，此座標對由結構函數 $F(x \text{ 或 } y)$ 定義。
- 9、之前申請專利範圍第 8 項所述的膜元件，其特點是，結構函數 $F(x \text{ 或 } y)$ 使得至少一個導體電路段傾斜於 x 軸和 y 軸的部分長度總和與至少一個導體電路段之總長度的比例達到最大。
- 10、之前申請專利範圍第 8 或 9 項所述的膜元件，其特點

是，結構函數 $F(x \text{ 或 } y)$ 是一個 $y=F(x)=A*\sin(2*\pi*f*x + \varphi)$ 或者 $x=F(y)=A*\sin(2*\pi*f*y + \varphi)$ 的正弦函數，在此 A 代表振幅， f 代表頻率而 φ 代表相位角。

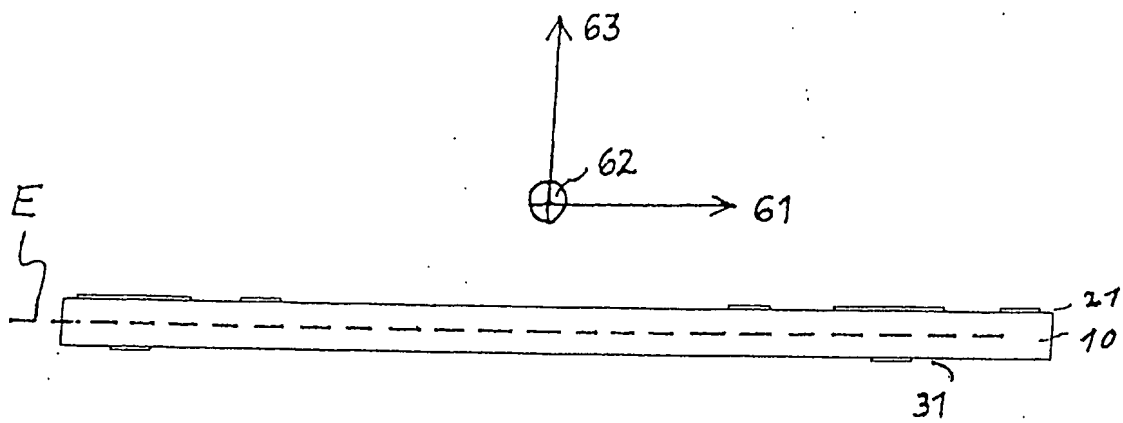
- 11、之前申請專利範圍第 8、9 或 10 項所述的膜元件，其特點是，至少兩個導體電路段具有前述的傾斜走向，而至少一個對結構函數 $F(x \text{ 或 } y)$ 進行定義的參數在至少兩個導體電路段中分別具有不同的值。
- 12、之前申請專利範圍第 11 項所述的膜元件，其特點是，定義次級結構函數的參數是：振幅、頻率、相、形狀。
- 13、之前申請專利範圍其中一項所述的膜元件，其特點是，所有平行於 x 軸的導體電路段或者所有平行於 y 軸的導體電路段都具有前述的傾斜走向。
- 14、之前申請專利範圍其中一項所述的膜元件，其特點是，所有的導體電路段都具有前述的傾斜走向。
- 15、之前申請專利範圍其中一項所述的膜元件，其特點是，處於兩個平行的框形段中的兩個導體電路段相對於和兩個平行框形段平行的軸對稱軸或者相對於一個中心對稱點形成對稱關係。
- 16、之前申請專利範圍其中一項所述的膜元件，其特點是，至少一個導體電路段的長度比相應的、不傾斜的導體電路段長約 0.5% 到 30%。
- 17、製造膜元件的方法，包括以下步驟：準備一個絕緣基層，此基層延伸到一個有一個 x 軸、一個 y 軸和一個 z 軸的笛卡爾坐標系的 xy 平面並且此基層在 x 軸和 y

軸方向上的機械性能各不相同；至少在基層的一個表面上加一層導電塗層；以及在膜元件的一個框形區的至少一個導電塗層上形成一個導體電路，此框形區域由其邊分別平行於 x 軸或者 y 軸的更大的、更靠外部的矩形表面構成，而在此矩形表面上又留置了一個更小的、更靠內部的矩形，其方位和外部大矩形一致，框形區域又進一步細分為兩個走向平行於 x 軸和兩個走向平行於 y 軸的框形段，這些框形段分別和較為外部的矩形的一個相鄰邊直接相接以及和較外部矩形相鄰邊中的一條直接相接，另外還和與此平行的較內部矩形的邊鄰接，並將導體電路細分為導體電路段，使得如果平行於 z 軸來看，至少有一個導體電路段之長度的 50% 以上傾斜於 x 軸和 y 軸。

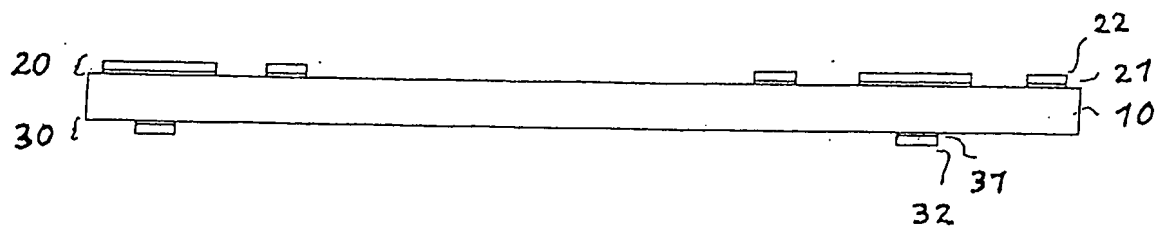
八、圖式：



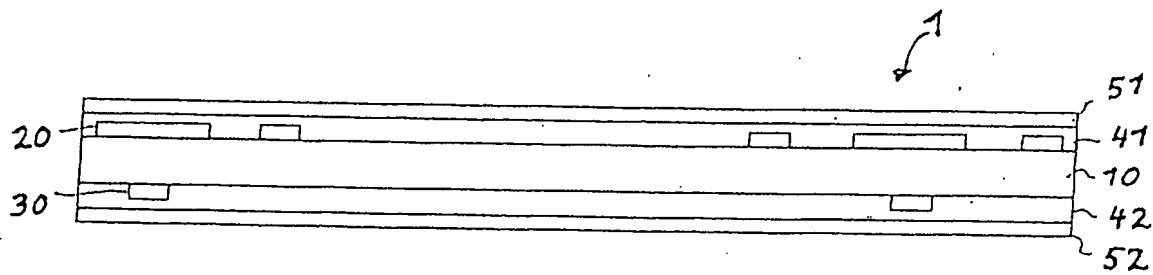
第 1 圖



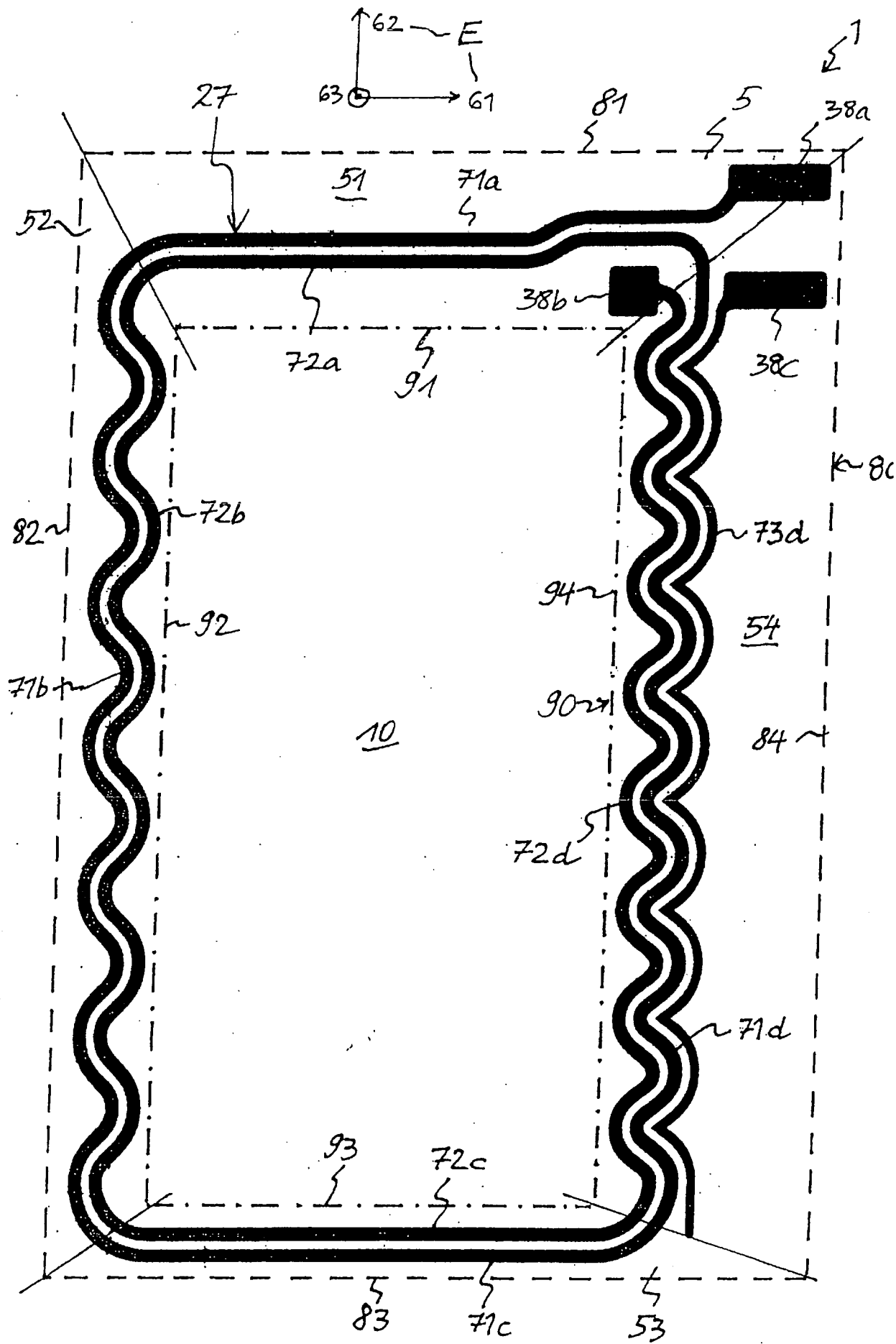
第 2 圖



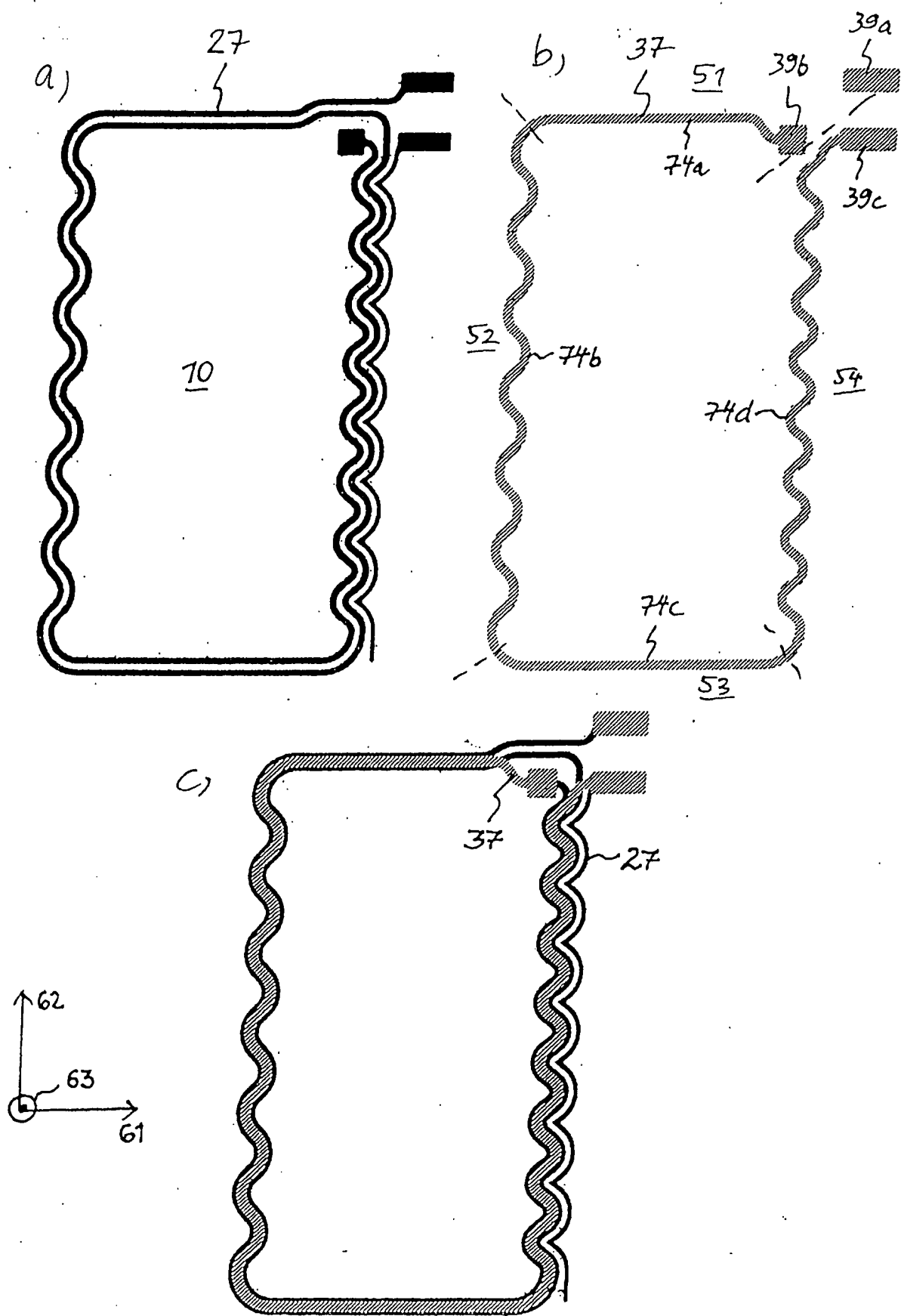
第 3 圖



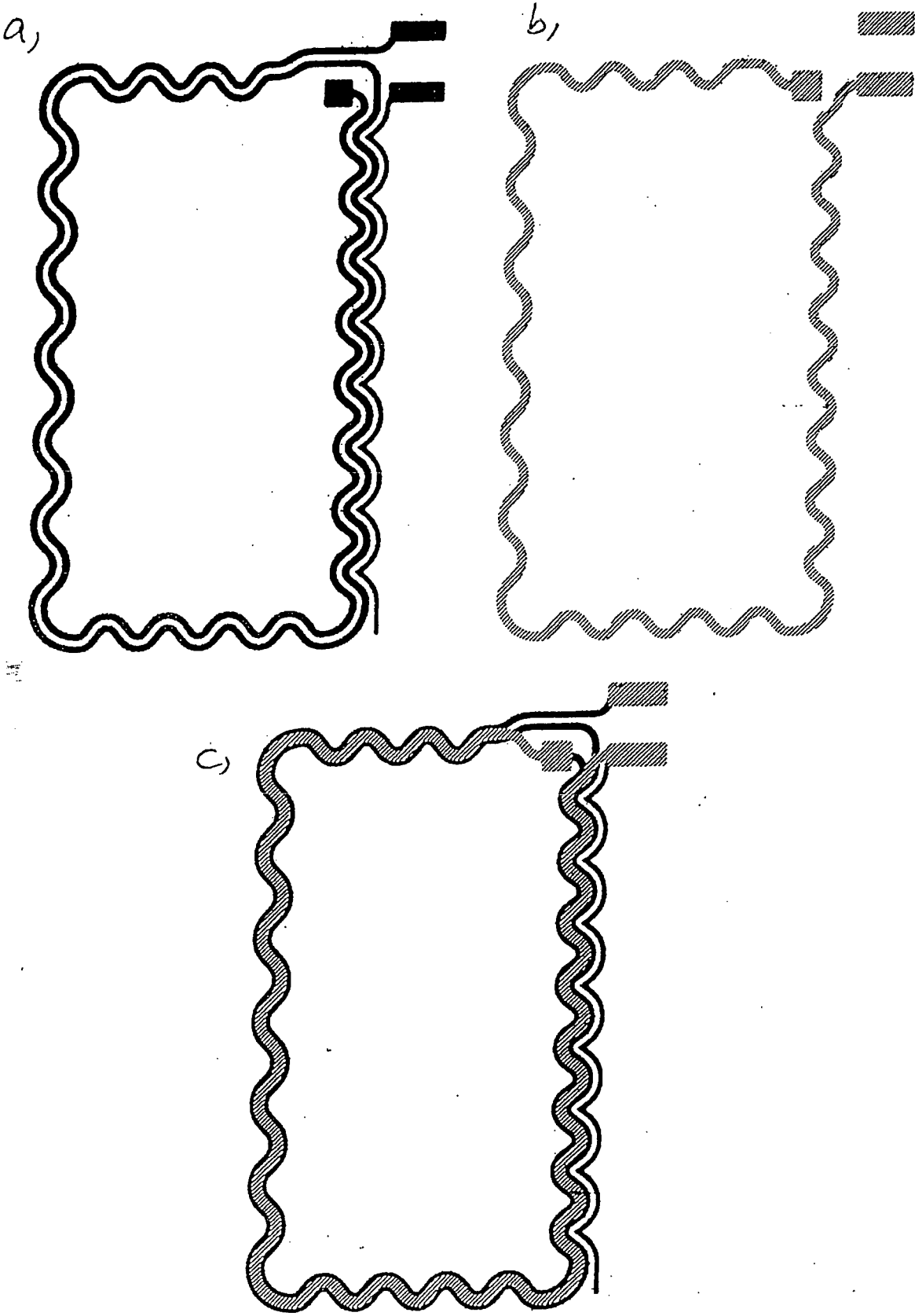
第 4 圖



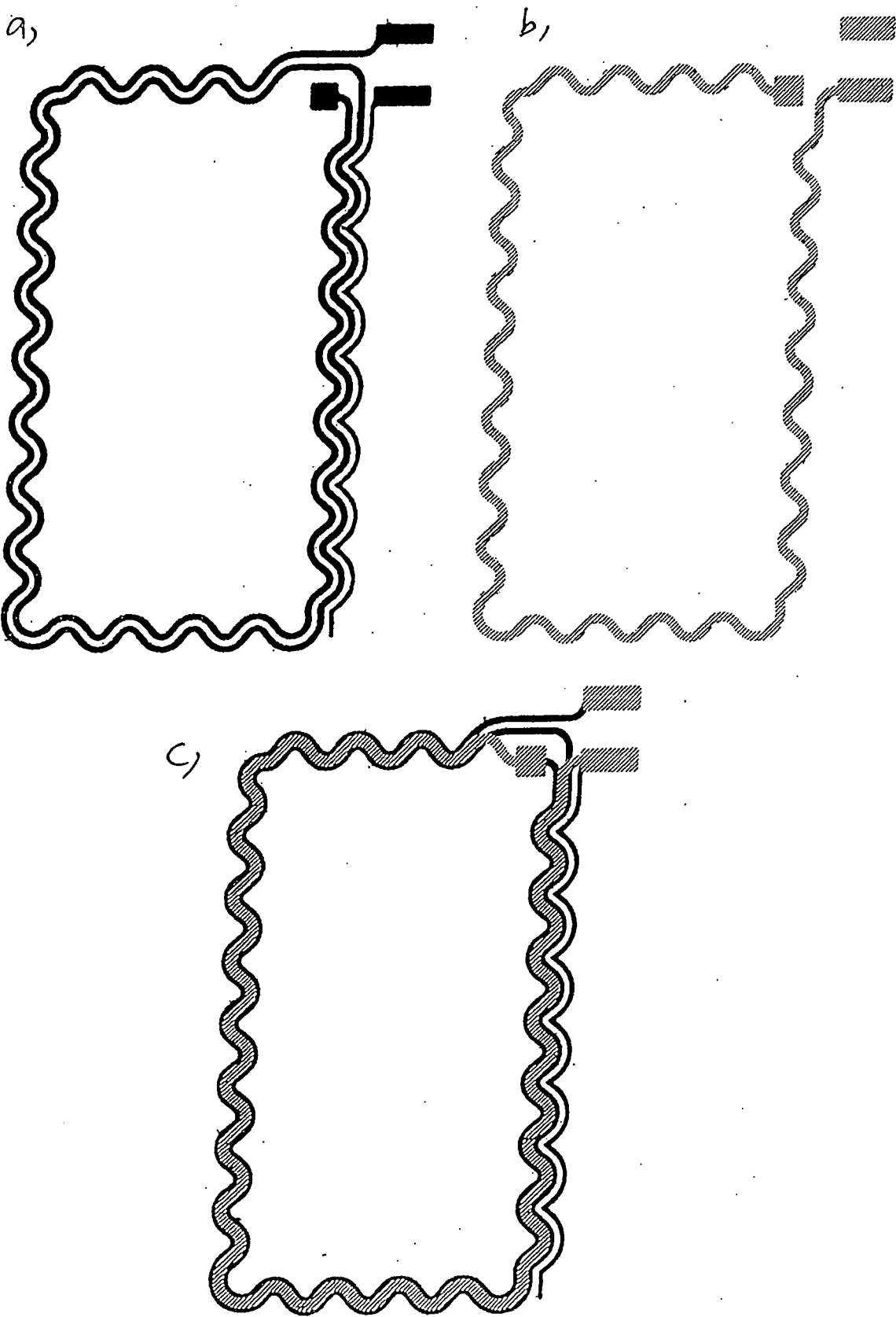
第 5 圖



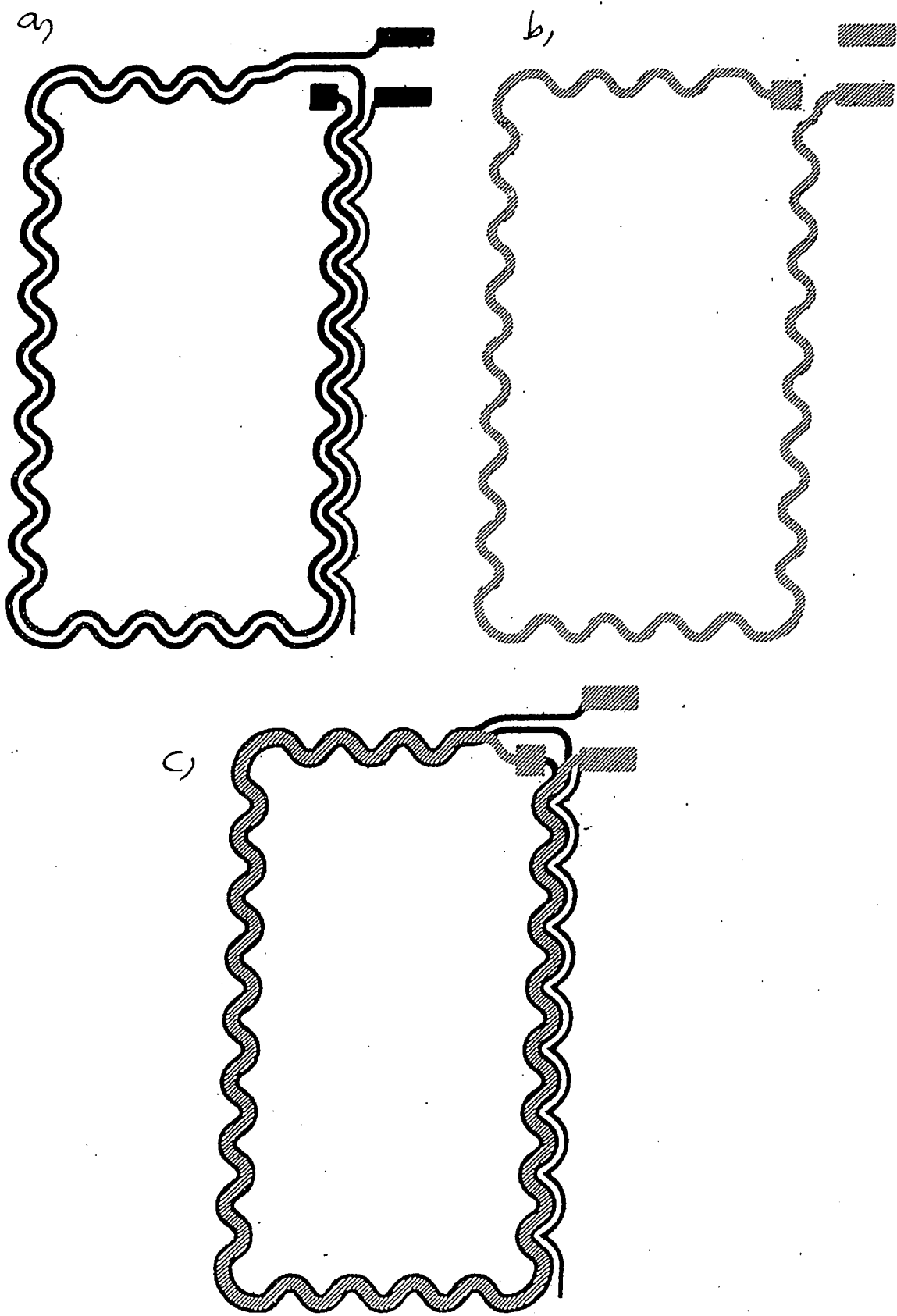
第 6 圖



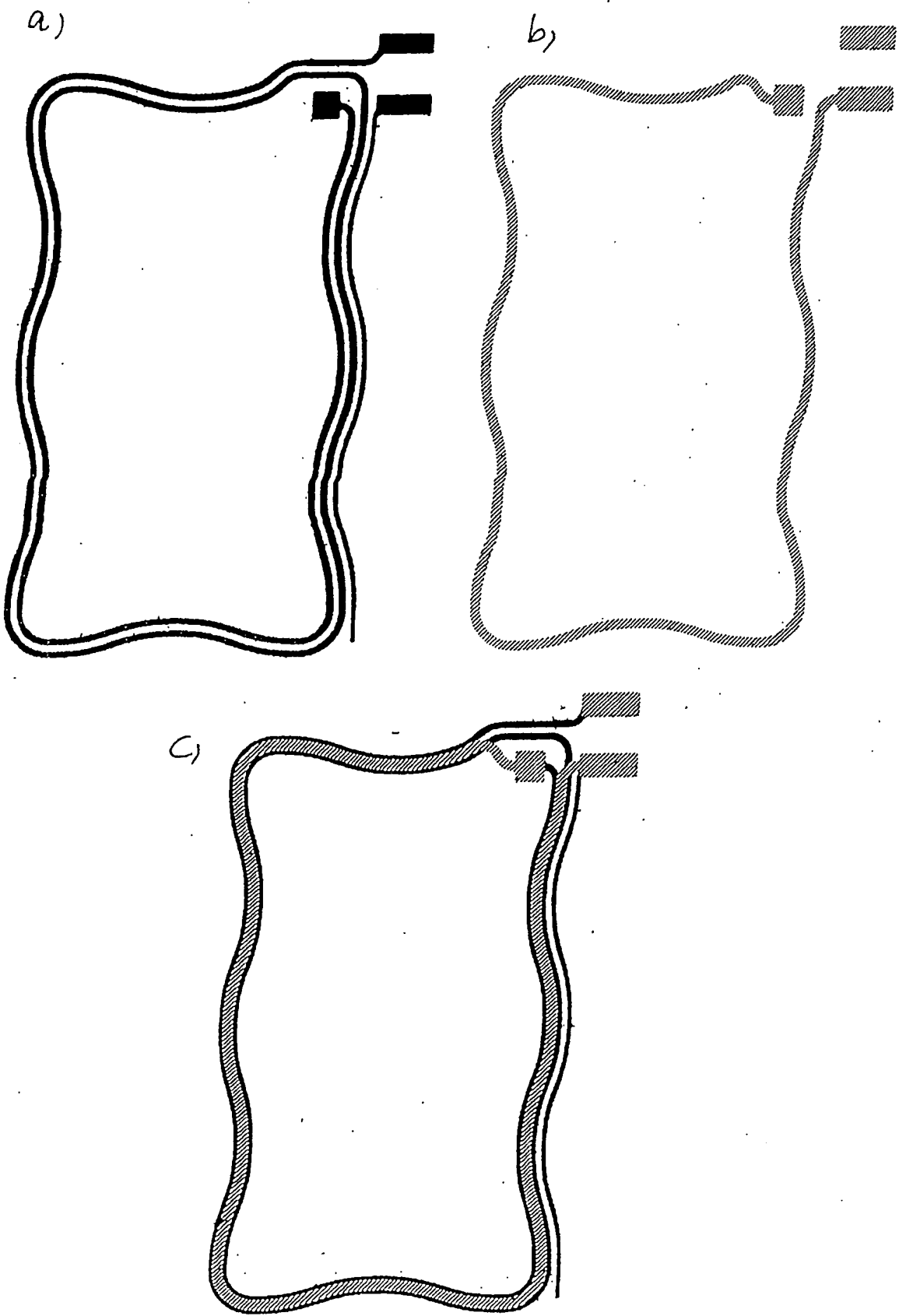
第 7 圖



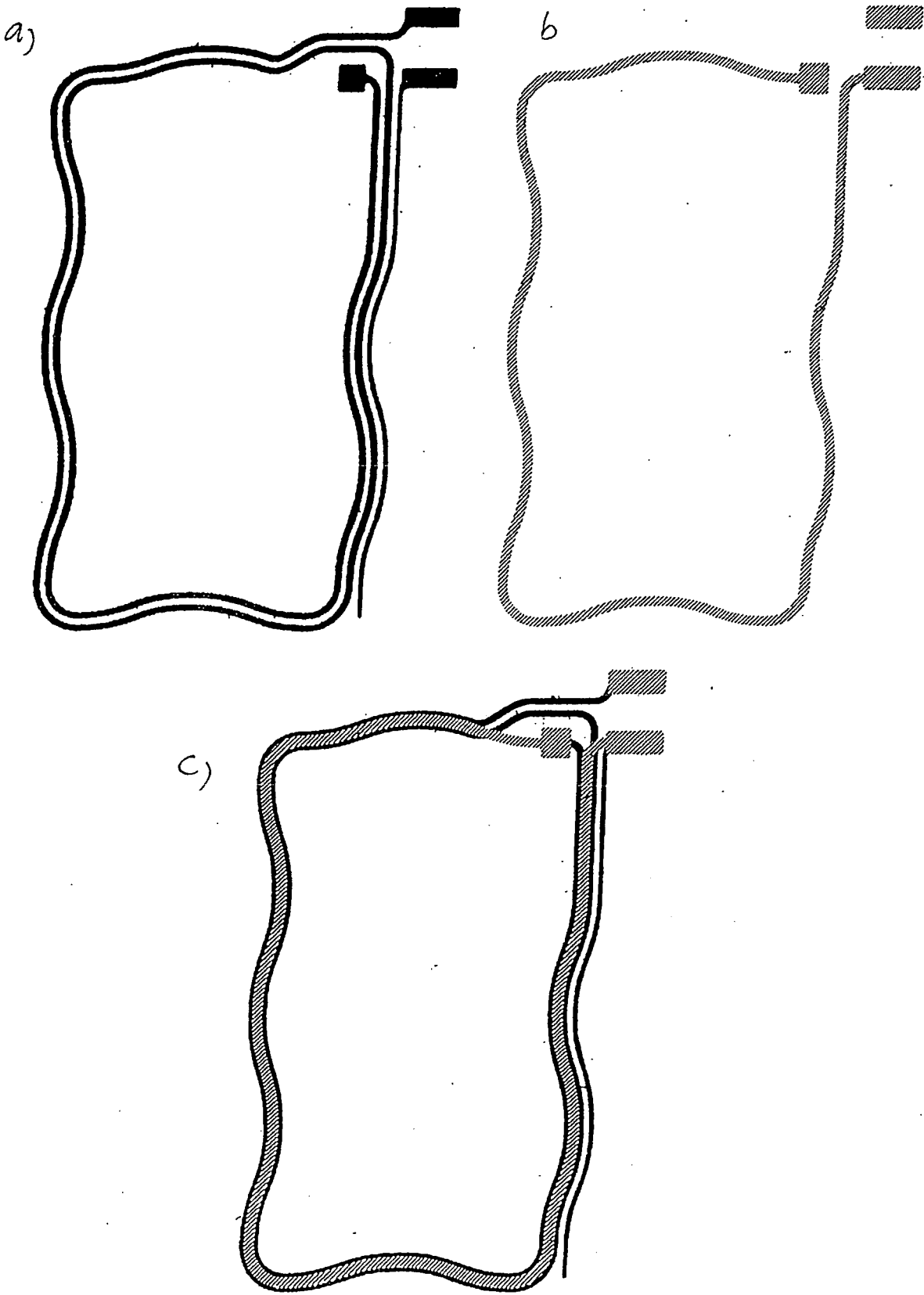
第 8 圖



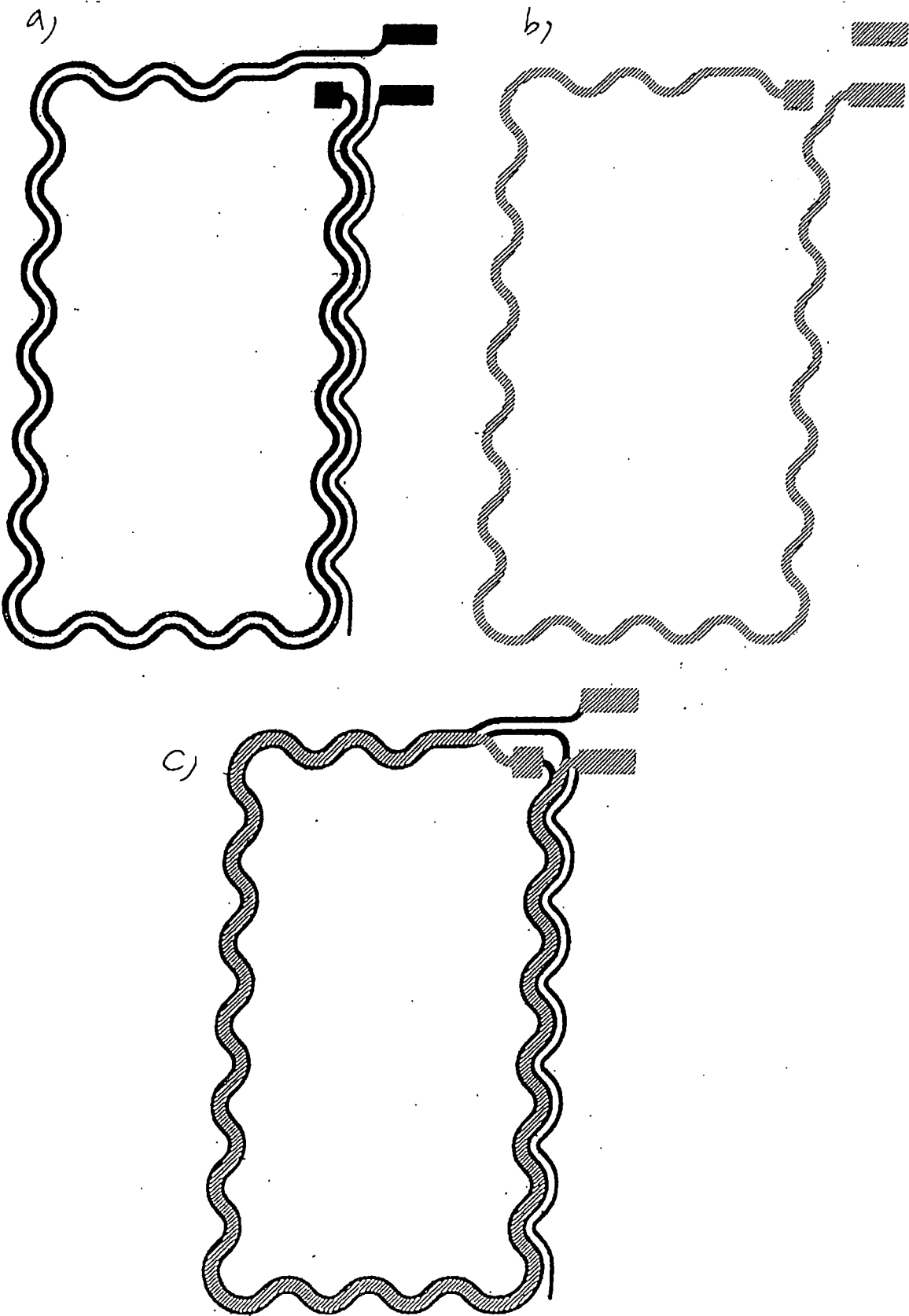
第 9 圖



第 10 圖



第 11 圖



第 12 圖

四、指定代表圖：

(一)本案指定代表圖為：第 (5) 圖。

(二)本代表圖之元件符號簡單說明：

1	膜元件	10	基層
27	導體電路		
38a	接觸面	38b	接觸面
38c	接觸面	39	接觸面
5	框形區		
51	第一框形段	52	第二框形段
53	第三框形段	54	第四框形段
61	x 軸	62	y 軸
63	z 軸		
70	線圈		
71a	導體電路段	71b	導體電路段
71c	導體電路段	71d	導體電路段
72a	導體電路段	72b	導體電路段
72c	導體電路段	72d	導體電路段
73d	導體電路段，輔助結構		
80	外部矩形		
81	第一邊	82	第二邊
83	第三邊	84	第四邊
90	內部協形		
91	第一邊	92	第二邊
93	第三邊	94	第四邊
E	xy 平面		

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)