



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I502885 B

(45)公告日：中華民國 104 (2015) 年 10 月 01 日

(21)申請案號：099110775

(22)申請日：中華民國 99 (2010) 年 04 月 07 日

(51)Int. Cl. : **H03H7/38 (2006.01)**

(30)優先權：2009/04/09 美國

12/421,513

(71)申請人：飛思卡爾半導體公司(美國) FREESCALE SEMICONDUCTOR, INC. (US)
美國

(72)發明人：賓 大衛 E BIEN, DAVID E. (US)；彌加斯科維克 德詹 MIJUSKOVIC, DEJAN (FR)

(74)代理人：陳長文

(56)參考文獻：

US 6668614B2

US 2007/0268272A1

US 2008/0295596A1

審查人員：陳明德

申請專利範圍項數：20 項 圖式數：9 共 43 頁

(54)名稱

具有經降低之寄生誘導誤差之感測器裝置及實質上消除感測器裝置中之寄生電流之方法
SENSOR DEVICE WITH REDUCED PARASITIC-INDUCED ERROR AND METHOD OF
SUBSTANTIALLY CANCELLING PARASITIC CURRENT IN SENSOR DEVICE

(57)摘要

本發明揭示一種包含具有驅動節點(34、36)及感測節點(42、44)之一感測元件(26)之裝置(110)。在驅動節點(34)與感測節點(42)之間存在寄生電容(22)。同樣地，在驅動節點(36)與感測節點(44)之間存在寄生電容(24)。當在驅動節點(34、36)之間施加一驅動信號(56)時，歸因於該等寄生電容(22、24)，故在驅動節點(34)與感測節點(42)之間建立一寄生電流(70)且在驅動節點(36)與感測節點(44)之間建立一寄生電流(72)。在該驅動節點(36)與該感測節點(42)之間耦合一電容網路(112)以建立消除寄生電流(70)之一校正電流(134)通過電容網路(112)。同樣地，在該驅動節點(34)與該感測節點(44)之間耦合一電容網路(114)以建立消除寄生電流(72)之一校正電流(138)通過電容網路(112)。

A device (110) includes a sensing element (26) having drive nodes (34, 36) and sense nodes (42, 44). Parasitic capacitance (22) is present between drive node (34) and sense node (42). Likewise, parasitic capacitance (24) is present between drive node (36) and sense node (44). When a drive signal (56) is applied between drive nodes (34, 36), a parasitic current (70) between drive and sense nodes (34, 42) and a parasitic current (72) between drive and sense nodes (36, 44) is created due to the parasitic capacitances (22, 24). A capacitive network (112) is coupled between the drive node (36) and the sense node (42) to create a correction current (134) through capacitive network (112) that cancels parasitic current (70). Likewise, a capacitive network (114) is coupled between the drive node (34) and the sense node (44) to create a correction current (138) through capacitive network (112) that cancels parasitic current (72).

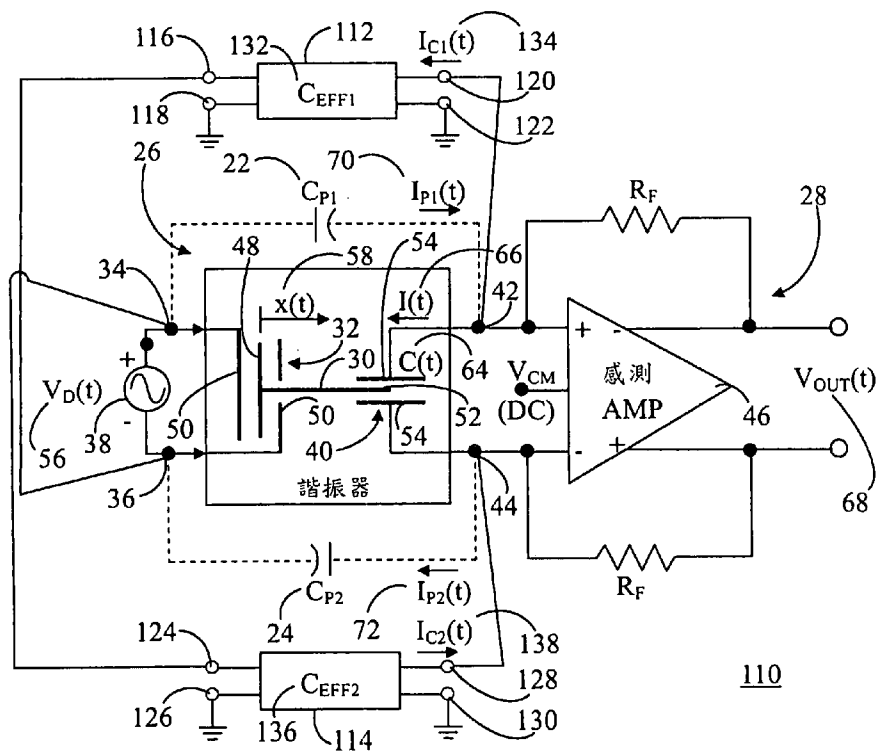


圖 4

- 22 . . . 寄生電容
- 24 . . . 寄生電容
- 26 . . . 諧振器
- 28 . . . 感測電路
- 30 . . . 慣性質量
- 32 . . . 驅動結構
- 34 . . . 驅動節點
- 36 . . . 驅動節點
- 38 . . . 交流電(AC)電壓源
- 40 . . . 感測結構
- 42 . . . 感測節點
- 44 . . . 感測節點
- 46 . . . 感測放大器
- 48 . . . 移動驅動指針
- 50 . . . 固定驅動指針
- 52 . . . 移動感測指針
- 54 . . . 固定感測指針
- 56 . . . 正弦驅動電壓
- 58 . . . 振盪線性運動
- 64 . . . 電容
- 66 . . . 感測電流
- 68 . . . 輸出電壓
- 70 . . . 寄生電流
- 72 . . . 寄生電流
- 110 . . . MEMS 感測器
- 112 . . . 雙埠電容網路
- 114 . . . 雙埠電容網路
- 116 . . . 輸入端
- 118 . . . 輸入端

- 120 . . . 輸出端
- 122 . . . 輸出端
- 124 . . . 輸入端
- 126 . . . 輸入端
- 128 . . . 輸出端
- 130 . . . 輸出端
- 132 . . . 有效電容
- 134 . . . 校正電流
- 136 . . . 有效電容
- 138 . . . 校正電流

發明專利說明書

104年5月8日修正替換頁

中文說明書替換頁(104年5月)

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：099110775

※ 申請日：99年4月7日

※IPC 分類：H03H 7/38 (2006.01)

一、發明名稱：(中文/英文)

具有經降低之寄生誘導誤差之感測器裝置及實質上消除感測器裝置中之寄生電流之方法

SENSOR DEVICE WITH REDUCED PARASITIC-INDUCED ERROR
AND METHOD OF SUBSTANTIALLY CANCELLING PARASITIC
CURRENT IN SENSOR DEVICE

二、中文發明摘要：

本發明揭示一種包含具有驅動節點(34、36)及感測節點(42、44)之一感測元件(26)之裝置(110)。在驅動節點(34)與感測節點(42)之間存在寄生電容(22)。同樣地，在驅動節點(36)與感測節點(44)之間存在寄生電容(24)。當在驅動節點(34、36)之間施加一驅動信號(56)時，歸因於該等寄生電容(22、24)，故在驅動節點(34)與感測節點(42)之間建立一寄生電流(70)且在驅動節點(36)與感測節點(44)之間建立一寄生電流(72)。在該驅動節點(36)與該感測節點(42)之間耦合一電容網路(112)以建立消除寄生電流(70)之一校正電流(134)通過電容網路(112)。同樣地，在該驅動節點(34)與該感測節點(44)之間耦合一電容網路(114)以建立消除寄生電流(72)之一校正電流(138)通過電容網路(112)。

104年5月8日修正替換頁

三、英文發明摘要：

A device (110) includes a sensing element (26) having drive nodes (34, 36) and sense nodes (42, 44). Parasitic capacitance (22) is present between drive node (34) and sense node (42). Likewise, parasitic capacitance (24) is present between drive node (36) and sense node (44). When a drive signal (56) is applied between drive nodes (34, 36), a parasitic current (70) between drive and sense nodes (34, 42) and a parasitic current (72) between drive and sense nodes (36, 44) is created due to the parasitic capacitances (22, 24). A capacitive network (112) is coupled between the drive node (36) and the sense node (42) to create a correction current (134) through capacitive network (112) that cancels parasitic current (70). Likewise, a capacitive network (114) is coupled between the drive node (34) and the sense node (44) to create a correction current (138) through capacitive network (112) that cancels parasitic current (72).

四、指定代表圖：

(一)本案指定代表圖為：第（ 4 ）圖。

(二)本代表圖之元件符號簡單說明：

22	寄生電容
24	寄生電容
26	諧振器
28	感測電路
30	慣性質量
32	驅動結構
34	驅動節點
36	驅動節點
38	交流電(AC)電壓源
40	感測結構
42	感測節點
44	感測節點
46	感測放大器
48	移動驅動指針
50	固定驅動指針
52	移動感測指針
54	固定感測指針
56	正弦驅動電壓
58	振盪線性運動
64	電容
66	感測電流

68	輸出電壓
70	寄生電流
72	寄生電流
110	MEMS感測器
112	雙埠電容網路
114	雙埠電容網路
116	輸入端
118	輸入端
120	輸出端
122	輸出端
124	輸入端
126	輸入端
128	輸出端
130	輸出端
132	有效電容
134	校正電流
136	有效電容
138	校正電流

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

六、發明說明：

【發明所屬之技術領域】

本發明大體上關於感測器。更特定而言。本發明關於一種具有經降低之寄生誘導誤差之感測器裝置。

本申請案已於2009年4月9日在美國申請為專利申請案第12/421513號。

【先前技術】

近年來，微機電系統(MEMS)技術已實現廣受歡迎，歸因於其提供製成極小機械結構之一方式且使用習知成批半導體處理技術整合此等結構與電裝置於一單基板上。MEMS之一共同應用為感測器裝置之設計及製造。該裝置之機電部分提供感測能力，同時電子部分處理藉由該機電部分所獲得之資訊。一MEMS感測器之一實例為一MEMS陀螺儀感測器。

或者稱為一「陀螺儀」、「陀螺計」、「角速率感測器」或「偏航速率感測器」之一陀螺儀感測器感測圍繞一或多個軸之角速率。一種類型的MEMS陀螺儀感測器使用一振動元件以通過偵測一寇里奧利(Coriolis)力或加速度感測角速率。該振動元件係在平行於該基板之X軸(驅動平面)上進入振盪運動。一旦該振動元件進入運動，其能夠偵測藉由該基板係繞Z軸旋轉所誘導之角速率。該寇里奧利加速度發生在垂直於X軸及Z軸之Y軸(感測平面)上。該寇里奧利加速度產生具有與該基板之該角旋轉速率成比例之一振幅之一運動。

在電路中，一電子組件或電路之零件部分地歸因於其等互相接近而在該等零件之間存在的寄生電容係不可避免且典型係非所要之電容。此外，所有實際電路元件(例如電感器、二極體及電晶體)具有可引起其等脫離「理想」電路元件之行為的內部寄生電容。寄生電容亦可存在於緊密間隔的導體(例如電線或印刷電路板跡線)之間。在一MEMS感測器或相關聯之封裝及接合配置中，該寄生電容可為固有的，使得寄生電容值可不僅因為不同感測器實施項而改變，而且該等寄生電容值可在生產中隨單元而變化。

一MEMS陀螺儀感測器具有介於裝置之驅動節點與感測節點之間的寄生電容，該寄生電容產生對應於感測器位置之信號中之一誤差。由於寄生電容產生與所要感測器位置信號正交的電流，故介於驅動節點與感測節點之間的寄生電容為尤其麻煩。因此，一誤差係建立於在感測節點測定之信號中，使得有誤差地測定振動元件之位置。

一些做法涉及通過與各電容器串聯的一開關而直接並聯地組合電容器，以建立具有可變電容之一單埠電容網路。不幸地，因為開關中之固有寄生電容以及用於一MEMS感測器實施項之電容器之最小實體尺寸，故開關式元件之最小電容無法達到0。此外，在此一單埠電容網路中，當開關式電容器數量增加時，該最小可實現電容可增大。在寄生電容值可為接近0.5毫微微法拉至50毫微微法拉範圍內的一些MEMS陀螺儀感測器中，當開關式元件數量增加時

電容器之最小實體尺寸之限制及最小可實現電容之增加為極非所需。

【發明內容】

本發明之實施例係關於一種具有經降低之寄生誘導誤差之微機電(MEMS)感測器及一種用於降低MEMS感測器中之寄生誘導誤差之方法論。雙埠電容網路係實施於允許調整一有效電容之MEMS感測器中，以便建立適當相位的相對電流，以消除寄生誘導誤差電流。該雙埠電容網路係可在一廣泛電容範圍內調整且允許有效電容視需要製成儘可能小(例如小於最小晶片上組件或寄生電容)。

【實施方式】

下文所討論之MEMS感測器為一慣性感測器，該慣性感測器具有適當電路及結構，以形成具有經降低之寄生誘導誤差之一MEMS陀螺儀感測器。然而，產生經降低之寄生誘導誤差之下文所討論之原理可替代地被應用於其他類型的裝置(例如MEMS加速計、MEMS壓力感測器及類似物)。此外，該等原理可應用於非MEMS裝置或一般積體電路。相應地，特定類型的慣性感測器(例如一MEMS陀螺儀)之討論為例示性且未意欲限制各種實施例之範疇。

圖1繪示例示寄生電容22及24之存在之一微機電系統(MEMS)陀螺儀感測器20之一示意圖。一般言之，MEMS感測器20包含例如一諧振器26之一感測器元件及一感測電路28。諧振器元件26包含一或多個可移動元件，典型地稱為慣性質量(proof mass)。此等可移動元件係藉由使其等

能夠移動之各種機械連桿及彈簧而耦合至一下伏基板(圖中未繪示)。各種實施例可包含諸如可經組態為驅動塊體或為感測塊體之一或多個可移動元件。為了簡潔，該一或多個可移動元件係藉由一單結構元件(亦即一單慣性質量30)而表示。

諧振器元件26包含與一對驅動節點34、36電耦合之一驅動結構32。一交流電(AC)電壓源38係耦合於驅動節點34與36之間。諧振器元件26進一步包含與一對感測節點42及44電耦合之一感測結構40。感測節點42及44係與感測電路28之一感測放大器46電氣連通。

驅動結構32包含從慣性質量30延伸之移動驅動指針48(圖中繪示其中一者)及固定驅動指針50(圖中繪示其中二者)，該等固定驅動指針50係錨固至一下伏基板(圖中未繪示)使得固定驅動指針50相對於移動驅動指針48不可移動。此外，移動驅動指針48係經組態以與成對之固定驅動指針50交錯。

驅動結構40包含從慣性質量30延伸之移動感測指針52(圖中繪示其中一者)及固定感測指針54(圖中繪示其中二者)，該等固定感測指針54係錨固至該下伏基板(圖中未繪示)使得固定感測指針54相對於移動感測指針52不可移動。此外，移動感測指針52係經組態以與成對之固定感測指針54交錯。

應注意，慣性質量30、驅動結構32及感測結構40之組態係提供用於說明性目的。慣性質量30、驅動結構32之組

件、感測結構40之組件及類似物之尺寸、形狀、數量及材料可根據已知機械設計原理選擇以實現MEMS感測器20之所需靈敏度、穩定性及範圍。同樣地，可選擇懸掛慣性質量30之該機械連桿及彈簧(圖中未繪示)之形狀、尺寸、材料及彈簧係數以實現慣性質量30之所需移動。

在一實施例中，MEMS感測器20係實施為一電容類型陀螺儀。亦即，歸因於固定驅動指針50與驅動節點34、36之電氣連接而在固定驅動指針50之間施加例如自電壓源38之一正弦驅動電壓56之一驅動信號，以引起慣性質量30之振盪線性運動58(標記為 $x(t)$)。當MEMS感測器20經歷角速度改變且振盪線性運動58時，慣性質量30將移動。亦即，MEMS感測器20之旋轉賦予慣性質量30與該角速度成比例之之一寇里奧利(Coriolis)力(亦稱為一寇里奧利(Coriolis)加速度)，且取決於該角速度向量相對於慣性質量30之速度向量之定向。該寇里奧利加速度、該角速度向量及該塊體速度向量係互相正交。舉例而言，該所得寇里奧利加速度歸因於振盪線性運動58之交互作用而沿該驅動軸(亦即X軸60)施加，且繞諸如從頁面延伸出之Z軸之輸入角速度係沿慣性質量30傳遞至移動感測指針52。

固定感測指針54與鄰近移動感測指針52一起形成一可變差動電容器。如此，當MEMS感測器20經歷繞Z軸改變之一角速率時，各移動感測指針52將沿感測軸(亦即Y軸62)移動朝向該等鄰近固定感測指針54之一者且背離該等鄰近固定感測指針54之另一者。該移動感測指針52移動的距離

將引起該等固定感測指針54與該等移動感測指針52之間的一電容64(標記為 $C(t)$)之一成比例改變。電容64之改變建立一感測電流66(標記為 $I(t)$)。感測電流66係經由感測節點42及44輸出至感測放大器46，在該感測放大器46處可將該感測電流66可經放大且轉換為與該角速度成比例之一輸出電壓68(標記為 $V_{OUT}(t)$)。

在驅動節點34與感測節點42之間存在寄生電容22(標記為 C_{p1})，當在驅動節點34與36之間施加驅動電壓56時，驅動節點34及感測節點42之各者具有相同極性。寄生電容22在驅動節點34與感測節點42之間建立一寄生電流70(標記為 $I_{p1}(t)$)。同樣地，在驅動節點36與感測節點44之間存在寄生電容24(標記為 C_{p1})，當在驅動節點34與36之間施加驅動電壓56時，驅動節點36及感測節點44之各者具有相同極性。寄生電容24在驅動節點36與感測節點44之間建立一寄生電流72(標記為 $I_{p2}(t)$)。為了清楚地區分各種節點，驅動節點34在下文稱為第一驅動節點34，且感測節點42在下文稱為第一感測節點42，以指出其等匹配極性。同樣地，驅動節點36在下文稱為第二驅動節點36，且感測節點44在下文稱為第二感測節點44，以指出其等匹配極性。寄生電容22及24不為MEMS感測器20內之實體組件。相應地，寄生電容22及24與驅動節點34及36及對應的感測節點42及44之互連係藉由虛線而表示。

寄生電流70及72與感測電流66組合且因此經由第一感測節點42及第二感測節點44輸出至感測放大器46。接著寄生

電流 70 及 72 可用所需信號 (亦即感測電流 66) 予以放大，且在感測放大器 46 處轉換為輸出電壓 68。因此，所得輸出電壓 68 具有不利地影響該感測角速度之一寄生誘導誤差。

結合圖 1 參考圖 2，圖 2 繪示例示歸因於寄生電容 22 及 24 而引入至該 MEMS 陀螺感測器 20 (圖 1) 中之寄生誘導誤差之波形之一圖表 74。圖表 74 包含表示自電壓源 38 施加在驅動節點 34 及 36 之 AC 驅動電壓 56 之一波形 76。另一波形 78 表示自慣性質量 30 延伸之移動感測指針 48 回應於驅動電壓 56 之位置或振盪。下一波形 80 表示移動感測指針 52 與固定感測指針 54 之間的時間變化電容 64。注意，表示時間變化電容 64 之波形 80 係與表示移動感測指針 48 之位置之波形 78 同相。

下一波形 82 表示關於時間變化電容 64 之感測電流 66。注意，表示該改變感測電流 66 之波形 82 係與表示驅動電壓 56 之波形 76 同相。下一波形 84 表示由該等對應的寄生電容 22 及 24 引起之該等組合寄生電流 70 及 72。表示該等組合寄生電流 70 及 72 之波形 84 係與表示感測電流 66 之波形 80 非同相。相應地，下一波形 86 (實線) 表示藉由一寄生誘導誤差 88 而不利地影響之輸出電壓 68。另一波形 90 (虛線) 上覆波形 86 且表示無寄生誘導誤差 88 之一所需輸出電壓 92 (標記為 $V_{DES}(t)$)。

因此，時間變化寄生電容 22 及 24 在對應於慣性質量 30 之位置，且因此對應於該角速度之輸出電壓 68 中產生寄生誘導誤差 88。因為該寄生電流分量 (parasitic current

contribution)(亦即寄生電流 70 及 72)係與感測電流 66 非同相，故第一驅動節點 34 與第一感測節點 42 之間的寄生電容 22 及第二驅動節點 36 與第二感測節點 44 之間的寄生電容 24 引起在輸出電壓 68 之一相位誤差。當然，此相位誤差不利地影響 MEMS 感測器 20 之精度。此外，寄生電容 22 及 24 產生與所需輸出電壓 92 正交 (in quadrature) 的電流。因此，一波形 94 表示在感測節點 42 及 44 測定之一正交信號 96，其中正交信號 96 中亦存在寄生誘導誤差 88。

本發明之一實施例需要很大程度上消除寄生電流 70 及 72 之雙埠電容網路之實施項，因而實質上降低該輸出電壓 68 上及相稱正交信號 96 上之寄生誘導誤差 88。

圖 3 繪示一例示性 MEMS 裝置 98 之一透視圖。MEMS 裝置 98 大體上包含提供感測能力之一機電部分 100 及呈一混合信號積體電路 (MSIC) 之形式之一電子部分 102，該電子部分 102 處理藉由機電部分 100 所獲得之資訊。機電部分 100 及電子部分 102 都可以適當的輸入及輸出跡線 106 且以適當的互連跡線 108 形成於一單基板 104 上。

在一實施例中，諧振器元件 26 (見圖 1) 可實施於機電部分 100 中。感測電路 28 (見圖 1)、電容網路 (下文所討論) 及 / 或其他電路可實施於電子部分 102 中。此一 MEMS 裝置 98 可用於執行需要與一微型化形狀因數組合之感測器精度之諸如安全氣囊系統、自動偏航控制裝置、安全機構、蜂巢式電話、膝上型電腦及筆記型電腦、相機、遊戲控制器及類似物中之各種監測及 / 或控制功能。應注意，MEMS 裝置

98係提供用於說明性目的。熟習此項技術者將認識MEMS裝置98可具有各種組態，可具有或多或少組件，且等等。

圖4繪示根據本發明之一實施例實施於此處之MEMS感測器110之示意圖，MEMS感測器110具有用於降低寄生誘導誤差88(圖2)之具有雙埠電容網路112及114。實際上，MEMS感測器110可大體上經組態以形成MEMS裝置98(見圖3)。為了簡潔，雙埠電容網路112及114係結合其等整合於例如結合圖1所描述之一MEMS感測器組態中而討論。如此，當引用相同組件時，圖1中所使用之該等參考數字亦可用於圖4中。然而，如上文所提及，在替代實施例中，該特定MEMS感測器可採用各種結構形式。

因此，MEMS感測器110包含諧振器元件26，該諧振器元件26具有分別與第一驅動節點34及第二驅動節點36電耦合之驅動結構32及分別與第一節點42及第二節點44電耦合之感測結構40。因此，如上文詳細討論，在第一驅動節點34與第一感測節點42之間存在寄生電容22，該寄生電容22在第一驅動節點34與第一感測節點42之間建立該相位偏移寄生電流70。同樣地，在第二驅動節點36與第二感測節點44之間存在寄生電容24，該寄生電容24在第二驅動節點36與第二感測節點44之間建立該相位偏移寄生電流72。儘管結合MEMS感測器110討論，但電容網路112及114可替代地應用於需要降低寄生誘導誤差88(圖2)之其他類型的MEMS裝置、非MEMS裝置及/或一般積體電路。

根據一實施例，電容網路112具有耦合至第二驅動節點

36之一輸入端116及耦合至接地之另一輸入端118。此外，電容網路112具有耦合至第一感測節點42之一輸出端120及耦合至接地之另一輸出端122。相似地，電容網路114具有耦合至第一驅動節點34之一輸入端124及耦合至接地之另一輸入端126。額外地，電容網路114具有耦合至第二感測節點44之一輸出端128及耦合至接地之另一輸出端130。

一般言之，一雙埠網路為具有兩對終端之一電路(亦即該電路連接兩個偶極)。若該兩個終端滿足已知為一埠條件之一需求，則其等構成一埠，亦即相同電流必須進入且離開一埠。如下文將更詳細討論，電容網路112產生實質上等於寄生電容22之一有效電容132(標記為 C_{EFF1})。相應地，當在輸入端116施加驅動電壓56時，實質上等於寄生電流70且與寄生電流70非同相之一校正電流134(標記為 $I_{C1}(t)$)係形成通過電容網路112。因此，在感測節點42之校正電流134消除在感測節點42之寄生電流70。

同樣地，電容網路114產生實質上等於寄生電容24之一有效電容136(標記為 C_{EFF2})。相應地，當在輸入端124施加驅動電壓56時，實質上等於寄生電流72且與寄生電流72非同相之一校正電流138(標記為 $I_{C2}(t)$)係形成通過電容網路114。因此，在感測節點44之校正電流138消除在感測節點44之寄生電流72。

在一實施例中，電容網路112及114之各者係可在一顯著範圍內(諸如接近0.2毫微微法拉至50毫微微法拉範圍內)數位地調整。在寄生電容22及24之各者可能在0.5法拉至50

法拉範圍內存在的MEMS感測器110中，此一調整範圍為有利。寄生電容22及24不需要相等。相應地，電容網路112及114為獨立可調整使得其等可個別調整或調諧以獲得有效電容132及136之適當值。

結合圖4參考圖5，圖5繪示例示歸因於在MEMS感測器110中實施電容網路112及114的結果之寄生誘導誤差88(圖2)降低之波形之一圖表140。如同圖表74(圖2)，圖表140包含表示自電壓源38施加在驅動節點34及36之AC驅動電壓56之波形76及表示自慣性質量30延伸之移動感測指針48回應於驅動電壓56之振盪線性運動58。此外，圖表140包含表示移動感測指針52與固定感測指針54之間的時間變化電容64之波形80及表示該改變感測電流66之波形82。

圖表140進一步包含表示實質上藉由對應校正電流134及138所消除之寄生電流70及72之一波形142。相應地，波形142說明由寄生電流70及72引起之總電流且對應校正電流134及138實質上為0。相應地，下一波形144表示具有極大降低之寄生誘導誤差88(圖2)之輸出電壓68。同樣地，另一波形148表示其中寄生誘導誤差88係經極大降低之在感測節點42及44測定之正交信號96。亦即，如圖2中所繪示，在波形144及148之各者中很大程度上不存在自所需信號之相位偏移。因此，實施於MEMS感測器110中之電容網路112及114很大程度上消除寄生電流70及72，因而實質上降低輸出電壓68上及相稱正交信號96上之寄生誘導誤差88。

圖6繪示根據一實施例之雙埠電容網路112之示意圖。電

容網路112表示一廣義雙埠電容網路模型，具有適當選擇的電容器值及適當選擇的電容器電路(下文所討論)，該雙埠電容網路模型將產生有效電容132以建立實質上消除寄生電流70(圖4)之校正電流134。儘管圖6係結合電容網路112討論，應理解下文描述等效地應用於電容網路114(圖4)以產生有效電容136(圖4)及實質上消除寄生電流72(圖4)之相稱校正電流138(圖4)。

電容網路112包含並聯連接的多個電容電路150。電容電路150之各者具有耦合至電容網路112之輸入端116之一對應輸入端152及耦合至電容網路112之輸出端120之一對應輸出端154。電容電路150之各者產生一電路電容156(標記為 C_{eff1} 、 C_{eff2} 至 C_{eff8})。如此項技術中之較好理解，隨著相同驅動電壓施加至各電容器，並聯連接的兩個或兩個以上電容器之總電容將為並聯連接的該等個別電容器之該等電容值之總和。相應地，有效電容132(亦即 C_{EFF1})為電路電容156(亦即 C_{eff1} 、 C_{eff2} 至 C_{eff8})之總和。結合電路電容156使用之小寫標記命名「eff」係用於此處以區分該等個別電路電容156與該等電容(亦即標記為 C_{EFF1} 之有效電容132)之總和。

在該說明實施例中，電容網路112包含8個電容電路150。因此，繪示電容電路150內之一8單元標記命名的個別組件(諸如 C_{n1} 、 D_{n2} 、 C_{n3} 、 C_{n4} 、 C_{n5} 及 S_n ，其中 n 為1與8之間的一個數字)。儘管電容網路112係描述為具有8個電容電路150，但將深一層瞭解，取決於有效電容132之一

所需範圍值及/或電容網路112之調整步驟之解析度，一電容網路可經調適以包含多於或少於8個電容電路。為了說明簡潔，圖6中僅繪示三個電容電路150，提供橢圓以表示額外五個電容電路150。

在一實施例中，藉由MEMS感測器110之一數位控制功能158而個別地控制電容電路150。就此目的，MEMS感測器110包含多個控制電路162(該多個控制電路162之各者係藉由一虛線方框而描繪)，控制電路162之各者係耦合至電容電路150之各者。控制電路162之各者包含一開關元件164，在一些實施例中，該開關元件164可為一金屬氧化物半導體(MOS)電晶體。各開關元件164係內插於其對應電容電路150與接地之間。

數位控制功能158包含多個數位控制元件或邏輯閘166。在該說明實施例中，數位控制功能158提供數位控制之8個位元168，各邏輯閘166提供一單位元168。各邏輯閘166包含一閘終端160，該閘終端160耦合至用作其對應控制電路162之一控制輸入端之控制電路162之一者。如此，各邏輯閘166提供數位控制之一位元168至其相關聯開關元件164。該等個別邏輯閘166係編號為1至8，為了說明簡潔，僅繪示與其等各自電容電路150關聯之三個邏輯閘166。提供橢圓以表示額外五個邏輯閘166。

如此項技術中所熟知，一邏輯閘在一或多個邏輯輸入端上執行一邏輯操作且產生具有一第一狀態170或一第二狀態172之一單邏輯輸出(亦即位元168)。以實例說明之，在

自數位控制功能158之命令之後，一邏輯閘166可提供使該相關聯開關元件164之閉合生效(亦即致動)之第一狀態170之位元168或使該控制電路162之該相關聯開關元件164之斷開(亦即撤銷致動)生效之第二狀態172之位元168，邏輯閘166係耦合至該控制電路162之該相關聯開關元件164。

在一例示性案例中，當閉合開關元件164時，形成接地之一分路。因此，對於一特定電容電路150，當閉合開關元件164時，接著在其輸出端不存在電流，因此電路電容156有效為0。然而，當斷開開關元件164時，移除該接地分路，且該特定電容電路150提供電路電容156且因此在其輸出端154提供一電路電流174(標記為 I_{eff1} 、 I_{eff2} 至 I_{effi})。當然，該等電路電流174之總和在第一感測節點42產生校正電流134(標記為 $I_{C1}(t)$)。藉由通過數位控制選擇性地斷開且閉合特定開關元件164，產生該所需有效電容132以在第一感測節點42產生實質上消除寄生電流70(圖4)之一所需校正電流134。結合電路電流174使用之小寫標記命名「eff」係用於此處以與用於該等個別電路電容156之相同命名對應。

參考圖7及圖8，圖7繪示實施於電容網路112及114(圖6)之任一者中之多個電容電路150之一者之一電路模型176，且圖8繪示對應於電路模型176之一圖表178，該電路模型176提供方程式以用於測定可在電容網路112及114(圖4)中之電容電路150之各者實現之電路電容156(C_{EFF})。如圖7中所繪示，組態電容網路112及114之電容電路150之各者。

然而，一特定電容電路150內之電容值之不同值之一組合在其輸出端154產生一不同電路電容156。電路模型176為電容電路150之一者提供用於測定電路電容156之構件。

如上文提及，在一MEMS感測器(例如MEMS感測器20及MEMS感測器110)中，驅動節點34及36與對應感測節點42及44之間的寄生電容22及24(圖1)可能存在於0.5毫微微法拉至50毫微微法拉範圍內。為了有效消除寄生電流70及72(圖1)，因此需要在各自電容網路112及114中產生具有小於1法拉解析度之法拉範圍內之有效電容132及136(圖4)。此外，在該MEMS感測器或相關聯之封裝及接合配置中，寄生電容22及24可為固有的，使得寄生電容22及24可不僅因為不同感測器實施項而變化，而且寄生電容22及24可在生產中隨單元而變化。各者具有多個個別控制電容電路150之電容網路112及114使用實際晶片上組件尺寸模擬一極小值可調諧電容器。

如模型176中所表示，電容電路150包含串聯連接的一電容元件180(標記為C5)、一電容元件182(標記為C3)及一電容元件184(標記為C1)。電容元件180具有耦合至電容電路150之輸入端152之一末端181，且電容元件184具有耦合至電容電路150之輸出端154之一末端185。電容電路150進一步包含一電容元件186(標記為C4)及一電容元件188(標記為C2)。電容元件186具有介於電容元件180與182之間之一末端190及耦合至接地之另一末端192。相似地，電容元件188具有介於電容元件182與184之間之一末端194及耦合至

接地之另一末端196。

簡要參考圖6，電容元件180表示電容電路150之組件Cn5(例如C15、C25至C85)。同樣地，電容元件182表示電容電路150之組件Cn3(例如C13、C23至C83)。電容元件184表示電容電路150之組件Cn1(例如C11、C21至C81)。電容元件186表示與跨過該對應開關164之該開關電容 C_{sw} 總和之電容電路150之組件Cn4(例如C14、C24至C84)。電容元件188表示電容電路150之組件Dn2(例如D12、D22至D82)。尤其是，電容元件188表示在一二極體(D12、D22至D82)處所見之電容。電容元件180、182、184、186及188可為積體電路(IC)電容器、寄生電容器或實質上表現為例如反向偏壓二極體或斷開開關之電容器之元件。

再次參考圖7及圖8，給定感測放大器46(圖1)在輸出端154保持一低阻抗，該低阻抗小於電容元件180、182、184、186及188之組合阻抗，接著在輸入端152之驅動電壓56之間的關係係藉由電容元件180、182、184、186及188之組合阻抗而完全測定。此關係係藉由圖表178中之一方程式198而表示。

藉由分析電容電路150之電路模型176且比較該等關係，可展現出可藉由圖表178中所繪示之一方程式200來表示電容電路150之有效電容(亦即電路電容156)。大體上可根據一預定需要電路電容156而選擇電容元件180、182、184、186及188之各者之該等值。此外，開關164係經組態使得當閉合開關164時，電容元件186(標記為C4)短路。相應地，當閉合開關164時，在電容元件186之一有效電容為無

窮大。在此一案例中，電路電容154將為0。在另一實施例中，一開關(圖中未繪示)可與電容元件188並聯配置。因此，當閉合跨過電容元件188之該開關時，在電容元件188之一有效電容將為無窮大，因此產生為0的電路電容154。

圖9繪示電容電路150(圖6)內之多個電容元件180、182、184、186及188之例示性電容器值及所得有效網路電容之一表格202。表格202之各列204提供用於電容電路150之一者之電容元件180、182、184、186及188之各者之值以獲得一所需電路電容154。當斷開開關元件164(圖6)之一關聯者(亦即電容電路150為「開啟(ON)」)時，電容電路150之各者之電路電容154係繪示於表格202之一行206中。為了說明性目的，當閉合開關元件164(圖6)之一關聯者(亦即電容電路150為「關閉(OFF)」)時，電路電容將為0，表格202之各列204亦繪示無論電容元件180、182、184、186及188之各者之值且表示於一行208中。

應回想歸因於電容電路150之並聯組態，故對於此等「開啟」電容電路150，可藉由繪示於行206中之電路電容154之各者之總和而測定有效電容132及134(圖4)之各者。此外，電容元件180、182、184、186及188之各者之該等選擇值可引起電容電路150具有互相不同的電路電容154。相應地，在此說明性實施例中，最低有效電容132或134將為0毫微微法拉，且最高有效電容132或134將為51毫微微法拉(所有電路電容154總和)。因此，具有根據表格202之電容元件180、182、184、186及188之值之電容網路112及

114將產生具有小於1毫微微法拉解析度(例如0.2毫微微法拉、0.4毫微微法拉及毫微微0.8法拉)之一廣泛有效電容範圍(例如0毫微微法拉至51毫微微法拉)。

簡要參考圖7，應注意當開關電容網路112或114時，所需的是在電容電路150之輸入端之一終端阻抗210(標記為 Z_{11})及在電容電路150之輸出端之一終端阻抗212(標記為 Z_{22})保持於一可接受範圍內。換言之，由於此可藉由過度加負載於驅動節點34及36及/或感測節點42及44(圖4)而干擾系統操作，故輸入端152及輸出端154都不應短路亦不展現一過大等效電容。實際上，過度負載可造成穩定性問題，可降低信號位準低於所需位準及/或導致其他效能問題。

再次參考圖9，終端阻抗210(圖7)已轉換為一終端電容214(標記為C11)，且終端阻抗212(圖7)已轉換為一終端電容216(標記為C22)。一行218值表示當斷開開關元件164(圖6)之一關聯者(亦即電容電路150為「開啟」)時，引起一所需電路電容154之電容元件180、182、184、186及188之各組合之終端電容214。一行220值表示當閉合開關元件164(圖6)之一關聯者(亦即電容電路150為「關閉」)時之終端電容214。同樣地，一行222值表示當斷開開關元件164(圖6)之一關聯者(亦即電容電路150為「開啟」)時之終端電容216，且一行224值表示當閉合開關元件164(圖6)之一關聯者(亦即電容電路150為「關閉」)時之終端電容216。

電容元件180、182、184、186及188之各組合之終端電容214及216之回顧顯露出開關元件164之閉合位置與斷開位置之間存在極小電容改變。此外，終端電容214及216具有與電容元件180、182、184、186及188之該等值之相似數值使得不過度加負載於驅動節點34及36及/或感測節點42及44。

實際上，如上文詳細描述，一用於實質上消除一MEMS感測器110(圖4)中之寄生電流70及72(圖4)之方法涉及在適當的驅動節點34及36與感測節點42及44之間提供電容器網路112及114。接著可對具有相同極性之驅動節點34與感測節點42之間的寄生電容22進行一測定，且同樣地，可對驅動節點36與感測節點44之間的寄生電容24進行一測定。可結合MEMS感測器110之生產後測試及校準進行此測定。接著電容網路112及114之各者可經由數位控制分開調整以選擇性地包含(亦即啟動或撤銷啟動)如上文討論之特定電容電路150(圖6)以提供各自有效電容132及136(圖4)。

如此，當在驅動節點34與36之間施加驅動電壓56(圖4)以誘導移動驅動指針之振盪線性運動58時，驅動電壓58將同時施加至電容網路112及114。通過電容器網路112之所得校正電流134(圖4)係實質上等於寄生電流70(圖4)且與寄生電流70(圖4)之相位相反，且因此將消除在感測節點42之寄生電流70。同樣地，通過電容器網路114之所得校正電流136(圖4)係實質上等於寄生電流72且與寄生電流72非同相，且因此將消除在感測節點44之寄生電流72。寄生電流

70及72之此消除極大降低寄生誘導誤差88(圖2)以產生表示感測角速度之一更精確輸出電壓68(圖4)。

本發明之實施例係結合實施於一差動感測器系統中之兩個電容網路討論。然而，此一組態不為一限制。此外，一單電容網路(例如電容網路112(圖4))可實施於一單端型感測器系統中。在此一組態中，例如一諧振器元件之一元件可具有一單驅動節點及一單感測節點，當自一電壓源在該驅動節點施加一驅動電壓時，該單驅動節點及該單感測節點之間存在寄生電流。在一實施例中，電容網路112之輸入端116係耦合至另一電壓源，且電容網路之輸出端120係耦合至該單感測節點。該電壓源可用於施加另一反相驅動電壓至電容網路112以產生實質上消除該寄生電流之校正電流134。

本發明之實施例係關係具有經降低之寄生誘導誤差之微機電系統(MEMS)感測器(例如一陀螺儀感測器)及用於降低一MEMS感測器中之寄生誘導誤差之方法論。雙埠電容網路係實施於允許調整一有效電容之MEMS感測器中，以便建立適當相位的相對電流，以消除寄生誘導誤差電流。該等雙埠電容網路係可在一廣泛電容範圍內數位地調整且允許有效電容視需要製成儘可能小(例如小於最小晶片上組件或寄生電容)。寄生誘導電流之消除產生一MEMS感測器之改良精度。

儘管本發明之該等較佳實施例已詳細說明且描述，但熟習此項技術者將容易地瞭解此處可進行各種修改而不脫離

本發明之精神或脫離隨附申請專利範圍之範疇。

【圖式簡單說明】

圖1繪示例示寄生電容之存在之一微機電系統(MEMS)感測器之一示意圖；

圖2繪示例示歸因於寄生電容而引入至圖1之MEMS感測器中之寄生誘導誤差之波形之一圖表；

圖3繪示一例示性MEMS感測器之一透視圖；

圖4繪示具有實施於此處用於降低根據本發明之一實施例之寄生誘導誤差之雙埠電容網路之圖3之MEMS感測器之一示意圖；

圖5繪示例示歸因於實施雙埠電容網路於一MEMS感測器中的結果之一誤差降低之波形之一圖表；

圖6繪示根據本發明之另一實施例之一雙埠電容網路；

圖7繪示實施於雙埠電容網路中之多個電容電路之一者之一電路模型；

圖8繪示提供方程式用於測定可在雙埠電容網路中之電容電路之各者實現之一有效電容(C_{eff})之對應於圖7之電路模型之一圖表；及

圖9繪示電容電路內之多個電容器之例示性電容器值及所得有效網路電容之一表格。

【主要元件符號說明】

20	MEMS感測
22	寄生電容
24	寄生電容

26	諧振器
28	感測電路
30	慣性質量
32	驅動結構
34	驅動節點
36	驅動節點
38	交流電(AC)電壓源
40	感測結構
42	感測節點
44	感測節點
46	感測放大器
48	移動驅動指針
50	固定感測指針
52	移動驅動指針
54	固定感測指針
56	正弦驅動電壓
58	振盪線性運動
60	X軸
62	Y軸
64	電容
66	感測電流
68	輸出電壓
70	寄生電流
72	寄生電流

74	圖表
76	波形
78	波形
80	波形
82	波形
84	波形
86	波形
88	波形
90	波形
92	輸出電壓
94	波形
96	正交信號
98	MEMS裝置
100	機電部分
102	電子部分
104	單基板
106	輸入及輸出跡線
108	互連跡線
110	MEMS感測器
112	雙埠電容網路
114	雙埠電容網路
116	輸入端
118	輸入端
120	輸出端

122	輸出端
124	輸入端
126	輸入端
128	輸出端
130	輸出端
132	有效電容
134	校正電流
136	有效電容
138	校正電流
140	圖表
142	波形
144	波形
148	波形
150	電容電路
152	輸入端
154	輸出端
156	電路電容
158	數位控制功能
160	閘終端
162	控制電路
164	開關元件
166	邏輯閘
168	單位元
170	第一狀態

172	第二狀態
174	電路電流
176	電路模型
178	圖表
180	電容元件
181	末端
182	電容元件
184	電容元件
185	末端
186	電容元件
188	電容元件
190	末端
192	末端
194	末端
196	末端
198	方程式
200	方程式
202	表格
204	各列
206	行
208	終端阻抗
210	終端阻抗
212	終端阻抗
214	終端電容

216	終端電容
218	行
220	行
222	行
224	行

七、申請專利範圍：

1. 一種感測器裝置，其包括：

一感測器元件，其具有一第一驅動節點及一第一感測節點，其中當在該第一驅動節點施加一驅動信號時，該第一驅動節點與該第一感測節點之間存在一第一寄生電流；及

一電容網路，其具有耦合至一電壓源之一第一輸入端及耦合至該第一感測節點之一第一輸出端，當在該第一輸入端施加與該第一驅動信號反相之一第二驅動信號時，該第一電容網路實質上消除該第一寄生電流。

2. 如請求項1之感測器裝置，其中：

該電容網路為一第一電容網路；

該感測器元件包含一第二驅動節點及一第二感測節點，其中當在該一驅動節點與該第二驅動節點之間施加該驅動信號時，該第二驅動節點與該第二感測節點之間存在一第二寄生電流；

該第一電容網路之該第一輸入端係耦合至該第二驅動節點；且

該裝置進一步包括一第二電容網路，該第二電容網路具有耦合至該第一驅動節點之一第二輸入端及耦合至該第二感測節點之一第二輸出端，該第二電容網路實質上消除該第二寄生電流。

3. 如請求項2之感測器裝置，其中該第一驅動節點與該第一感測節點之間存在一第一寄生電容，該第二驅動節點

與該第二感測節點之間存在一第二寄生電容，且；

該第一電容網路為用於提供實質上等於該第一寄生電容之一第一有效電容之一第一可調整網路；且

該第二電容網路為用於提供實質上等於該第二寄生電容之一第二有效電容之一第二可調整電容網路。

4. 如請求項3之感測器裝置，其中該第一寄生電容與該第二寄生電容不同，且該第一可調整電容網路及該第二可調整電容網路可分開調諧用於獲得該第一有效電容及該第二有效電容。
5. 如請求項2之感測器裝置，其中該感測器元件包括經調適以一第一方向及垂直於該第一方向之一第二方向振盪之一可移動結構，該可移動結構之一第一部分係在該第一驅動節點與該第二驅動節點之間隔開，且該可移動結構之一第二部分係在該第一感測節點與該第二感測節點之間隔開，其中施加在該第一驅動節點及該第二驅動節點之該驅動信號在該第一方向上振盪可移動結構之該第一部分，且該第一感測節點及該第二感測節點偵測回應於該第一部分在該第一方向上之振盪而發生之該可移動結構之該第二部分在該第二方向上之運動，在該第二方向上之該運動係回應於藉由繞垂直於該第一方向及該第二方向之一軸旋轉所引起之一寇里奧利(Coriolis)力。
6. 如請求項1之感測器裝置，其中該電容網路為一雙埠電容網路。
7. 如請求項1之感測器裝置，其中該第一驅動節點與該第

一感測節點之間存在一寄生電容，且該電容網路包括並聯連接的多個電容電路以產生實質上等於該寄生電容之一有效電容。

8. 如請求項7之感測器裝置，其中該等電容電路之至少二者具有互相不同的電容。

9. 如請求項7之感測器裝置，其中該等電容電路之至少一者具有不大於該寄生電容之一電容。

10. 如請求項9之感測器裝置，其中該電容係小於1毫微微法拉。

11. 如請求項7之感測器裝置，其中該等電容電路之各者包括：

一第一電容元件；

一第二電容元件；

一第三電容元件，該第一、第二及第三電容元件係串聯連接；

一第四電容元件，其具有耦合於該第一電容元件與該第二電容元件之間的一第一末端及耦合至接地之一第二末端；及

一第五電容元件，其具有耦合於該第二電容元件與該第三電容元件之間的一第三末端及耦合至該接地之一第四末端。

12. 如請求項1之感測器裝置，其中：

該電容網路包括並聯連接的多個電容電路以產生一有效電容；且

該裝置進一步包括：

多個控制電路，該等控制電路之各者係與該等電容電路之各者耦合；及

一數位控制元件，其耦合至該等控制電路之各者以選擇性地包含該等電容電路之多者以產生該有效電容。

13. 如請求項12之感測器裝置，其中：

該等控制電路之各者包括內插於該等電容電路之各者與接地之間的一開關元件；且

該數位控制元件包括多個邏輯閘，該等邏輯閘之各者係與各該開關元件相關聯，其中該等邏輯閘之該各者提供具有一第一狀態及一第二狀態之一者之一位元，該第一狀態致動一對應開關元件以提供接地之一分路，且該第二狀態撤銷致動該對應之該開關元件以移除該接地分路。

14. 如請求項13之感測器裝置，其中該開關元件包括一金屬氧化物半導體(MOS)電晶體。

15. 一種實質上消除一裝置中之寄生電流之方法，該裝置包含一感測器元件、一第一電容網路及一第二電容網路，該感測器元件具有一第一驅動節點、一第二驅動節點、一第一感測節點及一第二感測節點，該第一電容網路具有耦合至該第二驅動節點之一第一輸入端及耦合至該第一感測節點之一第一輸出端，該第二電容網路具有耦合至該第一驅動節點之一第二輸入端及耦合至該第二感測

節點之一第二輸出端，且該方法包括：

調整該第一電容網路以提供實質上等於該第一驅動節點與該第一感測節點之間的一第一測定寄生電容之一第一有效電容，在施加一驅動信號至該感測器元件之後，該第一寄生電容引起一第一寄生電流；

調整該第二電容網路以提供實質上等於該第二驅動節點與該第二感測節點之間的一第二測定寄生電容之一第二有效電容，在施加該驅動信號至該感測器元件之後，該第二寄生電容引起一第二寄生電流；及

在該第一驅動節點及該第二驅動節點施加該驅動信號以驅動該感測器元件，該驅動信號係同時施加至該第一電容網路及該第二電容網路以形成實質上等於該第一寄生電流且與該第一寄生電流反相之一第一校正電流通過該第一電容網路，且形成實質上等於該第二寄生電流且與該第二寄生電流反相之一第二校正電流通過該第二電容網路，使得實質上消除該第一寄生電流及該第二寄生電流。

16. 如請求項15之方法，其中在調整該第一電容網路及該第二電容網路之前，該方法進一步包括：

測定該第一驅動節點與該第一感測節點之間的該第一寄生電容；及

測定該第二驅動節點與該第二感測節點之間的該第二寄生電容。

17. 如請求項15之方法，其中該第一寄生電容與該第二寄生

電容不同，且該第一電容網路與該第二電容網路可分開調整用於獲得互相不同的該第一有效電容及該第二有效電容。

18. 如請求項15之方法，其中：

該第一電容網路包含並聯連接的多個第一電容電路以產生該第一有效電容；

該第二電容網路包含並聯連接的多個第二電容電路以產生該第二有效電容；

該調整第一電容網路包括利用數位控制以選擇性地包含該等第一電容電路之多者以產生該第一有效電容；且

該調整第二電容網路包括利用該數位控制以選擇性地包含該等第二電容電路之多者以產生該第二有效電容。

19. 一種感測器裝置，其包括：

一諧振器元件，其具有一第一驅動節點、一第二驅動節點、一第一感測節點及一第二感測節點，其中該第一驅動節點與該第一感測節點之間存在一第一寄生電容以產生一第一寄生電流，該第二驅動節點與該第二感測節點之間存在一第二寄生電容以在該第二驅動節點與該第二感測節點之間產生一第二寄生電流，當在該第一驅動節點與該第二驅動節點之間施加一驅動信號時，存在該第一寄生電流及該第二寄生電流；

一第一電容網路，其包含並聯連接的多個第一電容電路以產生實質上等於該第一寄生電容之一第一有效電容，該第一電容網路具有連接至該第二驅動節點之一第

一輸入端且具有連接至該第一感測節點之一第一輸出端，當在該第一驅動節點與該第二驅動節點之間施加該驅動信號時，該第一電容網路形成實質上等於該第一寄生電流且與該第一寄生電流反相之一第一校正電流以實質上消除該第一寄生電流；及

一第二電容網路，其包含並聯連接的多個第二電容電路以產生實質上等於該第二寄生電容之一第二有效電容，該第二電容網路具有連接至該第一驅動節點之一第二輸入端及連接至該第二感測節點之一第二輸出端，當在該第一驅動節點與該第二驅動節點之間施加該驅動信號時，該第二電容網路形成實質上等於該第二寄生電流且與該第二寄生電流反相之一第二校正電流以實質上消除該第二寄生電流。

20. 如請求項19之感測器裝置，其進一步包括：

多個第一控制電路，該等第一控制電路之各者係與該等第一電容電路之各者耦合；

一第一數位控制元件，其耦合至該等第一控制電路之各者以選擇性地包含該等第一電容電路之多者以產生該第一有效電容；

多個第二控制電路，該等第二控制電路之各者係與該等第二電容電路之各者耦合；及

一第二數位控制元件，其耦合至該等第二控制電路之各者以選擇性地包含該等第二電容電路之多者以產生該第二有效電容。

八、圖式：

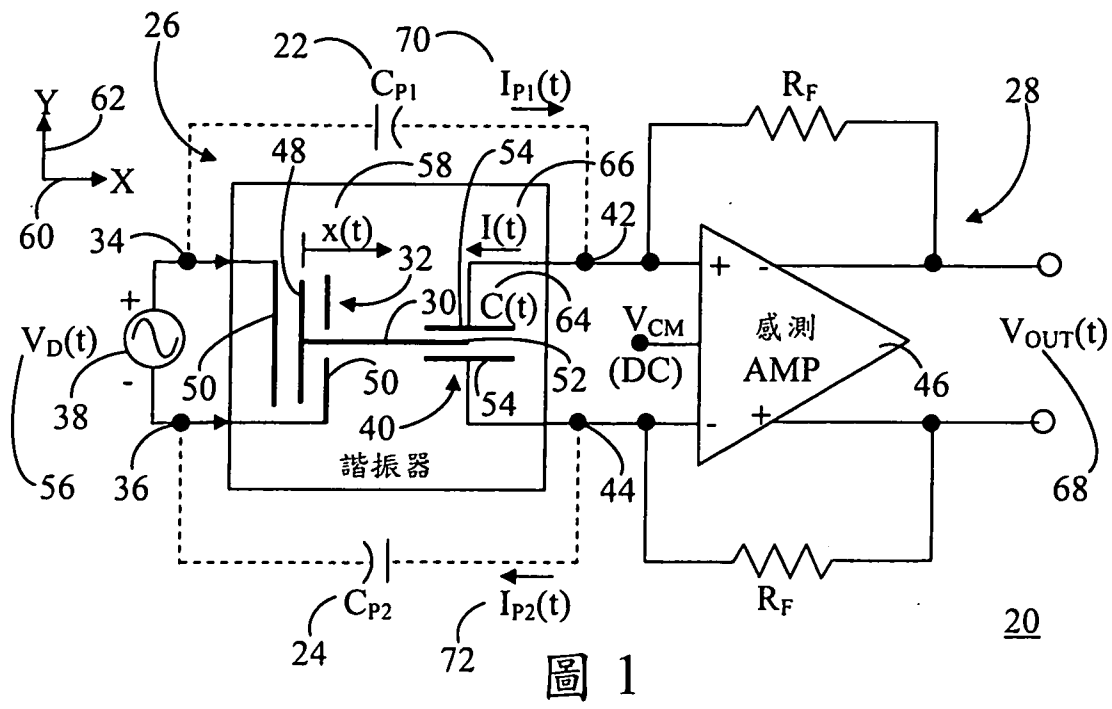


圖 1

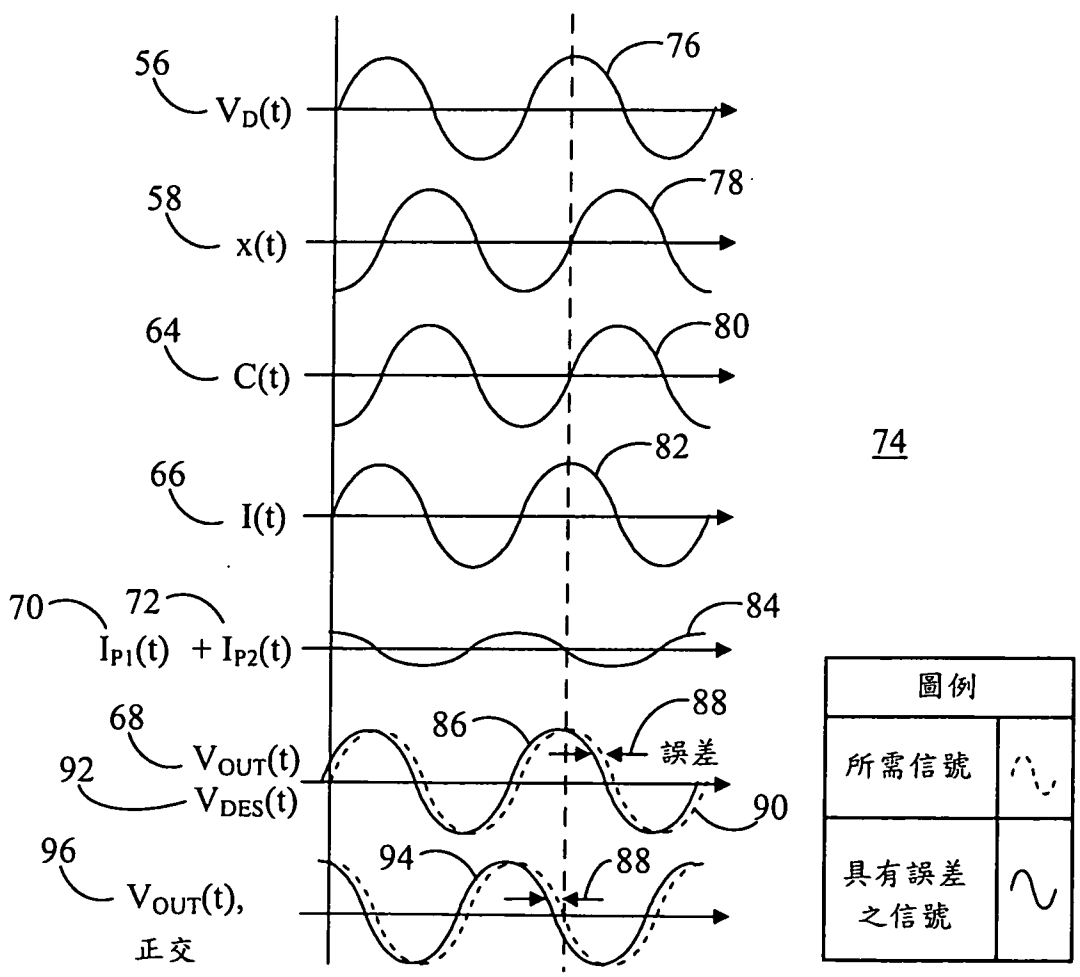


圖 2

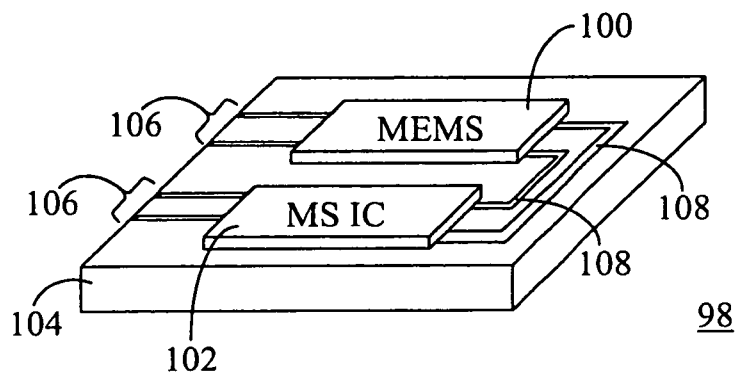


圖 3

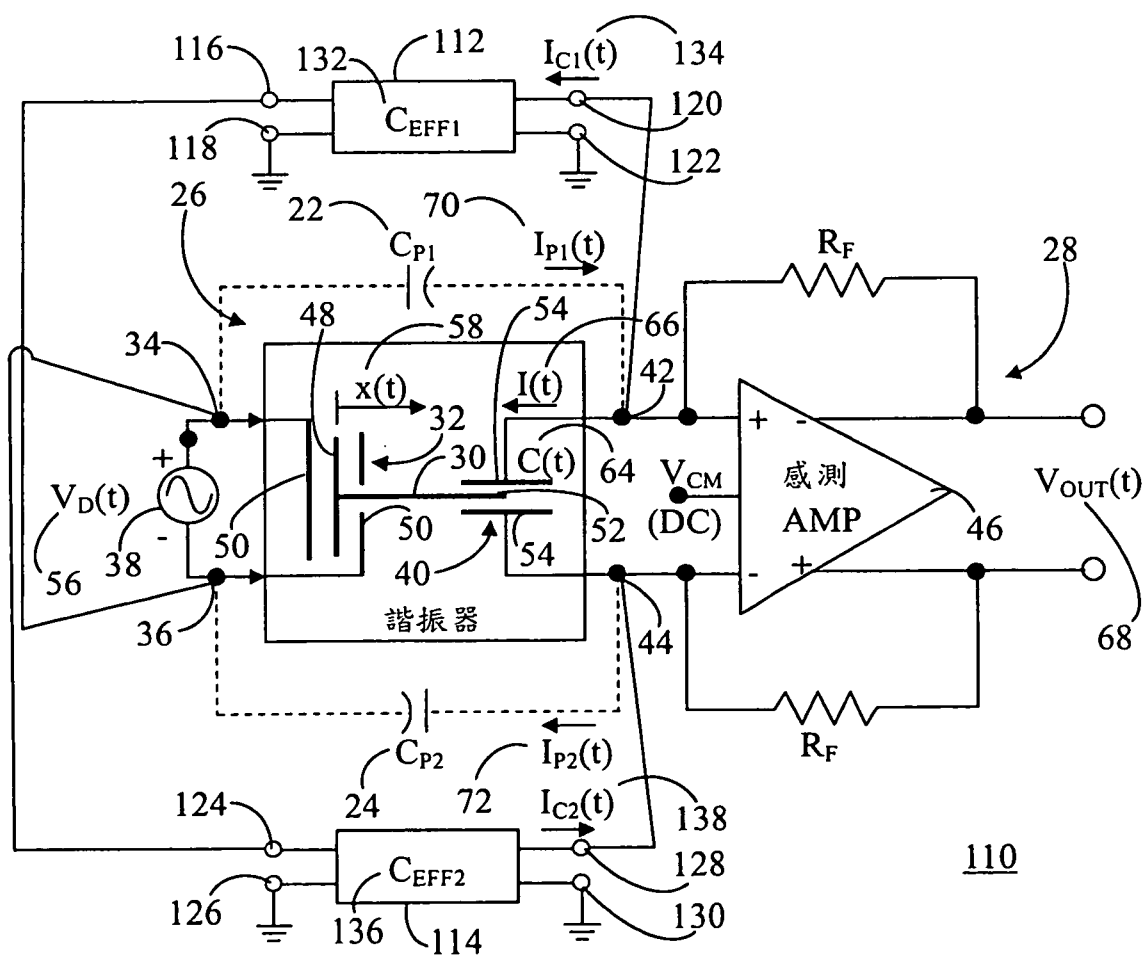


圖 4

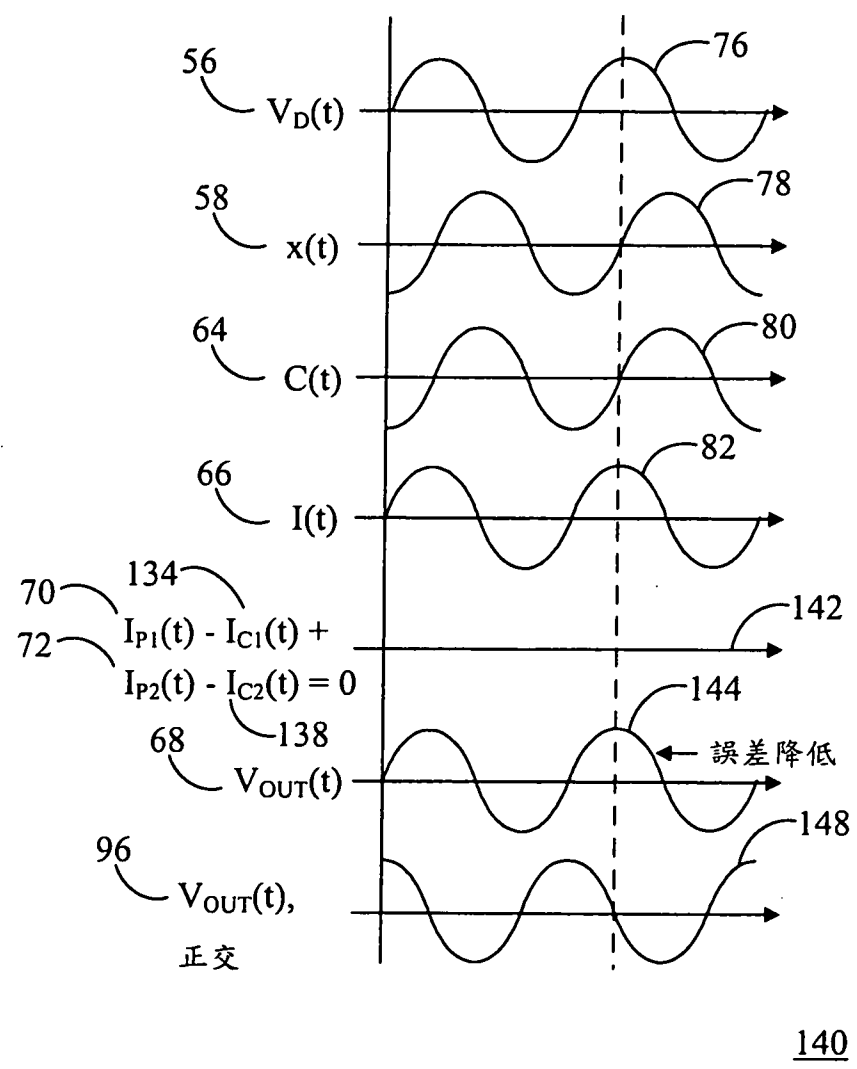
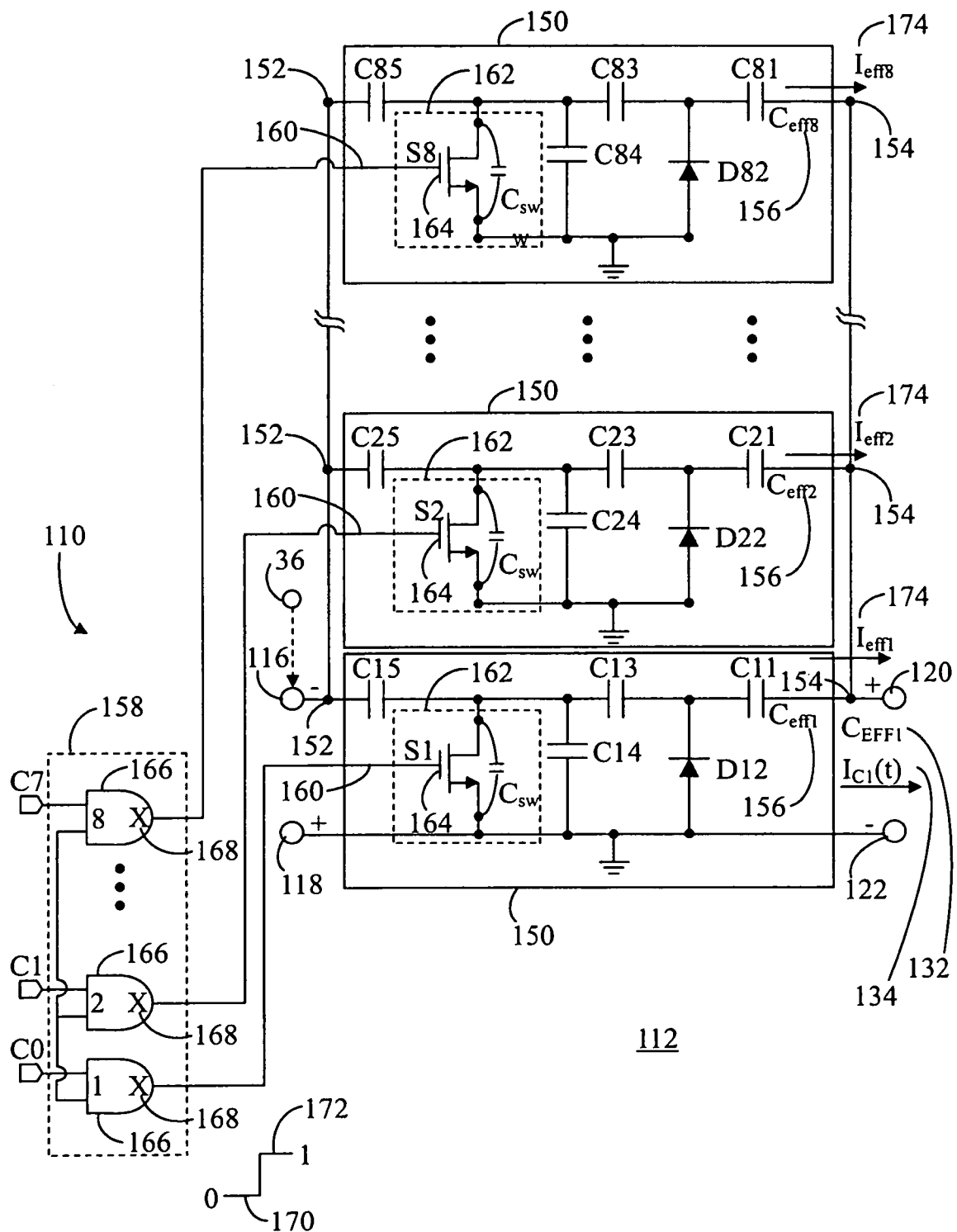


圖 5



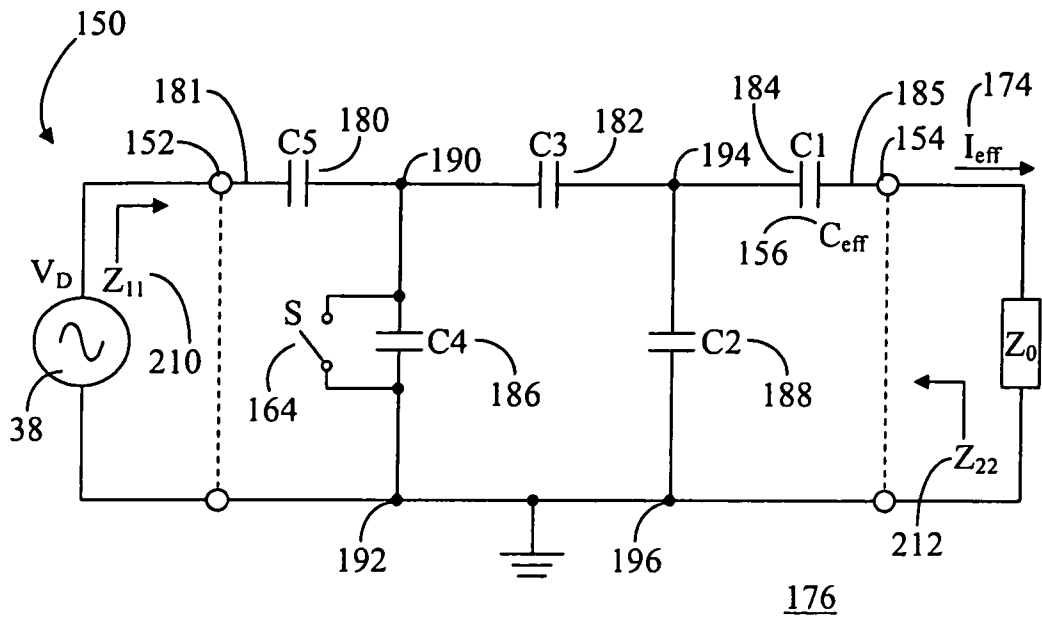


圖 7

$$\frac{I_{\text{eff}}}{V_D} = j2\pi f C_{\text{eff}} \quad \begin{matrix} 198 \\ 200 \end{matrix}$$

$$C_{\text{EFF}} = \frac{C1(C3)(C5)}{C1(C3) + C3(C5) + C1(C5) + C2(C3 + C5) + C4(C1 + C3) + C2(C4)} \quad \begin{matrix} 156 \end{matrix}$$

其中：

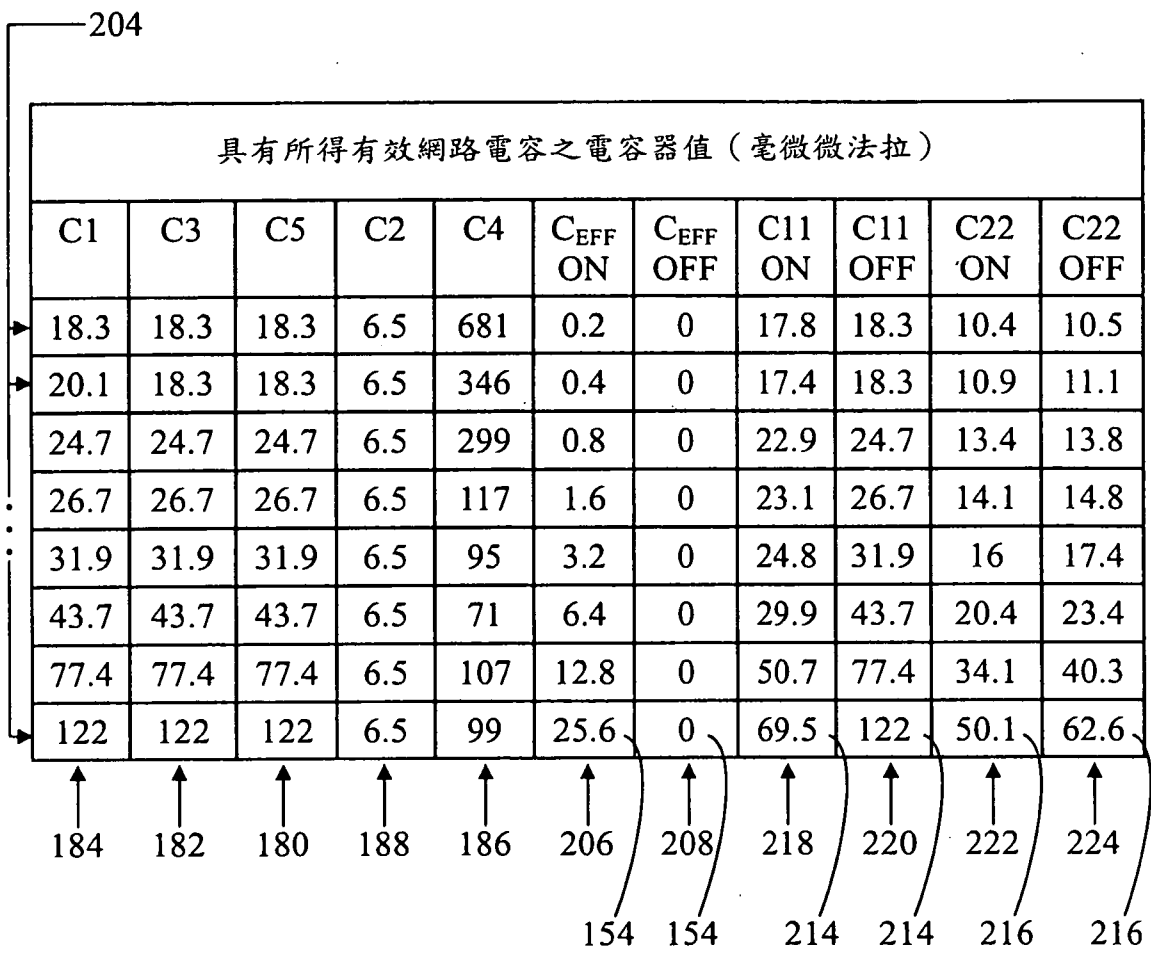
$j =$ 虛構單元($j^2 = -1$)

$f =$ 之頻率 $V_D(\text{Hz})$

$C4 = CN4 + C_{\text{sw}}$

$C2 =$ 在二極體所見之電容(DN2)

圖 8 178



202

圖 9