

(19) 日本国特許庁(JP)

(12) 公 開 特 許 公 報(A)

(11) 特許出願公開番号
特開2015-41388
(P2015-41388A)

(43) 公開日 平成27年3月2日(2015.3.2)

(51) Int.Cl.	F I	テーマコード (参考)
G 1 1 C 11/4097 (2006.01)	G 1 1 C 11/34 3 6 2 B	5 F 0 8 3
H O 1 L 21/8242 (2006.01)	H O 1 L 27/10 6 2 1 Z	5 F 1 1 O
H O 1 L 27/108 (2006.01)	H O 1 L 27/10 6 7 1 C	5 M O 2 4
H O 1 L 29/786 (2006.01)	H O 1 L 27/10 6 7 1 Z	
H O 1 L 21/336 (2006.01)	H O 1 L 29/78 6 1 3 A	
審査請求 未請求 請求項の数 5 O L (全 37 頁) 最終頁に続く		

(21) 出願番号 特願2013-170069 (P2013-170069)	(71) 出願人 000153878
(22) 出願日 平成25年8月20日 (2013.8.20)	株式会社半導体エネルギー研究所
	神奈川県厚木市長谷398番地
	(72) 発明者 小山 潤
	神奈川県厚木市長谷398番地 株式会社
	半導体エネルギー研究所内
	Fターム(参考) 5F083 AD01 AD02 AD21 GA11 HA02
	JA36 JA37 JA39 JA56 KA06
	MA06 MA16 MA19 NA01 PR22
	最終頁に続く

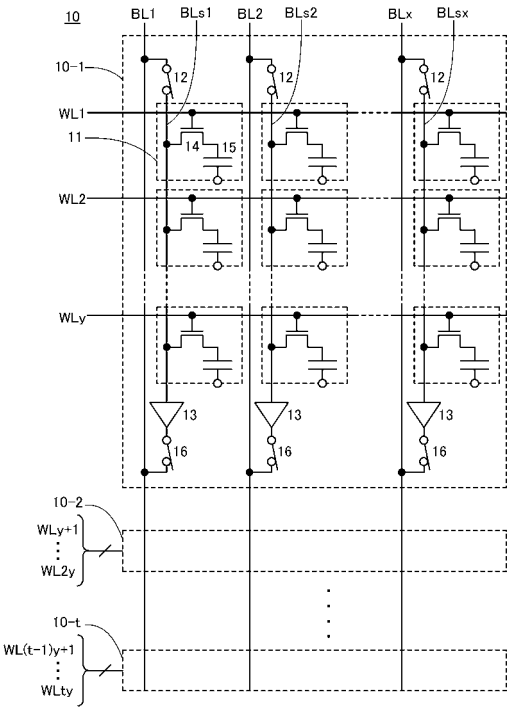
(54) 【発明の名称】 記憶装置、及び半導体装置

(57) 【要約】

【課題】メモリセルの面積を縮小化しても、データの読み出しを行うことができる記憶装置の提供。

【解決手段】第1配線を共有する複数のセルアレイを有し、複数のセルアレイは、第1スイッチと、第1スイッチを介して第1配線の電位が供給される第2配線と、複数のメモリセルと、第2配線の電位が供給されるインピーダンス変換器と、インピーダンス変換器から出力される電位の、第1配線への供給を制御する第2スイッチと、をそれぞれ有し、複数のメモリセルは、トランジスタと、トランジスタを介して第2配線の電位が供給される容量素子と、を有する記憶装置。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

第 1 配線を共有する複数のセルアレイを有し、
複数の前記セルアレイは、第 1 スイッチと、前記第 1 スイッチを介して前記第 1 配線の電位が供給される第 2 配線と、複数のメモリセルと、前記第 2 配線の電位が供給されるインピーダンス変換器と、前記インピーダンス変換器から出力される電位の、前記第 1 配線への供給を制御する第 2 スイッチと、をそれぞれ有し、
複数の前記メモリセルは、トランジスタと、前記トランジスタを介して前記第 2 配線の電位が供給される容量素子と、を有する記憶装置。

【請求項 2】

請求項 1 乃至請求項 3 のいずれか一項において、前記トランジスタは、酸化物半導体膜にチャンネル形成領域が形成される記憶装置。

【請求項 3】

請求項 4 において、前記酸化物半導体膜が In、Ga、及び Zn を含む記憶装置。

【請求項 4】

請求項 5 において、前記酸化物半導体膜が C A A C - O S 膜である記憶装置。

【請求項 5】

請求項 1 乃至請求項 3 のいずれか 1 項に記載の前記記憶装置を有する半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、物、方法、または、製造方法に関する。または、本発明は、プロセス、マシン、マニファクチャ、または、組成物（コンポジション・オブ・マター）に関する。特に、本発明の一態様は、半導体装置、表示装置、発光装置、蓄電装置、それらの駆動方法、または、それらの製造方法に関する。特に、本発明の一態様は、記憶装置と当該記憶装置を用いた半導体装置に関する。

【背景技術】

【0002】

D R A M (D y n a m i c R a n d o m A c c e s s M e m o r y) は、S R A M (S t a t i c R a n d o m A c c e s s M e m o r y) などの他の記憶装置に比べて大容量化に有利だが、チップサイズの増大を抑えつつ、集積度をより高めるためには、他の記憶装置と同様に単位面積あたりの記憶容量を高めなくてはならない。しかし、D R A M の場合、メモリセルの面積を縮小化すると、容量素子の有する容量値が小さくなる。そのため、メモリセルの容量素子に対してビット線の寄生容量が大きくなり過ぎてしまい、メモリセルに保持されている電荷量を、ビット線の電位の変化によって読み取るのが困難になる。

【0003】

下記の特許文献 1 では、ビット線の負荷容量を低減するために、メモリセルアレイを分割し、メモリセルアレイの間でメモリセルのビット線を直列に接続または切り離しを行うためのスイッチ回路を設ける半導体記憶装置について、開示されている。

【先行技術文献】

【特許文献】

【0004】

【特許文献 1】特開平 7 - 1 1 4 7 9 4 号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

特許文献 1 に記載の半導体記憶装置では、分割された全てのメモリセルアレイにおいて、ビット線の負荷容量を低減できるわけではない。よって、特許文献 1 に記載の半導体記憶装置では、メモリセルの容量素子を縮小化すると、分割されたメモリセルアレイのうち、

10

20

30

40

50

データの読み出しを行うのが困難なメモリセルアレイが出てくると考えられる。

【 0 0 0 6 】

上述したような技術的背景のもと、本発明の一態様は、メモリセルの面積を縮小化しても、データの読み出しを行うことができる記憶装置の提供を課題の一つとする。または、本発明の一態様は、上記記憶装置を用いた、高い信頼性を有する半導体装置の提供を課題の一つとする。または、本発明の一態様は、集積度の高い半導体装置の提供を課題の一つとする。または、本発明の一態様は、ノイズに強い半導体装置の提供を課題の一つとする。または、本発明の一態様は、大きな出力信号を得られる半導体装置の提供を課題の一つとする。なお、これらの課題の記載は、他の課題の存在を妨げるものではない。なお、本発明の一態様は、これらの課題の全てを解決する必要はないものとする。なお、これら以外の課題は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の課題を抽出することが可能である。

10

【課題を解決するための手段】

【 0 0 0 7 】

本発明の一態様にかかる記憶装置は、第 1 配線を共有する複数のセルアレイを有し、複数のセルアレイは、第 1 スイッチと、第 1 スイッチを介して第 1 配線の電位が供給される第 2 配線と、複数のメモリセルと、第 2 配線の電位が供給されるインピーダンス変換器と、インピーダンス変換器から出力される電位の、第 1 配線への供給を制御する第 2 スイッチと、をそれぞれ有し、複数のメモリセルは、トランジスタと、トランジスタを介して第 2 配線の電位が供給される容量素子と、を有する。

20

【発明の効果】

【 0 0 0 8 】

本発明の一態様により、メモリセルの面積を縮小化しても、データの読み出しを行うことができる記憶装置を提供することができる。また、本発明の一態様により、上記記憶装置を用いた、高い信頼性を有する半導体装置を提供することができる。

【図面の簡単な説明】

【 0 0 0 9 】

【図 1】セルアレイの構成例。

【図 2】セルアレイの構成例。

30

【図 3】セルアレイのタイミングチャート。

【図 4】記憶装置の構成を示すブロック図。

【図 5】メモリセル、センスアンプ、プリチャージ回路、スイッチ回路、及びメインアンプの接続構成を示す図。

【図 6】駆動回路とメモリセルのタイミングチャート。

【図 7】記憶装置の構造を示す概念図。

【図 8】セルアレイの構成例。

【図 9】記憶装置の断面構造を示す図。

【図 10】トランジスタの構造を示す図。

40

【図 11】トランジスタの構造を示す図。

【図 12】チップとモジュールの図。

【図 13】電子機器の図。

【図 14】セルアレイの構成例。

【図 15】セルアレイの構成例。

【図 16】セルアレイの構成例。

【図 17】セルアレイの構成例。

【図 18】セルアレイの構成例。

【図 19】セルアレイの構成例。

【発明を実施するための形態】

【 0 0 1 0 】

50

以下では、本発明の実施の形態について図面を用いて詳細に説明する。ただし、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは、当業者であれば容易に理解される。したがって、本発明は、以下に示す実施の形態の記載内容に限定して解釈されるものではない。

【0011】

なお、本発明の一態様の半導体装置は、マイクロプロセッサ、画像処理回路、半導体表示装置用のコントローラ、DSP (Digital Signal Processor)、マイクロコントローラ、2次電池などのバッテリーの制御回路または保護回路などの、記憶装置を用いた各種半導体集積回路をその範疇に含む。また、本発明の一態様の半導体装置は、上記半導体集積回路を用いたRFタグ、半導体表示装置などの各種装置を、その範疇に含む。半導体表示装置には、液晶表示装置、有機発光素子 (OLED) に代表される発光素子を各画素に備えた発光装置、電子ペーパー、DMD (Digital Micromirror Device)、PDP (Plasma Display Panel)、FED (Field Emission Display) 等や、記憶装置を駆動回路に有しているその他の半導体表示装置が、その範疇に含まれる。

10

【0012】

なお、本明細書において接続とは電氣的な接続を意味しており、電流、電圧または電位が、供給可能、或いは伝送可能な状態にすることができるような回路構成になっている場合に相当する。従って、接続している回路構成とは、直接接続している回路構成を必ずしも指すわけではなく、電流、電圧または電位が、供給可能、或いは伝送可能であるように、配線、抵抗、ダイオード、トランジスタなどの素子を介して電氣的に接続している回路構成も、その範疇に含む。

20

【0013】

例えば、本明細書等において、XとYとが接続されている、と明示的に記載する場合は、XとYとが電氣的に接続されている場合と、XとYとが機能的に接続されている場合と、XとYとが直接接続されている場合とを含むものとする。ここで、X、Yは、対象物 (例えば、装置、素子、回路、配線、電極、端子、導電膜、層、など) であるとする。したがって、所定の接続関係、例えば、図または文章に示された接続関係に限定されず、図または文章に示された接続関係以外のものも含むものとする。

【0014】

XとYとが電氣的に接続されている場合の一例としては、XとYとの電氣的な接続を可能とする素子 (例えば、スイッチ、トランジスタ、容量素子、インダクタ、抵抗素子、ダイオード、表示素子、発光素子、負荷など) が、XとYとの間に1個以上接続されることが可能である。なお、スイッチは、オンオフが制御される機能を有している。つまり、スイッチは、導通状態 (オン状態)、または、非導通状態 (オフ状態) になり、電流を流すか流さないかを制御する機能を有している。または、スイッチは、電流を流す経路を選択して切り替える機能を有している。

30

【0015】

XとYとが機能的に接続されている場合の一例としては、XとYとの機能的な接続を可能とする回路 (例えば、論理回路 (インバータ、NAND回路、NOR回路など)、信号変換回路 (DA変換回路、AD変換回路、ガンマ補正回路など)、電位レベル変換回路 (電源回路 (昇圧回路、降圧回路など)、信号の電位レベルを変えるレベルシフタ回路など)、電圧源、電流源、切り替え回路、増幅回路 (信号振幅または電流量などを大きく出来る回路、オペアンプ、差動増幅回路、ソースフォロワ回路、バッファ回路など)、信号生成回路、記憶回路、制御回路など) が、XとYとの間に1個以上接続されることが可能である。なお、一例として、XとYとの間に別の回路を挟んでいても、Aから出力された信号がBへ伝達される場合は、XとYとは機能的に接続されているものとする。

40

【0016】

なお、XとYとが電氣的に接続されている、と明示的に記載する場合は、XとYとが電氣的に接続されている場合 (つまり、XとYとの間に別の素子又は別の回路を挟んで接続さ

50

れている場合)と、XとYとが機能的に接続されている場合(つまり、XとYとの間に別の回路を挟んで機能的に接続されている場合)と、XとYとが直接接続されている場合(つまり、XとYとの間に別の素子又は別の回路を挟まずに接続されている場合)とを含むものとする。つまり、電氣的に接続されている、と明示的に記載する場合は、単に、接続されている、とのみ明示的に記載されている場合と同じであるとする。

【0017】

また、回路図上は独立している構成要素どうしが接続されている場合であっても、実際には、例えば配線の一部が電極としても機能する場合など、一の導電膜が、複数の構成要素の機能を併せ持っている場合もある。本明細書において接続とは、このような、一の導電膜が、複数の構成要素の機能を併せ持っている場合も、その範疇に含める。

10

【0018】

また、トランジスタのソースとは、半導体膜として機能する半導体膜の一部であるソース領域、或いは上記半導体膜に電氣的に接続されたソース電極を意味する。同様に、トランジスタのドレインとは、半導体膜として機能する半導体膜の一部であるドレイン領域、或いは上記半導体膜に電氣的に接続されたドレイン電極を意味する。また、ゲートはゲート電極を意味する。

【0019】

トランジスタが有するソースとドレインは、トランジスタのチャネル型及び各端子に与えられる電位の高低によって、その呼び方が入れ替わる。一般的に、nチャネル型トランジスタでは、低い電位が与えられる端子がソースと呼ばれ、高い電位が与えられる端子がドレインと呼ばれる。また、pチャネル型トランジスタでは、低い電位が与えられる端子がドレインと呼ばれ、高い電位が与えられる端子がソースと呼ばれる。本明細書では、便宜上、ソースとドレインとが固定されているものと仮定して、トランジスタの接続関係を説明する場合があるが、実際には上記電位の関係に従ってソースとドレインの呼び方が入れ替わる。

20

【0020】

なお、本明細書等において、スイッチとしては、様々な形態のものを用いることができる。スイッチは、導通状態(オン状態)、または、非導通状態(オフ状態)になり、電流を流すか流さないかを制御する機能を有している。または、スイッチは、電流を流す経路を選択して切り替える機能を有し、例えば、経路1に電流を流すことができるようにするか、経路2に電流を流すことができるようにするかを選択して切り替える機能を有している。スイッチの一例としては、電氣的スイッチ又は機械的なスイッチなどを用いることができる。つまり、スイッチは、電流を制御できるものであればよく、特定のものに限定されない。スイッチの一例としては、トランジスタ(例えば、バイポーラトランジスタ、MOSトランジスタなど)、ダイオード(例えば、PNダイオード、PINダイオード、ショットキーダイオード、MIM(Metal Insulator Metal)ダイオード、MIS(Metal Insulator Semiconductor)ダイオード、ダイオード接続のトランジスタなど)、又はこれらを組み合わせた論理回路などがある。機械的なスイッチの一例としては、デジタルマイクロミラーデバイス(DMD)のように、MEMS(マイクロ・エレクトロ・メカニカル・システム)技術を用いたスイッチがある。そのスイッチは、機械的に動かすことが可能な電極を有し、その電極が動くことによって、導通と非導通とを制御して動作する。

30

40

【0021】

セルアレイの構成例

図1に、本発明の一態様にかかる記憶装置が有するセルアレイの構成を、一例として示す。

【0022】

図1に示すセルアレイ10は、複数のセルアレイに分割されている。以下、本明細書では、上記複数のセルアレイをセルアレイ10と区別するために、上記複数の各セルアレイをユニットと称する。

50

【 0 0 2 3 】

図 1 に示すセルアレイ 1 0 は、ユニット 1 0 - 1 乃至ユニット 1 0 - t (t は 2 以上の自然数) を有する。そして、ユニット 1 0 - 1 乃至ユニット 1 0 - t は、それぞれ、複数のメモリセル 1 1 を有する。また、セルアレイ 1 0 は、メモリセル 1 1 を行ごとに選択するための信号が供給される複数の配線 W L と、配線 W L に供給される信号により選択されたメモリセル 1 1 への、データを含む信号の供給を行う単数または複数の配線 B L とを有する。

【 0 0 2 4 】

具体的に、図 1 では、ユニット 1 0 - 1 乃至ユニット 1 0 - t が、 y 本 (y は 2 以上の自然数) の配線 W L をそれぞれ有し、各配線 W L が y 行のメモリセル 1 1 に接続されている場合を例示している。例えば、ユニット 1 0 - i (i は t 以下の自然数) は、配線 W L (i - 1) y + 1 乃至配線 W L i y で示される y 本の配線 W L を有する。また、具体的に、図 1 では、ユニット 1 0 - 1 乃至ユニット 1 0 - t が x 本 (x は自然数) の配線 B L を共有している場合を例示している。

10

【 0 0 2 5 】

さらに、本発明の一態様では、ユニット 1 0 - 1 乃至ユニット 1 0 - t が、 x 本の配線 B L にそれぞれ対応する x 本の配線 B L s と、 x 本の配線 B L s にそれぞれ対応したスイッチ 1 2、スイッチ 1 6、及び回路 1 3 とを、それぞれ有する。配線 B L s は、配線 B L よりも寄生容量が小さいものとする。

【 0 0 2 6 】

図 1 では、配線 B L s 1 乃至配線 B L s x で示される配線 B L s が、 x 列のメモリセル 1 1 にそれぞれ接続されている。そして、スイッチ 1 2 は、 x 本の配線 B L と x 本の配線 B L s との電氣的な接続を制御する機能を有する。スイッチ 1 2 がオンになることで、 x 本の配線 B L の電位が、それぞれ対応する x 本の配線 B L s に供給される。

20

【 0 0 2 7 】

なお、配線 B L 及び B L s の数は、メモリセル 1 1 の数及び配置によって決めることができる。

【 0 0 2 8 】

図 1 4 には、一例として、1つのユニットに、2つのメモリセル 1 1 が配置された場合の 1 列分の回路図を示す。図 1 4 では、セルアレイ 1 0 に、ユニット 1 0 - 1、ユニット 1 0 - 2、ユニット 1 0 - 3 が設けられている場合の例を示す。

30

【 0 0 2 9 】

ここで、回路 1 3 は、例えば、インピーダンスを変換することができる機能を有している。例えば、出力インピーダンスを小さくすることが出来る機能を有している。または、回路 1 3 は、例えば、比較器の機能を有している。または、回路 1 3 は、センスアンプの機能を有している。または、回路 1 3 は、増幅器の機能を有している。例えば、回路 1 3 は、入力された電位に応じて、スイッチ 1 6 を介して、電位や信号を出力することが出来る。このとき出力される信号は、アナログ信号だけでなく、デジタル信号でもよい。回路 1 3 として、比較器の機能を有する場合には、基準電圧と比較して、高いか低いかによって、2 値のデジタル信号を出力することが出来る。つまり、A D 変換をすることができる機能を有しているともいえる。または、回路 1 3 として、アナログの増幅器の機能を有する場合には、入力のアナログ信号に応じたアナログ信号を出力することが出来る。

40

【 0 0 3 0 】

そこで、図 1 では、回路 1 3 として、ソースフォロワやボルテージフォロワなどのバッファを用いる場合を例示している。回路 1 3 の入力端子には配線 B L s の電位が供給される。スイッチ 1 6 は、回路 1 3 の出力端子と、配線 B L との間の接続を制御する機能を有する。スイッチ 1 6 がオンになることで、 x 本の配線 B L s の電位に応じた電位が、回路 1 3 を介して、対応する x 本の配線 B L にそれぞれ供給される。なお、回路 1 3 が、出力をハイインピーダンス状態にすることができる場合には、スイッチ 1 6 が設けられていない場合もある。

50

【 0 0 3 1 】

メモリセル 1 1 は、トランジスタ 1 4 と、トランジスタ 1 4 を介して配線 B L s の電位が供給される容量素子 1 5 と、を有する。なお、本発明の一態様にかかる記憶装置は、メモリセル 1 1 が複数のトランジスタ 1 4 を有し、複数の当該トランジスタ 1 4 を介して配線 B L s の電位が容量素子 1 5 に供給される構成を有していても良い。

【 0 0 3 2 】

具体的に、図 1 では、トランジスタ 1 4 のゲートが y 本の配線 W L のいずれか 1 つに接続されている。また、トランジスタ 1 4 は、ソース及びドレインの一方が、x 本の配線 B L s のいずれか 1 つに接続され、ソース及びドレインの他方が、容量素子 1 5 の有する一対の電極の一方に接続されている。

10

【 0 0 3 3 】

セルアレイの動作例

次いで、図 1 に示すセルアレイ 1 0 の動作の一例について説明する。

【 0 0 3 4 】

まず、メモリセル 1 1 への、データの書き込みについて説明する。データの書き込み時には、ユニット 1 0 - 1 乃至ユニット 1 0 - t のいずれか一のユニット、または、すべてのユニットにおいて、スイッチ 1 2 をオンにすることで、配線 B L と、配線 B L s との間を導通状態にする。また、当該一のユニットにおいて、y 本の配線 W L のいずれか 1 つを選択することで、データの書き込みが行われるメモリセル 1 1 の、トランジスタ 1 4 がオンになる。上記動作により、配線 B L に供給されている、データを含む信号の電位は、スイッチ 1 2 及びトランジスタ 1 4 を介して、容量素子 1 5 に供給される。

20

【 0 0 3 5 】

なお、データの書き込みを行う際には、信号が混じってしまうことを低減するために、一例としては、スイッチ 1 6 はオフにすることが望ましい。

【 0 0 3 6 】

次いで、トランジスタ 1 4 をオフにすることで、データを含む信号の電位は、容量素子 1 5 において保持される。

【 0 0 3 7 】

なお、データの書き込み時における、配線 B L と配線 B L s との間での導通状態の制御は、一のユニット内の、全ての配線 B L 及び配線 B L s について行っても良いし、データの書き込みを行うメモリセル 1 1 に接続された配線 B L s と、当該配線 B L s に対応した配線 B L とについてのみ、行うようにしても良い。

30

【 0 0 3 8 】

また、データの書き込み時における、配線 B L と配線 B L s との間での導通状態の制御を、一のユニット内の、全ての配線 B L 及び配線 B L s について行う場合、一のユニット内の、複数のメモリセル 1 1 へのデータの書き込みが完了するまで、上記導通状態を維持するようにしても良い。

【 0 0 3 9 】

なお、メモリセル 1 1 へのデータの書き込みを行う前に、スイッチ 1 2 をオンにした状態で配線 B L に所定の電位を供給することで、配線 B L s の電位を初期化しても良い。

40

【 0 0 4 0 】

次いで、メモリセル 1 1 からの、データの読み出しについて説明する。データの読み出しを行うには、まず、データの読み出しを行うユニットが有する、配線 B L 及び配線 B L s の電位の初期化を行う。具体的には、ユニット 1 0 - 1 乃至ユニット 1 0 - t のいずれか一のユニットにおいて、スイッチ 1 2 をオンにすることで、配線 B L と、配線 B L s との間を導通状態にする。そして、配線 B L の初期化用の電位を供給することで、配線 B L 及び配線 B L s の電位を初期化することができる。

【 0 0 4 1 】

なお、配線 B L 及び配線 B L s の電位の初期化を行うとき、信号が混じってしまうことを低減するために、一例としては、スイッチ 1 6 はオフとすることが望ましい。

50

【 0 0 4 2 】

配線 B L 及び配線 B L s の電位を初期化した後、スイッチ 1 2 をオフにして、配線 B L と配線 B L s との間を非導通状態にする。

【 0 0 4 3 】

なお、配線 B L 以外の配線を用いて、配線 B L s の電位の初期化を行ってもよい。図 1 5 では、配線 9 0 1 と、スイッチ 9 0 2 とを用いて、配線 B L s の電位を初期化した場合の例を示す。スイッチ 1 2 ではなく、スイッチ 9 0 2 のオンオフを制御することによって、配線 B L s の電位を制御する。この場合、配線 9 0 1 は、ずっと一定の電位のままでよい。その結果、電位の変動がないため、充放電する必要がなく、消費電力を低減することが出来る。なお、配線 9 0 1 は、メモリセル 1 1 全体にわたって接続されていてもよい。

10

【 0 0 4 4 】

次いで、データの読み出しを行うユニットが有する、y 本の配線 W L のいずれか 1 つを選択することで、データの読み出しが行われるメモリセル 1 1 の、トランジスタ 1 4 をオンにする。上記動作により、容量素子 1 5 と配線 B L s との間で電荷の移動が生じるため、容量素子 1 5 に保持されていた電荷量に従って、配線 B L s の電位が変動する。具体的には、保持されていた容量素子 1 5 の電位が、初期化用の電位よりも高ければ、配線 B L s の電位は高電位側に変動し、容量素子 1 5 の電位が、初期化用の電位よりも低ければ、配線 B L s の電位は低電位側に変動する。

【 0 0 4 5 】

次いで、スイッチ 1 6 をオンにすると、配線 B L s の電位に応じた電位は、回路 1 3 と、スイッチ 1 6 とを介して配線 B L に供給される。回路 1 3 を用いることで、配線 B L に供給される電位の高さは、配線 B L が有する寄生容量の大きさと、配線 B L s が有する寄生容量の大きさとの関係に左右されにくくなる。配線 B L に供給された電位は、セルアレイ 1 0 から読み出される。セルアレイ 1 0 からのデータの読み出しが終了したら、スイッチ 1 6 はオフにする。

20

【 0 0 4 6 】

なお、スイッチ 1 6 を介して回路 1 3 から配線 B L に信号が出力されたあと、スイッチ 1 2 やスイッチ 9 0 2 を用いて、配線 B L s の電位を制御してもよい。その電位が、回路 1 3 からの出力がハイインピーダンス状態になる場合には、スイッチ 1 6 を設けなくてもよい。つまり、スイッチ 1 6 がなくても、回路 1 3 から信号が出力されないように、配線 B L s の電位を制御してもよい。

30

【 0 0 4 7 】

また、データの読み出し時における、配線 B L と配線 B L s との間の導通状態を、一のユニット内の、全ての配線 B L 及び配線 B L s について行う場合、一のユニット内の、複数のメモリセル 1 1 からのデータの読み出しが完了するまで、上記導通状態を維持するようにしても良い。

【 0 0 4 8 】

なお、従来の D R A M の場合、データの読み出しの際に、ビット線に例えば $VDD/2$ の電位をプリチャージしたとする。そして、ビット線の寄生容量の容量値を C_p 、容量素子の容量値を C_s 、容量素子に保持されているデータの電位を V_1 、メモリセルのトランジスタがオンしたあとのビット線の電位を V_2 とすると、電位 V_2 は以下の式 1 で表される。

40

【 0 0 4 9 】

$$V_2 = ((VDD/2) \times C_p + V_1 \times C_s) / (C_p + C_s) \quad (\text{式 1})$$

【 0 0 5 0 】

ビット線の電位の変動分が、電位 VDD の 2 . 5 % に相当すると仮定し、 $V_2 = 0 . 5 2 5 \times VDD$ とする。そして、 $V_1 = VDD$ 、 $C_p = n C_s$ とすると、式 1 から、以下の式 2 が導き出される。

【 0 0 5 1 】

$$0 . 5 2 5 VDD \times (n + 1) C_s = (n / 2) \times VDD \times C_s + VDD \times C_s \quad (\text{式 2})$$

50

2)

【 0 0 5 2 】

式 2 から $n = 19$ が算出される。よって、ビット線の寄生容量の容量値 C_p を 500 fF とすると、容量素子の容量値 C_s は 27 fF となる。容量値 27 fF の容量素子を得るためには、厚さ 20 nm の酸化膜を用いる場合、 $16 \mu\text{m}^2$ もの大きな面積が必要になる。DRAM のメモリセルは現在 60 nm 以下になっているため、単純な平行平板膜を用いた場合では、上記容量値 C_s を満たすような容量素子を得ることができない。また、現在の DRAM のように、筒状の高アスペクト構造を有する容量素子を用いる場合、構造が複雑であるがゆえに作製が難しいという欠点があった。

【 0 0 5 3 】

本発明の一態様にかかる記憶装置では、図 1 を用いて説明したように、配線 BL を共有する一のセルアレイ 10 を、ユニット 10 - 1 乃至ユニット 10 - t で例示したような複数のユニットに分割する。そして、データの読み出し時には、複数の各ユニットにおいて、配線 BLs に容量素子 15 の電位を供給し、次いで、配線 BLs からインピーダンス変換機能などを有する回路を介して、当該電位を配線 BL に供給している。そして、配線 BLs は、配線 BL より長さが短いため、その寄生容量を配線 BL より小さくしやすい。よって、配線 BLs の寄生容量が配線 BL の寄生容量の $1/10$ であれば、容量素子 15 を従来の DRAM の $1/10$ の大きさにまで縮小しても、読み出し時において配線 BL の電位の変化が小さくなるのを、防ぐことができる。よって、容量素子 15 を小さくしても、データの読み出しを行うことができる。つまり、ノイズに対する耐性が強くなっているとも

10

20

【 0 0 5 4 】

なお、回路 13 として、比較器の機能を有する場合、配線 901 を基準電位として利用してもよい。その場合の例を、図 16 に示す。回路 13 A の第 1 入力端子は、配線 BLs が接続され、回路 13 A の第 2 入力端子は、配線 901 が接続されている。配線 901 には、初期化用の電位が供給されており、配線 BLs の電位が、配線 901 の電位よりも高いか低いかに応じて、回路 13 A からスイッチ 16 を介して、信号が出力される。回路 13 A としては、オペアンプ、差動増幅回路、チョッパ型コンパレータ、などを用いることが

30

【 0 0 5 5 】

セルアレイの構成例 2

次いで、図 1 に示したセルアレイ 10 の、より具体的な構成の一例を、図 2 に示す。

【 0 0 5 6 】

図 2 に示すセルアレイ 10 は、スイッチ 12 としてトランジスタ 12 t を用い、スイッチ 16 としてトランジスタ 16 t を用いている点において、図 1 に示すセルアレイ 10 と構成が異なる。そして、図 2 に示すセルアレイ 10 では、ユニット 10 - 1 乃至ユニット 10 - t で示す各ユニット内において、全てのトランジスタ 12 t のゲートが配線 SL a に接続されており、全てのトランジスタ 16 t のゲートが配線 SL b に接続されている場合を例示している。

40

【 0 0 5 7 】

具体的に、図 2 に示すセルアレイ 10 は、配線 SL a 1 乃至配線 SL a y と、配線 SL b 1 乃至配線 SL b y とを有する。例えば、ユニット 10 - i では、トランジスタ 12 t のゲートが配線 SL a i に接続されており、トランジスタ 16 t のゲートが配線 SL b i に接続されている。

【 0 0 5 8 】

50

また、図 2 に示すセルアレイ 10 は、トランジスタ 13 t を回路 13 として用いている点において、図 1 に示すセルアレイ 10 と構成が異なる。具体的に、トランジスタ 13 t は、ゲートが配線 B L s に接続されている。

【 0 0 5 9 】

そして、トランジスタ 12 t は、ソース及びドレインの一方が配線 B L に接続されており、ソース及びドレインの他方が配線 B L s に接続されている。また、トランジスタ 13 t は、ソース及びドレインの一方が、配線 H L 1 乃至配線 H L y で示される配線 H L に接続されており、ソース及びドレインの他方が、トランジスタ 16 t のソース及びドレインの一方に接続されている。トランジスタ 16 t は、ソース及びドレインの他方が配線 B L に接続されている。なお、トランジスタ 13 t とトランジスタ 16 t とは、直列に接続されてい

10

【 0 0 6 0 】

なお、配線 S L a、配線 S L b、配線 H L の数は、ユニット 10 - 1 乃至ユニット 10 - t の数によって決めることができる。

【 0 0 6 1 】

次いで、図 2 に示すセルアレイ 10 の動作について、図 3 に示すタイミングチャートを用いて説明する。なお、図 3 では、ユニット 10 - 1 内の 1 列 1 行目のメモリセル 11 と、x 列 1 行目のメモリセル 11 と、1 列 y 行目のメモリセル 11 と、x 列 y 行目のメモリセル 11 とにおいて、データの書き込み、保持、読み出しを行う場合を例に挙げている。

【 0 0 6 2 】

セルアレイ 10 へのデータの書き込みは、行ごとに行われる。図 3 では、1 列 1 行目のメモリセル 11 及び x 列 1 行目のメモリセル 11 へのデータの書き込みを先に行い、その後で、1 列 y 行目のメモリセル 11 及び x 列 y 行目のメモリセル 11 へのデータの書き込みを行う場合を例示している。

20

【 0 0 6 3 】

まず、期間 T1 において、配線 S L a 1 に、ハイレベルの電位 V H が供給され、トランジスタ 12 t がオンになる。そして、書き込みを行う 1 行目のメモリセル 11 に接続された配線 W L 1 には、ハイレベルの電位 V H が供給され、配線 W L 1 以外の全ての配線 W L には、ローレベルの電位 V L が供給される。よって、配線 W L 1 にゲートが接続されているトランジスタ 14 のみが、選択的にオンになる。

30

【 0 0 6 4 】

そして、配線 W L 1 にハイレベルの電位 V H が供給されている期間において、配線 B L 1、配線 B L x に、データを含む信号の電位が供給される。配線 B L 1、配線 B L x に供給される電位のレベルは、データの内容によって当然異なる。図 3 では、配線 B L 1 にハイレベルの電位 V D D が供給され、配線 B L x に接地電位 G N D が供給されている場合を例示する。配線 B L 1、配線 B L x に供給される電位は、オンのトランジスタ 14 を介して、容量素子 15 が有する電極の一つに供給される。

【 0 0 6 5 】

なお、一般に、電位や電圧は、相対的なものである。よって、接地電位 G N D の電位は、必ずしも 0 ボルトであるとは限定されない。

40

【 0 0 6 6 】

なお、電位 V H は電位 V D D と同じか、それより高いものとする。具体的に、電位 V H と電位 V D D の電位差は、トランジスタ 14 の閾値電圧と同じか、それより大きいものとする。

【 0 0 6 7 】

容量素子 15 の一方の電極をノード N D とすると、配線 B L 1、配線 B L x に供給される電位に従って、ノード N D の電位は、1 列 1 行目のメモリセル 11 において電位 V D D となり、x 列 1 行目のメモリセル 11 において接地電位 G N D となる。そして、ノード N D の電位に従って容量素子 15 に供給される電荷量が制御されることで、1 列 1 行目のメモリセル 11 と、x 列 1 行目のメモリセル 11 へのデータの書き込みが行われる。

50

【 0 0 6 8 】

次いで、配線 W L 1 に電位 V L が供給される。よって、配線 W L 1 にゲートが接続されているトランジスタ 1 4 がオフになり、容量素子 1 5 において電荷が保持される。

【 0 0 6 9 】

なお、トランジスタ 1 4 の半導体膜に酸化物半導体を用いた場合、トランジスタ 1 4 のオフ電流を極めて小さくすることができる。よって、容量素子 1 5 に保持されている電荷のリークが妨げられ、トランジスタ 1 4 にシリコンなどの半導体を用いた場合に比べ、長い期間に渡ってデータの保持を行うことができる。

【 0 0 7 0 】

次いで、書き込みを行う y 行目のメモリセル 1 1 に接続された、配線 W L y の選択を行う。具体的に図 3 では、配線 W L y にハイレベルの電位 V H が供給され、配線 W L y 以外の全ての配線 W L には、電位 V L が供給される。よって、配線 W L y にゲートが接続されているトランジスタ 1 4 のみが、選択的にオンになる。

10

【 0 0 7 1 】

そして、配線 W L y にハイレベルの電位 V H が供給されている期間において、配線 B L 1、配線 B L x に、データを含む信号の電位が供給される。配線 B L 1、配線 B L x に供給される電位のレベルは、データの内容によって当然異なる。図 3 では、配線 B L 1 に接地電位 G N D が供給され、配線 B L x にハイレベルの電位 V D D が供給されている場合を例示する。配線 B L 1、配線 B L x に供給される電位は、オンのトランジスタ 1 4 を介して、容量素子 1 5 が有する電極の一つに供給される。配線 B L 1、配線 B L x に供給される電位に従って、ノード N D の電位は、1 列 y 行目のメモリセル 1 1 において接地電位 G N D となり、x 列 y 行目のメモリセル 1 1 において電位 V D D となる。そして、ノード N D の電位に従って容量素子 1 5 に供給される電荷量が制御されることで、1 列 y 行目のメモリセル 1 1 と、x 列 y 行目のメモリセル 1 1 へのデータの書き込みが行われる。

20

【 0 0 7 2 】

次いで、配線 W L y に電位 V L が供給される。よって、配線 W L y にゲートが接続されているトランジスタ 1 4 がオフになり、容量素子 1 5 において電荷が保持される。そして、配線 S L a 1 に、電位 V L が供給されることで、トランジスタ 1 2 t はオフとなる。

【 0 0 7 3 】

なお、メモリセル 1 1 に誤ったデータが書き込まれるのを防ぐために、各配線 W L の選択が終了した後に、配線 B L へのデータを含む電位の供給を停止させることが望ましい。

30

【 0 0 7 4 】

また、データの保持が行われる期間において、全ての配線 W L には、トランジスタ 1 4 がオフになるレベルの電位、具体的には電位 V L が供給される。よって、容量素子 1 5 に供給された電荷が保持されている間において、データは保持される。

【 0 0 7 5 】

次いで、セルアレイ 1 0 からのデータの読み出しを行う。セルアレイ 1 0 からのデータの読み出しは、行ごとに行う。そして、各行のメモリセル 1 1 からデータを読み出す前に、配線 B L s 及び配線 B L の電位の初期化を行う。

【 0 0 7 6 】

まず、配線 S L a 1 にハイレベルの電位 V H が供給され、トランジスタ 1 2 t がオンになる。そして、読み出しが行われるメモリセル 1 1 に接続された、配線 B L 1 及び配線 B L x に、中間レベルの電位 V R が供給される。具体的に図 3 では、少なくとも、1 列目のメモリセル 1 1 に接続された配線 B L 1 と、x 列目のメモリセル 1 1 に接続された配線 B L x とに、中間レベルの電位 V R が供給される。なお、電位 V R は、電位 V D D と同じか、もしくは電位 V D D より低く接地電位 G N D よりも高い電位であるものとする。そして、電位 V R が供給された後は、配線 B L 1 と配線 B L x を、共にフローティングの状態とする。また、配線 S L a 1 にローレベルの電位 V L が供給され、トランジスタ 1 2 t がオフになる。よって、配線 B L 1 及び配線 B L x と、配線 B L s 1 及び配線 B L s x とは、それぞれ電氣的に分離される。

40

50

【 0 0 7 7 】

次いで、読み出しを行う 1 行目のメモリセル 1 1 に接続された配線 W L 1 に、ハイレベルの電位 V H が供給され、配線 W L 1 以外の配線 W L には電位 V L が供給される。よって、配線 W L 1 にゲートが接続されているトランジスタ 1 4 のみが選択的にオンになる。

【 0 0 7 8 】

トランジスタ 1 4 がオンになると、容量素子 1 5 に保持されている電荷が、読み出しを行う配線 B L s に放出されるか、或いは、読み出しを行う配線 B L s から容量素子 1 5 に、電荷が供給される。上記動作は、保持期間におけるノード N D の電位により決まる。

【 0 0 7 9 】

具体的に、図 3 に示すタイミングチャートの場合、データの書き込み時において、1 列 1 行目のメモリセル 1 1 におけるノード N D は電位 V D D である。よって、読み出し時においてトランジスタ 1 4 がオンになると、1 列 1 行目のメモリセル 1 1 における容量素子 1 5 から配線 B L s 1 に電荷が放出されるため、配線 B L s 1 の電位は高まり、電位 V R + α となる。また、データの書き込み時において、x 列 1 行目のメモリセル 1 1 におけるノード N D は接地電位 G N D である。よって、読み出し時においてトランジスタ 1 4 がオンになると、x 列 1 行目のメモリセル 1 1 における容量素子 1 5 に配線 B L s x から電荷が供給されるため、配線 B L s x の電位は低くなり、電位 V R - β となる。

10

【 0 0 8 0 】

また、配線 S L b 1 にハイレベルの電位 V H が供給されることで、トランジスタ 1 6 t がオンになる。トランジスタ 1 3 t を n チャネル型とし、配線 H L 1 に電位 V D D、若しくは電位 V D D より高い電位を与えると、トランジスタ 1 3 t はソースフォロワとして機能する。よって、配線 B L s 1 に電位 V R + α が与えられると、配線 B L 1 には、電位 V R + α よりトランジスタ 1 3 t のゲート電圧 V g s だけ低い電位が与えられる。また、配線 B L s x に電位 V R - β が与えられると、配線 B L x には、電位 V R - β よりもトランジスタ 1 3 t のゲート電圧 V g s だけ低い電位が与えられる。

20

【 0 0 8 1 】

従って、配線 B L 1、配線 B L x の電位は、1 列 1 行目のメモリセル 1 1 と x 列 1 行目のメモリセル 1 1 の容量素子 1 5 に保持されている電荷量に応じた高さとなる。そして、上記電位から電荷量の違いを読み取ることにより、1 列 1 行目のメモリセル 1 1 と、x 列 1 行目のメモリセル 1 1 から、データを読み出すことができる。読み出しが終了すると、配線 S L b 1 にはローレベルの電位 V L が供給され、トランジスタ 1 6 t はオフとなる。

30

【 0 0 8 2 】

なお、トランジスタ 1 3 t から配線 B L に信号が出力されたあと、トランジスタ 1 2 t を用いて、配線 B L s の電位が低くなるようにして、トランジスタ 1 3 t のゲート電位を低くして、トランジスタ 1 3 t がオフ状態となるようにしてもよい。そのように動作させる場合には、図 1 8 に示すように、トランジスタ 1 6 t を設けなくてもよい。

【 0 0 8 3 】

1 列 1 行目のメモリセル 1 1 と、x 列 1 行目のメモリセル 1 1 からのデータの読み出しが終了したら、再び、配線 S L a 1 にハイレベルの電位 V H が供給され、トランジスタ 1 2 t がオンになる。そして、読み出しが行われるメモリセル 1 1 に接続された、配線 B L 1 及び配線 B L x に、中間レベルの電位 V R が供給される。配線 B L 1 及び配線 B L x に中間レベルの電位 V R を与えた後、配線 B L 1 及び配線 B L x をフローティングの状態にする。また、配線 S L a 1 にローレベルの電位 V L が供給され、トランジスタ 1 2 t がオフになる。よって、配線 B L 1 及び配線 B L x と、配線 B L s 1 及び配線 B L s x とは、それぞれ電氣的に分離される。

40

【 0 0 8 4 】

そして、読み出しを行う y 行目のメモリセル 1 1 に接続された配線 W L y に、ハイレベルの電位 V H が供給され、配線 W L y 以外の配線 W L には電位 V L が供給される。よって、配線 W L y にゲートが接続されているトランジスタ 1 4 のみが選択的にオンになる。

【 0 0 8 5 】

50

トランジスタ 14 がオンになると、容量素子 15 に保持されている電荷が、読み出しを行う配線 BL に放出されるか、或いは、読み出しを行う配線 BL から容量素子 15 に、電荷が供給される。上記動作は、保持期間におけるノード ND の電位により決まる。

【0086】

具体的に、図 3 に示すタイミングチャートの場合、データの書き込み時において、1 列 y 行目のメモリセル 11 におけるノード ND は接地電位 GND である。よって、読み出し時においてトランジスタ 14 がオンになると、1 列 y 行目のメモリセル 11 における容量素子 15 に配線 BLs 1 からの電荷が供給されるため、配線 BLs 1 の電位は低くなり、電位 $V_R - \beta$ となる。また、データの書き込み時において、x 列 y 行目のメモリセル 11 におけるノード ND は電位 VDD である。よって、読み出し時においてトランジスタ 14 が

10

【0087】

また、配線 SLb 1 にハイレベルの電位 VH が供給されることで、トランジスタ 16 t がオンになる。上述したように、トランジスタ 13 t はソースフォロウとして機能する。よって、配線 BLs 1 に電位 $V_R - \beta$ が与えられると、配線 BL 1 には、電位 $V_R - \beta$ よりもトランジスタ 13 t のゲート電圧 V_{gs} だけ低い電位が与えられる。また、配線 BLs x に電位 $V_R + \alpha$ が与えられると、配線 BL x には、電位 $V_R + \alpha$ よりトランジスタ 13 t のゲート電圧 V_{gs} だけ低い電位が与えられる。

20

【0088】

従って、配線 BL 1、配線 BL x の電位は、1 列 y 行目のメモリセル 11 と x 列 y 行目のメモリセル 11 の容量素子 15 に保持されている電荷量に応じた高さとなる。そして、上記電位から電荷量の違いを読み取ることにより、1 列 y 行目のメモリセル 11 と、x 列 y 行目のメモリセル 11 から、データを読み出すことができる。読み出しが終了すると、配線 SLb 1 にはローレベルの電位 VL が供給され、トランジスタ 16 t はオフとなる。

【0089】

各配線 BL の先には、駆動回路が接続されている。

【0090】

なお、シリコンよりもバンドギャップが広く真性キャリア密度がシリコンよりも低い、酸化物半導体などの半導体膜に、チャネル形成領域が形成されるトランジスタ（以下、OS トランジスタと呼ぶ）は、通常のシリコンやゲルマニウムなどの半導体で形成されたトランジスタに比べて、オフ電流を著しく小さくすることが可能である。本発明の一態様では、トランジスタ 14 として OS トランジスタを用いることで、容量素子 15 からトランジスタ 14 を介して電荷がリークするのを防ぐことができ、データがメモリセル 11 において保持される期間を長く確保することができる。よって、メモリセル 11 の面積を縮小化することにより、容量素子 15 の有する容量値が小さくなくても、リフレッシュ動作の頻度を低く抑えることができる。

30

【0091】

なお、トランジスタ 14 として、酸化物半導体以外の、非晶質、微結晶、多結晶、又は単結晶の、シリコン、又はゲルマニウムなどの半導体が用いられていても良い。

40

【0092】

記憶装置の構成例

次いで、本発明の一態様に係る記憶装置の構成例について説明する。

【0093】

図 4 に、本発明の一態様に係る記憶装置の構成を、ブロック図で一例として示す。なお、図 4 に示すブロック図では、記憶装置内の回路を機能ごとに分類し、互いに独立したブロックとして示しているが、実際の回路は機能ごとに完全に切り分けることが難しく、一つの回路が複数の機能に係わることもあり得る。

【0094】

図 4 に示す記憶装置 20 は、メモリセル 11 をそれぞれ複数有するユニット 10 - 1 乃至

50

ユニット 10 - t と、ユニット 10 - 1 乃至ユニット 10 - t を有するセルアレイ 10 と、駆動回路 21 とを有する。そして、駆動回路 21 は、入出力バッファ 22 と、メインアンプ 23 と、カラムデコーダ 24 と、ローデコーダ 25 と、スイッチ回路 26 a 及びスイッチ回路 26 b と、プリチャージ回路 27 と、センスアンプ 28 と、書き込み回路 29 とを有する。

【0095】

入出力バッファ 22 は、駆動回路 21 またはセルアレイ 10 の駆動に用いる各種信号、及び、セルアレイ 10 に書き込まれるデータの、記憶装置 20 への入力を制御する機能を有する。また、入出力バッファ 22 は、セルアレイ 10 から読み出されたデータの、記憶装置 20 からの出力を制御する機能を有する。

10

【0096】

ローデコーダ 25 は、配線 WL に与える電位を制御することで、セルアレイ 10 においてメモリセル 11 を、指定されたアドレスに従って行ごとに選択する機能を有する。さらに、ローデコーダ 25 は、配線 SL a 及び配線 SL b に与える電位を制御する機能を有する。カラムデコーダ 24 は、スイッチ回路 26 a 及びスイッチ回路 26 b の動作を制御することで、データの書き込み時、または読み出し時の、列方向におけるメモリセル 11 の選択を、指定されたアドレスに従って行う機能を有する。

【0097】

センスアンプ 28 は、メモリセル 11 からデータを読み出すときに、配線 BL の電位の変化を増幅させる機能を有する。

20

【0098】

スイッチ回路 26 a は、センスアンプ 28 の出力とメインアンプ 23 の接続を制御する機能を有する。また、スイッチ回路 26 b は、書き込み回路 29 と、配線 BL の接続を制御する機能を有する。書き込み回路 29 は、指定されたアドレスのメモリセル 11 に、スイッチ回路 26 b を介してデータを書き込む機能を有する。

【0099】

メインアンプ 23 は、センスアンプ 28 により増幅された配線 BL の電位を用いて、データを読み出す機能を有する。プリチャージ回路 27 は、データの読み出し前に、配線 BL の電位をリセットする機能を有する。

【0100】

なお、記憶装置 20 は、指定されたメモリセル 11 のアドレスを、一時的に記憶することができるアドレスバッファを、有していても良い。

30

【0101】

なお、本発明の一態様に係る記憶装置 20 では、一の基板において、セルアレイ 10 と駆動回路 21 とが積層することなく並べて設けられていても良いし、セルアレイ 10 と駆動回路 21 とが積層するように設けられていても良い。図 7 に、駆動回路 21 上にセルアレイ 10 が積層されている記憶装置 20 の構造を、一例として、概念図で示す。

【0102】

図 7 では、基板 40 上に駆動回路 21 が設けられており、駆動回路 21 上にセルアレイ 10 が設けられている。駆動回路 21 とセルアレイ 10 を積層させることで、駆動回路 21 とセルアレイ 10 の電氣的な接続を行う各種配線の長さを抑えることができる。よって、配線抵抗を小さく抑えることができるので、記憶装置 20 の消費電力の低減、高速駆動を実現することができる。また、駆動回路 21 とセルアレイ 10 を積層させることで、記憶装置 20 の小型化と高集積化とを、共に実現することができる。

40

【0103】

次いで、図 5 に、一列のメモリセル 11 に対応した、センスアンプ 28、プリチャージ回路 27、スイッチ回路 26 a 及びスイッチ回路 26 b、及びメインアンプ 23 の接続構成を例示する。なお、図 5 では、ユニット 10 - 1 乃至ユニット 10 - t に含まれる一列のメモリセル 11 の一つを、図示している。

【0104】

50

メモリセル 11 はトランジスタ 14 と容量素子 15 とを有している。そして、メモリセル 11 は、配線 B L s 及びトランジスタ 12 t を介して、配線 B L a に接続される。また、センスアンプ 28、プリチャージ回路 27、及びスイッチ回路 26 b は、配線 B L a 及び配線 B L b に接続されている。配線 B L a 及び配線 B L b は、配線 B L 1 乃至配線 B L x のいずれか 2 つの配線 B L に、それぞれ相当するものとする。ただし、配線 B L a 及び配線 B L b に接続された全てのメモリセル 11 は、互いに異なる配線 W L に接続されているものとする。

【0105】

センスアンプ 28 として、差動型センスアンプを用いることが望ましいが、センスアンプ 28 の構成は差動型センスアンプに限定されない。配線 B L a 及び配線 B L b の電位差は、センスアンプ 28 において増幅され、配線 B L A a 及び配線 B L A b に供給される。スイッチ回路 26 a は、配線 B L A a 及び配線 B L A b に接続されている。

10

【0106】

また、プリチャージ回路 27 は、n チャンネル型のトランジスタ 55 乃至トランジスタ 57 を有している。トランジスタ 55 乃至トランジスタ 57 は、p チャンネル型であっても良い。トランジスタ 55 のソース及びドレインは、一方が配線 B L a に接続され、他方が端子 P r e に接続されている。トランジスタ 56 のソース及びドレインは、一方が配線 B L b に接続され、他方が端子 P r e に接続されている。トランジスタ 57 のソース及びドレインは、一方が配線 B L a に接続され、他方が配線 B L b に接続されている。そして、トランジスタ 55 乃至トランジスタ 57 は、それぞれのゲートが配線 P L に接続されている。

20

【0107】

スイッチ回路 26 a は、n チャンネル型のトランジスタ 58 及びトランジスタ 59 を有している。トランジスタ 58 及びトランジスタ 59 は、p チャンネル型トランジスタであっても良い。トランジスタ 58 のソース及びドレインは、一方が配線 B L A a に接続され、他方が配線 I O a に接続されている。トランジスタ 59 のソース及びドレインは、一方が配線 B L A b に接続され、他方が配線 I O b に接続されている。そして、トランジスタ 58 及びトランジスタ 59 は、それぞれのゲートが端子 C S L 1 に接続されている。

【0108】

スイッチ回路 26 b は、n チャンネル型のトランジスタ 51 及びトランジスタ 52 を有している。トランジスタ 51 及びトランジスタ 52 は、p チャンネル型トランジスタであっても良い。トランジスタ 51 のソース及びドレインは、一方が配線 B L a に接続され、他方が配線 I O a に接続されている。トランジスタ 52 のソース及びドレインは、一方が配線 B L b に接続され、他方が配線 I O b に接続されている。そして、トランジスタ 51 及びトランジスタ 52 は、それぞれのゲートが端子 C S L 2 に接続されている。

30

【0109】

端子 C S L 1 及び端子 C S L 2 の電位は、カラムデコーダ 24 によって制御される。

【0110】

配線 I O a 及び配線 I O b は、メインアンプ 23 に接続されている。また、書き込み回路 29 は、データに従って、配線 I O a 及び配線 I O b への電位の供給を行う機能を有する。

40

【0111】

また、配線 B L a 及び配線 B L b の組み合わせは、アレイ方式によって適宜決めることができる。本発明の一態様では、折り返し方式、クロスポイント方式、開放方式などのアレイ方式を用いることができ、これらのアレイ方式に合わせて、配線 B L 1 乃至配線 B L x のうちいずれか 2 つの配線 B L を、配線 B L a 及び配線 B L b とすれば良い。ただし、上述したように、配線 B L a 及び配線 B L b に接続された全てのメモリセル 11 は、互いに異なる配線 W L に接続されているものとする。

【0112】

次いで、データの読み出し時における、図 5 に示したメモリセル 11、センスアンプ 28、プリチャージ回路 27、スイッチ回路 26 a、スイッチ回路 26 b、及びメインアンプ

50

23の動作の一例について、図6に示したタイミングチャートを用いて説明する。

【0113】

まず、期間T1では、プリチャージ回路27が有するトランジスタ55乃至トランジスタ57をオンにして、なおかつ、トランジスタ12tをオンにして、配線BLa及び配線BLsの電位と、配線BLbの電位とをリセットする。具体的に、本実施の形態では、配線PLにハイレベルの電位VH_{PL}を与え、プリチャージ回路27においてトランジスタ55乃至トランジスタ57をオンにする。また、配線SLaにハイレベルの電位VH_{SLa}を与え、トランジスタ12tをオンにする。上記構成により、配線BLa及び配線BLbに、端子Preの電位Vpreが与えられる。

【0114】

なお、期間T1では、端子CSL1及び端子CSL2にはローレベルの電位VL_{CSL}が与えられており、スイッチ回路26aにおいてトランジスタ58及びトランジスタ59はオフの状態にあり、スイッチ回路26bにおいてトランジスタ51及びトランジスタ52はオフの状態にある。また、配線WLにはローレベルの電位VL_{WL}が与えられており、メモリセル11においてトランジスタ14はオフの状態にある。

【0115】

期間T1が終了したら、配線SLaにローレベルの電位VL_{SLa}を与えることで、トランジスタ12tをオフにして、配線BLaと配線BLsとを電氣的に分離する。

【0116】

次いで、配線PLにローレベルの電位VL_{PL}を与え、プリチャージ回路27においてトランジスタ55乃至トランジスタ57をオフにする。そして、期間T2では、配線WLを選択する。また、期間T2では、トランジスタ16tをオンにする。具体的に、本実施の形態では、配線WLにハイレベルの電位VH_{WL}を与えることで、配線WLを選択し、メモリセル11においてトランジスタ14をオンにする。また、配線SLbにハイレベルの電位VH_{SLb}を与え、トランジスタ16tをオンにする。上記構成により、配線BLsと容量素子15とがトランジスタ14を介して接続される。そして、配線BLsと容量素子15とが電氣的に接続されると、容量素子15に保持されている電荷量に従って、配線BLsの電位が変動する。そして、配線BLsの電位は、回路13及びトランジスタ16tを介して、配線BLaに供給される。

【0117】

図6に示すタイミングチャートでは、容量素子15に蓄積されているプラスの電荷量が多い場合を例示している。具体的に、容量素子15に蓄積されているプラスの電荷量が多い場合、配線BLaは電位VpreからΔV1だけ電位が上昇する。逆に、容量素子15に蓄積されているプラスの電荷量が少ない場合は、図6には図示しないが、配線BLaはΔV2だけ電位が下降する。

【0118】

なお、期間T2では、端子CSL1及び端子CSL2にはローレベルの電位VL_{CSL}が与えられたままであり、スイッチ回路26aにおいてトランジスタ58及びトランジスタ59はオフの状態を維持し、スイッチ回路26bにおいてトランジスタ51及びトランジスタ52はオフの状態を維持する。

【0119】

次いで、期間T3では、センスアンプ28をオンにする。センスアンプ28は、配線BLa及び配線BLbの電位差(図6の場合はΔV1)を増幅させる機能を有する。よって、図6に示すタイミングチャートの場合、センスアンプ28がオンになることで、配線BLAaの電位は上昇し、センスアンプ28に電源として与えられたハイレベルの電位VH_{SP}に近づく。また、配線BLAbの電位は下降し、センスアンプ28に電源として与えられたローレベルの電位VL_{SN}に近づく。

【0120】

なお、期間T3の開始当初、配線BLaの電位が電位Vpre - ΔV2である場合は、センスアンプ28がオンになることで、配線BLAaの電位は、電位Vpre - ΔV2から

10

20

30

40

50

、電位 V_{L_SN} に近づいていく。また、配線 $B_{LA}b$ の電位は、電位 V_{pre} から、電位 V_{H_SP} に近づいていく。

【0121】

なお、期間 T_3 では、配線 P_L にはローレベルの電位 V_{L_PL} が与えられたままであり、プリチャージ回路 27 においてトランジスタ 55 乃至トランジスタ 57 はオフの状態を維持する。また、端子 $C_{SL}1$ 及び端子 $C_{SL}2$ にはローレベルの電位 V_{L_CSL} が与えられたままであり、スイッチ回路 26a においてトランジスタ 58 及びトランジスタ 59 はオフの状態を維持し、スイッチ回路 26b においてトランジスタ 51 及びトランジスタ 52 はオフの状態を維持する。配線 W_L にはハイレベルの電位 V_{H_WL} が与えられたままであり、メモリセル 11 においてトランジスタ 14 はオンの状態を維持する。

10

【0122】

次いで、期間 T_4 では、端子 $C_{SL}1$ に与える電位を制御することで、スイッチ回路 26a 及びスイッチ回路 26b をオンにする。具体的に、本実施の形態では、端子 $C_{SL}1$ にハイレベルの電位 V_{H_CSL} を与えることで、スイッチ回路 26a においてトランジスタ 58 及びトランジスタ 59 をオンにし、スイッチ回路 26b においてトランジスタ 51 及びトランジスタ 52 をオンにする。また、端子 $C_{SL}2$ にはローレベルの電位 V_{L_CSL} が与えられたままであり、スイッチ回路 26b においてトランジスタ 51 及びトランジスタ 52 はオフの状態を維持する。

【0123】

トランジスタ 58 及びトランジスタ 59 がオンになることで、配線 $B_{LA}a$ の電位と、配線 $B_{LA}b$ の電位とが、配線 IOa 及び配線 IOb を介してメインアンプ 23 に与えられる。メインアンプ 23 では、配線 IOb の電位に対して配線 IOa の電位が高いか低いかにより、出力される電位 V_{out} のレベルが異なる。よって、電位 V_{out} を有する信号には、間接的にデータが含まれることになる。

20

【0124】

なお、期間 T_4 では、配線 P_L にはローレベルの電位 V_{L_PL} が与えられたままであり、プリチャージ回路 27 においてトランジスタ 55 乃至トランジスタ 57 はオフの状態を維持する。また、配線 W_L にはハイレベルの電位 V_{H_WL} が与えられたままであり、メモリセル 11 においてトランジスタ 14 はオンの状態を維持する。また、センスアンプ 28 はオンの状態を維持する。

30

【0125】

期間 T_4 が終了すると、端子 $C_{SL}1$ に与える電位を制御することで、スイッチ回路 26a をオフにする。具体的に、本実施の形態では、端子 $C_{SL}1$ にローレベルの電位 V_{L_CSL} を与え、スイッチ回路 26a においてトランジスタ 58 及びトランジスタ 59 をオフにする。また、端子 $C_{SL}2$ にはローレベルの電位 V_{L_CSL} が与えられたままであり、スイッチ回路 26b においてトランジスタ 51 及びトランジスタ 52 はオフの状態を維持する。また、配線 W_L の選択を終了する。具体的に本実施の形態では、配線 W_L にローレベルの電位 V_{L_WL} を与えることで、配線 W_L を非選択の状態にし、メモリセル 11 においてトランジスタ 14 をオフにする。

【0126】

上述した期間 T_1 乃至期間 T_4 における動作により、メモリセル 11 からのデータの読み出しが行われる。

40

【0127】

また、書き込み回路 29 から新たなデータをメモリセル 11 に書き込む場合、書き込み回路 29 によって、配線 IOa 及び配線 IOb の電位を、データに従った高さに制御し、スイッチ回路 26b においてトランジスタ 51 及びトランジスタ 52 をオンにする。上記構成により、配線 B_{La} に配線 IOa の電位が与えられ、配線 B_{Lb} に配線 IOb の電位が与えられる。次いで、配線 W_L を選択し、トランジスタ 14 をオンにし、配線 S_{La} にハイレベルの電位 V_{H_SLa} を供給してトランジスタ 12t をオンにする。配線 B_{La} と容量素子 15 を接続する。そして、配線 B_{La} の電位に従い容量素子 15 に電荷が

50

蓄積されることで、メモリセル 11 にデータが書き込まれる。

【0128】

メモリセル 11 から読み出されたデータを、再度メモリセル 11 に書き込む場合も、新たなデータをメモリセル 11 に書き込む場合と、同様の動作を行えばよい。

【0129】

また、駆動回路 21 が有するトランジスタは、酸化物半導体が用いられていても良いし、或いは、酸化物半導体以外の、非晶質、微結晶、多結晶、又は単結晶の、シリコン、又はゲルマニウムなどの半導体が用いられていても良い。記憶装置 20 内の全てのトランジスタに酸化物半導体膜を用いることで、プロセスを簡略化することができる。また、駆動回路 21 が有するトランジスタに、例えば、多結晶又は単結晶のシリコンなどのように、酸化物半導体よりも高い移動度が得られる半導体材料を用いることで、記憶装置 20 を高速で動作させることができる。

10

【0130】

セルアレイの構成例 3

本発明の一態様にかかる記憶装置が有するセルアレイの、図 1 とは異なる構成の一例を、図 8 に示す。

【0131】

図 8 に示すセルアレイ 10 は、メモリセル 11 と、配線 BL_s 及び配線 WL との接続構造が、図 1 に示すセルアレイ 10 と異なる。具体的に、図 8 に示すセルアレイ 10 では、メモリセル 11 の容量素子 15 が有する一方の電極が、トランジスタ 14 を介して配線 BL_s に接続されており、容量素子 15 が有する他方の電極が、当該トランジスタ 14 のゲートに接続された配線 WL に、隣接する別の配線 WL に接続されている。

20

【0132】

例えば、 m 行 (m は y 以下の自然数) n 列目 (n は奇数であり、 $n + 1$ は y 以下の自然数) のメモリセル 11 では、トランジスタ 14 は、ゲートが配線 WL_{2m-1} に接続されており、ソース及びドレインの一方が配線 $BL_s(n+1)/2$ に接続されており、ソース及びドレインの他方が容量素子 15 の一方の電極に接続されている。そして、容量素子 15 の他方の電極は、配線 WL_{2m} に接続されている。 m 行 $n + 1$ 列目のメモリセル 11 では、トランジスタ 14 は、ゲートが配線 WL_{2m} に接続されており、ソース及びドレインの一方が配線 $BL_s(n+1)/2$ に接続されており、ソース及びドレインの他方が容量素子 15 の一方の電極に接続されている。そして、容量素子 15 の他方の電極は、配線 WL_{2m-1} に接続されている。

30

【0133】

図 8 に示すセルアレイ 10 は、上記構成により、図 1 に示すセルアレイ 10 よりも、配線 BL_s の数を少なくすることができる。

【0134】

記憶装置の断面構造の例

図 9 に、記憶装置の断面構造の一例を示す。図 9 では、図 5 に示したトランジスタ 14、容量素子 15、トランジスタ 80 及びトランジスタ 81 の断面構造を、一例として示す。

【0135】

なお、図 9 では、酸化物半導体膜にチャネル形成領域を有するトランジスタ 14 と、容量素子 15 とが、単結晶のシリコン基板にチャネル形成領域を有する、 p チャネル型のトランジスタ 80、及び n チャネル型のトランジスタ 81 上に形成されている場合を例示している。

40

【0136】

トランジスタ 80 及びトランジスタ 81 は、非晶質、微結晶、多結晶または単結晶である、シリコン又はゲルマニウムなどの半導体膜または半導体基板に、チャネル形成領域を有していても良い。或いは、トランジスタ 80 及びトランジスタ 81 は、酸化物半導体膜または酸化物半導体基板に、チャネル形成領域を有していても良い。全てのトランジスタが酸化物半導体膜または酸化物半導体基板に、チャネル形成領域を有している場合、トラン

50

ジスタ１４はトランジスタ８０及びトランジスタ８１上に積層されていなくとも良く、全てのトランジスタは、同一の層に形成されていても良い。

【０１３７】

シリコンの薄膜を用いてトランジスタ８０及びトランジスタ８１を形成する場合、当該薄膜には、プラズマＣＶＤ法などの気相成長法若しくはスパッタリング法で作製された非晶質シリコン、非晶質シリコンをレーザーアニールなどの処理により結晶化させた多結晶シリコン、単結晶シリコンウェハに水素イオン等を注入して表層部を剥離した単結晶シリコンなどを用いることができる。

【０１３８】

トランジスタ８０及びトランジスタ８１が形成される半導体基板４００は、例えば、シリコン基板、ゲルマニウム基板、シリコンゲルマニウム基板等を用いることができる。図９では、単結晶シリコン基板を半導体基板４００として用いる場合を例示している。

10

【０１３９】

また、トランジスタ８０及びトランジスタ８１は、素子分離法により電氣的に分離されている。素子分離法として、選択酸化法（ＬＯＣＯＳ法：Local Oxidation of Silicon法）、トレンチ分離法（ＳＴＩ法：Shallow Trench Isolation）等を用いることができる。図９では、トレンチ分離法を用いてトランジスタ８０及びトランジスタ８１を電氣的に分離する場合を例示している。具体的に、図９では、半導体基板４００にエッチング等によりトレンチを形成した後、酸化珪素などを含む絶縁物を当該トレンチに埋め込むことで形成される素子分離領域４０１により、トランジスタ８０及びトランジスタ８１を素子分離させる場合を例示している。

20

【０１４０】

トランジスタ８０及びトランジスタ８１上には、絶縁膜４１１が設けられている。絶縁膜４１１には開口部が形成されている。そして、絶縁膜４１１上には、上記開口部において、トランジスタ８０及びトランジスタ８１のソースまたはドレインにそれぞれ接続されている複数の導電膜が設けられている。また、絶縁膜４１１上には、導電膜４１２が設けられている。

【０１４１】

絶縁膜４１１、導電膜４１２上には、絶縁膜４１４が設けられている。そして、絶縁膜４１４上には、酸素、水素、水の拡散を防ぐブロッキング効果を有する絶縁膜４１５が設けられている。絶縁膜４１５は、密度が高くて緻密である程、また未結合手が少なく化学的に安定である程、より高いブロッキング効果を示す。酸素、水素、水の拡散を防ぐブロッキング効果を示す絶縁膜４１５として、例えば、酸化アルミニウム、酸化窒化アルミニウム、酸化ガリウム、酸化窒化ガリウム、酸化イットリウム、酸化窒化イットリウム、酸化ハフニウム、酸化窒化ハフニウム等を用いることができる。水素、水の拡散を防ぐブロッキング効果を示す絶縁膜４１５として、例えば、窒化シリコン、窒化酸化シリコン等を用いることができる。

30

【０１４２】

絶縁膜４１５上には絶縁膜４１６が設けられており、絶縁膜４１６上には、トランジスタ１４と、導電膜４３０が設けられている。そして、絶縁膜４１４乃至絶縁膜４１６には開口部が設けられており、導電膜４３０は、上記開口部において導電膜４１２に接続されている。

40

【０１４３】

トランジスタ１４は、絶縁膜４１６上の酸化物半導体膜４２０と、酸化物半導体膜４２０に接続され、ソースまたはドレインとしての機能を有する導電膜４２１及び導電膜４２２と、酸化物半導体膜４２０、導電膜４２１及び導電膜４２２上の絶縁膜４２３と、絶縁膜４２３を間に挟んで酸化物半導体膜４２０と重なる導電膜４２４と、を有する。

【０１４４】

また、導電膜４２２上には絶縁膜４２７が設けられており、絶縁膜４２７上には、導電膜４２２と重なる導電膜４２５が設けられている。導電膜４２２と、絶縁膜４２７と、導電

50

膜 4 2 5 とが重なり合う部分が、容量素子 1 5 として機能する。

【 0 1 4 5 】

トランジスタ 1 4、容量素子 1 5、及び導電膜 4 3 0 上には、絶縁膜 4 2 6 が設けられている。

【 0 1 4 6 】

記憶装置のトランジスタについて

本発明の一態様に係る記憶装置では、図 1 に示すトランジスタ 1 4 のオフ電流が小さいと、データの保持期間を長くすることができる。そのため、トランジスタ 1 4 として、酸化物半導体膜にチャネル形成領域を有するトランジスタを用いることが望ましい。

【 0 1 4 7 】

図 1 0 に、酸化物半導体膜にチャネル形成領域を有するトランジスタ 1 4 の構成を、一例として示す。図 1 0 (A) には、トランジスタ 1 4 の上面図を示す。なお、図 1 0 (A) では、トランジスタ 1 4 のレイアウトを明確にするために、各種の絶縁膜を省略している。また、図 1 0 (A) に示した上面図の、破線 A 1 - A 2 における断面図を図 1 0 (B) に示し、破線 A 3 - A 4 における断面図を図 1 0 (C) に示す。

【 0 1 4 8 】

図 1 0 に示すように、トランジスタ 1 4 は、絶縁膜 3 1 上において順に積層された酸化物半導体膜 3 2 a 及び酸化物半導体膜 3 2 b と、酸化物半導体膜 3 2 b に電氣的に接続され、ソース電極またはドレイン電極としての機能を有する導電膜 3 3 及び導電膜 3 4 と、酸化物半導体膜 3 2 b、導電膜 3 3 及び導電膜 3 4 上の酸化物半導体膜 3 2 c と、絶縁膜 3 5 としての機能を有し、なおかつ酸化物半導体膜 3 2 c 上に位置する絶縁膜 3 5 と、ゲート電極としての機能を有し、なおかつ絶縁膜 3 5 上において酸化物半導体膜 3 2 a 乃至酸化物半導体膜 3 2 c と重なる導電膜 3 6 とを有する。

【 0 1 4 9 】

また、トランジスタ 1 4 の、具体的な構成の別の一例を、図 1 1 に示す。図 1 1 (A) には、トランジスタ 1 4 の上面図を示す。なお、図 1 1 (A) では、トランジスタ 1 4 のレイアウトを明確にするために、各種の絶縁膜を省略している。また、図 1 1 (A) に示した上面図の、破線 A 1 - A 2 における断面図を図 1 1 (B) に示し、破線 A 3 - A 4 における断面図を図 1 1 (C) に示す。

【 0 1 5 0 】

図 1 1 に示すように、トランジスタ 1 4 は、絶縁膜 3 1 上において順に積層された酸化物半導体膜 3 2 a 乃至酸化物半導体膜 3 2 c と、酸化物半導体膜 3 2 c に電氣的に接続され、ソース電極またはドレイン電極としての機能を有する導電膜 3 3 及び導電膜 3 4 と、絶縁膜 3 5 としての機能を有し、なおかつ酸化物半導体膜 3 2 c、導電膜 3 3 及び導電膜 3 4 上に位置する絶縁膜 3 5 と、ゲート電極としての機能を有し、なおかつ絶縁膜 3 5 上において酸化物半導体膜 3 2 a 乃至酸化物半導体膜 3 2 c と重なる導電膜 3 6 とを有する。

【 0 1 5 1 】

なお、図 1 0 及び図 1 1 では、積層された酸化物半導体膜 3 2 a 乃至酸化物半導体膜 3 2 c を用いるトランジスタ 1 4 の構成を例示している。トランジスタ 1 4 が有する酸化物半導体膜は、積層された複数の酸化物半導体膜で構成されているとは限らず、単膜の酸化物半導体膜で構成されていても良い。

【 0 1 5 2 】

酸化物半導体膜 3 2 a 乃至酸化物半導体膜 3 2 c が順に積層されている半導体膜をトランジスタ 1 4 が有する場合、酸化物半導体膜 3 2 a 及び酸化物半導体膜 3 2 c は、酸化物半導体膜 3 2 b を構成する金属元素の少なくとも 1 つを、その構成要素に含み、伝導帯下端的エネルギーが酸化物半導体膜 3 2 b よりも 0 . 0 5 e V 以上、0 . 0 7 e V 以上、0 . 1 e V 以上または 0 . 1 5 e V 以上、かつ 2 e V 以下、1 e V 以下、0 . 5 e V 以下または 0 . 4 e V 以下、真空準位に近い酸化物膜である。さらに、酸化物半導体膜 3 2 b は、少なくともインジウムを含むと、キャリア移動度が高くなるため好ましい。

【 0 1 5 3 】

上記構成の半導体膜をトランジスタ 14 が有する場合、ゲート電極に電圧を印加することで、半導体膜に電界が加わると、半導体膜のうち、伝導帯下端のエネルギーが小さい酸化物半導体膜 32b にチャネル領域が形成される。即ち、酸化物半導体膜 32b と絶縁膜 35 との間に酸化物半導体膜 32c が設けられていることによって、絶縁膜 35 と離隔している酸化物半導体膜 32b に、チャネル領域を形成することができる。

【0154】

また、酸化物半導体膜 32c は、酸化物半導体膜 32b を構成する金属元素の少なくとも 1 つをその構成要素に含むため、酸化物半導体膜 32b と酸化物半導体膜 32c の界面では、界面散乱が起こりにくい。従って、当該界面においてキャリアの動きが阻害されにくいため、トランジスタ 14 の電界効果移動度が高くなる。

10

【0155】

また、酸化物半導体膜 32b と酸化物半導体膜 32a の界面に界面準位が形成されると、界面近傍の領域にもチャネル領域が形成されるために、トランジスタ 14 の閾値電圧が変動してしまう。しかし、酸化物半導体膜 32a は、酸化物半導体膜 32b を構成する金属元素の少なくとも 1 つをその構成要素に含むため、酸化物半導体膜 32b と酸化物半導体膜 32a の界面には、界面準位が形成されにくい。よって、上記構成により、トランジスタ 14 の閾値電圧等の電気的特性のばらつきを、低減することができる。

【0156】

また、酸化物半導体膜間に不純物が存在することによって、各膜の界面にキャリアの流れを阻害する界面準位が形成されることがないよう、複数の酸化物半導体膜を積層させることが望ましい。積層された酸化物半導体膜の膜間に不純物が存在していると、酸化物半導体膜間における伝導帯下端のエネルギーの連続性が失われ、界面近傍において、キャリアがトラップされるか、あるいは再結合により消滅してしまうからである。膜間における不純物を低減させることで、主成分である一の金属を少なくとも共に有する複数の酸化物半導体膜を、単に積層させるよりも、連続接合（ここでは特に伝導帯下端のエネルギーが各膜の間で連続的に変化する U 字型の井戸構造を有している状態）が形成されやすくなる。

20

【0157】

連続接合を形成するためには、ロードロック室を備えたマルチチャンバー方式の成膜装置（スパッタリング装置）を用いて各膜を大気に触れさせることなく連続して積層することが必要となる。スパッタリング装置における各チャンバーは、酸化物半導体にとって不純物となる水等を可能な限り除去すべくクライオポンプのような吸着式の真空排気ポンプを用いて高真空排気（ $1 \times 10^{-4} \text{ Pa} \sim 5 \times 10^{-7} \text{ Pa}$ 程度まで）することが好ましい。または、ターボ分子ポンプとコールドトラップを組み合わせることで排気系からチャンバー内に気体が逆流しないようにしておくことが好ましい。

30

【0158】

高純度の真性な酸化物半導体を得るためには、各チャンバー内を高真空排気するのみならず、スパッタリングに用いるガスの高純度化も重要である。上記ガスとして用いる酸素ガスやアルゴンガスの露点を、 -40 以下、好ましくは -80 以下、より好ましくは -100 以下とし、使用するガスの高純度化を図ることで、酸化物半導体膜に水分等が取り込まれることを可能な限り防ぐことができる。具体的に、酸化物半導体膜 32b が In-M-Zn 酸化物（M は、Ga、Y、Zr、La、Ce、または Nd）の場合、酸化物半導体膜 32b を成膜するために用いるターゲットにおいて、金属元素の原子数比を In : M : Zn = $x_1 : y_1 : z_1$ とすると、 x_1 / y_1 は、 $1/3$ 以上 6 以下、さらには 1 以上 6 以下であって、 z_1 / y_1 は、 $1/3$ 以上 6 以下、さらには 1 以上 6 以下であることが好ましい。なお、 z_1 / y_1 を 1 以上 6 以下とすることで、酸化物半導体膜 32b として CAAC-OS 膜が形成されやすくなる。ターゲットの金属元素の原子数比の代表例としては、In : M : Zn = 1 : 1 : 1、In : M : Zn = 3 : 1 : 2 等がある。

40

【0159】

具体的に、酸化物半導体膜 32a、酸化物半導体膜 32c が In-M-Zn 酸化物（M は、Ga、Y、Zr、La、Ce、または Nd）の場合、酸化物半導体膜 32a、酸化物半

50

導体膜 32c を成膜するために用いるターゲットにおいて、金属元素の原子数比を $I n : M : Z n = x_2 : y_2 : z_2$ とすると、 $x_2 / y_2 < x_1 / y_1$ であって、 z_2 / y_2 は、 $1 / 3$ 以上 6 以下、さらには 1 以上 6 以下であることが好ましい。なお、 z_2 / y_2 を 1 以上 6 以下とすることで、酸化物半導体膜 32a、酸化物半導体膜 32c として C A A C - O S 膜が形成されやすくなる。ターゲットの金属元素の原子数比の代表例としては、 $I n : M : Z n = 1 : 3 : 2$ 、 $I n : M : Z n = 1 : 3 : 4$ 、 $I n : M : Z n = 1 : 3 : 6$ 、 $I n : M : Z n = 1 : 3 : 8$ 等がある。

【0160】

なお、酸化物半導体膜 32a 及び酸化物半導体膜 32c の厚さは、 3 nm 以上 100 nm 以下、好ましくは 3 nm 以上 50 nm 以下とする。また、酸化物半導体膜 32b の厚さは、 3 nm 以上 200 nm 以下、好ましくは 3 nm 以上 100 nm 以下であり、さらに好ましくは 3 nm 以上 50 nm 以下である。

10

【0161】

3 層構造の半導体膜において、酸化物半導体膜 32a 乃至酸化物半導体膜 32c は、非晶質または結晶質の両方の形態を取りうる。ただし、チャネル領域が形成される酸化物半導体膜 32b が結晶質であることにより、トランジスタ 14 に安定した電気的特性を付与することができるため、酸化物半導体膜 32b は結晶質であることが好ましい。

【0162】

なお、チャネル形成領域とは、トランジスタ 14 の半導体膜のうち、ゲート電極と重なり、かつソース電極とドレイン電極に挟まれる領域を意味する。また、チャネル領域とは、チャネル形成領域において、電流が主として流れる領域をいう。

20

【0163】

例えば、酸化物半導体膜 32a 及び酸化物半導体膜 32c として、スパッタリング法により形成した $I n - G a - Z n$ 酸化物膜を用いる場合、酸化物半導体膜 32a 及び酸化物半導体膜 32c の成膜には、 $I n - G a - Z n$ 酸化物 ($I n : G a : Z n = 1 : 3 : 2$ [原子数比]) であるターゲットを用いることができる。成膜条件は、例えば、成膜ガスとしてアルゴンガスを 30 sccm 、酸素ガスを 15 sccm 用い、圧力 0.4 Pa とし、基板温度を 200 とし、DC 電力 0.5 kW とすればよい。

【0164】

また、酸化物半導体膜 32b を C A A C - O S 膜とする場合、酸化物半導体膜 32b の成膜には、 $I n - G a - Z n$ 酸化物 ($I n : G a : Z n = 1 : 1 : 1$ [原子数比]) であり、多結晶の $I n - G a - Z n$ 酸化物を含むターゲットを用いることが好ましい。成膜条件は、例えば、成膜ガスとしてアルゴンガスを 30 sccm 、酸素ガスを 15 sccm 用い、圧力を 0.4 Pa とし、基板の温度 300 とし、DC 電力 0.5 kW とすることができる。

30

【0165】

なお、電子供与体 (ドナー) となる水分または水素などの不純物が低減され、なおかつ酸素欠損が低減されることにより高純度化された酸化物半導体 (purified Oxide Semiconductor) は、キャリア発生源が少ないため、 i 型 (真性半導体) 又は i 型に限りなく近くすることができる。そのため、高純度化された酸化物半導体膜にチャネル形成領域を有するトランジスタは、オフ電流が著しく小さく、信頼性が高い。そして、当該酸化物半導体膜にチャネル形成領域が形成されるトランジスタは、閾値電圧がプラスとなる電気的特性 (ノーマリーオフ特性ともいう。) になりやすい。

40

【0166】

具体的に、高純度化された酸化物半導体膜にチャネル形成領域を有するトランジスタのオフ電流が小さいことは、いろいろな実験により証明できる。例えば、チャネル幅が $1 \times 10^6 \mu\text{m}$ でチャネル長が $10 \mu\text{m}$ の素子であっても、ソース電極とドレイン電極間の電圧 (ドレイン電圧) が 1 V から 10 V の範囲において、オフ電流が、半導体パラメータアナライザの測定限界以下、すなわち $1 \times 10^{-13} \text{ A}$ 以下という特性を得ることができる。この場合、トランジスタのチャネル幅で規格化したオフ電流は、 $100 \text{ zA} / \mu\text{m}$ 以下で

50

あることが分かる。また、容量素子とトランジスタとを接続して、容量素子に流入または容量素子から流出する電荷を当該トランジスタで制御する回路を用いて、オフ電流の測定を行った。当該測定では、高純度化された酸化物半導体膜を上記トランジスタのチャネル形成領域に用い、容量素子の単位時間あたりの電荷量の推移から当該トランジスタのオフ電流を測定した。その結果、トランジスタのソース電極とドレイン電極間の電圧が3Vの場合に、数十 $\mu\text{A}/\mu\text{m}$ という、さらに小さいオフ電流が得られることが分かった。従って、高純度化された酸化物半導体膜をチャネル形成領域に用いたトランジスタは、オフ電流が、結晶性を有するシリコンを用いたトランジスタに比べて著しく小さい。

【0167】

なお、半導体膜として酸化物半導体膜を用いる場合、酸化物半導体としては、少なくともインジウム(In)あるいは亜鉛(Zn)を含むことが好ましい。また、該酸化物を用いたトランジスタの電気的特性のばらつきを減らすためのスタビライザーとして、それらに加えてガリウム(Ga)を有することが好ましい。また、スタビライザーとしてスズ(Sn)を有することが好ましい。また、スタビライザーとしてハフニウム(Hf)を有することが好ましい。また、スタビライザーとしてアルミニウム(Al)を有することが好ましい。また、スタビライザーとしてジルコニウム(Zr)を含むことが好ましい。

10

【0168】

酸化物半導体の中でもIn-Ga-Zn酸化物、In-Sn-Zn酸化物などは、炭化シリコン、窒化ガリウム、または酸化ガリウムとは異なり、スパッタリング法や湿式法により電気的特性の優れたトランジスタを作製することが可能であり、量産性に優れるといった利点がある。また、炭化シリコン、窒化ガリウム、または酸化ガリウムとは異なり、上記In-Ga-Zn酸化物は、ガラス基板上に、電気的特性の優れたトランジスタを作製することが可能である。また、基板の大型化にも対応が可能である。

20

【0169】

また、他のスタビライザーとして、ランタノイドである、ランタン(La)、セリウム(Ce)、プラセオジム(Pr)、ネオジム(Nd)、サマリウム(Sm)、ユウロビウム(Eu)、ガドリニウム(Gd)、テルビウム(Tb)、ジスプロシウム(Dy)、ホルミウム(Ho)、エルビウム(Er)、ツリウム(Tm)、イッテルビウム(Yb)、ルテチウム(Lu)のいずれか一種または複数種を含んでいてもよい。

30

【0170】

例えば、酸化物半導体として、酸化インジウム、酸化ガリウム、酸化スズ、酸化亜鉛、In-Zn酸化物、Sn-Zn酸化物、Al-Zn酸化物、Zn-Mg酸化物、Sn-Mg酸化物、In-Mg酸化物、In-Ga酸化物、In-Ga-Zn酸化物(IGZOとも表記する)、In-Al-Zn酸化物、In-Sn-Zn酸化物、Sn-Ga-Zn酸化物、Al-Ga-Zn酸化物、Sn-Al-Zn酸化物、In-Hf-Zn酸化物、In-La-Zn酸化物、In-Pr-Zn酸化物、In-Nd-Zn酸化物、In-Ce-Zn酸化物、In-Sm-Zn酸化物、In-Eu-Zn酸化物、In-Gd-Zn酸化物、In-Tb-Zn酸化物、In-Dy-Zn酸化物、In-Ho-Zn酸化物、In-Er-Zn酸化物、In-Tm-Zn酸化物、In-Yb-Zn酸化物、In-Lu-Zn酸化物、In-Sn-Ga-Zn酸化物、In-Hf-Ga-Zn酸化物、In-Al-Ga-Zn酸化物、In-Sn-Al-Zn酸化物、In-Sn-Hf-Zn酸化物、In-Hf-Al-Zn酸化物を用いることができる。

40

【0171】

なお、例えば、In-Ga-Zn酸化物とは、InとGaとZnを含む酸化物という意味であり、InとGaとZnの比率は問わない。また、InとGaとZn以外の金属元素を含んでいてもよい。In-Ga-Zn酸化物は、無電界時の抵抗が十分に高くオフ電流を十分に小さくすることが可能であり、また、移動度も高い。

【0172】

例えば、In-Sn-Zn酸化物では比較的容易に高い移動度が得られる。しかしながら、In-Ga-Zn酸化物でも、バルク内欠陥密度を低減することにより移動度を上げる

50

ことができる。

【0173】

また、トランジスタ14において、ソース電極及びドレイン電極に用いられる導電性材料によっては、ソース電極及びドレイン電極中の金属が、酸化物半導体膜から酸素を引き抜くことがある。この場合、酸化物半導体膜のうち、ソース電極及びドレイン電極に接する領域が、酸素欠損の形成によりn型化される。n型化された領域は、ソース領域またはドレイン領域として機能するため、酸化物半導体膜とソース電極及びドレイン電極との間におけるコンタクト抵抗を下げることができる。よって、n型化された領域が形成されることで、トランジスタ14の移動度及びオン電流を高めることができ、それにより、トランジスタ14を用いた記憶装置の高速動作を実現することができる。

10

【0174】

なお、ソース電極及びドレイン電極中の金属による酸素の引き抜きは、ソース電極及びドレイン電極をスパッタリング法などにより形成する際に起こりうるし、ソース電極及びドレイン電極を形成した後に行われる加熱処理によっても起こりうる。また、n型化される領域は、酸素と結合し易い導電性材料をソース電極及びドレイン電極に用いることで、より形成されやすくなる。上記導電性材料としては、例えば、Al、Cr、Cu、Ta、Ti、Mo、Wなどが挙げられる。

【0175】

複数の積層された酸化物半導体膜を有する半導体膜をトランジスタ14に用いる場合、n型化される領域は、チャネル領域となる酸化物半導体膜32bにまで達していることが、トランジスタ14の移動度及びオン電流を高め、記憶装置の高速動作を実現する上で好ましい。

20

【0176】

絶縁膜31は、化学量論的組成以上の酸素が含まれており、加熱により上記酸素の一部を酸化物半導体膜32a乃至酸化物半導体膜32cに供給する機能を有する絶縁膜であることが望ましい。また、絶縁膜31は、欠陥が少ないことが好ましく、代表的には、ESR測定により得られる、シリコンのダングリングボンドに由来する $g = 2.001$ を持つスピンの密度が $1 \times 10^{18} \text{ spins/cm}^3$ 以下であることが好ましい。

【0177】

絶縁膜31は、加熱により上記酸素の一部を酸化物半導体膜32a乃至酸化物半導体膜32cに供給する機能を有するため、酸化物であることが望ましく、例えば、酸化アルミニウム、酸化マグネシウム、酸化珪素、酸化窒化珪素、窒化酸化珪素、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウムおよび酸化タンタルなどを用いることができる。絶縁膜31は、プラズマCVD (Chemical Vapor Deposition) 法またはスパッタリング法等により、形成することができる。

30

【0178】

なお、本明細書中において、酸化窒化物は、その組成として、窒素よりも酸素の含有量が多い材料を指し、窒化酸化物は、その組成として、酸素よりも窒素の含有量が多い材料を指す。

40

【0179】

なお、図10及び図11に示すトランジスタ14は、チャネル領域が形成される酸化物半導体膜32bの端部のうち、導電膜33及び導電膜34とは重ならない端部、言い換えると、導電膜33及び導電膜34が位置する領域とは異なる領域に位置する端部と、導電膜36とが、重なる構成を有する。酸化物半導体膜32bの端部は、当該端部を形成するためのエッチングでプラズマに曝されるときに、エッチングガスから生じた塩素ラジカル、フッ素ラジカル等が、酸化物半導体を構成する金属元素と結合しやすい。よって、酸化物半導体膜の端部では、当該金属元素と結合していた酸素が脱離しやすい状態にあるため、酸素欠損が形成され、n型化しやすいと考えられる。しかし、図10及び図11に示すトランジスタ14では、導電膜33及び導電膜34とは重ならない酸化物半導体膜3

50

2 bの端部と、導電膜36とが重なるため、導電膜36の電位を制御することにより、当該端部にかかる電界を制御することができる。よって、酸化物半導体膜32bの端部を介して導電膜33と導電膜34の間に流れる電流を、導電膜36に与える電位によって制御することができる。このようなトランジスタ14の構造を、S u r r o u n d e d C h a n n e l (S - C h a n n e l) 構造とよぶ。

【0180】

具体的に、S - C h a n n e l 構造の場合、トランジスタ14がオフとなるような電位を導電膜36に与えたときは、当該端部を介して導電膜33と導電膜34の間に流れるオフ電流を小さく抑えることができる。そのため、トランジスタ14では、大きなオン電流を得るためにチャンネル長を短くし、その結果、酸化物半導体膜32bの端部における導電膜33と導電膜34の間の長さが短くなっても、トランジスタ14のオフ電流を小さく抑えることができる。よって、トランジスタ14は、チャンネル長を短くすることで、オンのときには大きいオン電流を得ることができ、オフのときにはオフ電流を小さく抑えることができる。

10

【0181】

また、具体的に、S - C h a n n e l 構造の場合、トランジスタ14がオンとなるような電位を導電膜36に与えたときは、当該端部を介して導電膜33と導電膜34の間に流れる電流を大きくすることができる。当該電流は、トランジスタ14の電界効果移動度とオン電流の増大に寄与する。そして、酸化物半導体膜32bの端部と、導電膜36とが重なることで、酸化物半導体膜32bにおいてキャリアの流れる領域が、絶縁膜35に近い酸化物半導体膜32bの界面近傍のみでなく、酸化物半導体膜32bの広い範囲においてキャリアが流れるため、トランジスタ14におけるキャリアの移動量が増加する。この結果、トランジスタ14のオン電流が大きくなる共に、電界効果移動度が高くなり、代表的には電界効果移動度が $10\text{ cm}^2/\text{V}\cdot\text{s}$ 以上、さらには $20\text{ cm}^2/\text{V}\cdot\text{s}$ 以上となる。なお、ここでの電界効果移動度は、酸化物半導体膜の物性値としての移動度の近似値ではなく、トランジスタの飽和領域における電流駆動力の指標であり、見かけ上の電界効果移動度である。

20

【0182】

以下では、酸化物半導体膜の構造について説明する。

【0183】

酸化物半導体膜は、単結晶酸化物半導体膜と非単結晶酸化物半導体膜とに大別される。非単結晶酸化物半導体膜とは、非晶質酸化物半導体膜、微結晶酸化物半導体膜、多結晶酸化物半導体膜、C A A C - O S 膜などをいう。

30

【0184】

非晶質酸化物半導体膜は、膜中における原子配列が不規則であり、結晶成分を有さない酸化物半導体膜である。微小領域においても結晶部を有さず、膜全体が完全な非晶質構造の酸化物半導体膜が典型である。

【0185】

微結晶酸化物半導体膜は、例えば、1 nm以上10 nm未満の大きさの微結晶（ナノ結晶ともいう。）を含む。従って、微結晶酸化物半導体膜は、非晶質酸化物半導体膜よりも原子配列の規則性が高い。そのため、微結晶酸化物半導体膜は、非晶質酸化物半導体膜よりも欠陥準位密度が低いという特徴がある。

40

【0186】

C A A C - O S 膜は、複数の結晶部を有する酸化物半導体膜の一つであり、ほとんどの結晶部は、一辺が100 nm未満の立方体内に収まる大きさである。従って、C A A C - O S 膜に含まれる結晶部は、一辺が10 nm未満、5 nm未満または3 nm未満の立方体内に収まる大きさの場合も含まれる。C A A C - O S 膜は、微結晶酸化物半導体膜よりも欠陥準位密度が低いという特徴がある。C A A C - O S 膜を透過型電子顕微鏡（T E M : T r a n s m i s s i o n E l e c t r o n M i c r o s c o p e）によって観察すると、結晶部同士の明確な境界、即ち結晶粒界（グレインバウンダリーともいう。）を確認

50

することができない。そのため、C A A C - O S 膜は、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。

【0187】

C A A C - O S 膜を、試料面と概略平行な方向から T E M によって観察（断面 T E M 観察）すると、結晶部において、金属原子が層状に配列していることを確認できる。金属原子の各層は、C A A C - O S 膜の膜を形成する面（被形成面ともいう。）または上面の凹凸を反映した形状であり、C A A C - O S 膜の被形成面または上面と平行に配列する。

【0188】

本明細書において、「平行」とは、二つの直線が -10° 以上 10° 以下の角度で配置されている状態をいう。従って、 -5° 以上 5° 以下の場合も含まれる。また、「垂直」とは、二つの直線が 80° 以上 100° 以下の角度で配置されている状態をいう。従って、 85° 以上 95° 以下の場合も含まれる。

10

【0189】

一方、C A A C - O S 膜を、試料面と概略垂直な方向から T E M によって観察（平面 T E M 観察）すると、結晶部において、金属原子が三角形状または六角形状に配列していることを確認できる。しかしながら、異なる結晶部間で、金属原子の配列に規則性は見られない。

【0190】

断面 T E M 観察および平面 T E M 観察より、C A A C - O S 膜の結晶部は配向性を有していることがわかる。

20

【0191】

C A A C - O S 膜に対し、X 線回折（X R D : X - R a y D i f f r a c t i o n ）装置を用いて構造解析を行うと、例えば InGaZnO_4 の結晶を有する C A A C - O S 膜の o u t - o f - p l a n e 法による解析では、回折角（ 2θ ）が 31° 近傍にピークが現れる場合がある。このピークは、 InGaZnO_4 の結晶の（009）面に帰属されることから、C A A C - O S 膜の結晶が c 軸配向性を有し、c 軸が被形成面または上面に概略垂直な方向を向いていることが確認できる。

【0192】

一方、C A A C - O S 膜に対し、c 軸に概略垂直な方向から X 線を入射させる i n - p l a n e 法による解析では、 2θ が 56° 近傍にピークが現れる場合がある。このピークは、 InGaZnO_4 の結晶の（110）面に帰属される。 InGaZnO_4 の単結晶酸化物半導体膜であれば、 2θ を 56° 近傍に固定し、試料面の法線ベクトルを軸（ ϕ 軸）として試料を回転させながら分析（ ϕ スキャン）を行うと、（110）面と等価な結晶面に帰属されるピークが 6 本観察される。これに対し、C A A C - O S 膜の場合は、 2θ を 56° 近傍に固定して ϕ スキャンした場合でも、明瞭なピークが現れない。

30

【0193】

以上のことから、C A A C - O S 膜では、異なる結晶部間では a 軸および b 軸の配向は不規則であるが、c 軸配向性を有し、かつ c 軸が被形成面または上面の法線ベクトルに平行な方向を向いていることがわかる。従って、前述の断面 T E M 観察で確認された層状に配列した金属原子の各層は、結晶の a b 面に平行な面である。

40

【0194】

なお、結晶部は、C A A C - O S 膜を成膜した際、または加熱処理などの結晶化処理を行った際に形成される。上述したように、結晶の c 軸は、C A A C - O S 膜の被形成面または上面の法線ベクトルに平行な方向に配向する。従って、例えば、C A A C - O S 膜の形状をエッチングなどによって変化させた場合、結晶の c 軸が C A A C - O S 膜の被形成面または上面の法線ベクトルと平行にならないこともある。

【0195】

また、C A A C - O S 膜中の結晶化度が均一でなくてもよい。例えば、C A A C - O S 膜の結晶部が、C A A C - O S 膜の上面近傍からの結晶成長によって形成される場合、上面近傍の領域は、被形成面近傍の領域よりも結晶化度が高くなることがある。また、C A A

50

C - O S 膜に不純物を添加する場合、不純物が添加された領域の結晶化度が変化し、部分的に結晶化度の異なる領域が形成されることもある。

【 0 1 9 6 】

なお、 InGaZnO_4 の結晶を有する C A A C - O S 膜の o u t - o f - p l a n e 法による解析では、 2θ が 31° 近傍のピークの他に、 2θ が 36° 近傍にもピークが現れる場合がある。 2θ が 36° 近傍のピークは、C A A C - O S 膜中の一部に、c 軸配向性を有さない結晶が含まれることを示している。C A A C - O S 膜は、 2θ が 31° 近傍にピークを示し、 2θ が 36° 近傍にピークを示さないことが好ましい。

【 0 1 9 7 】

C A A C - O S 膜を用いたトランジスタは、可視光や紫外光の照射による電気的特性の変動が小さい。よって、当該トランジスタは、信頼性が高い。

【 0 1 9 8 】

なお、酸化物半導体膜は、例えば、非晶質酸化物半導体膜、微結晶酸化物半導体膜、C A A C - O S 膜のうち、二種以上を有する積層膜であってもよい。

【 0 1 9 9 】

また、C A A C - O S 膜を成膜するために、以下の条件を適用することが好ましい。

【 0 2 0 0 】

成膜時の不純物混入を低減することで、不純物によって結晶状態が崩れることを抑制できる。例えば、処理室内に存在する不純物濃度（水素、水、二酸化炭素、及び窒素など）を低減すればよい。また、成膜ガス中の不純物濃度を低減すればよい。具体的には、露点が -80 以下、好ましくは -100 以下である成膜ガスを用いる。

【 0 2 0 1 】

また、成膜時の基板加熱温度を高めることで、基板到達後にスパッタリング粒子のマイグレーションが起こる。具体的には、基板加熱温度を 100 以上 740 以下、好ましくは 200 以上 500 以下として成膜する。成膜時の基板加熱温度を高めることで、平板状のスパッタリング粒子が基板に到達した場合、基板上でマイグレーションが起こり、スパッタリング粒子の平らな面が基板に付着する。

【 0 2 0 2 】

また、成膜ガス中の酸素割合を高め、電力を最適化することで成膜時のプラズマダメージを軽減すると好ましい。成膜ガス中の酸素割合は、 30 体積%以上、好ましくは 100 体積%とする。

【 0 2 0 3 】

ターゲットの一例として、 In-Ga-Zn 酸化物ターゲットについて以下に示す。

【 0 2 0 4 】

InO_x 粉末、 GaO_y 粉末及び ZnO_z 粉末を所定の mol 数比で混合し、加圧処理後、 1000 以上 1500 以下の温度で加熱処理をすることで多結晶である In-Ga-Zn 酸化物ターゲットとする。なお、 x 、 y 及び z は任意の正数である。ここで、所定の mol 数比は、例えば、 InO_x 粉末、 GaO_y 粉末及び ZnO_z 粉末が、 $2:2:1$ 、 $8:4:3$ 、 $3:1:1$ 、 $1:1:1$ 、 $4:2:3$ または $3:1:2$ である。なお、粉末の種類、及びその混合する mol 数比は、作製するターゲットによって適宜変更すればよい。

【 0 2 0 5 】

なお、アルカリ金属は酸化物半導体を構成する元素ではないため、不純物である。アルカリ土類金属も、酸化物半導体を構成する元素ではない場合において、不純物となる。特に、アルカリ金属のうち Na は、酸化物半導体膜に接する絶縁膜が酸化物である場合、当該絶縁膜中に拡散して Na^+ となる。また、 Na は、酸化物半導体膜内において、酸化物半導体を構成する金属と酸素の結合を分断する、或いは、その結合中に割り込む。その結果、例えば、閾値電圧がマイナス方向にシフトすることによるノーマリオン化、移動度の低下等の、トランジスタの電気的特性の劣化が起こり、加えて、特性のばらつきも生じる。具体的に、二次イオン質量分析法による Na 濃度の測定値は、 $5 \times 10^{-16} / \text{cm}^3$ 以下

10

20

30

40

50

、好ましくは $1 \times 10^{16} / \text{cm}^3$ 以下、更に好ましくは $1 \times 10^{15} / \text{cm}^3$ 以下とするとよい。同様に、 Li 濃度の測定値は、 $5 \times 10^{15} / \text{cm}^3$ 以下、好ましくは $1 \times 10^{15} / \text{cm}^3$ 以下とするとよい。同様に、 K 濃度の測定値は、 $5 \times 10^{15} / \text{cm}^3$ 以下、好ましくは $1 \times 10^{15} / \text{cm}^3$ 以下とするとよい。

【0206】

また、インジウムを含む金属酸化物が用いられている場合に、酸素との結合エネルギーがインジウムよりも大きいシリコンや炭素が、インジウムと酸素の結合を切断し、酸素欠損を形成することがある。そのため、シリコンや炭素が酸化物半導体膜に混入していると、アルカリ金属やアルカリ土類金属の場合と同様に、トランジスタの電気的特性の劣化が起こりやすい。よって、酸化物半導体膜中におけるシリコンや炭素の濃度は低いことが望ましい。具体的に、二次イオン質量分析法による C 濃度の測定値、または Si 濃度の測定値は、 $1 \times 10^{18} / \text{cm}^3$ 以下とするとよい。上記構成により、トランジスタの電気的特性の劣化を防ぐことができ、記憶装置の信頼性を高めることができる。

10

【0207】

チップの構成

図12(A)に、リードフレーム型のインターポーザを用いたパッケージの断面構造を表す斜視図を示す。

【0208】

図12(A)に示すパッケージは、本発明の一態様にかかる半導体装置に相当するチップ351が、ワイヤボンディング法により、インターポーザ350上の端子352と接続されている。端子352は、インターポーザ350のチップ351がマウントされている面上に配置されている。そしてチップ351はモールド樹脂353によって封止されていても良いが、各端子352の一部が露出した状態で封止されるようにする。

20

【0209】

パッケージが回路基板に実装されている電子機器のモジュールの構成を、図12(B)に示す。

【0210】

図12(B)に示す携帯電話のモジュールは、プリント配線基板801に、パッケージ802と、バッテリー804とが実装されている。また、表示素子が設けられたパネル800に、プリント配線基板801がFPC803によって実装されている。

30

【0211】

電子機器の例

本発明の一態様に係る記憶装置または半導体装置は、表示機器、パーソナルコンピュータ、記録媒体を備えた画像再生装置（代表的にはDVD: Digital Versatile Disc等の記録媒体を再生し、その画像を表示しうるディスプレイを有する装置）に用いることができる。その他に、本発明の一態様に係る記憶装置または半導体装置を用いることができる電子機器として、携帯電話、携帯型を含むゲーム機、携帯情報端末、電子書籍、ビデオカメラ、デジタルスチルカメラ等のカメラ、ゴーグル型ディスプレイ（ヘッドマウントディスプレイ）、ナビゲーションシステム、音響再生装置（カーオーディオ、デジタルオーディオプレイヤー等）、複写機、ファクシミリ、プリンター、プリンター複合機、現金自動預け入れ払い機（ATM）、自動販売機などが挙げられる。これら電子機器の具体例を図12に示す。

40

【0212】

図13(A)は携帯型ゲーム機であり、筐体5001、筐体5002、表示部5003、表示部5004、マイクロホン5005、スピーカー5006、操作キー5007、スティラス5008等を有する。なお、図13(A)に示した携帯型ゲーム機は、2つの表示部5003と表示部5004とを有しているが、携帯型ゲーム機が有する表示部の数は、これに限定されない。

【0213】

図13(B)は携帯情報端末であり、第1筐体5601、第2筐体5602、第1表示部

50

５６０３、第２表示部５６０４、接続部５６０５、操作キー５６０６等を有する。第１表示部５６０３は第１筐体５６０１に設けられており、第２表示部５６０４は第２筐体５６０２に設けられている。そして、第１筐体５６０１と第２筐体５６０２とは、接続部５６０５により接続されており、第１筐体５６０１と第２筐体５６０２の間の角度は、接続部５６０５により変更が可能である。第１表示部５６０３における映像を、接続部５６０５における第１筐体５６０１と第２筐体５６０２との間の角度に従って、切り替える構成としても良い。また、第１表示部５６０３及び第２表示部５６０４の少なくとも一方に、位置入力装置としての機能が付加された表示装置を用いるようにしても良い。なお、位置入力装置としての機能は、表示装置にタッチパネルを設けることで付加することができる。或いは、位置入力装置としての機能は、フォトセンサとも呼ばれる光電変換素子を表示装置の画素部に設けることでも、付加することができる。

10

【０２１４】

図１３（Ｃ）はノート型パーソナルコンピュータであり、筐体５４０１、表示部５４０２、キーボード５４０３、ポインティングデバイス５４０４等を有する。

【０２１５】

図１３（Ｄ）は電気冷凍冷蔵庫であり、筐体５３０１、冷蔵室用扉５３０２、冷凍室用扉５３０３等を有する。

【０２１６】

図１３（Ｅ）はビデオカメラであり、第１筐体５８０１、第２筐体５８０２、表示部５８０３、操作キー５８０４、レンズ５８０５、接続部５８０６等を有する。操作キー５８０４及びレンズ５８０５は第１筐体５８０１に設けられており、表示部５８０３は第２筐体５８０２に設けられている。そして、第１筐体５８０１と第２筐体５８０２とは、接続部５８０６により接続されており、第１筐体５８０１と第２筐体５８０２の間の角度は、接続部５８０６により変更が可能である。表示部５８０３における映像を、接続部５８０６における第１筐体５８０１と第２筐体５８０２との間の角度に従って切り替える構成としても良い。

20

【０２１７】

図１３（Ｆ）は普通自動車であり、車体５１０１、車輪５１０２、ダッシュボード５１０３、ライト５１０４等を有する。

【符号の説明】

30

【０２１８】

１０ セルアレイ
 １０ - i ユニット
 １０ - t ユニット
 １０ - １ ユニット
 １１ メモリセル
 １２ スイッチ
 １２ t トランジスタ
 １３ 回路
 １３ t トランジスタ
 １４ トランジスタ
 １５ 容量素子
 １６ スイッチ
 １６ t トランジスタ
 ２０ 記憶装置
 ２１ 駆動回路
 ２２ 入出力バッファ
 ２３ メインアンプ
 ２４ カラムデコーダ
 ２５ ローデコーダ

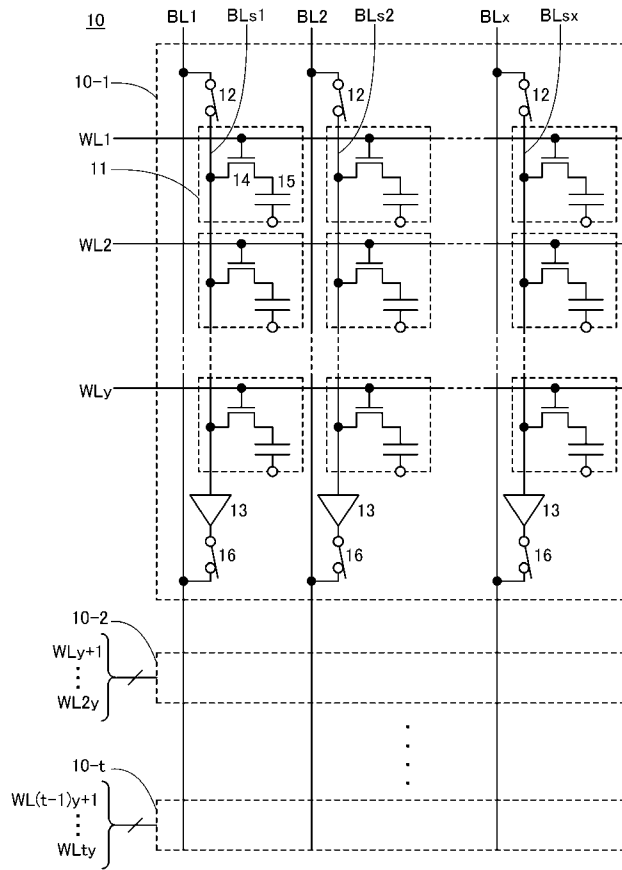
40

50

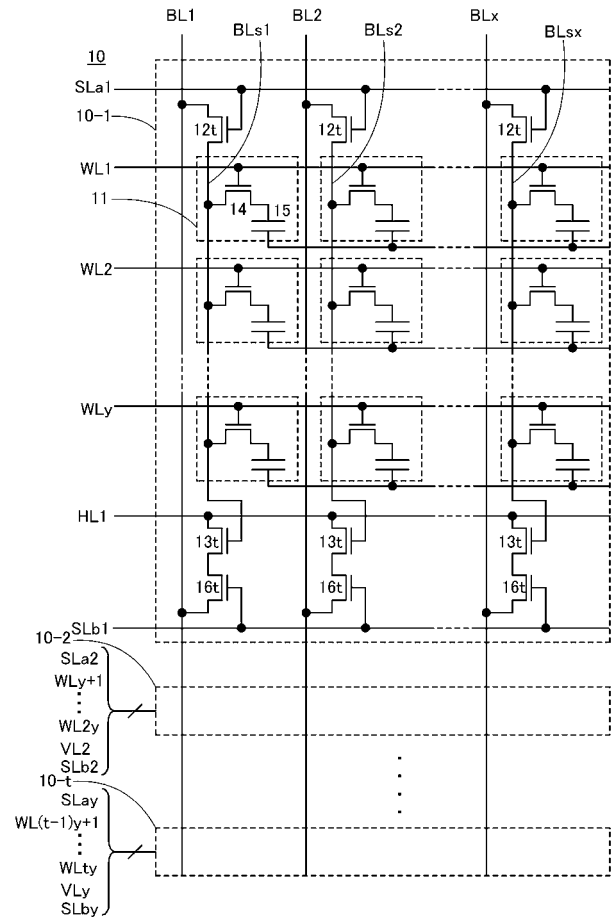
2 6 a	スイッチ回路	
2 6 b	スイッチ回路	
2 7	プリチャージ回路	
2 8	センスアンプ	
2 9	回路	
3 1	絶縁膜	
3 2 a	酸化物半導体膜	
3 2 b	酸化物半導体膜	
3 2 c	酸化物半導体膜	
3 3	導電膜	10
3 4	導電膜	
3 5	絶縁膜	
3 6	導電膜	
4 0	基板	
5 1	トランジスタ	
5 2	トランジスタ	
5 5	トランジスタ	
5 6	トランジスタ	
5 7	トランジスタ	
5 8	トランジスタ	20
5 9	トランジスタ	
8 0	トランジスタ	
8 1	トランジスタ	
3 5 0	インターポザ	
3 5 1	チップ	
3 5 2	端子	
3 5 3	モールド樹脂	
4 0 0	半導体基板	
4 0 1	素子分離領域	
4 1 1	絶縁膜	30
4 1 2	導電膜	
4 1 4	絶縁膜	
4 1 5	絶縁膜	
4 1 6	絶縁膜	
4 2 0	酸化物半導体膜	
4 2 1	導電膜	
4 2 2	導電膜	
4 2 3	絶縁膜	
4 2 4	導電膜	
4 2 5	導電膜	40
4 2 6	絶縁膜	
4 2 7	絶縁膜	
4 3 0	導電膜	
9 0 2	スイッチ	
8 0 0	パネル	
8 0 1	プリント配線基板	
8 0 2	パッケージ	
8 0 3	F P C	
8 0 4	バッテリー	
5 0 0 1	筐体	50

5 0 0 2	筐体	
5 0 0 3	表示部	
5 0 0 4	表示部	
5 0 0 5	マイクロホン	
5 0 0 6	スピーカー	
5 0 0 7	操作キー	
5 0 0 8	スタイラス	
5 1 0 1	車体	
5 1 0 2	車輪	
5 1 0 3	ダッシュボード	10
5 1 0 4	ライト	
5 3 0 1	筐体	
5 3 0 2	冷蔵室用扉	
5 3 0 3	冷凍室用扉	
5 4 0 1	筐体	
5 4 0 2	表示部	
5 4 0 3	キーボード	
5 4 0 4	ポインティングデバイス	
5 6 0 1	筐体	
5 6 0 2	筐体	20
5 6 0 3	表示部	
5 6 0 4	表示部	
5 6 0 5	接続部	
5 6 0 6	操作キー	
5 8 0 1	筐体	
5 8 0 2	筐体	
5 8 0 3	表示部	
5 8 0 4	操作キー	
5 8 0 5	レンズ	
5 8 0 6	接続部	30

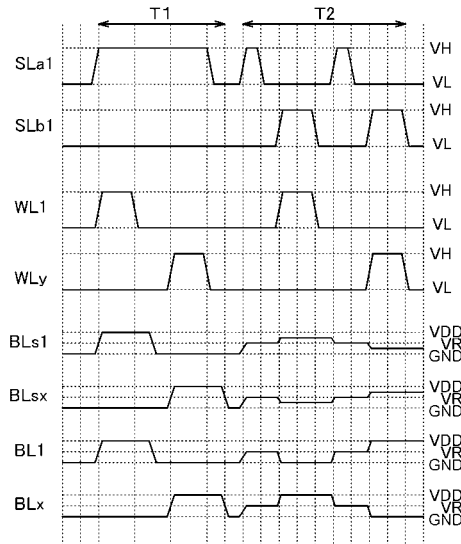
【図 1】



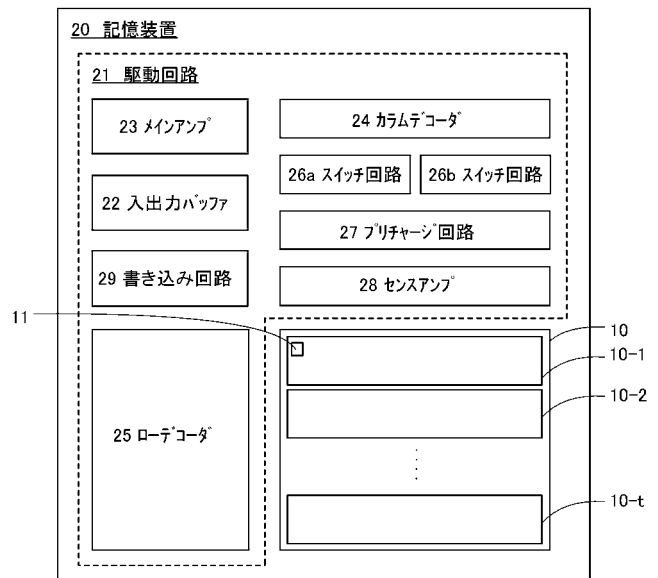
【図 2】



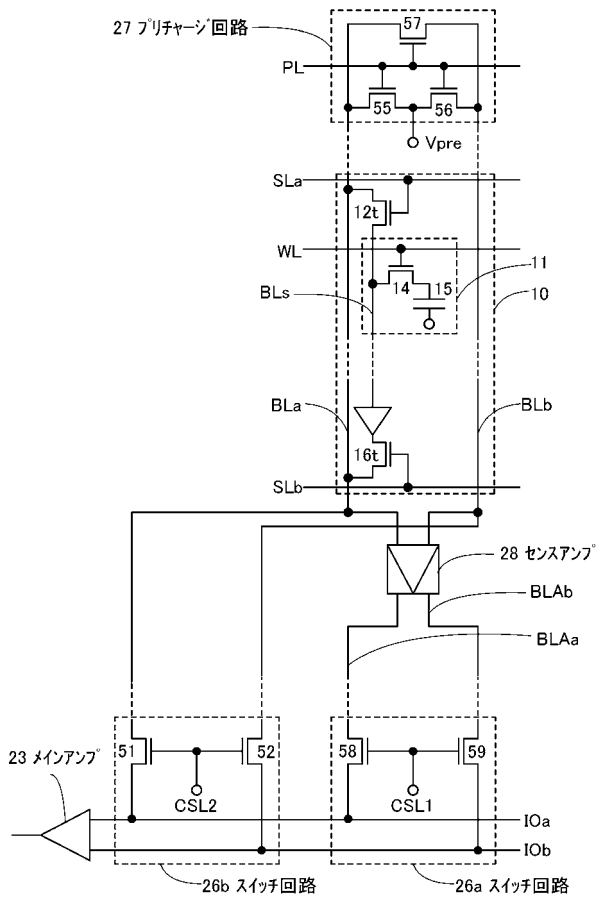
【図 3】



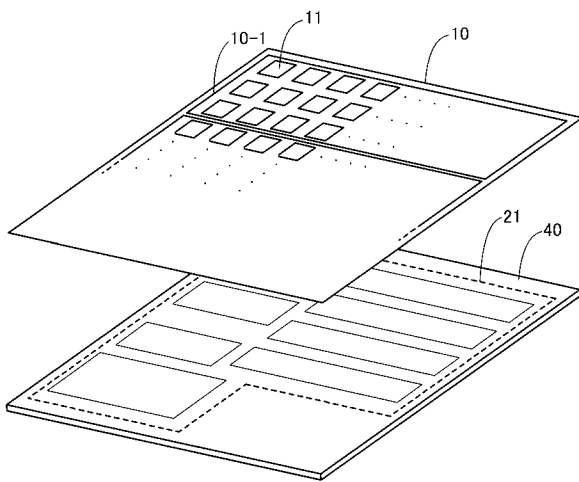
【図 4】



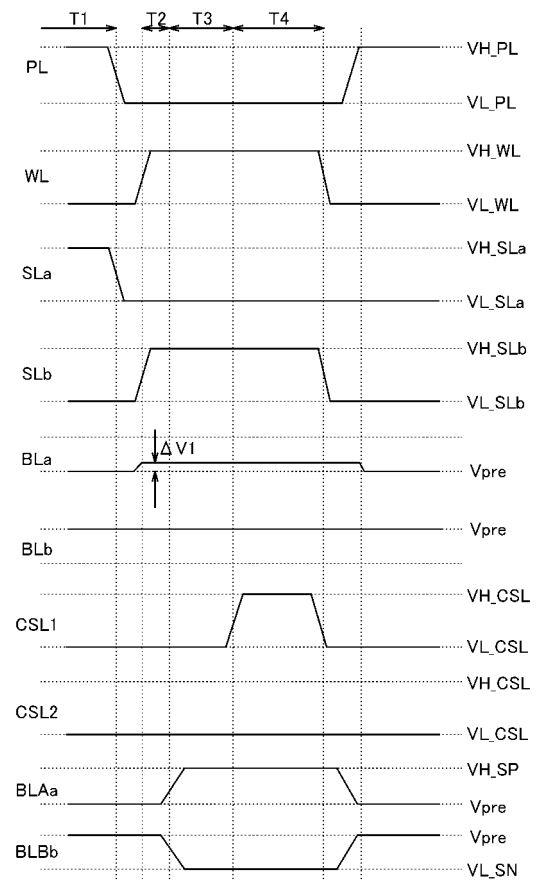
【図 5】



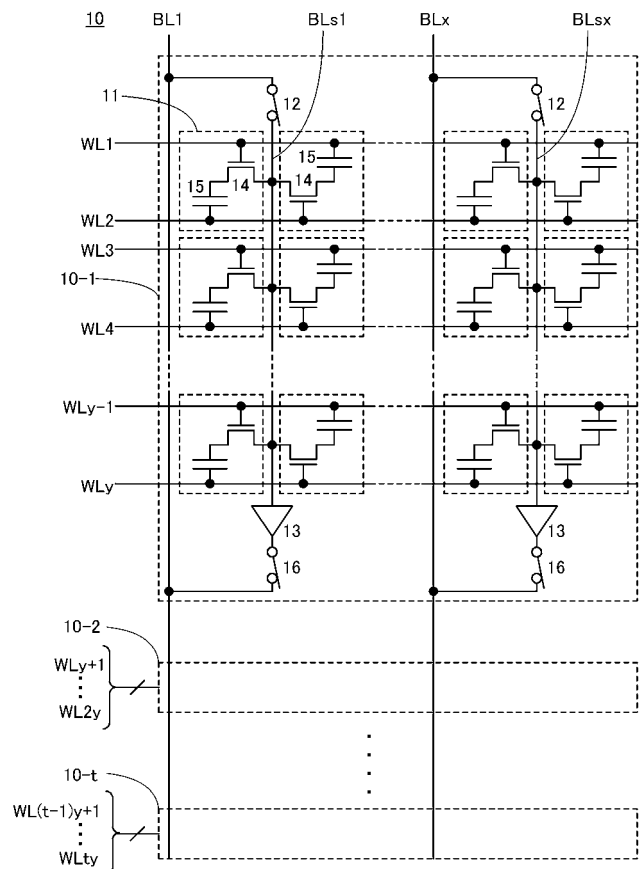
【図 7】



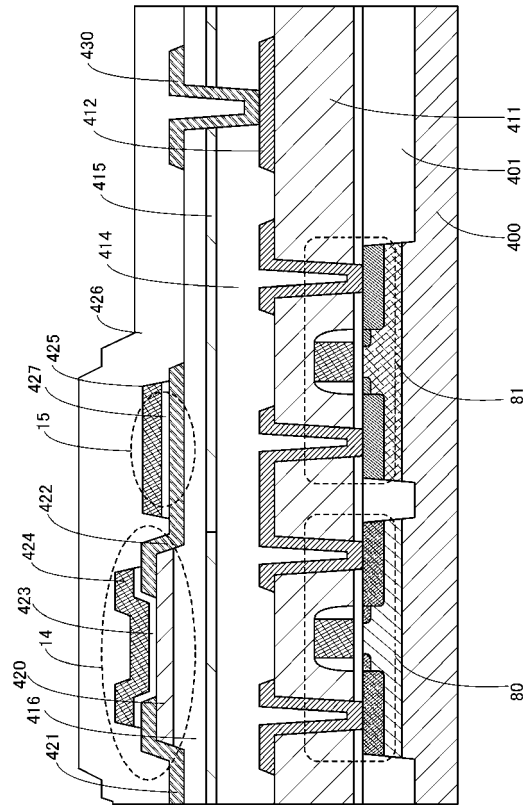
【図 6】



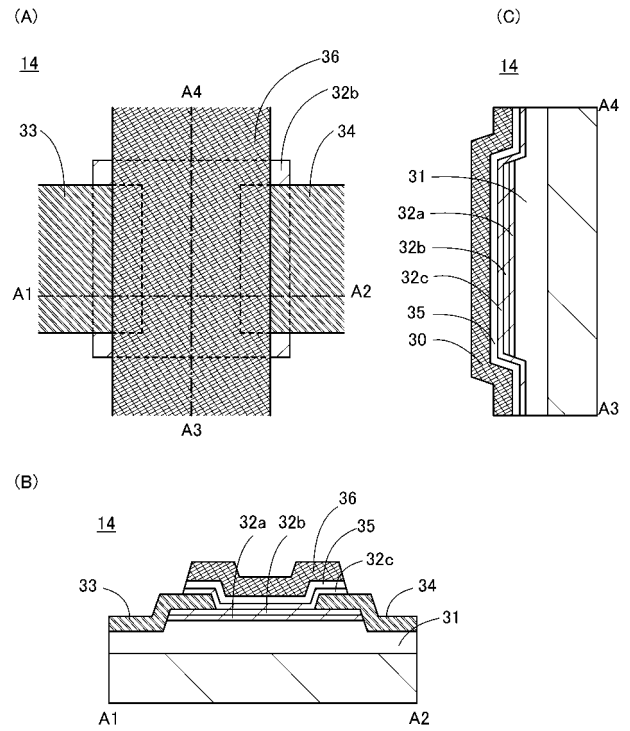
【図 8】



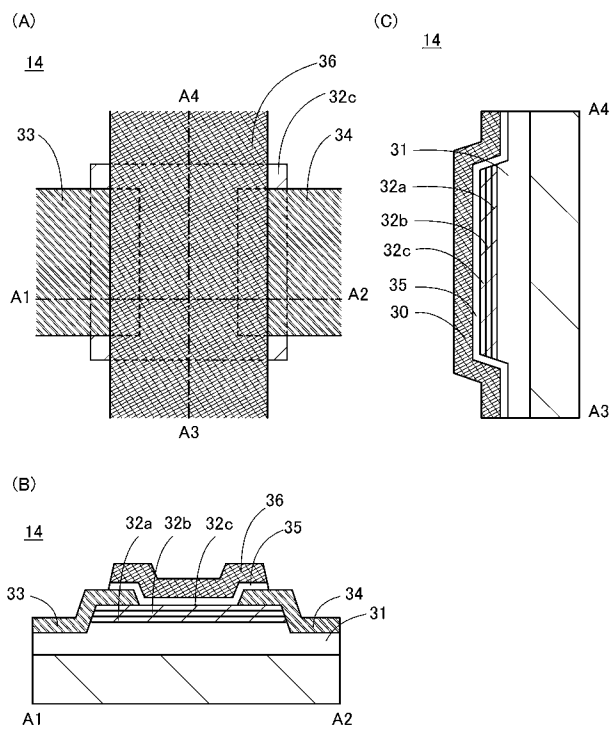
【図 9】



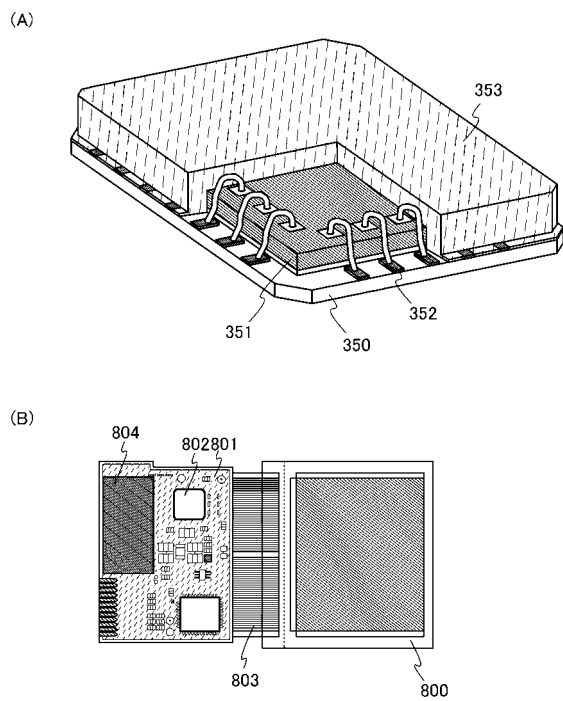
【図 10】



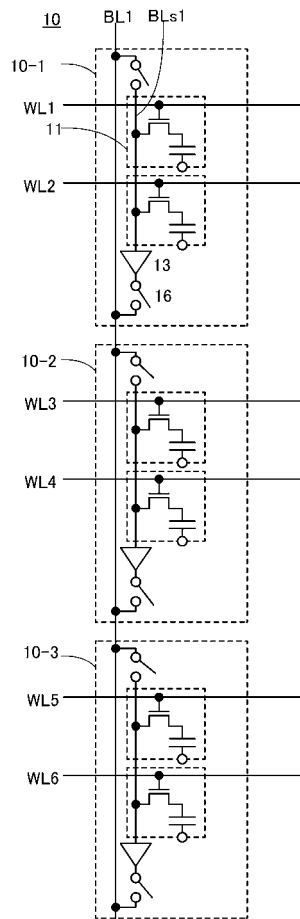
【図 11】



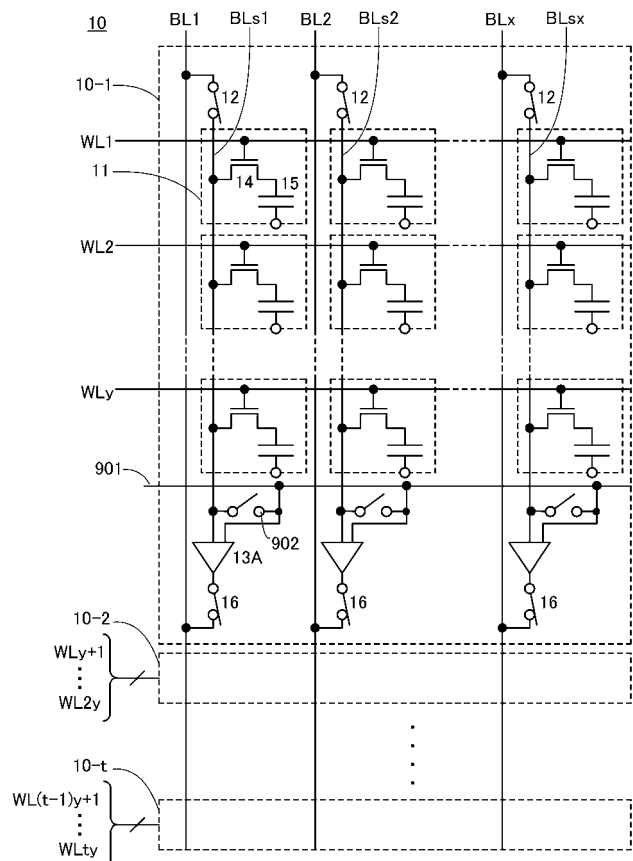
【図 12】



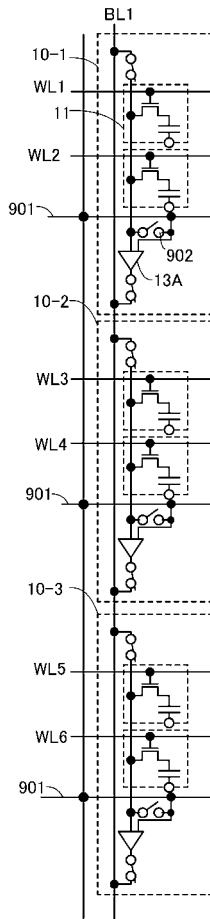
【 図 1 4 】



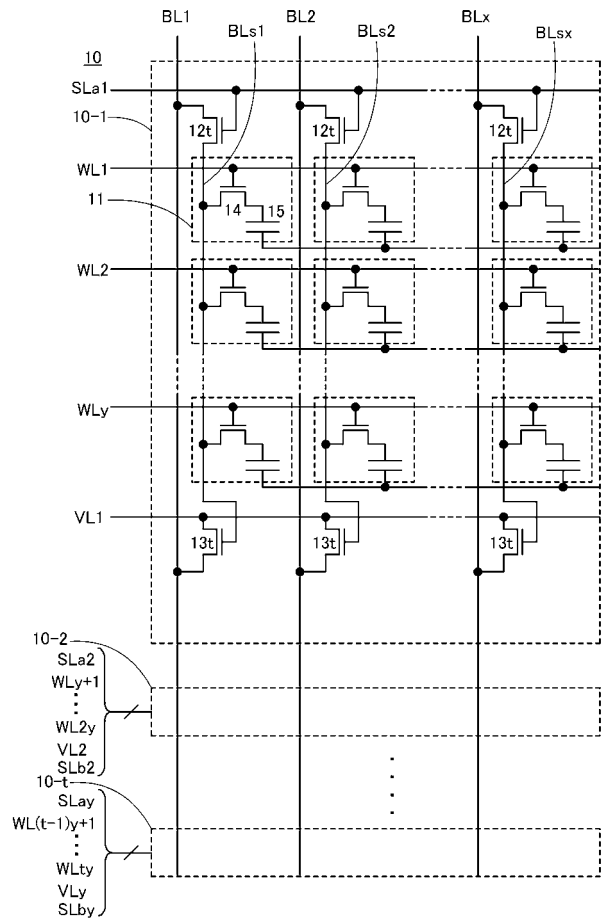
【 図 1 6 】



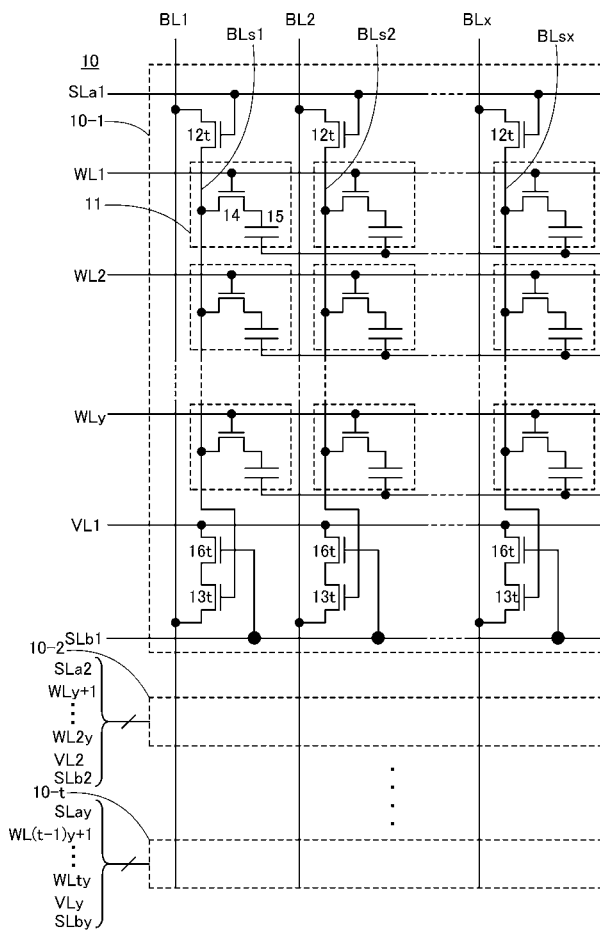
【図 17】



【図 18】



【図 19】



フロントページの続き

(51)Int.Cl.	F I	テーマコード (参考)
	H 0 1 L 29/78	6 1 8 B
	H 0 1 L 29/78	6 1 8 Z

F ターム(参考)	5F110	AA04	AA14	BB03	BB05	BB11	CC01	DD01	DD02	DD05	DD12
		DD13	DD14	DD15	GG01	GG06	GG07	GG12	GG13	GG14	GG15
		GG16	GG17	GG19	GG28	GG29	GG32	GG34	NN03	NN22	NN23
		NN24	NN62	NN65	NN66	NN72	NN74	QQ09			
	5M024	AA58	AA63	BB13	BB17	CC53	CC54	PP03	PP05	PP07	