

公告本

293909

申請日期	84.11.27
案 號	84112621
類 別	G11C 1/6

A4
C4

(以上各欄由本局填註)

293909

發明專利說明書

一、發明名稱	中 文	可作多準位臨界電壓儲存之PMOS快閃記憶體晶胞
	英 文	A PMOS FLASH MEMORY CELL CAPABLE OF MULTI-LEVEL THRESHOLD VOLTAGE STORAGE
二、發明人	姓 名	張尚德
	國 籍	中華民國
	住、居所	美國加州福利蒙特市南地大道43570號
三、申請人	姓 名 (名稱)	美商·可程式微電子股份有限公司
	國 籍	美 國
	住、居所 (事務所)	美國加州聖荷西市希瑞爾巷1466號
	代 表 人 姓 名	約瑟夫·劉炎良

承辦人代碼：
大 類：
IPC分類：

本案已向：

有關微生物已寄存於： _____，寄存日期： _____，寄存號碼： _____

線

五、發明說明(1)

相關專利申請案的交互參考

本專利申請案係有關於兩者同時在1995年11月14日提出申請，一名為“使用熱電子注入程式規劃及穿隧拭除之PMOS記憶體晶胞”之美國專利申請案第08/557,589號，及另一名為“使用PMOS電晶體NAND閘極結構之非揮發性電氣可拭除記憶體”之美國專利申請案第08/557,442號，及在1995年11月21日提出申請之名為“使用單多晶矽之PMOS快閃EEPROM晶胞”之美國專利申請案第08/560,249號。

發明背景

第1圖顯示一傳統式EEPROM晶胞10，其中至少有兩個二進位狀態可經由程式規劃晶胞10之臨界電壓在許多預設準位中的其中一個來表示。當晶胞10被讀取時，其內之電流導通準位將依其臨界電壓而定。

晶胞10包含有形成於P-基質16上之一儲存電晶體12及一選擇電晶體14。N+擴散層18作用如儲存電晶體12之源極，N+擴散層20作用如儲存電晶體12之汲極以及選擇電晶體14之源極，而N+擴散層22作用如選擇電晶體14之汲極。一相關記憶體陣列（未顯示）之位線BL被接於選擇電晶體28的汲極22。一高阻抗電阻器32被接於選擇電晶體14的汲極22與地電位之間。一接於汲極22之電壓感應電路測量在汲極22的電壓用以決定臨界電壓 V_t ，因此該多位元資料被儲存於晶胞10中。儲存電晶體12具有一漂浮閘極24及一控制閘極26，而選擇電晶體具有一選擇閘極28。一穿隧視窗（未顯示）被形成於透納氧化物30層範圍內以幫助電子穿過

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

五、發明說明(2)

漂浮閘極24與汲極20之間。

漂浮閘極24經由施加一16-20V之拭除電壓 V_e 到控制閘極26上及施加16-20V之電壓於選擇閘極26上以及施加0V之電壓於位線BL及源極18上而被充電。電子自汲極20至漂浮閘極24中穿過，因此增加該儲存電晶體12的臨界電壓 V_t 。

晶胞10可藉由施加一13-20V間之程式規劃電壓 V_p 於位線BL及選擇閘極28上，及接地控制閘極26及將源極18維持在高阻抗狀態，而被程式規劃。該合成電場造成電子自漂浮閘極至汲極20中穿過，因此放電漂浮閘極24且降低晶胞10的臨界電壓 V_t 。甚至儲存電晶體12的合成臨界電壓 V_t ，及晶胞10於讀取操作時所導通的電流，可藉由調整該程式規劃電壓 V_p 而控制。

因此，藉著改變晶胞10的臨界電壓 V_t 為許多可能值之其中一個，不只一個位元資料可被儲存於晶胞10中。典型地，晶胞10在其未充電狀態時之臨界電壓 V_t 大約為0V而在其全正充電及全負充電狀態時之臨界電壓 V_t 大約是-2V及4V。多準位應用之臨界電壓 V_t 的範圍大約是2.5V。然而，透納氧化物層30之厚度，以及漂浮閘極24與控制閘極26間的接合率之變化使處理儲存電晶體12的臨界電壓 V_t 成為困難。此外，晶胞10亦遭受因讀取所引起的問題，此問題可能影響晶胞10之可靠度。再則，於拭除及程式規劃過程中，在晶胞10範圍內橫跨該等P/N接面之較高的電壓，亦不如所願地限制晶胞10之尺寸可減少的程度。

因此期望一快閃EEPROM晶胞，其臨界電壓 V_t 可在與製

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(3)

程無關的情況下被控制。亦期望一快閃EEPROM晶胞，其不僅使用低的程式規劃及拭除電壓，而且不會有因讀取所引起的問題。

摘要

一具有多準位程式規劃的記憶體晶胞在此揭露，其克服了前面章節述之技術上的問題。根據本發明之方法，一P-通道快閃EEPROM晶胞具有一形成在N-型井層上之P+源極及P+汲極層，及一延伸於該兩者間的通道。一薄的透納氧化物層被用來覆蓋在該通道之上，且在某些實施例中，其覆蓋P+源極及P+汲極層之重要部份。兩者被一介質層隔開之多晶矽漂浮閘極及多晶矽控制閘極，覆蓋該透納氧化物層。程式規劃是經由連接一足夠的電壓於該漂浮閘極與控制閘極上，而偏壓源極及汲極層以造成從N-型井層／汲極接面至漂浮閘極間之電子的熱注入而完成，而拭除是利用適當地偏壓漂浮閘極、N-型井層、源極及汲極層以造成電子從漂浮閘極至N-型井層、源極及汲極中穿過而完成。

記憶體晶胞之臨界電壓於程式規劃期間可藉連接至該漂浮閘極之電壓大小而予準確地控制。注入該漂浮閘極之熱電子的注入僅受施加於該控制閘極之電壓所影響，而與該透納氧化物層的厚度及漂浮閘極與控制閘極間的接合率之變化無關。此外，PMOS裝置在一狹窄的閘極電壓範圍上經由熱電子注入傳導一閘極電流，因此在閘極電流之上譬如在該漂浮閘極的充電電流之上容許正確的控制。這個在閘極電流之上的控制，以及與製程特質無關之晶胞的臨界

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(4)

電壓值，有利容許該晶胞的臨界電壓比譬如第1圖所示之晶胞10之傳統的N-通道EEPROM晶胞之臨界電壓更精確地控制，因此產生一能夠儲存較大量資料位元且更為可靠的晶胞。

圖形簡述

第1圖是一習知技藝所製之EEPROM晶胞之橫截面圖，其可在許多臨界電壓準位之其中一個電壓準位被程式規劃及拭除；

第2圖是一如本發明之多準位臨界電壓EEPROM晶胞之橫截面圖；

第3圖是一依據本發明另一實施例之第2圖所示之多準位臨界電壓EEPROM晶胞之橫截面圖；

第4圖是一依據本發明又另一實施例之第2圖所示之多準位臨界電壓EEPROM晶胞之橫截面圖；

詳細說明

第2圖顯示依據本發明之PMOS EEPROM晶胞40，其能夠儲存多個二進位資料位元。晶胞40被形成於位在P-基質44範圍內之N型井層42之上，且包含有一P-通道MOS堆疊閘極儲存電晶體46及一P-通道MOS選擇電晶體48。P+擴散層50作用如該儲存電晶體46的源極，P+擴散層52作用如該儲存電晶體46的汲極及該選擇電晶體48的源極，而P+擴散層54作用如該選擇電晶體48的汲極。一位線BL被接於該選擇電晶體48的汲極54。儲存電晶體46具有一漂浮閘極56及一控制閘極58，而選擇電晶體48具有一選擇閘極60。一大約80

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(5)

-130Å厚的透納氧化物層62被用於漂浮閘極56與N-型井層42間的表面。在一個實施例中，氧化物層62延伸在整個通道51的長度及儲存晶胞40之P+源極50及P+汲極52的實體部份之上。一大約180-350Å厚之介質層57被置於漂浮閘極56與控制閘極58間。注意雖然文中只提示到CMOS製造技術，但晶胞40亦可使用PMOS技術製造。

為程式規劃晶胞40，施加大約8V的電壓於P+源極50與N-型井層42上，而此時位線BL與選擇閘極60被保持在地電位狀態。當一程式規劃電壓 V_p 施加於控制閘極58時，正的充電電洞被吸引到在P+汲極52低正極電壓上且加速通過通道層52朝向P+汲極52而去。這些電洞在汲極耗盡層最靠近的汲極52/N-型井層42接面中與電子碰撞，因而產生衝擊電離。因衝擊電離所產生的高能電子被控制閘極58上的正極電壓所吸引，且被從該耗盡層注入至漂浮閘極56。在漂浮閘極22上之合成負電荷耗損通道層12，且增加該儲存電晶體40在正極性的臨界電壓 V_t 。晶胞40在其自然狀態下，具有一大約-6V之臨界電壓，且當飽和充電時具有一大約3V之臨界電壓。於晶胞40的主晶片(未顯示)正常操作情況下，晶胞40可被程式規劃以便具有一介於-5V至+1V間之臨界電壓 V_t ，因此容許臨界電壓 V_t 一大約有6V之範圍。

在一較佳實施例中，程式規劃電壓 V_p 可介於5-15V之間，而此係依據晶胞40之預定的臨界電壓 V_t 而定。在另一實施例中，該程式規劃電壓 V_p 可是一從 V_{cc} 至約為15V之斜坡電壓。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(6)

為拭除晶胞 40，施加一介於 15-22V 的拭除電壓 V_e 於 P+ 源極 50 與 N-型井層 42 及選擇閘極 60 上，而將控制閘極 26 接地（位線 BL 是浮接狀態）。電子從漂浮閘極 56 穿過整個透納氧化物層 24 的長度進入通道 12、源極 14、及汲極 16，因此使儲存電晶體 46 的臨界電壓 V_t 變的更為負值。注意晶胞 40 能在拭除時藉由施加適當電壓於控制閘極的應用，做整頁或大容量的拭除。

晶胞 40 可被以兩種方式讀取。使用第一選擇，大約 V_{cc} -2V 的電壓加於控制閘極 58 上，選擇閘極 60 予以接地，而 V_{cc} 電壓被接於源極 50 及 N-型井層 42 上。一小於 V_{cc} 之讀取電壓 V_r 加於位線 BL 上。流過晶胞 40 的電流是依晶胞 40 的臨界電壓 V_t 而定，因此該電流是儲存於晶胞 40 中之多位元資料的象徵。此讀取電流被轉換成電壓，且經由電壓感應電路 34 測量。在第二選擇中，位線 BL 及 N-型井層 42 被預充至 V_{cc} 電壓，而控制閘極 58、選擇閘極 60、及源極 50 被保持在地電位狀態。此時選擇電晶體 48 被導通，且晶胞 40 中的多位元資料被由電壓感應電路 34 檢出。拭除、程式規劃、及讀取晶胞 40 時可接受的偏壓限制範圍如下列之第 1 表所示。

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

A7
B7

五、發明說明(7)

第 1 表

	控制閘極	源極	位線	選擇閘極	N-型井層
程式規劃	5-15V或從 V_{∞} 斜增至15V	5-15V	0V	0V	5-15V
拭除(選擇1)	選擇列拭除為0V; 不選列拭除為8-10V	15-22V	浮接	15-22V	15-22V
拭除(選擇2)	選擇列拭除為0V; 不選列拭除為-15到-3V	3-15V	浮接	3-15V	3-15V
讀取(選擇1)	0- V_{∞}	V_{∞}	小於 V_{∞}	0	V_{∞}
讀取(選擇2)	0	0	預充至 V_{∞}	0	V_{∞}

五、發明說明(8)

因此儲存電晶體46之合成臨界電壓 V_t ，及在其後之晶胞40讀取操作時所流經的電流值，可經由操作該程式規劃電壓 V_p 而予以控制。如上述有關於充電漂浮閘極56之討論，電子的熱注入僅受施加於控制閘極58上之電壓影響，而與氧化物層62的厚度及漂浮閘極56與控制閘極58間的接合率之變化無關。而且，PMOS裝置在一狹窄的閘極電壓範圍上經由熱電子注入傳導一閘極電流。在這個方法中，該漂浮閘極的充電電流可被非常精確地控制。在該閘極電流值之上的準確控制，以及與製程特質無關之晶胞40的臨界電壓值，因此有利容許該儲存電晶體46的臨界電壓比譬如第1圖所示之晶胞10之傳統的N-通道EEPROM晶胞之臨界電壓更為精確地控制。

利用該儲存電晶體46之臨界電壓 V_t 優良的控制特性，該臨界電壓 V_t 在只有5mV的電壓增加量即可精確地程式規劃。而因為儲存電晶體46的臨界電壓 V_t 的範圍大約是7V，所以晶胞40的臨界電壓 V_t 可被規劃於大約1400個準位中的任何一個準位。因此，晶胞40能夠準確地儲存達10個位元的二進位資料($2^{10}=1024$)。

如前述，一P-通道結構之可控制閘極電流及如前面所討論之與製程變化無關之熱電子的注入，這不僅容許晶胞40儲存更多位元的二進位資料，亦增加了儲存的正確性。而且，不像傳統的N-通道EEPROM晶胞，P-通道晶胞40於程式規劃及拭除時不需要高的電壓偏壓於它的P+/N-接面間。如此，晶胞40的體積在不會引起破壞接面應力的情況，

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(9)

較之於N-通道EEPROM晶胞的體積而言可減少一相當大的程度。注意因為無論如何經充電後之漂浮閘極56將比N-型井層42、源極50、及汲極52的電壓還低，因此於讀取操作時的熱電子注入不會發生的。以此方式，讀取所引起的困擾被從晶胞40的操作中排除。

如第3圖所示之另一個實施例，一具有控制閘極74之來源選擇電晶體72被附加於第2圖的結構中，形成一可選擇的拭除晶胞70。一P+擴散層76作用如該來源選擇電晶體72的源極，而P+擴散層52作用如該來源選擇電晶體72的汲極。晶胞70的程式規劃、拭除、及讀取等操作，其偏壓情況列於如下之第2表中，其與前述之第2圖的有關作法相同。注意當程式規劃晶胞70的儲存電晶體46時，位線BL被預充至一電壓值，該電壓之正確值與程式規劃後之晶胞70的臨界電壓 V_t 有關，如第2表中標示"可變"之註記。注意晶胞70可被逐位地程式規劃及拭除。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(10)

第2表

	位線BL	BL選擇閘極60	控制閘極58	來源選擇閘極74	共源極	N-型井層
程式規劃(選擇1)	可變	0V	-15至-3V	3 - 15 V	3 - 15 V	3 - 15 V
程式規劃(選擇2)	可變	0V	0V	16 - 22 V	16 - 22 V	16 - 22 V
拭除(選擇1)	0V	0V	3 - 12V	0V	5 - 15 V	5 - 15 V
拭除(選擇2)	0V	0V	V_{cc} 斜增至12V	0V	5 - 15 V	5 - 15 V
讀取(選擇1)	小於 V_{cc}	0V	0 - V_{cc}	0V	V_{cc}	V_{cc}
讀取(選擇2)	預充至 V_{cc} 然後檢測電壓	0V	0V	0V	0V	V

五、發明說明 (11)

如第4圖所示之另一個實施例，晶胞80包含有儲存電晶體46及來源選擇電晶體72，其中位線BL被直接接於儲存電晶體46的汲極52。晶胞80的程式規劃、拭除、及讀取等操作，其偏壓情況列於如下之第3表中，其與前述之第2圖的有關作法相同。晶胞80是可位元程式規劃且可被區段拭除。因此於程式規劃晶胞80時，合成臨界電壓 V_t 及儲存於其中之合成多位元資料依施加於控制閘極之實際程式規劃電壓 V_p 而定。在第一種選擇中，例如選擇1，該程式規劃電壓 V_p 大約從3V斜增至它的最終值，而在第二種選擇中，該可變的程式規劃電壓 V_p 被單純地加於控制閘極56上。注意晶胞80可被行或大容量拭除。

第3表

	位線BL	控制閘極	選擇閘極	源極	N-型井層
程式規劃(選擇1)	0 V	斜增(可變)	0 V	5 - 15 V	5 - 15 V
程式規劃(選擇2)	0 V	可變	0 V	5 - 15 V	5 - 15 V
拭除(選擇1)	選擇行拭除為16 - 22V; 不選擇行拭除為8-12V	0 V	16 - 22 V	16 - 22 V	16 - 22 V
拭除(選擇2)	選擇行拭除為3 - 15V; 不選擇行拭除為0V	-15到-3V	3 - 15 V	3 - 15 V	3 - 15 V
讀取(選擇1)	小於 V_{∞}	0V - V_{∞}	0 V	V_{∞}	V_{∞}
讀取(選擇2)	預充至 V_{∞}	0 V	0 V	0 V	V_{∞}

當本發明的實際實施例已被顯描述後，對那些熟於此技的人而言應該很清楚，在不違反本發明的大原則下所實施之變化及修飾是可做的，因此，後面附加的專利申請範圍將譬如於本發明之精神及領域範圍內所做之變化及修飾亦包含在它全部的申請範圍內。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(12)

元 件 標 號 對 照

10....傳統的EEPROM晶胞	48....
12....儲存電晶體	P通道MOS選擇的電晶體
14....選擇電晶體	50....P+擴散層、P+源極
16....P-基質	51....通道
18....N+擴散層、源極	52....P+擴散層、P+汲極
20....N+擴散層、汲極	54....P+擴散層、汲極
22....N+擴散層、汲極	56....浮動閘極
24....漂浮閘極	57....介質層
26....控制閘極	58....控制閘極
28....	60....選擇閘極
選擇電晶體、選擇閘極	62....透納氧化物層
30....透納氧化物層	70....可選擇位元拭除晶胞
32....高阻抗電阻器	72....來源選擇電晶體
34....電壓感應電路	74....控制閘極
40....PMOS EEPROM晶胞	76....P+擴散層
42....N型井區	80....晶胞
44....P-基質	
46....	
P通道MOS堆疊閘極儲存電晶體	

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

四、中文發明摘要(發明之名稱：可作多準位臨界電壓儲存之PMOS快閃記)

憶體晶胞

一P-通道快閃EEPROM晶胞具有形成於N-型井層上之P+源極及P+汲極層，及延伸於它們之間的通道。一薄的透納氧化物層被用來覆蓋於通道之上。兩者被一介質層隔開之多晶矽漂浮閘極及多晶矽控制閘極覆蓋於透納氧化物層上。程式規劃經由熱電子注入而完成，而拭除是藉由電子穿透來做到。晶胞的臨界電壓可利用在程式規劃時，接於該漂浮閘極之電壓大小而予準確的控制。因為注入至漂浮閘極之熱電子注入與透納氧化物之厚度及漂浮閘極與控制閘

(接下頁)

英文發明摘要(發明之名稱：A PMOS FLASH MEMORY CELL CAPABLE OF MULTI-LEVEL THRESHOLD VOLTAGE STORAGE)

A P-channel flash EEPROM cell has P+ source and P+ drain regions, and a channel extending therebetween, formed in an N-type well. A thin layer of tunnel oxide is provided over the channel. A poly-silicon floating gate and poly-silicon control gate, separated by a dielectric layer, overlies the tunnel oxide. Programming is accomplished via hot electron injection while erasing is realized by electron tunneling. The threshold voltage of the cell may be precisely controlled by the magnitude of voltage coupled to the floating gate during programming. Since the injection of hot electrons into the floating gate is independent of variations in the thickness of the tunnel oxide layer and the coupling ratio between the floating gate

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

四、中文發明摘要(發明之名稱：)

(承上頁)

極間的接合率之變化無關，所以程式規劃操作及資料保持不受製程變化影響。此外，PMOS裝置在一狹窄的閘極電壓範圍上經由熱電子注入傳導一閘極電流，因此在閘極電流之上甚至在漂浮閘極的充電電流之上皆容許正確的控制。這個在閘極電流之上的控制，以及與製程特質無關之晶胞的臨界電壓值，有利容許晶胞的臨界電壓更精確地控制，因此產生一能夠儲存較大量資料位元且更可為靠的晶胞。

英文發明摘要(發明之名稱：)

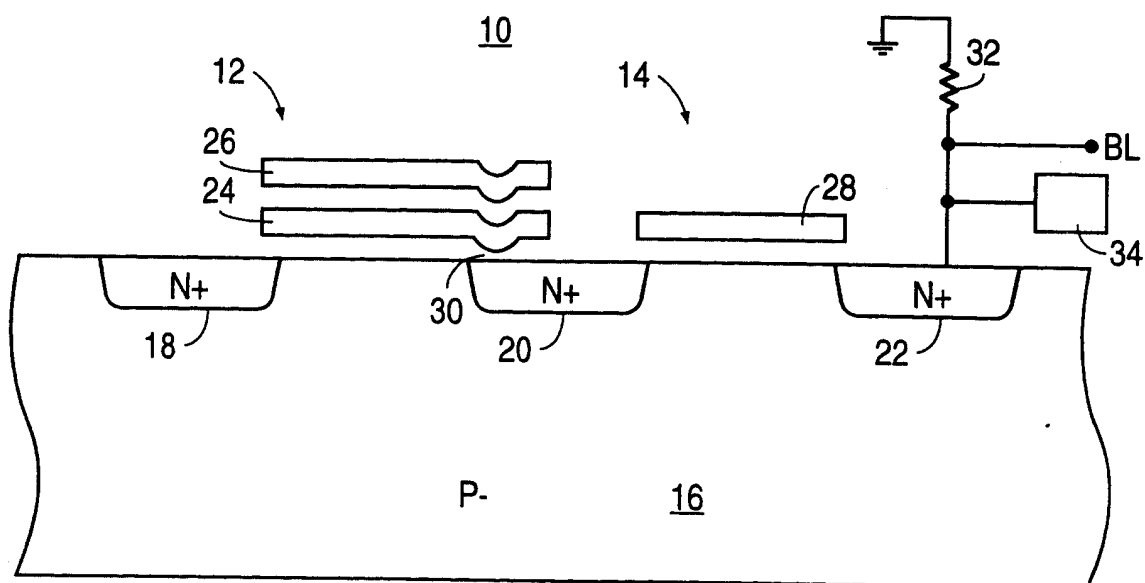
and the control gate, programming operations and data retention are not affected by process variations. In addition, PMOS devices conduct a gate current via hot electron injection over a narrow range of gate voltages, thereby allowing for precise control over the gate current and thus over the charging of the floating gate. This control over the gate current, as well as the independence of the cell's threshold voltage of process parameters, advantageously allows the threshold voltage of the cell to be more accurately controlled, thereby resulting in a more reliable cell capable of storing a greater number of bits of data.

(請先閱讀背面之注意事項再填寫本頁各欄)

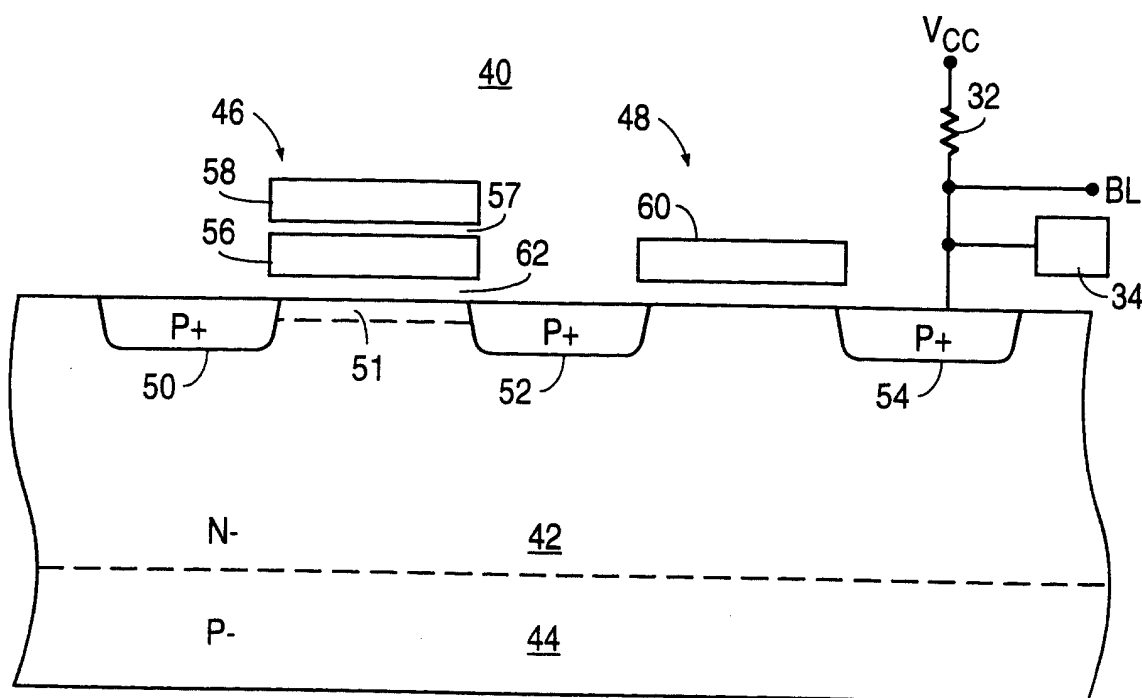
裝

訂

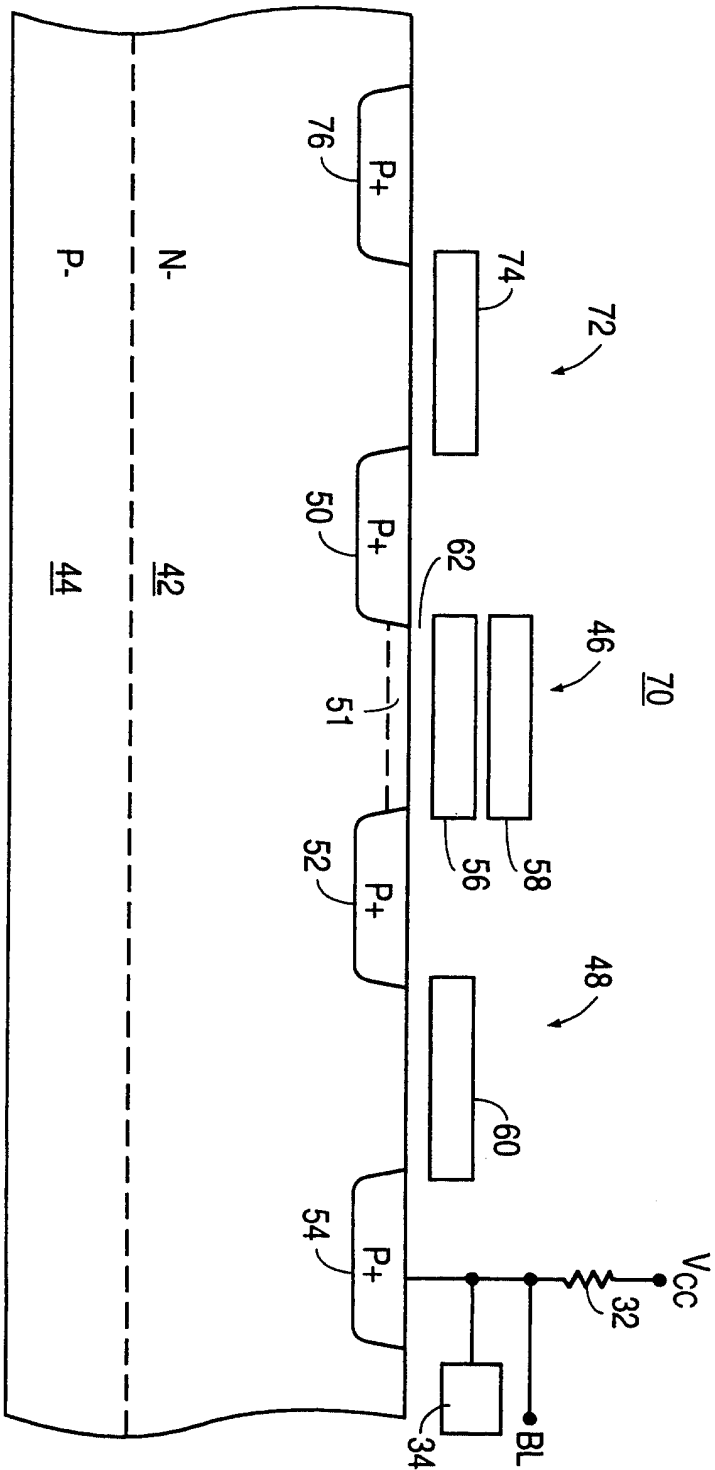
線



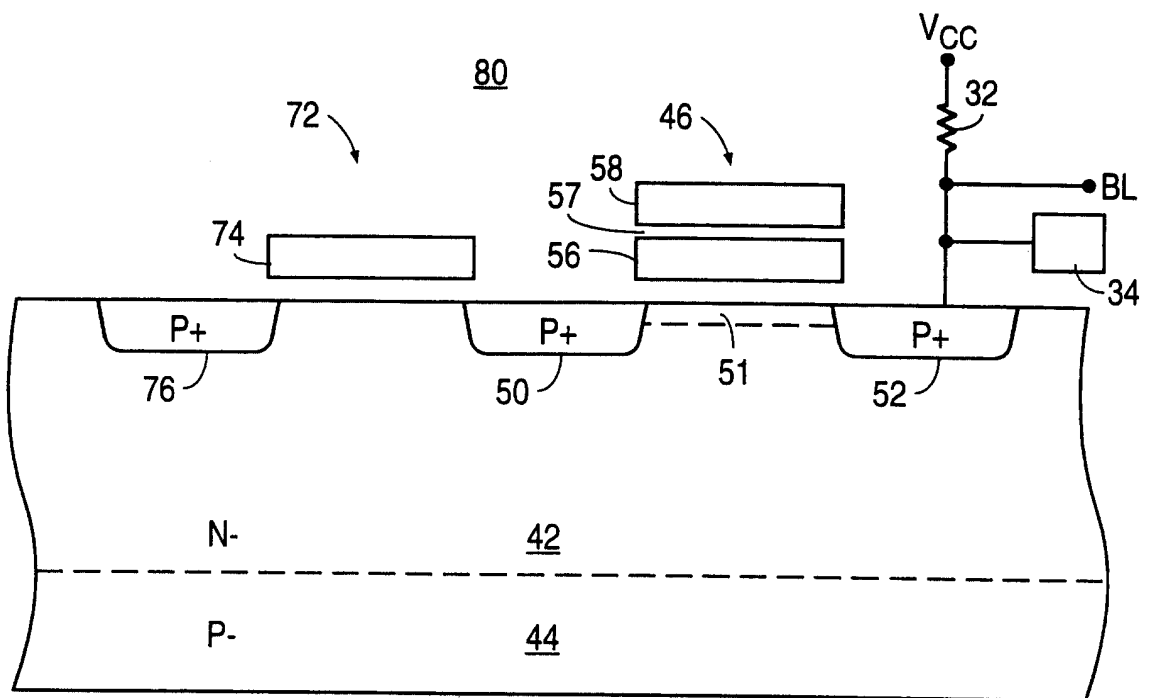
第 1 圖
習知技術



第 2 圖



第 3 圖



第 4 圖

六、申請專利範圍

第 84112621 號申請案申請專利範圍修正本 85.8.30.

1. 一種半導體記憶體晶胞，包含有：

一在其上已形成一 P+源極、一 P+汲極，及一延伸於該源極及該汲極間之通道層的 N-型井層；

覆蓋於該第一絕緣層之上的一漂浮閘極；

覆蓋於該漂浮閘極之上的一第二絕緣層；及

覆蓋於該第二絕緣層之上的一控制閘極，該晶胞經由施加一程式規劃電壓於該控制閘極上，而產生從該 N-型井層與該 P+汲極之接面間注入至該控制閘極之熱電子注入而被程式規劃，該晶胞表示一多數程式規劃準位，每一準位皆有關該晶胞之多數臨界電壓中各自的一個準位，其中該臨界電壓是由該程式規劃電壓的大小決定。

2. 如申請專利範圍第 1 項之晶胞，其中該晶胞經由從該漂浮閘極至該通道層、該源極、及該汲極之電子的穿透而被拭除。

3. 如申請專利範圍第 1 項之晶胞，其中當該漂浮閘極未被充電時，該晶胞之臨界電壓大約是 -3 至 -6V。

4. 如申請專利範圍第 1 項之晶胞，其更包含有一形成於該 N-型井層上之位元線選擇電晶體，該第一選擇電晶體具有一接於位元線之 P+源極，一接至該晶胞的該汲極之 P+源極，及一選擇閘極。

5. 如申請專利範圍第 4 項之晶胞，其中該晶胞經由施加該程式規劃電壓於該控制閘極上，施加一第一電壓於

(請先閱讀背面之注意事項再填寫本頁)

訂

訂

煩請委員明示本案是否變更實質內容

經濟部中央標準局員工消費合作社印製

六、申請專利範圍

該源極及該N-型井層上並把該位元線及該選擇閘極接地而被程式規劃，該程式規劃電壓介於5至15伏間，而其值是依程式規劃該晶胞所期望的該多數程式規劃準位的那個準位而定，該第一電壓值大約介於5到15伏間。

- 6.如申請專利範圍第4項之晶胞，其中該晶胞經由斜增該程式規劃電壓從第一電壓至第二電壓，施加大約5到15伏間之電壓於該源極及該N-型井層上及施加一第三電壓於該選擇閘極上，且接地位元線而被程式規劃，其中該第二電壓依該晶胞被程式規劃的該多數程式規劃準位中的那個準位而定。
- 7.如申請專利範圍第1項之晶胞，其中該第一電壓大約是5伏而該第二電壓大約是15伏。
- 8.如申請專利範圍第4項之晶胞，其中該晶胞經由施加大約15到22伏間之電壓於該源極，該選擇閘極，及該N-型井層上，且接地該控制閘極及連接該位元線至一漂浮電位而被拭除。
- 9.如申請專利範圍第4項之晶胞，其中該晶胞經由施加大約3到15伏間之電壓於該源極，該選擇閘極，及該N-型井層上，且施加大約-3到-15伏間之電壓到該控制閘極上及連接該位元線至一漂浮電位而被拭除。
- 10.如申請專利範圍第4項之晶胞，其中該位元線被接到一供應電壓，該晶胞經由施加大約0至該供應電壓值間之電壓於該控制閘極上，施加一第一電壓於該源極

(請先閱讀背面之注意事項再填寫本頁)

訂

六、申請專利範圍

及該N-型井層上，接地該選擇閘極，並施加一第二電壓於該位元線上而被讀取。

11.如申請專利範圍第10項之晶胞，其中該第一電壓約等於該供應電壓而該第二電壓小於該第一電壓。

12.如申請專利範圍第4項之晶胞，其中該晶胞經由設定該程式規劃電壓在地電位，施加一第一電壓於該N-型井層上，預充該位元線至該第二電壓值，及接地該等源極及該位元線選擇電晶體的選擇閘極而被讀取。

13.如申請專利範圍第4項之晶胞，其更包含有一形成於該N-型井層上之第二選擇電晶體，該第二選擇電晶體具有一接於該晶胞源極的P+汲極及具有一來源選擇閘極及一P+源極。

14.如申請專利範圍第13項之晶胞，其中該晶胞經由施加該程式規劃電壓於該控制閘極上，施加大約3到15伏間的電壓於該來源選擇閘極，該源極，及該N-型井層上，而接地該位元線選擇閘極及施加一第二電壓於該位元線而被程式規劃。

15.如申請專利範圍第13項之晶胞，其中該晶胞經由施加大約16至12伏間之電壓於該來源選擇閘極，該源極，及該N-型井層上，而接地該位元線選擇閘極及該控制閘極並施加一第二電壓於該位元線上而被程式規劃。

16.如申請專利範圍第13項之晶胞，其中該晶胞經由施加大約5至15伏間之電壓於該源極及該N-型井層上，施加該程式規劃電壓於該控制閘極上，及接地該位元線，

(請先閱讀背面之注意事項再填寫本頁)

訂

一

六、申請專利範圍

該來源選擇閘極，及該位元線選擇閘極而被拭除。

17. 如申請專利範圍第13項之晶胞，其中該晶胞經由施加一第一電壓於該源極及該N-型井層上，施加該程式規劃電壓於該控制閘極上，而接地該來源選擇閘極及該位元線選擇閘極，及施加一小於第一電壓之第二電壓至該位元線上而被讀取。
18. 如申請專利範圍第13項之晶胞，其中該晶胞經由施加一第一電壓於該N-型井層上，接地該來源選擇閘極，該位元線選擇閘極，該源極，及該控制閘極，且預充該位元線至一預定電壓值而被讀取。
19. 如申請專利範圍第1項之晶胞，其更包含一形成於該N-型井層上之第一選擇電晶體，該第一選擇電晶體具有一接於該晶胞源極的P+汲極，一P+源極，及一選擇閘極。
20. 如申請專利範圍第19項之晶胞，其更包含一接於該晶胞源極的位元線。

(請先閱讀背面之注意事項再填寫本頁)

訂