

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-21981
(P2012-21981A)

(43) 公開日 平成24年2月2日(2012.2.2)

(51) Int.Cl. F I テーマコード (参考)
GO 1 R 31/28 (2006.01) GO 1 R 31/28 H 2 G 1 3 2

審査請求 未請求 請求項の数 10 O L 外国語出願 (全 15 頁)

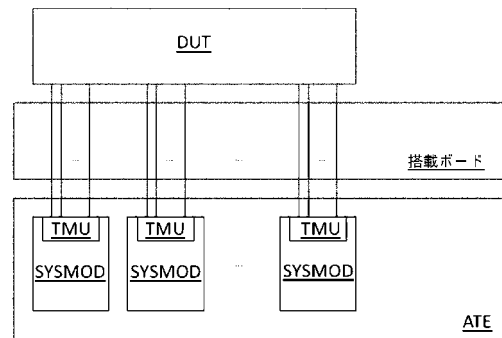
<p>(21) 出願番号 特願2011-144248 (P2011-144248)</p> <p>(22) 出願日 平成23年6月29日 (2011. 6. 29)</p> <p>(31) 優先権主張番号 61/363, 515</p> <p>(32) 優先日 平成22年7月12日 (2010. 7. 12)</p> <p>(33) 優先権主張国 米国 (US)</p> <p>(31) 優先権主張番号 13/013, 495</p> <p>(32) 優先日 平成23年1月25日 (2011. 1. 25)</p> <p>(33) 優先権主張国 米国 (US)</p>	<p>(71) 出願人 390005175 株式会社アドバンテスト 東京都練馬区旭町1丁目32番1号</p> <p>(74) 代理人 110000877 龍華国際特許業務法人</p> <p>(72) 発明者 リヒター、クラウド ドイツ連邦共和国、D-83123 アメ ラング、ヴァッサーブルガー通り44、 アドバンテスト ヨーロッパ ゲーエムベ ーハー内</p> <p>(72) 発明者 ケールドルフナー、アロイス ドイツ連邦共和国、D-83123 アメ ラング、ヴァッサーブルガー通り44、 アドバンテスト ヨーロッパ ゲーエムベ ーハー内</p> <p style="text-align: right;">最終頁に続く</p>
--	--

(54) 【発明の名称】 複合的に時間測定を行う方法および装置

(57) 【要約】 (修正有)

【課題】被試験デバイスの複数の異なる信号間での時間測定を効率よく行う試験装置を提供する。

【解決手段】自動試験装置は、複数のシステムモジュールを備える。各システムモジュールは、一の時間測定部を備える。時間測定部に備えられたグローバル・タイム・スタンプ・モジュールは、複数のグローバル・タイム・スタンプ・コアを備え、該コアはそれぞれ、少なくとも2つの情報を受信する情報受信部と、コア入力においてイベントを受信するイベント受信部と、コア入力を受信されるイベントから対象イベントを決定するイベント決定部と、対象イベントが決定されると、クロック情報に対応するタイム・スタンプ・カウンタの現在のステータスを記録するようにタイム・スタンプ・メモリに指示する指示部とを備える。グローバル・タイム・スタンプ・モジュールはさらに、複数のグローバル・タイム・スタンプ・コアに共通時間基準を供給する供給部を備える。



【選択図】 図2

【特許請求の範囲】

【請求項 1】

複数のシステムモジュール (S Y S M O D) を備える自動試験装置で用いられる装置であって、

一のシステムモジュール (S Y S M O D) は、一の時間測定部 (T M U) を備え、

前記時間測定部 (T M U) は、グローバル・タイム・スタンプ・モジュール (G T S M) を備え、

前記グローバル・タイム・スタンプ・モジュール (G T S M) は、複数のグローバル・タイム・スタンプ・コア (G T S C) を備え、

前記複数のグローバル・タイム・スタンプ・コア (G T S C) はそれぞれ、

少なくとも 2 つの情報を受信する情報受信部と、

複数のグローバル・タイム・スタンプ・コア (G T S C) によるデータ取得を同期させるべく、コア入力 (I N) においてイベント (E V) を受信するイベント受信部と、

前記コア入力 (I N) で受信される前記イベント (E V) から対象イベント (E V _ I N T) を決定するイベント決定部と、

対象イベント (E V _ I N T) が決定されると、クロック情報 (C L _ I N F) に対応するタイム・スタンプ・カウンタ (T S C) の現在のステータス (T S) を記録するようにタイム・スタンプ・メモリ (T S M) に指示する指示部と

を備え、

受信する前記 2 つの情報のうち第 1 の情報は前記クロック情報 (C L _ I N F) を含み、前記受信する 2 つの情報のうち第 2 の情報は同期情報 (S Y N C _ I N F) を含み、

前記グローバル・タイム・スタンプ・モジュール (G T S M) はさらに、

前記複数のグローバル・タイム・スタンプ・コア (G T S C) に共通時間基準を供給することによって、前記複数のグローバル・タイム・スタンプ・コア (G T S C) によるデータ取得を同期させる供給部を備える、装置。

【請求項 2】

前記時間測定部 (T M U) の入力数は少なくとも、被試験デバイスに対する前記システムモジュール (S Y S M O D) の I / O ポートの数と同じである請求項 1 に記載の装置

。

【請求項 3】

複数の異なる時間測定部 (T M U) の複数の異なる分解能をスケーリングして一の統一分解能を提供するスケーリング部をさらに備える請求項 1 または請求項 2 に記載の装置。

【請求項 4】

タイム・スタンプ・カウンタ (T S C) の 2 つの値の間のイベント時間を補間する補間部をさらに備える請求項 1 から請求項 3 のうちいずれか一項に記載の装置。

【請求項 5】

アナログ信号をデジタル化した値を比較するアナログ比較器をエミュレートするエミュレート部をさらに備え、タイム・スタンプ T S は、アナログ信号をデジタル化した値を比較するデジタル比較器によって生成される請求項 1 から請求項 4 のうちいずれか一項に記載の装置。

【請求項 6】

複数の前記時間測定部 (T M U) について記録されたタイム・スタンプ値 (T S) を収集する収集部をさらに備える請求項 1 から請求項 5 のうちいずれか一項に記載の装置。

【請求項 7】

収集された前記タイム・スタンプ値 (T S) に基づいて時間差を計算する計算部を備える請求項 6 に記載の装置。

【請求項 8】

複数のグローバル・タイム・スタンプ・コア (G T S C) を備える、自動試験装置で用いられるグローバル・タイム・スタンプ・モジュール (G T S M) のための方法であって、

、

10

20

30

40

50

前記複数のグローバル・タイム・スタンプ・コア (GTSC) はそれぞれ、
 少なくとも2つの情報を受信する段階と、
 複数のグローバル・タイム・スタンプ・コア (GTSC) によるデータ取得を同期させるべく、コア入力 (CI) においてイベント (EV) を受信する段階と、
 前記コア入力 (CI) で受信される前記イベント (EV) から対象イベント (EV__INT) を決定する段階と、
 対象イベント (EV__INT) が決定されると、クロック情報 (CL__INF) に対応するタイム・スタンプ・カウンタ (TSC) の現在のステータス (TS) を記録するようにタイム・スタンプ・メモリ (TSM) に指示する段階と
 を備え、
 前記グローバル・タイム・スタンプ・モジュール (GTSM) のための方法はさらに、
 前記複数のグローバル・タイム・スタンプ・コア (GTSC) に共通時間基準を供給することによって、前記複数のグローバル・タイム・スタンプ・コア (GTSC) によるデータ取得を同期させる段階を備え、
 受信する前記2つの情報のうち第1の情報は前記クロック情報 (CL__INF) を含み、前記受信する2つの情報のうち第2の情報は同期情報 (SYNC__INF) を含む方法。

10

【請求項9】

自動試験装置で用いられるグローバル・タイム・スタンプ・コア (GTSC) のための方法であって、

20

少なくとも2つの情報を受信する段階と、
 複数のグローバル・タイム・スタンプ・コア (GTSC) によるデータ取得を同期させるべく、コア入力 (CI) においてイベント (EV) を受信する段階と、
 前記コア入力 (CI) で受信される前記イベント (EV) から対象イベント (EV__INT) を決定する段階と、
 対象イベント (EV__INT) が決定されると、クロック情報 (CL__INF) に対応するタイム・スタンプ・カウンタ (TSC) の現在のステータス (TS) を記録するようにタイム・スタンプ・メモリ (TSM) に指示する段階と
 を備え、
 受信する前記2つの情報のうち第1の情報は前記クロック情報 (CL__INF) を含み、前記受信する2つの情報のうち第2の情報は同期情報 (SYNC__INF) を含む、方法。

30

【請求項10】

前記タイム・スタンプ・カウンタ (TSC) は、前記同期情報 (SYNC__INF) のリセット情報に応じてリセットされる

請求項9に記載の方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、集積回路の試験を行なう自動試験装置 (ATE) に関する。

40

【背景技術】

【0002】

[関連出願]

本願は、米国仮特許出願第61/363,515号 (出願日:2010年7月12日) および米国特許出願第13/013,495号の出願日の恩恵を主張する。両出願の内容は参照により本願に組み込まれる。

【0003】

ATEでは、1つの被試験デバイス (DUT) の複数の異なるピンの信号間のタイミング関係を複合的に測定する必要性が益々高まっている。混合信号 (mixed signal) デバイスを試験する際には特にそうである。信号間で多くの時間測定を行なう必要

50

があるが、このような時間測定は、非確定的であり、複数の異なる A T E 機器が生成する刺激との関係性が弱い。このような時間測定によって、試験スループットが大きく制限される一方、試験コストが大幅に増加してしまう。

【発明の概要】

【発明が解決しようとする課題】

【0004】

このため、本発明の1以上の実施形態は、上述した問題のうち少なくとも1つを解決する A T E および A T E で利用される方法を提供することを目的とする。

【課題を解決するための手段】

【0005】

この目的は、独立請求項に記載した装置および方法によって達成することができる。従属請求項には好ましい実施形態を記載する。

【0006】

具体的には、複数のシステムモジュールを備える自動試験装置で用いられる装置によって上記の目的は達成される。一のシステムモジュールは、一の時間測定部 (T M U) を備え、時間測定部 (T M U) は、グローバル・タイム・スタンプ・モジュールを備え、グローバル・タイム・スタンプ・モジュールは、複数のグローバル・タイム・スタンプ・コアを備える。

【0007】

複数のグローバル・タイム・スタンプ・コアはそれぞれ、少なくとも2つの情報を受信する情報受信部を備え、受信する2つの情報のうち第1の情報はクロック情報を含み、受信する2つの情報のうち第2の情報は同期情報を含む。グローバル・タイム・スタンプ・コアはさらに、複数のグローバル・タイム・スタンプ・コアによるデータ取得を同期させるべく、コア入力においてイベントを受信するイベント受信部を備える。グローバル・タイム・スタンプ・コアはさらに、コア入力を受信される前記イベントから対象イベントを決定するイベント決定部と、対象イベントが決定されると、クロック情報に対応するタイム・スタンプ・カウンタの現在のステータスを記録するようにタイム・スタンプ・メモリに指示する指示部とを備える。

【0008】

グローバル・タイム・スタンプ・モジュールはさらに、複数のグローバル・タイム・スタンプ・コアに共通時間基準を供給することによって、複数のグローバル・タイム・スタンプ・コアによるデータ取得を同期させる供給部を備える。

【0009】

電子機器、特に、同期デジタル回路において、クロック情報とは、ロー状態とハイ状態との間で変動するタイプの信号であり、複数の回路の動作を調整するために用いられるとしてよい。クロック情報は、例えば、クロック生成器によって生成される。より複雑な構成も利用され得るが、最も一般的なクロック信号は、デューティサイクルが50%の方形波の形状を取り、周波数は一定であることが多い。同期を取るためにクロック情報および/またはクロック信号を用いる回路は、クロックサイクルの立ち上がりエッジまたは立ち下がりエッジのいずれかでアクティブとなり、ダブルデータレートの場合には、クロックサイクルの立ち上がりエッジおよび立ち下がりエッジの両方でアクティブとなるとしてよい。

【0010】

同期情報は多岐にわたり、同期が開始された時間、同期にかかった時間、同期させる対象、同期対象のステータス、データを処理する時間等が含まれるとしてよい。本発明はこのため、分散している時間測定素子を、好ましくは複数のグローバル・タイム・スタンプ・コアのデータ取得の時間が同期するように、同期させるという目的を達成する。

【0011】

A T E で同期を実現する方法には複数ある。簡単な方法としては、例えば「スタートリガ」を用いて、トリガソースからトリガデスティネーションまたはトリガデスティネーシ

10

20

30

40

50

オン群までの高帯域幅信号経路を走らせる方法がある。このトリガメカニズムでは、アナログのマルチプレクサおよびセレクタを利用すると共に、さまざまなデスティネーションのための多数の個別のケーブル、または、何らかの種類の「トリガバス」を用いる。別の方法では、ベクトル同期（装置イネーブル（Enable Instrument：EINST））を利用し、1つのシーケンサを利用し、テストにおいてEINSTトークンを含むシーケンス制御ベクトルを分配する。

【0012】

デジタル時間基準を設けることによって、システムクロックとベクトル時間との間の関係について、正確なものとする事ができると共にデジタル制御が可能となる。このプロセスは、以下のようにまとめることができる。試験において、最初のベクトルがクロックサイクル境界で開始され、後続のベクトルはそれぞれ、先行する全てのベクトル時間の合計に等しい時間だけ間隔を空けて開始され、後続の各ベクトルの開始時間は、特定のクロックサイクルおよびこのサイクルの一部によって定められる。

10

【0013】

コア入力イベントは、試験中にDUTが発生させるイベントであればどのようなイベントであってもよい。対象イベントは、発生したコア入力イベントのうち特に有用なイベントであることが好ましく、ATEまたはATEの一部によって判断される。

【0014】

共通時間基準とは、上述のクロック情報、クロック情報の一部、上述の同期情報、同期情報の一部、これらの情報またはこれらの情報の一部または複数のグローバル・タイム・スタンプ・コアのデータ取得を同期させる上で利用され得る任意のその他の有用な情報の任意の組み合わせであってよい。

20

【0015】

イベントのタイム・スタンプは、システム全体の任意の対象信号について並行して記録され、並行して記録されるとしてよい。そして、時間測定は、タイム・スタンプ記録間の時間差を計算することによって簡単に行なうとしてよい。

【0016】

記録を並行して行なうため、多くの異なる時間スタンプ、例えば、時間値が並行して記録される可能性がある。1つのテストサイクルが完了すると、通常はデジタルパターンによって、全ての絶対測定結果が既に記録されている。そして、システムコントローラは、必要なタイム・スタンプを全て収集して、必要となる相対タイミングを計算するとしてよい。

30

【0017】

上述の方法によると、DUTの試験に必要な試験時間を大幅に短縮することができるとしてよい。マルチサイトに用いられる場合であっても、シングルサイトで用いられる場合に比べてオーバーヘッドが非常に限られている。試験時間が増加する理由は、複数の異なるDUTのタイム・スタンプ値を読み出して、最後に計算を行なうことが原因である可能性がある。このため、本発明では、高い試験スループットを維持しつつ複合的な時間測定を実行するとしてよい。本発明に係る装置は、試験時間を改善することに加えて、搭載ボードの設計を簡略化し、搭載ボードのコストを低減し、信頼性を高めるとしてよい。

40

【0018】

本発明の一実施形態によると、時間測定部の入力数は少なくとも、被試験デバイスに対するシステムモジュールのI/Oポートの数と同じである。被試験デバイスに対するシステムモジュールのI/Oポートの数と同じであることが好ましい。

【0019】

本発明の別の実施形態によると、当該装置は、複数の異なる時間測定部の複数の異なる分解能をスケーリングして一の統一分解能を提供するスケーリング部を備える。本発明の別の実施形態によると、当該装置は、タイム・スタンプ・カウンタの2つの値の間のイベント時間を補間する補間部を備える。

【0020】

50

本発明の別の好ましい実施形態によると、当該装置は、アナログ信号をデジタル化した値を比較するアナログ比較器をエミュレートするエミュレート部を備え、タイム・スタンプは、アナログ信号をデジタル化した値を比較するデジタル比較器によって生成される。

【0021】

上述のシステムアーキテクチャは、グローバル・タイム・スタンプ・モジュールおよびグローバル・タイム・スタンプ・コアの全てについて同じハードウェアとすることに限定されない。タイム・スタンプ・カウンタは、信号群毎に分解能を変えらるゝとしてよい。低速信号、例えば、電圧/電流(VI)源の信号比較器は、デジタルピンの比較器に比べて低い分解能で記録するとしてよい。モジュールファームウェアまたはドライバソフトウェアは、ハードウェア毎に異なる分解能を統一分解能にスケールングするとしてよい。このよ
10

【0022】

高分解能での時間測定のために、グローバル・タイム・スタンプ・コアは、高分解能時間測定ハードウェアを追加で有するとしてよい。このハードウェアは、2つの連続するグローバル・タイム・スタンプ・カウンタの値の間のイベント時間を補間するとしてよい。高分解能時間測定ハードウェアの値は、グローバル・タイム・スタンプ・カウンタの値と共に格納されるとしてよい。

【0023】

タイム・スタンプの取得方法については、上述したアナログの比較器およびハードウェアを用いる以外の方法で取得する場合があるとしてよい。例えば、アナログの比較器が利用されていないデジタル制御VI源で取得するとしてよい。この場合、アナログ信号をデジタル化した値を比較してデジタルタイムスタンプを生成するデジタル比較器によって機能をエミュレートするとしてよい。

【0024】

本発明の別の実施形態によると、当該装置は、複数の時間測定部について記録された現在のステータス(タイムスタンプ値)を収集する収集部を備える。本発明の別の実施形態によると、当該装置は、収集された前記タイム・スタンプ値(TS)に基づいて時間差を計算する計算部を備える。

【0025】

さらに、複数のグローバル・タイム・スタンプ・コアを備える自動試験装置で用いられる方法によって上記の本発明の目的は達成される。時間測定部を含んでいる各システムモジュールについて好ましい実施形態として、自動試験装置で用いられる当該方法は、少なくともグローバル・タイム・スタンプ・コアを備え、時間測定部を含んでいる各システムモジュールについてより好ましい実施形態として、自動試験装置で用いられる当該方法は、グローバル・タイム・スタンプ・コアを備える。

【0026】

複数のグローバル・タイム・スタンプ・コアはそれぞれ、少なくとも2つの情報を受信する段階を備える。受信する前記2つの情報のうち第1の情報はクロック情報を含み、前記受信する2つの情報のうち第2の情報は同期情報を含む。

【0027】

グローバル・タイム・スタンプ・コアはさらに、複数のグローバル・タイム・スタンプ・コアによるデータ取得を同期させるべく、コア入力においてイベントを受信する段階を備える。グローバル・タイム・スタンプ・コアはさらに、コア入力(CI)で受信される前記イベント(EV)から対象イベント(EV__INT)を決定する段階を備える。グローバル・タイム・スタンプ・コアはさらに、対象イベント(EV__INT)が決定されると、前記クロック情報(CL__INF)に対応するタイム・スタンプ・カウンタ(TSC)の現在のステータス(TS)を記録するようにタイム・スタンプ・メモリ(TSM)に指示する段階を備える。グローバル・タイム・スタンプ・モジュールのための方法はさら
50

に、複数のグローバル・タイム・スタンプ・コア（G T S C）に共通時間基準を供給することによって、前記複数のグローバル・タイム・スタンプ・コア（G T S C）によるデータ取得を同期させる段階を備える。

【0028】

さらに、自動試験装置で用いられるグローバル・タイム・スタンプ・コアのための方法を含む自動試験装置で用いられる方法によって上記の本発明の目的は達成される。当該方法は、少なくとも2つの情報を受信する段階を備え、受信する2つの情報のうち第1の情報はクロック情報を含み、受信する2つの情報のうち第2の情報は同期情報を含む。上述した自動試験装置で用いられるグローバル・タイム・スタンプ・コアのための方法はさらに、複数のグローバル・タイム・スタンプ・コアによるデータ取得を同期させるべく、コア入力においてイベントを受信する段階を備える。上述した自動試験装置で用いられるグローバル・タイム・スタンプ・コアのための方法はさらに、コア入力で受信されるイベントから対象イベントを決定する段階を備える。上述した自動試験装置で用いられるグローバル・タイム・スタンプ・コアのための方法はさらに、対象イベントが決定されると、前記クロック情報に対応するタイム・スタンプ・カウンタの現在のステータスを記録するようにタイム・スタンプ・メモリに指示する段階を備える。

10

【0029】

本発明の一実施形態によると、上述した自動試験装置で用いられるグローバル・タイム・スタンプ・コアのための方法において、タイム・スタンプ・カウンタは、同期情報のリセット情報に応じてリセットされる。

20

【0030】

従来の自動試験装置では、専用T M Uの入力間、または、単一の入力において直接時間測定を実行している。測定毎に1つの値が読み出されるとしてよい。

【図面の簡単な説明】

【0031】

本発明の実施形態に係る装置および/または方法の一部の実施形態について、添付図面を参照しつつ、例示を目的として、説明する。添付図面は以下の通りである。

【0032】

【図1】自動試験装置（A T E）における時間測定の従来の方法を示す概略図である。

【0033】

【図2】本発明に係るシステム時間測定の概略を示す概略図である。

30

【0034】

【図3】本発明に係るシステム時間測定のためのグローバル・タイム・スタンプ・モジュールを示す概略ブロック図である。

【0035】

【図4】本発明に係るシステム時間測定のためのグローバル・タイム・スタンプ・システムの概略を示す概略図である。

【0036】

【図5】本発明に係るシステム時間測定のためのグローバル・タイム・スタンプ・コアを示す概略ブロック図である。

40

【発明を実施するための形態】

【0037】

本発明を好ましい実施形態を参照しつつ以下で説明するが、好ましい実施形態は、本発明の範囲を限定するものではなく本発明の一例を説明するためのものである。実施形態で説明する特徴および当該特徴の組み合わせ全てが必ずしも本発明を実施する上で必須なわけではない。

【0038】

本明細書では、「部材Aが部材Bに接続されている状態」という記載は、部材Aおよび部材Bが直接物理的に接続されている状態、および、部材Aおよび部材Bが両者間の電気接続に影響を与えないその他の部材を介して間接的に接続されている状態を意味する。同

50

様に、「部材 C が部材 A と部材 B との間に配設されている状態」という記載は、部材 A および部材 C、または、部材 B および部材 C が互いに直接接続されている状態に加えて、これらの部材が電気接続に影響を与えないその他の部材を介して間接的に接続されている状態を意味する。

【0039】

以下に記載する実施形態は試験装置に関する。より具体的には、被試験デバイス（DUT）の試験を行なう自動試験装置（ATE）に関する。

【0040】

図1は、ATEにおける従来の時間測定方法を説明する概略図である。同図に示すようなATEにおいて時間測定を行なうための従来の設定では、複数の異なるシステムモジュール（SYSTEMOD）、例えば、デジタルモジュール、任意波形生成器/デジタイザ、プログラム可能な電圧源および電流源（VI源）等が、搭載ボードを介してDUTにワイヤ接続されている。ATE内で利用可能な中央時間測定部（TMU）が別個に設けられている。TMUは、限られた数の時間測定用入力（IN）を有する。

10

【0041】

時間測定を行なうべき任意のDUT信号は、特定用途向けリレーマトリクスを介して、TMUの入力（IN）にワイヤ接続される。このリレーマトリクスは、特定用途向けにATEのユーザによって構築されるとしてよい。この結果、先行技術に係るシステムでは、ハードウェアにかかる労力が大きく、搭載ボード（LB）の複雑性が大きくなる。TMUの入力（IN）の数が限られているので、時間測定はシリアルに行なう必要がある。このため、先行技術に係るシステムでは、試験プログラムの実行時間が長くなってしまふ。

20

【0042】

この問題を解決するべく、本発明では分散方式で時間測定を行なう。この新しいシステム方式については、図2に概略を示している。

【0043】

図2は、本発明に係る新しいシステム時間測定方法の概略を示す概略図である。本発明では、分散型時間測定システムのための方法および装置を説明する。本システムでは、ATEまたはその他の高精度測定機器において、特定用途の要件に応じた労力および分解能で、時間測定を複合的且つ並行して行う。

30

【0044】

各システムモジュールは、DUTに対するモジュールI/Oの数と少なくとも同数の入力（IN）を持つTMUを有する。これはグローバルシステムの特徴であるので、この方式はグローバル・タイム・スタンプ方式と呼ばれる。図2は、グローバル・タイム・スタンプ方式のシステム方式の概略を示す図である。

【0045】

試験スループットを高く、且つ、試験コストを低く維持するためには、複数の時間測定を並行して実行することが必要となる。本発明では、上述の必要性に対処するべく、分散方式の時間測定機能を実現する方法の概略を説明する。本明細書で提案する方法は、高価な時間測定専用デバイスの利用を避けて、ハードウェアに係る労力を出来る限り小さく納めるべく、既製品を利用する。具体的には、本発明では、分解能が可変で、ATEチャンネルの要件に応じてスケール可能な分散方式の時間測定システムを説明する。

40

【0046】

本発明では、分散して設けられている時間測定部材を全て同期させることを含む、分散方式の時間測定方法を説明する。全機器の全ピンにおいて並行して時間を記録しつつ、イベント間の時間差を、イベント毎に記録された時間に基づいて減算を行なうことによって、計算するとしてよい。

【0047】

図3は、一実施形態に係る新しいシステム時間測定方法を説明するべく、グローバル・タイム・スタンプ・モジュール（GTSM）を示す概略ブロック図である。

【0048】

50

自動試験装置で利用される装置は、複数のシステムモジュール (S Y S M O D) を備える。各システムモジュール (S Y S M O D) は、時間測定部 (T M U) を備えており、時間測定部 (T M U) は、グローバル・タイム・スタンプ・モジュール (G T S M) を備える。グローバル・タイム・スタンプ・モジュール (G T S M) は、複数のグローバル・タイム・スタンプ・コア (G T S C) を備える。

【 0 0 4 9 】

グローバル・タイム・スタンプ・コア (G T S C) は、少なくとも2つの情報を受信する情報受信部を備える。受信する2つの情報のうち第1の情報は、クロック情報 (C L _ I N F) を含み、受信する2つの情報のうち第2の情報は、同期情報 (S Y N C _ I N F) を含む。グローバル・タイム・スタンプ・コア (G T S C) はさらに、コア入力 (I N) においてイベント (E V) を受信して、複数のグローバル・タイム・スタンプ・コア (G T S C) によるデータ取得を同期させるイベント受信部を備える。

10

【 0 0 5 0 】

グローバル・タイム・スタンプ・コア (G T S C) はさらに、コア入力 (I N) において受信したイベント (E V) の中から対象イベント (E V _ I N T) を決定するイベント決定部と、対象イベント (E V _ I N T) が決定されると、クロック情報 (C L _ I N F) に対応するタイム・スタンプ・カウンタ (T S C) の現在のステータス (T S) を記録するようにタイム・スタンプ・メモリ (T S M) に指示する指示部とを備える。

【 0 0 5 1 】

グローバル・タイム・スタンプ・モジュール (G T S M) はさらに、複数のグローバル・タイム・スタンプ・コアに共通時間基準を供給することによって、複数のグローバル・タイム・スタンプ・コア (G T S M) によるデータ取得を同期させる供給部を備える。

20

【 0 0 5 2 】

図3に示すように、当該装置では、時間測定部 (T M U) の入力 (I N) の数は少なくとも、被試験デバイスに対するシステムモジュール (S Y S M O D) の I / O ポートの数と同じである。時間測定部 (T M U) の入力 (I N) の数は、被試験デバイスに対するシステムモジュール (S Y S M O D) の I / O ポートの数と同じであることが好ましい。

【 0 0 5 3 】

当該装置はさらに、複数の異なる時間測定部 (T M U) の複数の異なる分解能をスケールリングして統一分解能を提供するスケールリング部を備え、タイム・スタンプ・カウンタ (T S C) の2つの値の間のイベント時間を補間する補間部を備えるとしてよい。

30

【 0 0 5 4 】

図3からさらに分かるように、当該装置は、アナログ信号をデジタル化した値を比較するアナログ比較器をエミュレートするエミュレート部を備え、タイム・スタンプ T S は、アナログ信号をデジタル化した値を比較するデジタル比較器によって生成される。さらに、当該装置は、複数の時間測定部 (T M U) の記録されたタイム・スタンプ値 (T S) を収集する収集部と、収集されたタイム・スタンプ値 (T S) に基づいて時間差を計算する計算部とを備える。

【 0 0 5 5 】

さらに、本発明は、複数のグローバル・タイム・スタンプ・コア (G T S C) を備える、自動試験装置で用いられる方法を提供する。各システムモジュール (S Y S _ M O D) が時間測定部 (T M U) を備え、自動試験装置で利用される当該方法は、少なくともグローバル・タイム・スタンプ・コア (G T S C) を備えていることが好ましい。また、各システムモジュール (S Y S _ M O D) が時間測定部 (T M U) を備え、自動試験装置で利用される当該方法は、グローバル・タイム・スタンプ・コア (G T S C) を備えていることがより好ましい。

40

【 0 0 5 6 】

グローバル・タイム・スタンプ・コア (G T S C) は、少なくとも2つの情報を受信する段階を備え、受信する2つの情報のうち第1の情報はクロック情報 (C L _ I N F) を含み、受信する2つの情報のうち第2の情報は同期情報 (S Y N C _ I N F) を含む。

50

【0057】

グローバル・タイム・スタンプ・コア (G T S C) はさらに、複数のグローバル・タイム・スタンプ・コア (G T S C) によるデータ取得を同期させるべく、コア入力 (C I) においてイベント (E V) を受信する段階を備える。

【0058】

グローバル・タイム・スタンプ・コア (G T S C) はさらに、コア入力 (I N) で受信されるイベント (E V) から対象イベント (E V _ I N T) を決定する段階を備える。グローバル・タイム・スタンプ・コア (G T S C) はさらに、対象イベント (E V _ I N T) が決定されると、クロック情報 (C L _ I N F) に対応するタイム・スタンプ・カウンタ (T S C) の現在のステータス (T S) を記録するようにタイム・スタンプ・メモリ (T S M) に指示する段階を備える。

10

【0059】

グローバル・タイム・スタンプ・モジュール (G T S M) のための方法はさらに、複数のグローバル・タイム・スタンプ・コア (G T S C) に共通時間基準を供給することによって、複数のグローバル・タイム・スタンプ・コア (G T S C) によるデータ取得を同期させる段階を備える。

【0060】

図4は、グローバル・タイム・スタンプ・システムの概略を示す概略図である。グローバル・タイム・スタンプ・モジュールは、当該モジュールの任意の1つのD U T入出力ピンに対して1つの入力を備えるとしてよい。グローバル・タイム・スタンプ・モジュールに対する入力は、任意の種類 of 信号であってよく、デジタル信号であることが好ましく、当該モジュール内で比較器によって生成されたデジタル信号であることが最も好ましい。

20

【0061】

図4において、2つの共通信号から成る信号群を用いて、全てのグローバル・タイム・スタンプ・モジュールを同期させる。本発明は本例に限定されない。グローバル・タイム・スタンプ・モジュールを同期させる方法は他にも可能である。例えば、グローバル・タイム・スタンプ・モジュールを同期させるためには、3つ以上の共通信号を利用するとしてもよいし、信号を1つのみ利用するとしてもよい。また、グローバル・タイム・スタンプ・モジュールの同期に利用される2つ以上の信号は、同一の信号である必要はない。

【0062】

これらの信号は、図4において示す、任意のグローバル・タイム・スタンプ・モジュールにおいて時間基準として用いられる自励クロック信号であるG T S _ C L O C K 信号、および、システム内の任意のG T S モジュール内の任意のチャンネルについて共通の「ゼロ時間」ポイントを設定するために用いられるG T S _ S Y N C 信号である。

30

【0063】

コアはさらに、コア入力 (I N) にある対象イベント (E V _ I N T) を選択するイベント設定部 (E A U) を備えるとしてよい。このイベント設定部を用いることによって、ユーザが関心を持たない大量のイベント時間データを記録することを回避できるとしてよい。コアの入力 (C I) に有効なイベント (E V) がある場合には、イベント設定部 (E A U) は、タイム・スタンプ・メモリ (T S M) に書き込みコマンドを発行する。図5に示すように、イベント設定部 (E A U) からの書き込みコマンド (W R I T E) に応じて、タイム・スタンプ・メモリ (T S M) は、タイム・スタンプ・カウンタ (T S C) の現在のステータス (T S) を記録する。

40

【0064】

本発明の一実施形態によると、図4に示すグローバル・タイム・スタンプ・コア (G T S C) は、G T S _ C L O C K 信号のエッジをカウントし、且つ、G T S _ S Y N C 信号によって初期値にリセットされるタイム・スタンプ・カウンタ (T S C) を備える。

【0065】

システムが備えるいずれのタイム・スタンプ・カウンタ (T S C) も、同時に、同じタイムスタンプ (T S) を示すとしてよい。このため、いずれのシステムピンであっても、

50

同時に現れるイベント（EV）については、関連するタイム・スタンプ・メモリ（TSM）に同じタイム・スタンプ（TS）が書き込まれることになるとしてよい。

【0066】

図5は、本発明に係る新しいシステム時間測定方式を説明するための、グローバル・タイム・スタンプ・コア（GTSC）を示す概略ブロック図である。

【0067】

本発明はさらに、自動試験装置で利用される方法を提供する。当該方法は、自動試験装置で利用されるグローバル・タイム・スタンプ・コア（GTSC）のための方法を含む。当該方法は、少なくとも2つの情報を受信する段階を備える。受信する2つの情報のうち第1の情報はクロック情報（CL__INF）を含み、受信する2つの情報のうち第2の情報は同期情報（SYNC__INF）を含む。

10

【0068】

上述した自動試験装置で用いられるグローバル・タイム・スタンプ・コア（GTSC）のための方法はさらに、複数のグローバル・タイム・スタンプ・コア（GTSC）によるデータ取得を同期させるべく、コア入力（IN）においてイベント（EV）を受信する段階を備える。

【0069】

上述した自動試験装置で用いられるグローバル・タイム・スタンプ・コア（GTSC）のための方法はさらに、コア入力（CI）で受信されるイベント（EV）から対象イベント（EV__INT）を決定する段階を備える。

20

【0070】

上述した自動試験装置で用いられるグローバル・タイム・スタンプ・コア（GTSC）のための方法はさらに、対象イベント（EV__INT）が決定されると、クロック情報（CL__INF）に対応するタイム・スタンプ・カウンタ（TSC）の現在のステータス（TS）を記録するようにタイム・スタンプ・メモリ（TSM）に指示する段階を備える。

【0071】

本発明の一実施形態によると、上述した自動試験装置で用いられるグローバル・タイム・スタンプ・コア（GTSC）のための方法では、タイム・スタンプ・カウンタ（TSC）は、同期情報（SYNC__INF）のリセット情報に応じてリセットされるとしてよい。

30

【0072】

当業者であれば容易に、上述したさまざまな方法のステップは、プログラミングされたコンピュータで実行し得るものと認めるであろう。本明細書において、一部の実施形態は、機械またはコンピュータによる読み取りが可能で、機械実行可能命令またはコンピュータ実行可能命令から成るプログラムを符号化するプログラム格納装置、例えば、デジタルデータ格納媒体をも含むものとする。上記命令は、上述した方法のステップの一部または全てを実行する。プログラム格納装置は、例えば、デジタルメモリ、磁気ディスクおよび磁気テープ等の磁気格納媒体、ハードドライブ、または、光学的に読出可能なデジタルデータ格納媒体であってよい。実施形態はさらに、上述の方法のステップを実行するようにプログラミングされたコンピュータを含むものである。

40

【0073】

明細書および図面は単に、本発明の原理を説明するためのものである。このため、当業者であれば、本明細書に明示的に説明または図示していなくても、本発明の原理を具現化して本発明の意図および範囲内に含まれるさまざまな構成を考案することができると考えられる。さらに、本明細書に記載した例は全て、読み手が本発明の原理および関連技術分野の発展のために発明者が考案した概念を理解する上で助けになるように明らかに説明のみを主な目的としており、具体的に記載した例および条件に限定されるものではないと解釈されたい。さらに、本明細書の説明はすべて、本発明の原理、側面および実施形態、ならびに、本発明の具体例を記載しており、その均等物を含むものとする。

【0074】

50

図面に図示したさまざまな構成要素の機能は、専用ハードウェアおよびソフトウェアを実行可能なハードウェアを適切なソフトウェアと共に用いることで提供されるとしてよい。この機能は、プロセッサによって提供される場合、単一の専用プロセッサ、単一の共有プロセッサ、または、一部が共有される複数のプロセッサによって提供されるとしてよい。さらに、「プロセッサ」または「コントローラ」という用語を明示的に用いる場合、ソフトウェアを実行可能なハードウェアのみを意味するものと解釈されるべきではなく、これらに限定されないが、デジタルシグナルプロセッサ(DSP)ハードウェア、ネットワークプロセッサ、特定用途向け集積回路(ASIC)、フィールドプログラマブルゲートアレイ(FPGA)、ソフトウェア格納用のリードオンリーメモリ(ROM)、ランダムアクセスメモリ(RAM)、不揮発性ストレージを暗示的に含むものとしてよい。その他のハードウェア、従来および/またはカスタムメイドのハードウェアも含むとしてよい。同様に、図面に図示したいずれのスイッチも概念を示したものに過ぎない。その機能は、プログラムロジックの動作によって、専用ロジックによって、プログラム制御ロジックおよび専用ロジックのやり取りによって、または、手動で実現するとしてよく、上記の説明からより具体的に理解されるであろうが、実装する際に特定の方法を選択することが可能である。

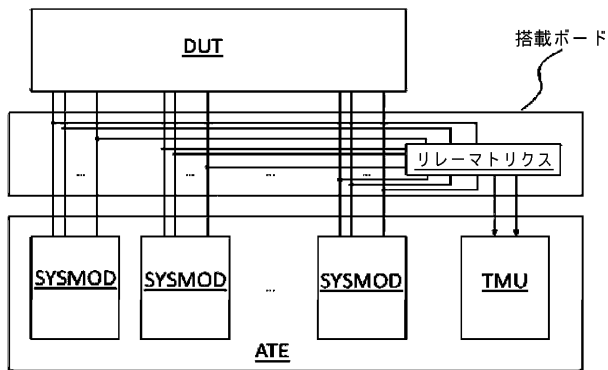
10

【0075】

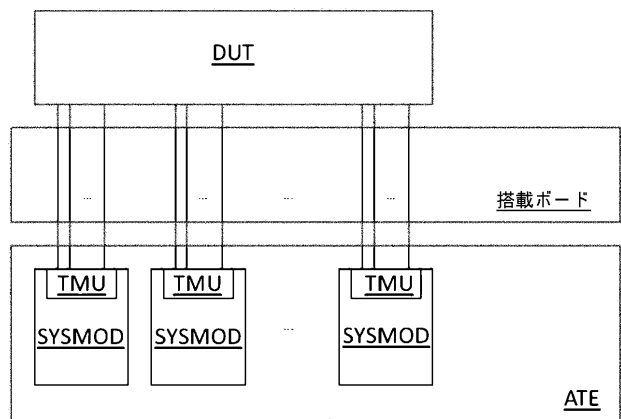
当業者におかれては本明細書で言及したブロック図はいずれも本発明の原理を具現化する回路の一例を概念的に示したものと理解されたい。同様に、フローチャート、フロー図、状態遷移図、擬似コード等は、コンピュータ可読媒体において実質的に表現され、明示的に図示するか否かに関わらずコンピュータまたはプロセッサによって実行されるさまざまなプロセスを表したものと理解されたい。

20

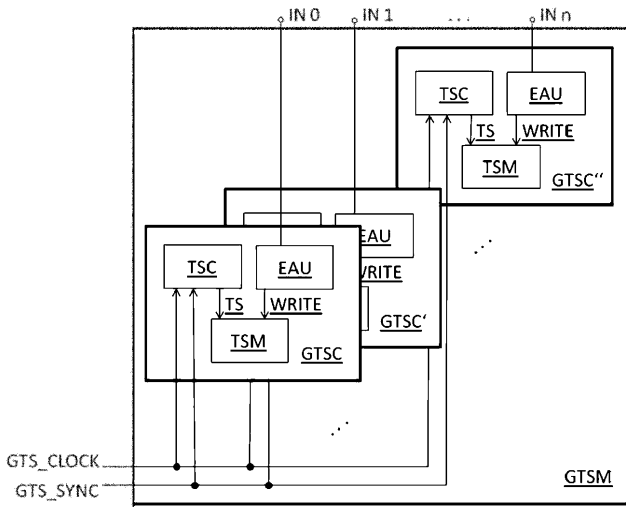
【図1】



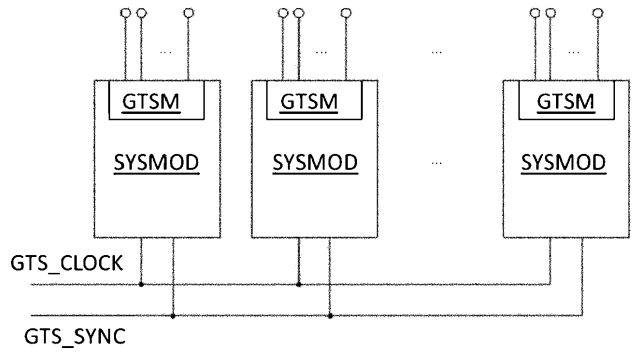
【図2】



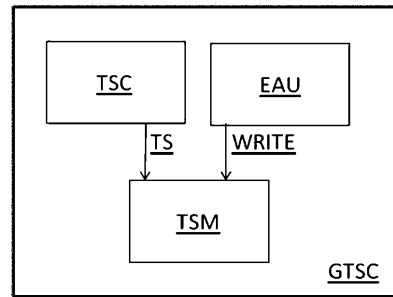
【 図 3 】



【 図 4 】



【 図 5 】



フロントページの続き

(72)発明者 ハイブラー、ベルンハルト

ドイツ連邦共和国、D - 8 3 1 2 3 アメラング、ヴァッサーブルガー通り 4 4、 アドバンテス
ト ヨーロッパ ゲーエムベーハー内

Fターム(参考) 2G132 AA00 AB01 AC03 AD07 AE11 AG01 AH00 AL09

【外国語明細書】

2012021981000001.pdf