



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2014-0121786
(43) 공개일자 2014년10월16일

(51) 국제특허분류(Int. Cl.)
H01L 21/3065 (2006.01)
(21) 출원번호 10-2014-0040626
(22) 출원일자 2014년04월04일
심사청구일자 **없음**
(30) 우선권주장
14/082,009 2013년11월15일 미국(US)
(뒷면에 계속)

(71) 출원인
램 리씨치 코포레이션
미국 94538 캘리포니아주 프레몬트 쿠싱 파크웨이
4650
(72) 발명자
페터슨 알렉스
미국, 캘리포니아 95120, 산 호세, 마트우드 웨이
7268
김도영
미국, 캘리포니아 94706, 알바니, 브라이턴 에비
뉴 1227
(뒷면에 계속)
(74) 대리인
오세일

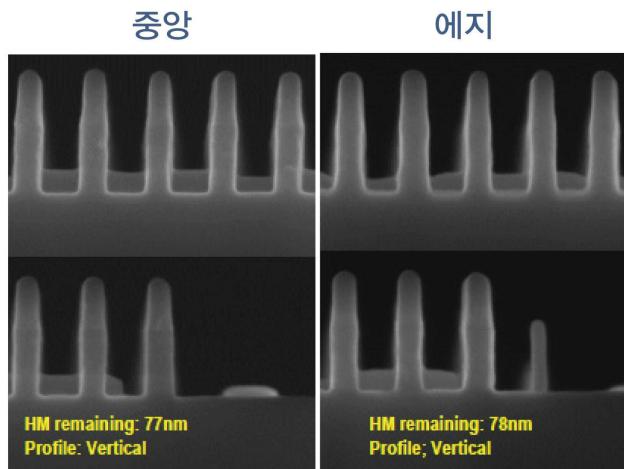
전체 청구항 수 : 총 27 항

(54) 발명의 명칭 **반도체 제조를 위한 내부 플라즈마 그리드 어플리케이션**

(57) 요 약

본 명세서에서 개시된 실시예들은 반도체 기판들을 에칭하기 위한 개선된 방법들 및 장치들에 대한 것이다. 플라즈마 그리드 어셈블리는 반응 챔버 내에 위치하여서 챔버를 상부 서브-챔버와 하부 서브-챔버로 분할한다. 플라즈마 그리드 어셈블리는 소정의 종들이 상부 서브-챔버에서 하부 서브-챔버로 통과하게 하는, 특정 종횡비의 슬롯들을 갖는 하나 이상의 플라즈마 그리드들을 포함할 수 있다. 몇몇 경우들에서, 전자-이온 플라즈마가 상부 서브-챔버에서 생성된다. 그리드를 통과하여서 하부 서브-챔버에 도달한 전자들은 이러한 통과 시에 냉각된다. 몇몇 경우들에서, 이는 하부 서브-챔버 내에서 이온-이온 플라즈마를 낳는다. 이온-이온 플라즈마는 다양한 에칭 공정들에서 유리하게 사용될 수 있다.

대 표 도 - 도16b



(72) 발명자

카마르시 고우리

미국, 캘리포니아 94566, 플레젠톤, 바우어 코트
1119

델 푸포 헬렌

미국, 캘리포니아 94536, 프레몬트, 그로버 드라이
브 4312

유 젠-칸

미국, 캘리포니아 94555, 프레몬트, 턱시도 커먼
34784

티투스 모니카

미국, 캘리포니아 94085, 써니베일, 아르카디아 테
라스 611, #302

마니 라디카

미국, 캘리포니아 94539, 프레몬트, 그레고리 코트
867

선 노엘 유이

미국, 캘리포니아 94085, 써니베일, 엔. 페어 오크
스 애비뉴 787, 에이피티 2

가니 니콜라스

미국, 캘리포니아 94539, 프레몬트, 산 시메온 코
트 39908

키무라 요시에

미국, 캘리포니아 94552, 카스트로 벨리, 그린리지
로드 5415

청 텅-잉

미국, 캘리포니아 94539, 프레몬트, 켄싱턴 드라이
브 1024

(30) 우선권주장

14/184,491 2014년02월19일 미국(US)

61/809,246 2013년04월05일 미국(US)

특허청구의 범위

청구항 1

플라즈마 처리 방법으로서,

반응 챔버 내에 기판을 수용하는 단계로서, 상기 반응 챔버는 상기 반응 챔버의 내부를 플라즈마 생성기에 근접한 상부 서브-챔버 및 기판 홀더에 근접한 하부 서브-챔버로 분할하는 그리드 구조물을 포함하는, 상기 기판을 수용하는 단계;

상기 상부 서브-챔버 내로 플라즈마 생성 가스를 흘려 보내는 단계;

상기 상부 서브-챔버 내에서 상기 플라즈마 생성 가스로부터 제 1 전자 밀도를 갖는 제 1 플라즈마를 생성하고 상기 하부 서브-챔버 내에서 제 2 플라즈마를 생성하는 단계로서, 상기 제 2 플라즈마는 상기 제 1 전자 밀도보다 최소 약 10 배 낮은 제 2 전자 밀도를 갖는 이온-이온 플라즈마 (ion-ion plasma) 인, 상기 플라즈마를 생성하는 단계; 및

소스-드레인 리세스 에칭, FinFET 게이트 에칭, 더미 폴리실리콘 제거, STI (shallow trench isolation) 에칭, 또는 포토레지스트 리플로우에서의 단계를 수행하도록 상기 기판을 상기 제 2 플라즈마를 사용하여서 처리하는 단계를 포함하는,

플라즈마 처리 방법.

청구항 2

제 1 항에 있어서,

상기 제 1 플라즈마는 약 2 eV 이상의 제 1 전자 온도를 가지며,

상기 제 2 플라즈마는 약 1 eV 이하의 제 2 유효 전자 온도를 갖는,

플라즈마 처리 방법.

청구항 3

제 1 항에 있어서,

상기 제 2 전자 밀도는 약 $5 \times 10^9 \text{ cm}^{-3}$ 이하인,

플라즈마 처리 방법.

청구항 4

제 1 항에 있어서,

상기 제 2 플라즈마 내에서 음이온:양이온 비는 약 0.5 내지 1인,

플라즈마 처리 방법.

청구항 5

제 1 항에 있어서,

상기 방법은 소스-드레인 리세스 에칭을 수행하도록 실시되며,

상기 소스-드레인 리세스 에칭은,

수직으로 에칭된 피처들이 형성되도록 수직 방향으로 상기 기판을 에칭하는 제 1 에칭 처리를 수행하는 단계;

상기 수직으로 에칭된 피처들 내에서 수평 방향으로 상기 기판을 에칭하는 제 2 에칭 처리를 수행하는 단계;

상기 수직으로 에칭된 피처들 내에 산화된 층을 형성하는 산화 처리를 수행하는 단계; 및

상기 수직으로 에칭된 피처들 내에 소스-드레인 리세스들이 형성되도록 상기 방법을 반복하는 단계를 포함하며,

상기 제 1 에칭 처리, 제 2 에칭 처리 및 산화 처리 모두는 각 처리에서의 상기 제 2 플라즈마가 이온-이온 플라즈마이도록 상기 그리드 구조물을 갖는 상기 반응 챔버 내에서 수행되는,

플라즈마 처리 방법.

청구항 6

제 5 항에 있어서,

상기 제 1 에칭 처리는 Cl_2 를 포함하는 제 1 플라즈마 생성 가스를 사용하여서 수행되며,

상기 제 2 에칭 처리는 NF_3 및 Cl_2 를 포함하는 제 2 플라즈마 생성 가스를 사용하여서 수행되며,

상기 산화 처리는 산소를 포함하는 제 3 플라즈마 생성 가스를 사용하여서 수행되는,

플라즈마 처리 방법.

청구항 7

제 5 항에 있어서,

상기 방법은 재차 오목한 형상 (reentrant shape) 을 갖는 수직으로 에칭된 피처를 형성하도록 반복되는,

플라즈마 처리 방법.

청구항 8

제 1 항에 있어서,

상기 방법은 STI (shallow trench isolation) 에칭을 수행하도록 실시되며,

상기 플라즈마 생성 가스는 HBr를 포함하며,

상기 기판은 상기 에칭 동안에 약 300 내지 1200 V로 바이어스되는,

플라즈마 처리 방법.

청구항 9

제 8 항에 있어서,

상기 플라즈마 생성 가스는 약 50 내지 500 sccm 레이트로 흐르며 Cl_2 를 더 포함하는,

플라즈마 처리 방법.

청구항 10

제 8 항에 있어서,

상기 에칭 처리는 적어도 제 1 피처 형상 및 제 2 피처 형상을 동시에 에칭하는 단계를 포함하며,

상기 제 1 피처 형상은 약 10 이상의 종횡비를 가지며,

상기 제 2 피처 형상은 약 1 이하의 종횡비를 가지며,

에칭 후에, 상기 제 1 피처의 에칭 깊이는 상기 제 2 피처의 에칭 깊이의 최소 약 95 %인,

플라즈마 처리 방법.

청구항 11

제 10 항에 있어서,

에칭 후에, 상기 제 1 피처는 최소 약 88° 의 에칭 프로파일을 가지며, 상기 제 2 피처는 최소 약 85° 의 에칭 프로파일을 갖는,

플라즈마 처리 방법.

청구항 12

제 1 항에 있어서,

상기 방법은 포토레지스트 리플로우 처리를 수행하도록 실시되며,

상기 반응 챔버 내에 수용된 기판은 그 상에 패터닝된 포토레지스트를 가지며,

상기 포토레지스트 리플로우 처리는,

상기 기판 상의 패터닝된 포토레지스트를 리플로우하도록 제 1 플라즈마 처리를 수행하는 단계; 및

상기 기판 상의 풋 영역 (foot region) 내의 포토레지스트의 부분을 제거하도록 제 2 플라즈마 처리를 수행하는 단계를 포함하며,

상기 제 1 플라즈마 처리 및 제 2 플라즈마 처리는 모두 상기 그리드를 갖는 반응 챔버 내에서 수행되며,

상기 제 1 플라즈마 처리 및 제 2 플라즈마 처리 동안의 상기 제 2 플라즈마는 이온-이온 플라즈마인,

플라즈마 처리 방법.

청구항 13

제 12 항에 있어서,

상기 제 1 플라즈마 처리 동안의 플라즈마 생성 가스는 H_2 를 포함하며,

상기 제 2 플라즈마 처리 동안의 플라즈마 생성 가스는 불활성 가스를 포함하는,

플라즈마 처리 방법.

청구항 14

제 13 항에 있어서,

상기 제 1 플라즈마 처리 및 제 2 플라즈마 처리 후의 패터닝된 포토레지스트의 최종 높이는 상기 제 1 플라즈마 처리 및 제 2 플라즈마 처리 이전의 패터닝된 포토레지스트의 초기 높이의 최소 약 50 %이며,

상기 제 1 플라즈마 처리 및 제 2 플라즈마 처리 후의 패터닝된 포토레지스트의 최종 라인 폭 조도 (roughness)

는 상기 제 1 플라즈마 처리 및 제 2 플라즈마 처리 이전의 패터닝된 포토레지스트의 초기 라인 폭 조도의 약 75 % 이하인,

플라즈마 처리 방법.

청구항 15

부분적으로 제조된 집적 회로 상의 폴리실리콘을 FinFET 게이트 영역을 규정하도록 에칭하는 방법으로서,

그 상에 폴리실리콘 층을 갖는 기판을 반응 챔버 내에 수용하는 단계로서, 상기 반응 챔버는 상기 반응 챔버의 내부를 플라즈마 생성기에 근접한 상부 서브-챔버 및 기판 홀더에 근접한 하부 서브-챔버로 분할하는 그리드 구조물을 포함하는, 상기 기판을 수용하는 단계;

상기 상부 서브-챔버 내로 플라즈마 생성 가스를 흘려 보내는 단계;

상기 상부 서브-챔버 내에서 상기 플라즈마 생성 가스로부터 제 1 플라즈마를 생성하고 상기 하부 서브-챔버 내에서 제 2 플라즈마를 생성하는 단계로서, 상기 제 2 플라즈마는 이온-이온 플라즈마인, 상기 플라즈마를 생성하는 단계; 및

상기 기판 상에 제공된 폴리실리콘 층을 에칭하여서 FinFET 게이트 영역을 규정하는 단계를 포함하는,

폴리실리콘 에칭 방법.

청구항 16

제 15 항에 있어서,

상기 기판 상에 제공된 폴리실리콘 층을 에칭하여서 FinFET 게이트 영역을 규정하는 단계는, 완성된 집적 회로 내의 FinFET 게이트에 인접할 로케이션들 (locations)에서 캐비티들 (cavities)을 형성하도록 상기 폴리실리콘을 에칭하는 단계를 포함하는,

폴리실리콘 에칭 방법.

청구항 17

제 16 항에 있어서,

상기 폴리실리콘 층 위에 위치한 마스크 층이 상기 에칭 동안에 약 10 %보다 작은 퍼센트만큼 두께가 감소한,

폴리실리콘 에칭 방법.

청구항 18

제 16 항에 있어서,

상기 에칭 동안의 반응 챔버 내의 압력은 약 5 내지 20 mTorr인,

폴리실리콘 에칭 방법.

청구항 19

제 16 항에 있어서,

온-핀 영역 (on-fin region)과 오프-핀 영역 (off-fin region) 간에 어떠한 에칭 프로파일 로딩 (loading)도 실질적으로 존재하지 않는,

폴리실리콘 에칭 방법.

청구항 20

제 19 항에 있어서,

상기 에칭된 영역들의 측벽들은 에칭 동안에 리세스되지 않는,

폴리실리콘 에칭 방법.

청구항 21

제 15 항에 있어서,

상기 기판 상에 제공된 폴리실리콘 층을 에칭하여서 FinFET 게이트 영역을 규정하는 단계는 FinFET 게이트가 완성된 집적 회로 내에 위치할 로케이션들에서 캐비티들을 형성하도록 상기 폴리실리콘을 에칭하는 단계를 포함하는,

폴리실리콘 에칭 방법.

청구항 22

제 21 항에 있어서,

상기 방법은 HBr를 포함하는 제 1 플라즈마 생성 가스를 사용하여서 제 1 반복 수행되며, Cl₂를 포함하는 제 2 플라즈마 생성 가스를 사용하여서 제 2 반복 수행되며,

상기 제 1 플라즈마 생성 가스 및 제 2 플라즈마 생성 가스는 산소 함유 반응물을 실질적으로 포함하지 않는,

폴리실리콘 에칭 방법.

청구항 23

제 22 항에 있어서,

상기 반응 챔버 내의 압력은 상기 제 1 반복 동안에 약 20 내지 80 mTorr이며,

상기 반응 챔버 내의 압력은 상기 제 2 반복 동안에 약 4 내지 80 mTorr인,

폴리실리콘 에칭 방법.

청구항 24

제 21 항에 있어서,

상이한 피처 밀도들로 위치한 에칭된 피처들 간에 어떠한 에칭 프로파일 로딩도 실질적으로 존재하지 않는,

폴리실리콘 에칭 방법.

청구항 25

제 15 항에 있어서,

상기 제 2 플라즈마 내의 유효 전자 온도는 약 1 eV 이하이며 상기 제 1 플라즈마 내의 유효 전자 온도보다 낮

은,

폴리실리콘 에칭 방법.

청구항 26

제 25 항에 있어서,

상기 제 2 플라즈마 내의 전자 밀도는 약 $5 \times 10^9 \text{ cm}^{-3}$ 이하이며 상기 제 1 플라즈마 내의 전자 밀도보다 낮은,

폴리실리콘 에칭 방법.

청구항 27

제 15 항에 있어서,

상기 그리드 구조물은 2 개 이상의 그리드들을 포함하며,

상기 그리드들 중 적어도 하나는 다른 그리드들에 대해서 이동 가능한,

폴리실리콘 에칭 방법.

명세서

기술 분야

[0001] 관련 출원들에 대한 교차 참조

[0002] 본원은 2014년 2월 19 일자에 출원된 미국 특허 출원 번호 14/184,491 "INTERNAL PLASMA GRID APPLICATIONS FOR SEMICONDUCTOR FABRICATION"을 우선권으로서 주장하며,

[0003] 이 미국 특허 출원 번호 14/184,491는 2013년 11월 15일자에 출원된 미국 특허 출원 번호 14/082,009 "INTERNAL PLASMA GRID FOR SEMICONDUCTOR FABRICATION"의 일부 추가 계속 출원이며 이를 우선권으로 주장하며,

[0004] 이 미국 특허 출원 번호 14/082,009는 2013년 4월 5일자에 출원된 미국 특허 출원 번호 61/809,246 "INTERNAL PLASMA GRID FOR SEMICONDUCTOR FABRICATION"을 우선권으로서 주장하며,

[0005] 위의 모든 특허 문헌들은 모든 목적을 위해서 본 명세서에서 참조로서 인용된다.

배경 기술

[0006] 반도체들을 생산하는데 자주 사용되는 일 동작은 에칭 동작이다. 에칭 동작 시에, 하나 이상의 재료들이, 부분적으로 제조된 집적 회로로부터 부분적으로 또는 전체적으로 제거된다. 플라즈마 에칭이 관련된 기하 구조들이 소형이거나 고 종횡비가 사용되거나 정밀한 패턴 전사가 필요한 경우에 특히 때로 사용된다.

[0007] 통상적으로, 플라즈마는 전자들, 양 이온, 음 이온, 및 몇몇 라디칼들을 포함한다. 라디칼들, 음 이온 및 양 이온은 기판 상의 피처들, 표면들 및 재료들을 에칭하도록 기판과 상호 작용한다. 유도 결합형 플라즈마 소스를 사용하여 수행되는 에칭 시에, 챔버 코일은 변압기 내의 1 차 코일의 기능과 유사한 기능을 수행하는 한편, 플라즈마는 변압기 내의 2 차 코일의 기능과 유사한 기능을 수행한다.

[0008] 평면형 트랜지스터 구조물에서 3 차원 트랜지스터 구조물 (예컨대, 로직 소자 (logic device) 용의 FinFET 게이트 구조물)로 옮겨가면서, 플라즈마 에칭 공정은 양호한 품질의 제품을 생산하기 위해서 점점 더 정밀해지고 균일해져야 한다. 정밀한 에칭으로부터 이점을 취할 수 있는 동작들의 실례는 다음으로 한정되지 않지만 FinFET 형성 동안에 사용되는 에칭/제거 공정들 (예컨대, 소스-드레인 리세스 에칭, FinFET 게이트 에칭, 및 더미 (dummy) 폴리실리콘 제거), STI (shallow trench isolation) 공정들, 및 포토레지스트 리풀로우 공정들을

포함한다.

[0009] 다른 인자들 중에서도, 플라즈마 에칭 공정들은 양호한 선택도, 양호한 프로파일 각 (profile angle), Iso/Dense 로딩 (Iso/Dense loading) 및 양호한 전체 균일성을 가져야 한다. 에칭 공정이 에칭되는 재료와 유지되는 재료 간에 양호한 선택도를 가지면 유리하다. FinFET 게이트 구조물의 상황에서, 이는 에칭되는 게이트의 실리콘 질화물 마스크와 같은 다른 노출된 성분들에 대한 양호한 선택도가 있어야 함을 의미한다. 프로파일 각은 최근에 에칭된 (거의 수직인) 측벽과 수평면 간의 각으로서 측정된다. 다수의 어플리케이션들에서, 이상적인 프로파일 각은 90 도이며, 이는 수직 에칭된 단차 또는 개구를 생성한다. 때로, 국부적 웨이퍼 상 피쳐 밀도가 에칭 공정에 영향을 줄 수 있다. 예를 들면, 피쳐들이 밀한 (dense) 웨이퍼 구역은 피쳐들이 보다 소한 (isolated) 웨이퍼 구역에 비해서 다소 차이가 나도록 에칭될 수 있다 (예컨대, 보다 신속하게, 보다 느리게, 보다 이방성으로, 보다 등방성으로 에칭될 수 있다). 이러한 피쳐 밀도 차이로 인해서 발생하는 차이는 Iso/Dense 로딩 (I/D 로딩)으로 지칭된다. 제조 동안에 이러한 차이들을 최소화하는 것이 유리하다. 이러한 소자 특정 요구 사항 및 잡재적으로 다른 소자 특정 요구 사항들을 만족시키는 것 이외에도, 에칭 공정은 때로 기판의 전체 표면에 걸쳐서 일정하게 실행될 필요가 있다 (예컨대, 에칭 상태 및 결과가 반도체 웨이퍼의 중앙으로부터 에지에 걸쳐서 균일해야 한다).

[0010] FinFET 게이트와 같은 진보된 구조물을 에칭할 때에 상술한 바와 같은 다수의 목적들을 달성하는 것이 용이하지 않다고 알려져 왔다.

발명의 내용

[0011] 본 명세서에서 개시된 실시예들은 반도체 소자들을 제조하기 위한 방법들 및 장치들을 제공한다. 개시된 실시예들의 일 양태에서, 플라즈마 처리 방법이 제공되며, 이 방법은 반응 챔버 내에 기판을 수용하는 단계로서, 상기 반응 챔버는 상기 반응 챔버의 내부를 플라즈마 생성기에 근접한 상부 서브-챔버 및 기판 홀더에 근접한 하부 서브-챔버로 분할하는 그리드 구조물을 포함하는, 상기 기판을 수용하는 단계; 상기 상부 서브-챔버 내로 플라즈마 생성 가스를 흘려 보내는 단계; 상기 상부 서브-챔버 내에서 상기 플라즈마 생성 가스로부터 제 1 전자 밀도를 갖는 제 1 플라즈마를 생성하고 상기 하부 서브-챔버 내에서 제 2 플라즈마를 생성하는 단계로서, 상기 제 2 플라즈마는 상기 제 1 전자 밀도보다 최소 약 10 배 낮은 제 2 전자 밀도를 갖는 이온-이온 플라즈마 (ion-ion plasma) 인, 상기 플라즈마를 생성하는 단계; 및 소스-드레인 리세스 에칭, FinFET 게이트 에칭, 더미 폴리실리콘 제거, STI (shallow trench isolation) 에칭, 및 포토레지스트 리플로우 중 하나에서의 단계를 수행하도록 상기 기판을 상기 제 2 플라즈마를 사용하여서 처리하는 단계를 포함한다.

[0012] 소정의 실시예들에서, 상기 제 1 플라즈마는 약 2 eV 이상의 제 1 전자 온도를 가지며, 상기 제 1 플라즈마는 약 1 eV 이하의 제 2 유효 전자 온도를 가질 수 있다. 상기 제 2 전자 밀도는 $5 \times 10^9 \text{ cm}^{-3}$ 이하일 수 있다. 몇몇 실시예들에서, 상기 제 2 플라즈마 내에서 음이온:양이온 비는 약 0.5 내지 1일 수 있다.

[0013] 상기 방법은 소스-드레인 리세스 에칭을 수행하도록 실시될 수 있다. 상기 소스-드레인 리세스 에칭은 수직으로 에칭된 피쳐들이 형성되도록 수직 방향으로 상기 기판을 에칭하는 제 1 에칭 처리를 수행하는 단계; 상기 수직으로 에칭된 피쳐들 내에서 수평 방향으로 상기 기판을 에칭하는 제 2 에칭 처리를 수행하는 단계; 상기 수직으로 에칭된 피쳐들 내에 산화물 층을 형성하는 산화 처리를 수행하는 단계; 및 상기 수직으로 에칭된 피쳐들 내에 소스-드레인 리세스들이 형성되도록 상기 방법을 반복하는 단계를 포함하며, 상기 제 1 에칭 처리, 제 2 에칭 처리 및 산화 처리 모두는 각 처리에서의 상기 제 2 플라즈마가 이온-이온 플라즈마이도록 상기 그리드 구조물을 갖는 반응 챔버 내에서 수행될 수 있다. 상기 제 1 에칭 처리는 Cl_2 를 포함하는 제 1 플라즈마 생성 가스를 사용하여서 수행되며, 상기 제 2 에칭 처리는 NF_3 및 Cl_2 를 포함하는 제 2 플라즈마 생성 가스를 사용하여서 수행되며, 상기 산화 처리는 산소를 포함하는 제 3 플라즈마 생성 가스를 사용하여서 수행될 수 있다. 상기 방법은 재차 오목한 형상 (reentrant shape) 을 갖는 수직으로 에칭된 피쳐를 형성하도록 반복될 수 있다.

[0014] 다른 실시예들에서, 상기 방법은 STI (shallow trench isolation) 에칭을 수행하도록 실시될 수 있다. 이 경우에, 상기 플라즈마 생성 가스는 HBr 를 포함하며, 상기 기판은 상기 에칭 동안에 약 300 내지 1200 V로 바이어스 될 수 있다. 상기 플라즈마 생성 가스는 약 50 내지 500 sccm 레이트로 흐를 수 있다. 상기 플라즈마 생성 가스는 Cl_2 를 더 포함할 수 있다. 몇몇 실시예들에서, 상기 에칭 처리는 적어도 제 1 피쳐 형상 및 제 2 피쳐 형상을 동시에 에칭하는 단계를 포함하며, 상기 제 1 피쳐 형상은 약 10 이상의 종횡비를 가지며, 상기 제 2 피

처 형상은 약 1 이하의 종횡비를 가질 수 있다. 예칭 후에, 상기 제 1 피처의 예칭 깊이는 상기 제 2 피처의 예칭 깊이의 최소 약 95 %일 수 있다. 또한, 예칭 후에, 상기 제 1 피처 형상은 최소 약 88°의 예칭 프로파일을 가지며, 상기 제 2 피처 형상은 최소 약 85°의 예칭 프로파일을 가질 수 있다.

[0015] 몇몇 다른 경우에, 상기 방법은 포토레지스트 리플로우 공정을 수행하도록 실시될 수 있다. 이러한 실시예들에서, 상기 반응 챔버 내에 수용된 기판은 그 상에 패터닝된 포토레지스트를 갖는다. 상기 포토레지스트 리플로우 공정은, 상기 기판 상의 패터닝된 포토레지스트를 리플로우하도록 제 1 플라즈마 처리를 수행하는 단계; 및 상기 기판 상의 풋 영역 (foot region) 내의 포토레지스트의 부분을 제거하도록 제 2 플라즈마 처리를 수행하는 단계를 포함하며, 상기 제 1 플라즈마 처리 및 제 2 플라즈마 처리는 모두 상기 그리드를 갖는 반응 챔버 내에서 수행되며, 상기 제 1 플라즈마 처리 및 제 2 플라즈마 처리 동안의 상기 제 2 플라즈마는 이온-이온 플라즈마이다. 상기 제 1 플라즈마 처리 동안의 플라즈마 생성 가스는 H₂를 포함하며, 상기 제 2 플라즈마 처리 동안의 플라즈마 생성 가스는 불활성 가스를 포함한다. 상기 불활성 가스는 Ar일 수 있다. 소정의 경우에, 상기 제 1 플라즈마 처리 및 제 2 플라즈마 처리 후의 패터닝된 포토레지스트의 최종 높이는 상기 제 1 플라즈마 처리 및 제 2 플라즈마 처리 이전의 패터닝된 포토레지스트의 초기 높이의 최소 약 50 %일 수 있다. 상기 제 1 플라즈마 처리 및 제 2 플라즈마 처리 후의 패터닝된 포토레지스트의 최종 라인 폭 조도 (roughness)는 상기 제 1 플라즈마 처리 및 제 2 플라즈마 처리 이전의 패터닝된 포토레지스트의 초기 라인 폭 조도의 약 75 % 이하일 수 있다. 예를 들면, 상기 최종 라인 폭 조도 (roughness)는 상기 초기 라인 폭 조도의 약 65 % 이하일 수 있다.

[0016] 본 개시된 실시예들의 다른 양태에서, 부분적으로 제조된 집적 회로 상의 폴리실리콘을 FinFET 게이트 영역을 규정하도록 예칭하는 방법이 제공되며, 이 방법은 그 상에 폴리실리콘 층을 갖는 기판을 반응 챔버 내에 수용하는 단계로서, 상기 반응 챔버는 상기 반응 챔버의 내부를 플라즈마 생성기에 근접한 상부 서브-챔버 및 기판 홀더에 근접한 하부 서브-챔버로 분할하는 그리드 구조물을 포함하는, 상기 기판을 수용하는 단계; 상기 상부 서브-챔버 내로 플라즈마 생성 가스를 흘려 보내는 단계; 상기 상부 서브-챔버 내에서 상기 플라즈마 생성 가스로부터 제 1 플라즈마를 생성하고 상기 하부 서브-챔버 내에서 제 2 플라즈마를 생성하는 단계로서, 상기 제 2 플라즈마는 이온-이온 플라즈마인, 상기 플라즈마를 생성하는 단계; 및 상기 기판 상에 제공된 폴리실리콘 층을 예칭하여서 FinFET 게이트 영역을 규정하는 단계를 포함한다.

[0017] 몇몇 경우들에서, 상기 기판 상에 제공된 폴리실리콘 층을 예칭하여서 FinFET 게이트 영역을 규정하는 단계는 완성된 집적 회로 내의 FinFET 게이트에 인접할 로케이션들 (locations)에서 캐비티들 (cavities)를 형성하도록 상기 폴리실리콘을 예칭하는 단계를 포함한다. 상기 폴리실리콘 층 위에 위치한 마스크 층이 상기 예칭 동안에 약 10 %보다 작은 퍼센트만큼 두께가 감소할 수 있다. 상기 예칭 동안의 반응 챔버 내의 압력은 약 5 내지 20 mTorr일 수 있다. 몇몇 경우들에서, 온-핀 영역 (on-fin region)과 오프-핀 영역 (off-fin region) 간에 실질적으로 어떠한 예칭 프로파일 로딩 (loading)도 존재하지 않는다. 다양한 실시예들에서, 상기 예칭된 영역들의 측벽들은 예칭 동안에 리세스되지 않는다.

[0018] 상기 기판 상에 제공된 폴리실리콘 층을 예칭하여서 FinFET 게이트 영역을 규정하는 단계는 FinFET 게이트가 완성된 집적 회로 내에 위치할 로케이션들에서 캐비티들을 형성하도록 상기 폴리실리콘을 예칭하는 단계를 포함할 수 있다. 상기 방법은 HBr를 포함하는 제 1 플라즈마 생성 가스를 사용하여서 제 1 반복 수행되며, Cl₂를 포함하는 제 2 플라즈마 생성 가스를 사용하여서 제 2 반복 수행될 수 있다. 다른 화학 성분들이 소정의 경우에 사용될 수도 있다. 다양한 실시예들에서, 상기 제 1 플라즈마 생성 가스 및 제 2 플라즈마 생성 가스는 실질적으로 산소 함유 반응물을 포함하지 않는다. 상기 반응 챔버 내의 압력은 상기 제 1 반복 동안에 약 20 내지 80 mTorr이며, 상기 반응 챔버 내의 압력은 상기 제 2 반복 동안에 약 4 내지 80 mTorr일 수 있다. 상이한 피처 밀도들로 위치한 피처들 간에 실질적으로 어떠한 예칭 프로파일 로딩도 존재하지 않을 수 있다.

[0019] 다양한 실시예들에서, 상기 제 2 플라즈마 내의 유효 전자 온도는 약 1 eV 이하이며 상기 제 1 플라즈마 내의 유효 전자 온도보다 낮을 수 있다. 또한, 상기 제 2 플라즈마 내의 전자 밀도는 약 $5 \times 10^9 \text{ cm}^{-3}$ 이하이며 상기 제 1 플라즈마 내의 전자 밀도보다 낮을 수 있다. 소정의 실시예들에서, 상기 그리드 구조물은 2 개 이상의 그리드들을 포함하며, 상기 그리드들 중 적어도 하나는 다른 그리드들에 대해서 이동 가능할 수 있다.

[0020] 이러한 특징들 및 다른 특징들이 관련 도면들을 참조하여서 이하에서 기술될 것이다.

도면의 간단한 설명

[0021]

도 1은 본 명세서에서 개시된 소정의 실시예들에 따른 예칭 동작들을 위해서 사용되는 플라즈마 처리 시스템을 예시하는 개략적 단면도이다.

도 2a는 본 명세서에서 개시된 소정의 실시예들에 따른 그리드 구조물의 간략화된 평면도이다.

도 2b는 본 명세서에서 개시된 소정의 실시예들에 따른 그리드 구조물의 사진이다.

도 3a 및 도 3b는 하부 서브-챔버 내에서 플라즈마 조건들을 방사상으로 조절하는데 사용될 수 있는 플라즈마 그리드 쌍을 예시한다.

도 3c 및 도 3d는 본 명세서의 실시예에 따른 C 형상 슬롯들을 갖는 플라즈마 그리드 쌍을 예시하고 있다.

도 3e 및 도 3f는 회전 가능한 그리드 내의 개구들을 통한 이온들의 궤적을 나타낸다.

도 4는 본 명세서의 실시예에 따른 이동 가능한 그리드 상에 위치한 고정형 그리드를 갖는 처리 챔버의 간략화된 도면이다.

도 5는 본 명세서의 실시예에 따른 고정형 그리드 상에 위치한 이동 가능한 그리드를 갖는 처리 챔버의 간략화된 도면이다.

도 6a 내지 도 6c는 예칭 부산물 해리로 인해 발생하는 소정의 문제들을 예시한다.

도 7a 내지 도 7c는 함께 소스-드레인 리세스 예칭 동안에 기판 내에 예칭될 수 있는 상이한 형상들을 나타낸다.

도 8은 소스-드레인 리세스 예칭 시의 상이한 예칭 스테이지 및 산화 스테이지를 경험하는 기판을 예시한다.

도 9는 FinFET 폴리실리콘 게이트 예칭을 경험하는 부분적으로 제조된 반도체 소자를 예시한다.

도 10은 FinFET 폴리실리콘 게이트 예칭 후의 부분적으로 제조된 반도체 소자의 단면도 및 평면도이다.

도 11a 내지 도 11g는 더미 폴리실리콘 제거 공정을 포함하는, 다양한 제조 스테이지를 동안의 부분적으로 제조된 반도체 소자의 단면도들이다.

도 12는 이온-이온 플라즈마 및 통상적인 플라즈마에 대한 전자 에너지 분포 함수이다.

도 13은 포토레지스트 리플로우 공정 동안의 그 상에 포토레지스트를 갖는 기판을 예시한다.

도 14는 STI 공정 동안에 예칭되는 기판에 대한 상이한 예칭 프로파일들을 예시한다.

도 15는 통상적인 플라즈마 및 이온-이온 플라즈마를 사용하여서 STI 공정 동안에 달성된 예칭 프로파일들을 나타낸다.

도 16a 및 도 16b는 고압 통상적인 기술 (16a) 및 플라즈마 그리드를 사용하는 실시예 (16b)에 따라서 예칭된 FinFET 구조물들의 SEM 이미지들이다.

도 17a 및 도 17b는 저압 통상적인 기술 (17a) 및 플라즈마 그리드를 사용하는 본 개시된 실시예 (17b)에 따라서 예칭된 피쳐들의 SEM 이미지들이다.

도 18은 플라즈마 그리드를 사용하지 않고 다양한 방식들에 따라서 예칭된 피쳐들의 다양한 SEM 이미지들을 나타내고 있다.

도 19는 소스-드레인 리세스 예칭 동안 통상적인 플라즈마 및 이온-이온 플라즈마를 따라서 달성된 상이한 예칭 형상들을 나타낸다.

도 20은 소스-드레인 리세스 예칭 공정 동안 달성된 다양한 예칭 형상들을 나타낸다.

도 21은 통상적인 플라즈마 방식 및 이온-이온 플라즈마 영역에서 실행되는 STI 공정들에 대한 예칭 프로파일들 및 로딩 효과들을 나타내고 있다.

발명을 실시하기 위한 구체적인 내용

[0022]

본원에서, 용어 "반도체 웨이퍼", "웨이퍼", "기판", "웨이퍼 기판" 및 "부분적으로 제조된 집적 회로"는 상호

교환가능하게 사용된다. 본 기술 분야의 당업자는 용어 "부분적으로 제조된 접적 회로"가 반도체 웨이퍼 상에서의 접적 회로 제조의 다양한 스테이지들 중 임의의 스테이지 동안의 반도체 웨이퍼 상의 소자들을 지칭함을 이해할 것이다. 다음의 상세한 설명 부분은 본 발명이 웨이퍼 상에서 구현됨을 가정한다. 그러나, 본 발명은 이로 한정되지 않는다. 작업 대상 (work piece)는 다양한 형상, 크기 및 재료를 가질 수 있다.

[0023] 다음의 설명 부분에서, 다수의 특정 세부 사항들이 제공된 실시예들의 철저한 이해를 제공하기 위해서 제안된다. 개시된 실시예들은 이러한 특정 세부 사항 전부 또는 일부 없이도 실시될 수 있다. 다른 경우들로서, 잘 알려진 공정 동작들을 개시된 실시예들을 불필요하게 모호하게 하지 않도록 세부적으로 기술되지 않았다. 개시된 실시예들은 특정 실시예들과 함께 기술될 것이지만, 이는 개시된 실시예들을 한정하려고 하는 것이 아님이 이해될 것이다.

[0024] 반도체 소자들의 제조 동안에 반도체 기판 및 이 반도체 기판 상에 형성된 층들을 에칭하는데 사용되는 장치가 개시된다. 이 장치는 에칭이 수행되는 챔버에 의해서 규정된다. 소정의 실시예들에서, 챔버는 평면 윈도우, 전반적으로 평면인 여기 코일, 및 에칭 동안에 반도체 기판을 유지하기 위한 페디스탈 또는 척을 포함한다. 물론, 본 개시는 임의의 특정 타입의 플라즈마 소스로 한정되지 않는다. 평면 여기 코일 이외에도, 돔 및 플레이트 플라즈마 소스들이 사용될 수 있다. 소스들은 유도 결합형 플라즈마 소스들, 용량 결합형 플라즈마 소스들 및 본 기술 분야의 당업자에게 알려진 다른 소스들을 포함한다. 본 명세서의 실시예들은 챔버 내에서 위치하여서 이 챔버를 2 개의 서브-챔버들로 분리시키는 그리드를 사용한다. 다양한 실시예들에서, 때로 "그리드 어셈블리 (grid assembly)"로 지칭되는 하나 이상의 적층된 그리드들의 집합이 사용된다. 동작 동안에, 각 서브-챔버는 구별된 특성들을 갖는 플라즈마를 포함한다. 플라즈마는 주로 또는 오직 상부 서브-챔버 내에서 생성되며 소정의 종들 (species)이 영향을 받지 않는 채로 그리드 또는 그리드 어셈블리를 통해서 하부 서브-챔버 내로 전달될 수 있다. 그리드는 그리드의 두께를 관통하는 슬롯들을 갖는다. 소정의 구현예들에서, 이러한 슬롯들은 대략 방사상 외측으로 연장된다. 본 명세서에서 사용되는 구절 "대략 방사상 외측으로 연장한다"는 해당 특징부가 적어도 어느 정도의 방사상으로 향하는 구성 요소를 가짐을 의미한다. 달리 말하면, 피쳐의 일부분이 전반적으로 중앙에서 에지 방향으로 연장되기만 하면 피쳐 전체가 전체가 방사상으로 향할 필요는 없다. 또한, "중앙에서 에지 방향 (center-to-edge direction)"은 정확한 (true) 중앙에서 에지 방향에 대하여 어느 정도의 각도 범위 (예컨대, 정확한 중앙에서 에지 방향의 약 20° 내의 범위)를 포함하는 것으로 규정된다.

[0025] 그리드 또는 그리드 어셈블리는 그리드의 두께를 관통하는 다수의 방사한 슬롯들을 포함할 수 있다. 그리드 및 슬롯들은 상부 서브-챔버 내의 고 에너지 전자들의 오직 일부분만이 그리드를 통과할 수 있도록 설계된다. 집합적으로, 고 에너지 전자들은 일반적으로 그리드를 통과하여 하부 서브-챔버 내로 들어가면 저 에너지의 "저온 (colder)" 전자로 된다. 고 에너지 전자들이 그리드를 통과할 정도로 충분한 에너지를 가지지만, 이들 중 다수는 그리드와 충돌하는 각도로 그리드에 도달하여서 에너지를 잃는다. 그리드를 통과한 고 에너지 전자들은 여기 소스로부터 격리되게 되기 때문에 이들은 집합적으로 그리드 밑에서 플라즈마를 유지하기에 충분한 에너지를 가지지 않는다. 고온 전자들이 하부 서브-챔버 내에서 저온 상태로 되는 메카니즘들은 그리드와의 충돌, 그리드 밑의 중성 종들과의 충돌 및 그리드 위의 여기 소스로부터 그리드 밑의 전자를 차폐하는 것을 포함한다. 따라서, 그리드는 낮은 전자 밀도 (n_e) 및 낮은 평균 유효 전자 온도 (T_e)를 갖는 플라즈마를 하부 서브-챔버 내에서 생성할 수 있다. 그리드 또는 그리드 어셈블리 위에서, 플라즈마는 통상적으로 음으로 대전된 종들의 대부분이 전자인 통상적인 전자-이온 플라즈마이다. 그리드 또는 그리드 어셈블리 아래에서, 플라즈마는 매우 높은 퍼센트의 음 이온을 포함하며 실제로 이온-이온 플라즈마일 수 있다. 이온-이온 플라즈마의 소정의 특성들은 이하에서 기술된다. 일반적으로, 전자-이온 플라즈마에 비해서, 이온-이온 플라즈마는 (전자들보다는) 이온들인 음으로 대전된 종들의 매우 높은 퍼센트를 포함한다.

반응기 내의 그리드의 위치

[0026] 그리드 또는 그리드 어셈블리는 플라즈마 챔버 내에 위치하여서 이 챔버를 상부 서브-챔버 및 하부 서브-챔버로 분리한다. 본 명세서에서 기술되는 그리드를 포함하도록 수정되기에 적합한 챔버의 실례는 미국 캘리포니아 프레몬트 소재의 Lam research 사로부터 입수 가능한 Kiyo Reactor이다. 맥락상, 다음의 설명은 이하에서 더 기술되는 도 1을 참조하여서 고려될 수 있다. 소정의 구현예들에서, 그리드는 반응 챔버의 내부 베이스의 위에 약 1 내지 6 인치 거리로 위치하거나 페디스탈과 같은 반도체 지지부의 위에 약 1 내지 6 인치 (예컨대, 1.5 내지 3 인치) 거리로 위치한다. 이러한 구현예 또는 다른 구현예에서, 그리드는 반응 챔버의 내부 천장의 아래에 약 1 내지 6 인치 (예컨대, 1.5 내지 3 인치) 거리로 위치한다. 이 천장에는 때로 유전체 윈도우가 제공된다.

[0027] 소정의 실시예들에서, 상부 서브 챔버 및 하부 서브 챔버의 높이는 실질적으로 동일하지만 (예컨대, 약 5 % 이

내에서 동일하지만), 다른 실시예들에서는, 이 높이는 크게 상이할 수 있다. (서브-챔버 높이 비로도 지칭되는) 상부 서브 챔버의 높이의 하부 서브 챔버의 높이에 대한 비 (h_u/h_l) 는 약 0.1 내지 10 또는 약 0.2 내지 5일 수 있다. 일 실시예들에서, 이 서브-챔버 높이 비는 약 1/6보다 크다.

[0029] 그리드는 웨이퍼에 너무 가까이 위치되지 말아야 하는데 그렇게 되면 그리드 프린팅 (printing) 이 웨이퍼의 면상에 발생할 수 있기 때문이다. 달리 말하면, 그리드 내의 슬롯들의 패턴이 처리 후에 바람직하지 않게 웨이퍼면 상에 나타나서 기판 표면 상에 심각한 에칭 불균일성을 낳기 때문이다. 다수의 어플리케이션에서, 기판의 상단에서 그리드까지의 이격 거리는 최소 1 인치이면 충분하다.

그리드 설계

[0031] 그리드를 구현하도록 다양한 설계가 사용될 수 있다. 몇몇 실시예들에서, 그리드는 일부 전자들을 상부 서브-챔버에서 하부 서브-챔버로 통과하게 하는 슬롯들, 전반적으로 원형인 구멍들 또는 다른 천공들을 갖는 재료의 매우 간단한 얇은 시트이다. 다른 실시예들에서, 그리드는 복수의 구성 요소들을 갖는 보다 복잡한 그리드 어셈블리로 구성될 수도 있다. 예를 들면, 그리드 어셈블리는 다수의 그리드들, 지지 요소들 및/또는 이동 생성 (causing) 요소들을 가질 수 있다.

[0032] 간단한 구현예에서, 그리드는 슬롯들을 갖는 상대적으로 얇은 시트이다. 또한, 몇몇 실시예들에서, 그리드는 구멍들을 포함할 수 있다. 따라서, 그리드는 슬롯 및 구멍들을 조합하여서 포함한다. 그리드 구조물의 비한정적 실례들이 도 2a, 도 2b 및 도 3a 내지 도 3d에 도시된다. 그리드에 포함된 재료는 절연체, 도전체 또는 이들의 몇몇 조합일 수 있다. 소정의 구현예들에서, 그리드는 다음으로 한정되지 않지만 금속, 스테인레스 스틸과 같은 금속성 합금, 알루미늄, 티타늄, 세라믹, 실리콘, 실리콘 카바이드, 실리콘 질화물, 및 이들의 조합을 포함하는 하나 이상의 재료를 포함한다. 이러한 재료는 예를 들면 부식 내성을 위해서 아노다이징 또는 이와 달리 패시베이션될 수 있거나 그렇지 않을 수도 있다. 일 실시예에서, 그리드는 세라믹 코팅을 갖는 금속성 재료로 구성된다. 다른 코팅들이 사용될 수도 있다. 코팅된 그리드 사용은 특히 에칭되는 층들이 휘발성이 있을 때에 유리하다. 소정의 구현예들에서, 그리드는 다음으로 한정되지 않지만 예를 들면 Y_2O_3 , YF_3 , YAG, 티타늄 질화물, 또는 CeO_2 의 코팅을 포함하는 순수한 코팅으로 코팅될 수 있다. 또한, 그리드는 접지, 플로팅 (floating) 또는 바이어스될 수 있다. 몇몇 구현예들에서, 접지된 그리드는 캐소드에 대한 증가된 바이어스 전류 복귀부 역할을 한다.

[0033] 그리드는 전반적으로 챔버의 전체 수평 단면에 걸쳐 있다. 챔버가 (위에서 볼 때에) 원형이면, 그리드도 원형일 것이다. 이는 그리드가 반응 챔버를 2 개의 서브-챔버들로 효과적으로 분할할 수 있게 한다. 소정의 설계에서, 그리드의 원형 형상은 통상적으로 원형 웨이퍼인 기판의 기하 구조에 의해서 규정된다. 잘 알려진 바와 같이, 웨이퍼는 통상적으로 200 mm, 300 mm, 450 mm 등과 같은 다양한 크기로 제공된다. 다른 형상들이 챔버 내에서 수행되는 에칭 동작들에 따라서, 정방형 기판, 다른 다각형 기판 또는 보다 소형의 기판에 대해서 가능하다. 따라서, 그리드의 단면은 다양한 형상 및 크기를 가질 수 있다. 몇몇 실시예에서는 평탄한 평면형 단면이 적합하다. 그러나, 다른 실시예에서는 접시형, 돌형, 진동형 (oscillating) (예컨대, 사인형, 구형파형, 세브란형 (chevron)), 경사형 (slanted) 등의 그리드 단면이 적합하다. 이러한 임의의 단면 프로파일을 통한 슬롯들 또는 구멍들은 (본 명세서에서 다른 곳에서 기술되는 바와 같은 종횡비들을 포함하는) 특성들을 가질 것이다.

[0034] 그리드는 평균 약 1 내지 50 mm 두께, 바람직하게는 약 5 내지 20 mm 두께를 갖는다. 그리드가 너무 두꺼우면, 올바르게 동작할 수 없다 (예컨대, 많은 수의 층들이 통과되지 못하게 하거나 반응 챔버 내에서 너무 많은 중량을 갖거나 너무 많은 공간을 차지할 수 있다). 그리드가 너무 얕으면, 플라즈마 처리를 견딜 수 없으며 너무 종종 교체되어야 한다. 통상적으로, 이하에서 기술될 바와 같이, 슬롯들의 높이가 그리드 두께에 의해서 결정되기 때문에, 그리드의 두께는 그리드 내의 슬롯들의 목표 종횡비에 의해서 제약된다.

[0035] 몇몇 실시예들에서, 그리드는 상류 플라즈마와 하류 플라즈마 간의 분리기 역할을 하며, 하류 플라즈마는 하부 서브 챔버 내에 존재하며 라디칼이 풍부할 수 있다. 이로써, 그리드가 제공된 플라즈마 챔버는 미국 캘리포니아 프레몬트 소재의 Novellus Systems, 이제는 Lam Research 사로부터 입수 가능한 GAMMA™ 플랫폼 툴과 같은 기존의 원격 플라즈마 툴들을 사용하여서 달성될 수 있는 바와 유사한 결과를 낳을 수 있다. 그리드가 이러한 목적을 위해서 동작하는 경우에, 그리드는 상대적으로 두꺼울 수 있는데, 예를 들면 약 20 내지 50 mm의 두께를 가질 수 있다.

[0036]

소정의 실시예들에서, 그리드는 길고 얇은 형상을 갖는 슬롯들을 포함한다. 슬롯들은 그리드의 중앙에서 방사상 외측으로 연장된다. 슬롯들은 높이, 폭 및 길이 (폭 및 길이가 도 2에서 명시적으로 나타남) 를 갖는다. 슬롯 높이는 그리드의 면에 대해 수직인 축을 따라서 측정되며 (즉, 슬롯 높이는 대부분의 동작 구성들에서 수직으로 배향됨), 슬롯 높이는 일반적으로 그리드의 높이와 동일하다. 슬롯들의 폭은 슬롯들의 방사상 방향에 걸쳐서 일정하거나 변할 수 있다. 소정의 경우에, 슬롯들은 파이 (pie) 형상이다 (즉, 그리드의 중앙을 향해서는 가늘어지는 반면에 그리드의 에지를 향해서는 두꺼워짐). 다양한 실시예들에서, 슬롯들은 그리드의 중앙에서 외측으로 길이 방향으로 (방사상으로) 연장된다. 몇몇 실시예들에서, 슬롯 폭들은 약 25 mm를 넘지 않는다. 슬롯들의 길이는 그리드의 방위각에 따라서 일정하거나 가변적일 수 있다. 방사상 슬롯들의 각도상 이격 거리 (angular separation) 는 그리드를 둘러서 일정하거나 가변적일 수 있다.

[0037]

어떠한 슬롯도 그리드 내에 존재하지 않으면, 플라즈마 생성 동안에 전류가 그리드 내에서 유도될 것이다. 이 전류는 그리드를 둘러서 실질적으로 원형으로 흐리거나 국소적 와전류를 형성할 것이며 이로써 전력 소비량을 증가시킬 것이다. 그러나, 슬롯이 존재하면 이러한 기생 전류가 형성되는 것을 방지하고 전력을 절감시키고 보다 효율적인 처리가 가능하다. 실질적으로 원형 구멍들과 같은 형상을 갖는 개구들은 이러한 전류 형성 억제에 있어서 덜 효과적이다. 그러나, 상술한 바와 같이, 원형 개구들은 슬롯형 개구들과 함께 사용될 수 있다.

[0038]

슬롯의 종횡비는 슬롯의 높이의 폭에 대한 비 (h/w) 로서 규정된다. 통상적으로, 이 종횡비의 기하구조는 슬롯의 길이 방향 (때로 방사 방향) 에 대해서 수직으로 취해진 단면으로서 보여질 수 있다. 슬롯의 폭이 가변적일 수 있기 때문에, 종횡비는 역시 가변적일 수 있다. 소정의 실시예들에서, 슬롯의 종횡비 (그리드 전체에 걸쳐서 일정하거나 가변적일 수 있음) 는 약 0.01 내지 5, 약 0.3 내지 5, 약 1 내지 4, 또는 약 0.5 내지 2이다. 다수의 실시예들에서, 이러한 종횡비를 갖는 그리드들은 상부 서브-챔버에 비해서 하부 서브-챔버 내에서 전자 밀도 및 유효 전자 온도로 저감시킨다. 상술한 바와 같이, 적어도 부분적으로는 다수의 고온 전자들이 그리드와 충돌하기 때문에 전자들이 슬롯들을 통과할 때에 유효 전자 온도는 낮아진다고 사료된다. 또한, 하부 서브-챔버 내의 유효 전자 온도는 상부 서브-챔버보다 감소되는데 그 이유는 하부 서브-챔버 내의 전자들이 그리드에 대해서 차폐되어서 플라즈마 코일들 (또는 다른 플라즈마 소스들)로부터 유도성 가열을 받지 못하기 때문이다.

[0039]

구멍들이 슬롯들과 함께 사용되는 경우에, 구멍들은 슬롯들과 동일한 역할을 할 수 있다. 따라서, 이들은 전반적으로 상술한 바와 같은 종횡비들을 가질 것이다. 몇몇 실시예들에서, 구멍들은 약 0.05 내지 0.2 인치의 직경을 갖는다. 구멍들은 또한 그리드의 전체 두께를 통과한다.

[0040]

그리드에 대해서 제공되는 추가적인 이점은 주 가스 인젝터로부터의 대류 흐름 효과 (convective flow effect) 를 중성화시킬 수 있다는 것이다. 이는 웨이퍼 표면 상에 보다 균일한 가스 흐름을 낳는다. 그리드 또는 그리드 어셈블리가 웨이퍼와 상부 챔버 내의 가스 인젝터(들) 간에 존재하면 그리드가 가스 흐름을 방해하여서 웨이퍼 상에서 보다 확산적인 흐름 영역을 낳기 때문에 가스 인젝터(들)로부터 전달된 임의의 가스 흐름의 대료 효과를 크게 줄일 수 있다.

[0041]

몇몇 실시예들에서, 그리드는 가스 전달 구멍들을 포함한다. 이러한 실시예들에서, 그리드는 상부 서브-챔버와 하부 서브-챔버에 대한 샤크헤드가 되는 추가적인 역할을 할 수 있다. 이러한 실시예들에서, 하나 이상의 채널들이 하나 이상의 그리드들에 포함될 수 있다. 이러한 채널들에는 유입구 (또는 다수의 유입구들)로부터 가스가 공급되며 이 채널들은 이 가스를 그리드(들) 내의 복수의 유출 구멍들로 전달할 수 있다. 이러한 유출 구멍들은 상부 서브-챔버 및 하부 서브-챔버 중 어느 하나 또는 양자에 공정 가스를 전달하는 가스 분배 샤크헤드를 형성할 수 있다.

[0042]

몇몇 구현예들에서, 그리드는 프로빙 장치가 그리드를 통해서 배치되게 할 수 있는 특징부를 포함하는 중앙 영역과 같은 영역을 갖는다. 이 프로빙 장치는 동작 동안에 플라즈마 처리 시스템과 연관된 공정 파라미터들을 프로빙하기 위해서 제공될 수 있다. 프로빙 공정들은 광학적 방출 엔드포인트 검출, 간섭측정 (interferometric) 엔드포인트 검출, 플라즈마 밀도 측정, 이온 밀도 측정, 및 다른 계측 프로빙 동작들을 포함할 수 있다. 소정의 실시예들에서, 그리드의 중앙 영역은 개방된다. 다른 실시예들에서, 그리드의 중앙 영역은 광이 그리드를 투과하도록 하는 광학적으로 투명한 재료 (예컨대, 석영, 사파이어 등) 를 포함한다.

[0043]

소정의 실시예들에서, 300 mm 웨이퍼 에처 (etcher) 의 경우에 그리드의 외측 에지 근처에서 매 15 mm 또는 40 mm마다 둘러서 그리드 내에 슬롯을 갖는 것이 바람직할 수 있다. 이는 인접하는 슬롯들이 각기 약 18도 또는 약 48도 만큼의 방위각으로 이격되는 경우에 대응한다. 따라서, 소정의 실시예들에서, 인접하는 슬롯들은 최소 약 10 도 또는 최소 약 15도 만큼의 방위각으로 이격된다. 이러한 실시예들 또는 다른 실시예들에서, 방위각으로 인접하는 슬롯들은 약 40도 정도의 각도, 약 50도 정도의 각도 또는 약 60도 정도의 각도의 방위각만큼 이격

된다.

[0044] 몇몇 실시예들에서, 플라즈마 그리드는 그리드 내에 내장된 냉각 채널을 포함할 수 있으며, 이 냉각 채널들은 유동 또는 비유동 냉각재로 충진될 수 있다. 소정의 실시예들에서, 냉각재는 헬륨 또는 다른 불활성 가스 또는 탈이온수, 공정 냉각수, 플루오로인어트 (fluoroinert) 와 같은 액체, 또는 퍼플루오로카본 (perfluorocarbon), 하이드로플루오로카본, 암모니아 및 이산화탄소와 같은 냉매와 같은 유체이다. 이러한 또는 다른 실시예들에서, 플라즈마 그리드는 내장된 가열 요소들 및/또는 온도 측정 장치를 포함할 수 있다. 냉각 채널 및 내장된 가열기들은 정밀한 온도 제어를 제공하며 이로써 입자 및 벽 상태들에 대한 정밀 제어 (close control) 가 가능하다. 이러한 제어는 소정의 경우에 하부 구역 플라즈마 내의 상태들을 조절하는데 사용될 수 있다. 예를 들면, 플라즈마 그리드가 저온에서 유지되는 경우에, 웨이퍼로부터의 예칭 부산물은 그리드 상에 선호적으로 증착될 것이며, 이로써 하부 서브-챔버 내의 예칭 부산물의 가스상 (gas phase) 밀도를 저감시킨다. 이와 달리, 그리드 또는 그리드 어셈블리는 고온 (예를 들어서, 80 °C 보다 높게) 유지되어서 그리드 상의 증착을 저감시키고 챔버가 상대적으로 깨끗하게 유지되는 것을 보장하고/하거나 WAC (waferless auto clean) 동안에 챔버를 세정하는데 필요한 시간을 줄일 수 있다.

[0045] 소정의 실시예들에서 포함될 수 있는 다른 특징은 그리드가 상부 서브-챔버 및 하부 서브-챔버 중 하나 또는 모두에 공정 가스를 전달하기 위한 샤퍼헤드 역할을 하는 것이다. 이로써, 그리드는 상부 서브-챔버 및/또는 하부 서브-챔버에 가스 공급 소스를 연결시키는 복수의 채널들을 포함할 수 있다. 샤퍼헤드 훌들은 이러한 서브-챔버들로 가스를 균일하게 전달하도록 배열될 수 있다.

[0046] 또한, 소정의 실시예들에서, 2 개 이상의 가스 공급 소스가 사용된다. 예를 들면, 상이한 공정 가스들이 (하나 이상의 샤퍼헤드 타입 그리드들을 통해서 또는 다른 가스 전달 수단들에 의해서) 상부 서브-챔버 및 하부 서브-챔버에 전달될 수 있다. 특정 구현예에서, 불활성 가스가 상부 서브-챔버에 전달되고, 플라즈마 예칭 화학 성분이 하부 서브-챔버에 전달될 수 있다. 몇몇 다른 실시예들에서, 상부 서브-챔버에 전달되는 가스는 N₂, H₂, O₂, NF₃, 또는 C₄F₈ 또는 다른 플루오로카본이지만 실시예들이 이렇게 한정되는 것은 아니다. 이러한 또는 다른 구현예들에서, 하부 서브-채널에 전달되는 가스는 N₂, CO₂, CF₄, 또는 다른 플루오로카본이지만 실시예들이 이렇게 한정되는 것은 아니다.

[0047] 작업 기관에 인접한 광범위의 플라즈마 조건을 허용하는 플라즈마 처리 반응기를 갖는 것이 때로 유용할 수 있다. 이러한 조건은 플라즈마 밀도, 플라즈마 내의 유효 전자 온도, 플라즈마 내에 전자들의 이온들에 대한 비율을 포함한다. 다수의 층들이 챔버 내에서 처리되고 있는 인 시츄 처리의 경우에, 각 층에 대해서 처리 조건들을 변경하는 것이 필요할 수 있다. 고정된 위치의 그리드는 반응기의 동작 원도우를 제약하는데, 예를 들면, 그리드가 하부 서브-챔버 내에 이온-이온 플라즈마를 생성하기에 최적화되는 경우에 고 플라즈마 밀도는 가용될 수 없을 수 있다. 따라서, 소정의 실시예들은 그리드 시선 (line of sight) 개방 면적이 회전 및/또는 병진 (translation)에 의해서 조절 가능한 그리드 및 그리드 어셈블리를 제공한다.

[0048] 소정의 실시예들에서, 플라즈마 그리드는 플라즈마 코일 또는 다른 플라즈마 소스에 대해서 상승 또는 하강될 수 있다. 이는 그리드를 예를 들면 이동 가능한 스테이지 상에 탑재함으로써 이루어질 수 있다. 몇몇 구현예들에서, 수직 이동은 오퍼레이터 또는 콘트롤러가 상부 구역 플라즈마 및 하부 구역 플라즈마에서의 유효 전자 온도, 전자 또는 플라즈마 밀도, 전자 대 이온 비율, 라디칼 농도 등을 변경시킬 수 있게 한다. 또한, 라디칼 농도가 플라즈마 그리드의 높이에 의해서 영향을 받기 때문에, 이동 가능한 그리드를 사용하면 라디칼 농도가 다중 스테이지 공정에 걸쳐서 조절 가능하게 되는 공정이 가능하게 된다. 라디칼 종들이 화학적으로 반응성이며 음 이온들은 전자와는 상이한 예칭 특성을 갖기 때문에, 이 파라미터는 특히 목표 반응을 달성하도록 조절/제어하는데 유용하다.

[0049] 또한, 몇몇 구현예들에서, 다수의 플라즈마 그리드들이 반응기 챔버 내에서 단일 그리드 어셈블리에서 사용될 수 있다. 다수의 그리드들이 사용되는 경우에, 그리드의 개수는 통상적으로 약 2 대지 5 개이다. 때로, 다수의 플라즈마 그리드들이 사용되면, 플라즈마 그리드를 중 적어도 하나는 적어도 하나의 다른 플라즈마 그리드에 대해서 이동 가능하다. 일반적으로, 이러한 이동은 그리드들을 회전시키거나 분리시킴으로써 이루어진다 (몇몇 경우에는, 이러한 회전 및 분리 모두가 사용된다). 그리드 어셈블리에서 회전 가능한 그리드가 사용되면, 웨이퍼를 처리하는 과정에 걸쳐서 그리드 개방 면적 상이한 공정들 간에서 및/또는 웨이퍼들 간에서 그리고 단일 공정 내에서 그리고 단일 웨이퍼 내에서 용이하게 변화될 수 있다. 중요하게는, 하부 서브-챔버 내의 유효 전자 온도 및 전자 밀도는 그리드 개방 면적의 함수일 것이다.

- [0050] 다수의 그리드가 사용되면, 소정의 추가 파라미터들을 규정하는데 도움이 된다. 어셈블리 슬롯 또는 다른 개구는, 위에서 볼 때에, 도 3e에 도시된 바와 같이, 일 그리드 내의 개구가 다른 그리드(들) 내의 개구와 정렬되어서 플라즈마 그리드 어셈블리를 통한 투명 시선 (clear line of sight) 을 생성하는 어셈블리의 구역이다. 도 3f에서와 같이, 그리드들 내의 슬롯들/구멍들이 정렬되지 않으면, 그리드 어셈블리를 통한 투명 시선이 존재하지 않는다. 도 3e 및 도 3f에 있어서, 상부 그리드 (302) 는 하부 그리드 (304) 위에 위치한다. 그리드 (302) 및 그리드 (304) 각각 아래의 어두운 구역들은 종들이 통과하는 개방 구역이다. 특정 실시예들에서, 하부 그리드 (304) 아래의 어두운 구역은 하부 서브-챔버의 상부 부분이다. 다수의 어셈블리 개구들은 통상적으로 단일 플라즈마 그리드 어셈블리 내에 존재한다. 어셈블리 개구의 기하 구조는 개별 그리드들이 서로에 대해서 이동 함에 따라서 변한다. 예를 들면, 제 1 그리드가 제 2 그리드에 대해서 회전함에 따라서 어셈블리 슬롯의 폭이 변할 수 있다. 마찬가지로, 그리드들이 서로에 대해서 회전 또는 달리 이동함에 따라서, 상단 그리드의 상단과 하단 그리드의 하단 간의 총 거리를 시선 개방 폭으로 계산한 값으로 규정되는 어셈블리 슬롯들의 종횡비도 변 할 수 있다. 몇몇 실시예들에서, 어셈블리 슬롯들의 종횡비는 약 0.1 내지 5일 수 있다.
- [0051] 그리드 어셈블리 개방 면적은 (그리드의 면에 평행한 평면에서 볼 때에) 슬롯들이 정렬된 그리드 어셈블리 상의 슬롯들의 총 면적으로서 규정된다. 도 3f에서 도시된 바와 같이 슬롯들이 오정렬되면, 플라즈마 내의 소정의 종들 (특히, 이온들 및 전자들과 같은 대전된 종들) 은 하부 서브-챔버 내로 실질적으로 통과하지 못한다. 슬롯들의 이러한 오정렬은 어셈블리 내의 슬롯들의 종횡비를 효과적으로 증가시키거나 어떠한 슬롯 중첩도 존재하지 않으면 어셈블리 슬롯들을 모두 제거하여서 상부 서브-챔버에서 하부 서브-챔버로 흐르는 고온 전자들의 비율을 감소시킨다. 그러나, 도 3e에서와 같이 슬롯들이 정렬되면, 플라즈마 종들은 상술한 바와 같이 슬롯들을 통과 한다. 일 실례에서, 2 개의 동일한 플라즈마 그리드들이 사용되고, 각각이 약 50 퍼센트 개방 (슬롯된) 면적을 갖는다. 이 실시예에서, 그리드 어셈블리 개방 면적은 0 퍼센트 (개별 플라즈마 그리드들이 모두 서로 오정렬하는 경우) 내지 약 50 퍼센트 (개별 플라즈마 그리드들이 서로 정확하게 정렬한 경우) 간에서 변할 수 있다. 다른 실례에서, 각 플라즈마 그리드는 약 75 퍼센트의 개방 면적을 갖는다. 이 경우에, 그리드 어셈블리 개방 면적은 약 50 내지 75 퍼센트 간에서 변할 수 있다. 그리드 어셈블리 개방 면적을 변화시킴으로써, 하부 서브-챔버 내의 플라즈마 조건들이 조절될 수 있다. 예를 들면, 그리드 어셈블리 개방 면적이 크면, 그리드 어셈블리 개방 면적이 작을 때에 비해서, 하부 구역 플라즈마 내의 유효 전자 온도는 높아지며, 하부 구역 플라즈마 내의 전자 밀도는 높아지며, 하부 구역 플라즈마 내의 전자의 이온에 대한 비율은 높아지며, 하부 구역 플라즈마 내의 라디칼의 농도는 저하된다.
- [0052] 다수의 그리드 사용은 특히 단일 공정 스테이션에서 웨이퍼 상에서의 플라즈마 밀도 및 다른 플라즈마 조건들의 넓은 공정 윈도우를 제공하기 때문에 유용하다. 이러한 이점은 특히 다수의 충들 및/또는 다수의 타입의 노출된 재료들을 갖는 복잡한 구조물을 처리할 때에 도움이 된다. 전술한 바와 같이, 때로 처리되는 에칭 충에 대한 처리 조건들을 변화시킬 필요가 있다.
- [0053] 각 플라즈마 그리드 상의 슬롯 패턴은 다른 플라즈마 그리드 슬롯 패턴과 동일하거나 상이할 수 있다. 또한, 슬롯 패턴들은 웨이퍼의 특정 구역들에 걸쳐서 개방 구역을 제공하도록 설계될 수 있다. 예를 들면, 슬롯들은 웨이퍼의 에지에 비해서 웨이퍼의 중앙 근처에 보다 많이 개방된 면적이 존재하거나 이와 반대의 경우가 되도록 설계될 수 있다. 또한, 그리드 어셈블리 개방 구역이 공정 동안에 상이한 시간들에 웨이퍼의 상이한 부분들에 집중되도록 슬롯들이 설계될 수 있다. 예를 들면, 그리드 어셈블리 개방 구역이 공정의 초기를 향해서는 웨이퍼의 중심 근처에 집중되고 공정의 종료를 향해서는 웨이퍼의 에지 근처에 집중되거나 이와 반대로 되도록 슬롯들이 설계될 수 있다. 이러한 회전은 예를 들자면 가스 플로우, 플라즈마 밀도, 플라즈마 타입 (예컨대, 이온-이온 플라즈마) 및 유효 전자 온도가 공정 과정에 걸쳐서 웨이퍼에 걸쳐서 방사상으로 조절될 수 있게 한다. 이러한 조절은 웨이퍼의 전체 표면에 걸쳐서 균일한 에칭 결과를 낳는데 유리하며 특히 처리 동안에 그렇지 않으면 발생할 수 있는 중심 대 에지 불균일성을 해결하는데 도움이 될 수 있다. 이러한 방사상 조절 효과들을 달성하기 위해서 플라즈마 그리드 어셈블리에서 사용될 수 있는 전자 (electron) 그리드들의 쌍의 실례가 도 3a 및 도 3b에 도시된다. 이 도면들에서, 슬롯 (개방 구역) 은 음영으로 표시되며 그리드 재료 구역은 백색으로 표시된다.
- [0054] 분리 가능한 그리드 사용은 소정의 거리들이 제어 및 조절될 수 있게 한다. 예를 들면, 조절될 수 있는 거리들은 웨이퍼와 하부 그리드 간의 거리, 상부 서브-챔의 상단과 상부 그리드 간의 거리, 및/또는 그리드들 간의 거리를 포함한다. 이러한 가변 거리들은 단일 고정형 그리드에 비해서 웨이퍼 상에서 조절 가능한 광범위한 전자 온도 및 플라즈마 밀도를 가능하게 한다.
- [0055] 소정의 구현예들은 이동 가능한 플라즈마 그리드와 고정형 플라즈마 그리드를 모두 구비한 플라즈마 그리드 어

셈블리를 사용한다. 그리드들은 접지되거나 전기적으로 플로팅되며 회전 가능한 액추에이터 또는 리프터 (lifter) 와 같은 이동 생성 요소에 연결된 지지 레그 (leg) 또는 다른 특징부에 의해서 지지될 수 있다. 몇몇 실시예들에서, 이동 생성 요소는 웨이퍼 및 웨이퍼 지지 페디스탈 아래에 위치하지만, 다른 배치가 가능하다. 지지 레그는 지지되는 그리드가 접지되는지 전기적으로 플로팅되는지에 따라서 도전성이거나 절연성일 수 있다.

[0056] 일반적으로, 고정된 그리드가 접지되는 것이 유리할 수 있다. 도 4에 도시된 바와 같이, 고정된 그리드가 이동 가능한 그리드 상에 배치되면, 고정된 그리드의 접지된 접속은 상부 챔버 여기 소스로부터 그리드로 흐르는 임의의 RF 전류에 대한 양호한 접지 경로를 제공한다. 이는 특히 상부 챔버가 ICP 소스에 의해서 여기되고 그 높이가 약 5 cm보다 작은 경우 또는 상부 구역 플라즈마가 VHF CCP 소스를 사용하여서 생성된 경우에 유용하다. 고정된 그리드가 도 5에 도시된 바와 같이 이동 가능한 그리드 아래에 위치하면, 접지된 접속은 하부 구역 플라즈마 내의 바이어스 전류에 대한 대형 접지 복귀 표면을 제공한다. 이는 특히 높은 바이어스 전압 (예를 들어서, 약 100 V보다 높음) 이 예정 공정 동안에 웨이퍼 상에서 요구되는 경우에 유리하다.

[0057] 이동 가능한 그리드의 최적 전기 접속은 고정된 그리드 및 이동 가능한 그리드의 상대적 위치에 의존할 수 있다. 고정된 그리드가 이동 가능한 그리드 위에 위치하면, 이동 가능한 그리드가 전기적으로 플로팅하는 것이 유리할 수 있다. 이와 반대로, 고정된 그리드가 이동 가능한 그리드 아래에 위치하면, 이동 가능한 그리드가 접지 또는 플로팅될 수 있다. 이동 가능한 그리드가 접지되면, 지지 구조물은 도전성이어야 한다 (예컨대, 금속성이어야 한다). 이동 가능한 그리드가 전기적으로 플로팅이면, 지지 구조물은 절연성이어야 한다.

[0058] 고정된 그리드가 이동 가능한 그리드 아래에 위치하면, 이동 가능한 그리드 지지부를 이동 생성 요소와 연결시키도록 이 이동 가능한 그리드 지지부가 고정된 그리드를 통해서 연장되도록 하는 원호 (arc) 형상 슬롯들 (또는 해당 슬롯들에 걸쳐서 원호형 이동을 가능하게 하는 다른 슬롯들) 을 고정된 그리드가 가질 수 있다. 상술한 바와 같이, 이러한 구현예가 도 5에 도시되어 있다. 이와 달리, 이동 가능한 그리드는 반응 챔버의 주변부로부터 내부로 연장되는 이동 가능한 지지 구조물들에 의해서 지지되거나 반응 챔버의 상단과 연결된 구조물에 의해서 지지될 수 있다. 어떠한 구현예가 사용되든, 지지 구조물은 소망하는 바와 같이 상부 구역 플라즈마 및 하부 구역 플라즈마 형성을 방해하지 않도록 지지 구조물은 설계되어야 한다. 또한, 그리드들을 이동시키기 위한 액추에이터들로부터 웨이퍼로의 입자 이동의 위험이 최소화되도록 상기 액추에이터들을 상기 웨이퍼 평면 아래로 적절하게 유지하는 것이 바람직하다.

[0059] 그리드 어셈블리는 DC 소스 또는 RF 소스를 사용하여서 바이어스될 수 있다. 그리드 어셈블리가 다수의 도전성 그리드들을 갖는 경우에, 이 그리드들을 함께 동일한 전위로 바이어스하는 것이 바람직하다. 이와 달리, 그리드 어셈블리는 오직 하나의 도전성 그리드 및 하나 이상의 플로팅/절연성 그리드들로 구성될 수 있으며, 여기서 오직 도전성 그리드만이 바이어스된다.

[0060] 다중 구성 요소 그리드 어셈블리는 2013년 6월 12일자에 출원된 미국 특허 출원 번호 13/916,318 "INTERNAL PLASMA GRID FOR SEMICONDUCTOR FABRICATION"에 더 기술 및 논의되며, 이 문헌은 그 전체 내용이 본 명세서에서 참조로서 인용된다.

플라즈마 특성들

[0062] 그리드는 챔버 플라즈마를 2 개의 구역, 즉, 플라즈마를 생성하기 위한 코일들에 근접한 상부 구역 및 기판 홀더에 근접한 하부 구역으로 분할한다. 다양한 실시예들에서, 상부 구역 내의 플라즈마는 상대적으로 "고온" 고에너지 전자들을 포함한다. 때로, 이 플라즈마는 전자-이온 플라즈마로서 특성화된다. 다양한 실시예들에서, 하부 구역 내의 플라즈마는 상대적으로 "저온" 저 에너지 전자들을 포함한다. 때로, 이 하부 구역 플라즈마는 이온-이온 플라즈마로 특성화된다.

[0063] 플라즈마는 주로 또는 오직 상부 서브-챔버 내에서 생성될 수 있다. 일 실시예에서, 유도 결합형 플라즈마는 상부 서브-챔버 상방에 있는 코일들을 통해 전류를 훌륭으로써 상부 서브-챔버 내에서 생성된다. 단일 코일 또는 다수의 코일들이 사용될 수 있다. 다른 실시예들에서, 용량 결합형 플라즈마가 예를 들면 VHF CCP 소스를 사용하여서 생성된다. 상부 서브-챔버 내의 플라즈마는 그리드의 존재로 인해서 하부 서브-챔버 내의 플라즈마와 구별되게 상이한 특성을 가질 것이다.

[0064] 다수의 실시예들에서, 상부 구역 플라즈마는 통상적인 전자-이온 플라즈마이다. 이러한 타입의 플라즈마에서, 양으로 대전된 종들의 대부분은 양의 이온들이며 음으로 대전된 종들의 대부분은 전자들이다. 음의 이온들이 존재할지라도, 단지 상대적으로 저 농도로 존재할 뿐이다. 이와 대조하여서, 하부 서브-챔버 내의 플라즈마는 이온이 풍부한 플라즈마로서 때로 이온-이온 플라즈마로 지칭된다. 전자-이온 플라즈마에 비해서, 이온-이온

플라즈마에서는 음으로 대전된 종들의 상당 부분은 음의 이온들이며 음으로 대전된 종들의 작은 부분이 전자들이다. 소정의 실시예들에서, 이온-이온 플라즈마에서 양의 이온들의 농도의 전자들의 농도에 대한 비 (때로는 양 이온 대 전자 비 n_i/n_e 로 지칭됨) 는 약 2 이상이고 몇몇 경우에는 약 5 이상이거나 심지어 10 이상일 수 있다. 소정의 경우에, 양 이온 대 전자 비는 하부 구역 플라즈마가 상부 구역 플라즈마보다 최소 약 2 배이다 (예컨대, 최소 약 5 배이다).

[0065] 2 개의 플라즈마들 간의 관련 차는 상부 구역 플라즈마가 매우 더 높은 전자 밀도를 갖는다는 것이다. 예를 들면, 하부 구역 플라즈마 내의 전자 밀도는 약 $5 \times 10^9 \text{ cm}^{-3}$ 이하 (예컨대, 약 $1 \times 10^9 \text{ cm}^{-3}$ 이하) 일 수 있다. 이러한 범위는 특히 전자 네거티브 처리 가스들 (electron negative processing gases)에 적용될 수 있다. 상부 구역 플라즈마는 하부 구역 플라즈마의 전자 밀도보다 최소 약 10 배인 (예컨대, 최소 약 100 배 또는 최소 약 1000 배인) 전자 밀도를 가질 수 있다. 몇몇 경우에, 하부 서브-챔버는 전자 밀도가 음 이온 밀도 및 양 이온 밀도보다 최소 10의 제곱 정도만큼 작은 이온-이온 플라즈마를 갖는다. 특정 실례에서, $\text{Ne} \sim 10^8 \text{ cm}^{-3}$, $\text{Ni}^+ \sim 10^9 \text{ cm}^{-3}$, $\text{Ni}^- \sim 10^9 \text{ cm}^{-3}$ 이다.

[0066] 전자:이온 비에 기초하는 다소 내재적인 상부 구역 플라즈마와 하부 구역 플라즈마 간의 추가 차이는 하부 구역 플라즈마가 통상적으로 양 이온에 대한 음 이온의 비가 높을 것이라는 것이다. 상부 구역 전자-이온 플라즈마는 통상적으로 주로 양 이온 및 전자들을 포함하며 상대적으로 음 이온 수가 작기 때문에, 음 이온:양 이온 비는 낮을 것이다. 하부 구역 플라즈마 내의 음 이온:양 이온 비는 약 0.5 내지 1일 수 있다 (예컨대, 약 0.8 내지 0.95일 수 있다).

[0067] 하부 구역 플라즈마 내의 전자들의 상대적으로 낮은 농도에 대한 일 비한정적 설명은 하부 구역에 초기에 존재하는 전자들 (예컨대, 상부 구역에서 그리드를 통해서 하부 구역으로 이동한 전자들)은 일반적으로 RF 필드에 의해서 가열되지 않으며 가스 분자들과의 비탄성적 충돌 (inelastic collision)로 인해서 에너지를 신속하게 손실하며 이로써 낮은 유효 전자 온도를 갖는다는 것이다. 이러한 낮은 에너지 전자들은 (상부 구역 플라즈마 내의 고 에너지 전자들에 비해서) 중성 종들과 반응하여서 음 이온들을 생성할 확률이 더 크다. 전자들은 중성 종들에 부착되어서 음 이온을 형성하기 위해서는 상대적으로 낮은 에너지를 가져야 한다. 이러한 음 이온 생성은 고 에너지 전자들에서는 발생하지 않을 것이며, 이러한 고 에너지 전자들은 중성 종들과 충돌할 때에 서로 결합하여서 음 이온을 형성하기보다는 다른 전자들을 "킥-오프 (kick-off)" 시킬 수 있다.

[0068] 전술한 바와 같이, 유효 전자 온도는 하부 구역 플라즈마에 비해서 상부 구역 프라즈마에서 더 높다. 전자들은 그리드 내의 슬롯들을 통과할 때에 냉각될 수 있다. 통상적으로, 하부 구역 플라즈마 내의 유효 전자 온도는 약 1 eV 이하이다. 소정의 경우에, 하부 구역 플라즈마 내의 유효 전자 온도는 약 0.1 내지 1 eV (예컨대, 약 0.2 내지 0.9 eV) 일 수 있다. 이 유효 전자 온도는 전자 볼트로 측정될 때에 상부 구역 플라즈마에서가 하부 구역 플라즈마에서보다 최소 약 2 배 (예컨대, 최소 약 3 배)이다. 특정 구현예에서, 상부 구역 플라즈마는 약 2.5 eV의 유효 전자 온도를 갖는 반면에, 하부 구역 플라즈마는 약 0.8 eV의 유효 전자 온도를 갖는다. 다양한 실시예들에서, 유효 전자 온도에서의 이러한 차이는 그리드의 존재로부터 전체적으로 또는 부분적으로 발생한다.

[0069] 임의의 특정 이온 또는 메카니즘으로 한정되지 않고서, 그리드의 역할은 다음과 같이 설명될 수 있다. 하부 서브-챔버 내의 대전된 종들이 플라즈마 코일들로부터의 전력에 직접적으로 노출되지 않도록 그리드는 하부 서브-챔버를 부분적으로 차폐한다. 또한, 그리드 내의 슬롯들의 특정 종횡비는 고 에너지 전자들의 일부가 슬롯들을 통과할 때에 그리드와 충돌하게 한다. 이는 각기 상부 및 하부 플라즈마 구역들에서 2 개의 정성적으로 상이한 플라즈마들을 생성한다.

[0070] 상부 구역 플라즈마와 하부 구역 플라즈마 간의 다른 구별되는 특성은 그들의 플라즈마 전위이다. 상부 서브-챔버 내의 플라즈마 전위는 일반적으로 하부 서브-챔버 내의 플라즈마 전위보다 높다. 예를 들면, 상부 서브-플라즈마 내의 플라즈마 전위는 약 8 내지 35 V (예컨대, 약 10 내지 20 V) 인 반면에, 하부 서브-플라즈마 내의 플라즈마 전위는 약 0.4 내지 10 V (예컨대, 약 0.5 내지 3 V)이다. 이는 전자 에너지가 강하되고 따라서 플라즈마는 전자들이 그로부터 떠나는 것을 억제하도록 양으로 될 필요가 없기 때문이다.

[0071] 또한, 2 개의 플라즈마들은 통상적으로 상이한 에너지 분포 함수 (예컨대, 이온 에너지 분포 함수 및 전자 에너지 분포 함수)를 가질 것이다. 이온 에너지 분포 함수 및 전자 에너지 분포 함수 양자는 하부 구역 플라즈마에서 보다 좁을 것을며 상부 구역 플라즈마에서는 보다 넓을 것이다. 그리드를 사용함으로써, 과형 생성기로 복잡한 제어를 하지 않고서도 매우 좁은 이온 에너지 분포 함수를 달성할 수 있다. 예를 들면, 하부 구역 플라

즈마에 대한 이온 에너지 분포 함수는 단지 약 5 V의 전체 FWHM (full width half maximum) 을 가질 것이다. 따라서, 전기 중성을 유지하기 위해서 (이러한 목적을 위해서 전자 대신에) 음 이온이 기판 표면에 도달하면 이로부터 음 전류가 유도될 수 있다. 이는 고유한 에칭 메카니즘을 제공한다.

[0072] 하부 구역 플라즈마 내의 라디칼 농도는 총 중성 밀도의 약 1 퍼센트 내지 총 중성 밀도의 약 70 퍼센트 간 또는 총 중성 밀도의 약 10 퍼센트 내지 총 중성 밀도의 약 70 퍼센트 간 또는 총 중성 밀도의 약 10 퍼센트 내지 총 중성 밀도의 약 50 퍼센트 간에 있을 수 있다.

[0073] 에칭 동작 동안에 챔버 압력은 약 1 내지 2000 mTorr (예컨대, 약 2 내지 200 mTorr) 와 같이 약 2000 mTorr 보다 작을 수 있다. 이 특정 실례에서, 챔버 압력은 약 20 mTorr 이하에서 유지된다. 이러한 압력들은 특히 약 0.5 eV의 유효 전자 온도 및/또는 약 $5 \times 10^8 \text{ cm}^{-3}$ 이하의 전자 밀도를 갖는 하부 구역 플라즈마와 함께 사용될 때에 유용하다. 이러한 압력은 또한 특히 하부 이온-이온 플라즈마와 함께 사용될 때에 유용하다.

[0074] 전술한 바와 같이, 소정의 실시예들에서, 플라즈마는 TCP (transformer coupled plasma) 이다. 하나 이상의 TCP 코일들이 이 플라즈마를 생성하는데 사용될 수 있다. 몇몇 경우에, 플라즈마는 각각이 반응 챔버의 유전체 윈도우를 통해서 RF 전력을 분배하는 내측 TCP 코일 및 외측 TCP 코일에 의해서 생성된다. 내측 TCP 코일 및 외측 TCP 코일은 실질적으로 코플라네이며 (coplanar) 외측 TCP 코일이 내측 TCP 코일을 감싼다. 내측 TCP 코일 및 외측 TCP 코일 각각은 플라즈마의 일부를 유지하기 위한 전류를 생성하는데 사용될 수 있다. 병렬 회로가 내측 TCP 코일 및 외측 TCP 코일 각각을 통한 전류의 암페어 (amperage) 를 조절하는데 사용될 수 있다. 달리 말하면, 내측 TCP 코일 및 외측 TCP 코일에 전달된 전력은 조절될 수 있다. 병렬 회로는 전력 소스와 이 코일들 간에서 전기적으로 접속되며 서로 병렬로 접속된 인덕터 및 가변 커패시터를 포함할 수 있다. 내측 TCP 코일에 전달된 전력의 외측 TCP 코일에 전달된 전력에 대한 비는 TCCT (transformer coupled capacitive tuning) 로서 지칭된다. 예를 들어서 0.75의 TCCT of 0.75는 내측 TCP 코일에 전달된 전력이 외측 TCP 코일에 전달된 전력의 오직 약 75 퍼센트임을 의미한다. 소정의 실시예들에서, TCCT는 약 0.25-1.5, 예를 들면 약 0.25-0.75, 또는 약 0.5-1.5 이며 이러한 실례들은 한정적이지 않다. TCCT는 2010년 3월 19일자에 출원된 미국 특허 출원 번호 12/728,112, filed March 19, 2010 "ADJUSTING CURRENT RATIOS IN INDUCTIVELY COUPLED PLASMA PROCESSING SYSTEMS"에서 더 기술 및 논의된다.

[0075] 이온-이온 플라즈마는 반도체 처리 시에 소정의 이점을 제공한다고 사료된다. 예를 들면, 이온-이온 플라즈마에서 에칭된 부분적으로 제조된 반도체 소자들은 에칭되는 기판의 면에 걸쳐서 매우 양호한 선택도, 프로파일 각, I/D 로딩, 및 전체 균일도를 보인다. 이전의 기술들은 이러한 이점을 모두 달성할 수는 없었다 (즉, 공정 설계자는 예를 들어서 양호한 전체적 에칭 균일도와 다른 이점을 간에서 선택해야 했다). 따라서, 본 명세서의 실시예들은 에칭 방법에서 상당한 진보를 나타낸다.

[0076] 도 6a 내지 도 6는 에칭되는 피쳐 상의 에칭 부산물들의 분해 (breakdown) 효과를 예시한다. 먼저, 도 6는 그 상에 증착된 3 개의 충들을 갖는 기판을 나타낸다. (3 개의 개별 블록들로 나타난 바와 같이) 하단 층은 게이트 산화물을 나타내고, 중간 층은 폴리실리콘을 나타내고, 상단 층은 하드 마스크를 나타낸다. 통상적인 에칭 공정에서는, 챔버 내에 존재하는 플라즈마가 부분적으로 도 6b에 도시된 바와 같이 에칭 부산물을 해리하도록 동작한다고 사료된다. 이러한 부산물들은 때로 휘발성 성분 (예컨대, SiBr_4) 이며 이 성분은 적합한 조건들 하에서 기판으로부터 제거될 수 있다. 그러나, 전자-이온 플라즈마의 전형인 고 전자 밀도 플라즈마가 웨이퍼에 도달하면, 플라즈마 내의 고 에너지 전자들은 이 휘발성 부산물들과 반응하여서 이들로 하여금 물리-화학적으로 "점착성인 (sticky)" 해리 부산물 (예컨대, SiBr_2) 로 해리되게 한다. 이러한 해리 부산물은 도 6b에 도시된 바와 같이 기판에 부착되거나 때로 에칭되는 피처의 측벽에 부착되어서 에칭 공정이 도 6c에 도시된 바와 같이 비수직적으로 또는 이와 달리 바람직하지 않게 발생하게 한다. 이러한 해리 부산물 부착/재증착은 국부 로딩 효과로 이어지며 이는 다시 비수직적 에칭을 낳는다.

[0077] 에칭되는 기판에 근접한 플라즈마의 유효 전자 온도를 감소시키는데 그리드를 사용하면, 이러한 바람직하지 않는 효과들을 저감시킬 수 있다. 이온-이온 플라즈마가 생성되고 이에 대응되게 전자 밀도가 감소하고 유효 전자 온도가 감소하며 이로써 상기한 바람직하지 않는 효과들을 크게 줄일 수 있다. 이온들은 일반적으로 전자들 보다 크게 작은 에너지를 갖기 때문에, 본 실시예들의 이온-이온 플라즈마 내의 이온들은 이러한 부산물 해리를 초래하지 않는다. 본 실시예들이 전자-이온 플라즈마를 생성할 수 있지만, 이러한 고 전자 밀도/고 유효 전자 온도 플라즈마는 상부 서브-챔버 내로 한정될 수 있다. 따라서, 에칭 부산물들은 오직 하부 구역 플라즈마와 접촉하며 고 유효 전자 온도의 상부 구역 플라즈마와 접촉하지 않게 된다. 또한, 이온-이온 플라즈마 내에 존

재하는 몇몇 전자들이 존재할지라도, 이러한 전자들은 일반적으로 낮은 유효 전자 온도를 가지며 따라서 통상적으로 부산물을 해리시킬 정도의 충분한 에너지를 가지지 않는다. 이로써, 예상 부산물들은 "점착성" 문제를 유발하는 화합물들로 해리되지 않는다.

[0078] 웨이퍼 바이어스

소정의 구현예들에서, 웨이퍼는 처리 동안에 바이어스된다. 이는 웨이퍼를 홀딩/지지하는데 사용되는 정전체에 바이어스를 인가함으로써 이루어진다. 웨이퍼가 하부 서브-챔버 내의 저 유효 전자 온도 및 저 전자 밀도의 플라즈마 (이온-이온 플라즈마)에 노출되면, 바이어스가 이온-이온 플라즈마의 고유한 이점들을 취하고/촉진하는 방식으로 정전체에 인가될 수 있다. 또한, 이 바이어스는 하부 서브-챔버 내에서 전자-이온 플라즈마의 형성을 억제하는 방식으로 인가될 수 있다. 예를 들면, 바이어스는 이온-이온 플라즈마가 전자-이온 플라즈마로 변환하는 것을 억제하도록 하는 주파수 및 전력을 가질 수 있다.

[0080] 소정의 실시예들에서, RF 바이어스는 30 MHz보다 낮은 주파수, 바람직하게는 약 100 kHz 내지 약 13.56 MHz의 주파수를 가짐으로써 기판에 바이어스 전력을 인가함으로써 생성되는 전자 가열량을 감소시킬 수 있다. 몇몇 실시예들에서, (주파수와 상관없이) 바이어스는 약 1 퍼센트 내지 약 99 퍼센트의 뉴터 사이클을 사용하여서 약 1 Hz 내지 약 10 kHz 범위로 펼성된다.

[0081] 통상적인 전자-이온 플라즈마에서, 플라즈마 전위는 상술한 바와 같이 매우 높으며 양의 값이다. 이 플라즈마 전위는 전자들이 플라즈마를 이탈하는 능력을 효과적으로 제약한다. 그러나, 하부 구역 플라즈마는 통상적으로 비범하게 낮은 전자 밀도 및 전자 온도를 가지며 따라서 자신의 전자들을 효과적으로 한정하기 위해서 매우 낮은 플라즈마 전위를 요구한다. 낮은 플라즈마 전위는 동작 원도우를 개방하고 선택적으로 이온-이온 플라즈마 내에 존재하는 음 이온들이 바이어스 파형의 양의 사이클을 동안에 웨이퍼를 향해서 가속되어서 충돌하게 한다. 이러한 예상 방식은 종래에는 연속파 플라즈마에서는 달성될 수 없었다.

[0082] 정전체에 인가되는 바이어스의 주파수는 이온-이온 플라즈마 내의 이온들 (특히, 이로 한정되지 않지만 음 이온들)의 형성 및 인력 (attraction)을 최적화시키도록 설계될 수 있다. 이와 관련하여서, 정전체에 인가되는 바이어스의 주파수는 약 0.1 내지 15 MHz (예컨대, 약 400 kHz 내지 13.56 MHz)이다. 특정 실례에서, 바이어스는 약 8 MHz이다. 이 주파수는 특히 이온 이송 주파수에 대응할 때에 유용하다. 또한, 다른 주파수들도 이용될 수 있지만 덜 효과적이다. 예를 들면, 약 100 kHz 내지 1 MHz 간의 주파수들은 어느 정도 효과가 있지만 상술된 보다 높은 주파수들보다 덜 효과적일 수 있다.

[0083] 그리드가 사용되고 적합한 주파수의 AC 바이어스가 정전체/웨이퍼에 인가되면, 웨이퍼 상의 플라즈마 시스 (sheath)가 작용하여서 음 이온들 및 양 이온들을 플라즈마로부터 교번적으로 또는 대안적으로 끌어와서 웨이퍼의 면을 향해서 가속시킨다. 달리 말하면, 플라즈마 시스는 양의 사이클에서는 음 이온을 끌어오고 이어서 음의 사이클에서는 양의 이온을 끌고 이러한 사이클들은 AC 바이어스와 함께 반복된다. 상술한 바와 같이, 이렇게 음 이온을 (웨이퍼로) 끌어오는 바는 본 실시예의 구현 이전에는 가능하지 않았는데 그 이유는 플라즈마 전위가 너무 높아서 AC 바이어스 사이클의 해당 절반에서는 어떠한 끌어당김 효과는 발생하지 않게 되기 때문이다.

[0084] 전술한 바와 같이, 바이어스가 펄스로 인가될 수 있다. 그러나, 펄스 인가는 다수의 경우에 필요하지 않다. 본 실시예들은 전체 예상 공정 동안에 웨이퍼 상에 안정된 이온-이온 플라즈마를 달성한다. 이로써, 척/웨이퍼 상의 바이어스가 본 명세서에서 기술된 이점들을 달성하기 위해서 펄싱될 필요는 없다. 그러나, 소정의 실시예들에서, 그럼에도 불구하고, 기판의 이온 충돌의 양 또는 기판의 예상 레이트를 줄여서 하부 충돌에 대한 예상의 선택도를 증가시키기 위해서 바이어스는 펄스로 해서 인가될 수도 있다. 이온-이온 플라즈마들로의 바이어스 펄싱은 특히 이온들과 라디칼들 간을 교번시킬 때에 선택도를 증가시킴으로써 유리할 수 있다. 달리 말하면, 펄싱은 이온 및 라디칼의 플러스를 기판 표면에 대해서 분할시킬 수 있다 (펄스 온 상태: 라디칼 + 이온, 펄스 오프 상태: 오직 라디칼만).

[0085] 공정/어플리케이션

[0086] 본 명세서에서 개시된 장치 및 플라즈마 조건들은 실리콘 (폴리실리콘, 비정질 실리콘, 단결정 실리콘, 및/또는 미세결정질 실리콘을 포함함), 금속들 (다음으로 한정되지 않지만 TiN, W, TaN, 등을 포함함), 산화물 및 질화물 (다음으로 한정되지 않지만 SiO, SiOC, SiN, SiON, 등을 포함함), 유기물 (다음으로 한정되지 않지만 포토레지스트, 비정질 탄소 등을 포함함)과 같은 다양한 재료 및 다음으로 한정되지 않지만 W, Pt, Ir, PtMn, PdCo, Co, CoFeB, CoFe, NiFe, W, Ag, Cu, Mo, TaSn, Ge₂Sb₂Te₂, InSbTe Ag--Ge--S, Cu--Te--S, IrMn, Ru을 포함하는

다른 다양한 재료 중 임의의 것을 에칭하는데 사용될 수 있다. 본 개념은 NiO_x , SrTiO_x , 페로브스카이트 (perovskite) (CaTiO_3), PrCaMnO_3 , PZT ($\text{PbZr}_{1-x}\text{Ti}_x\text{O}_3$), (SrBiTaO_3), 등과 같은 재료들에도 확장될 수 있다. 본 장치는 오늘날의 제조 시설에서 사용한 임의의 가스 조합 (HBr , CO , NH_3 , CH_3OH , 등을 포함함) 과 함께 사용될 수 있다.

[0087]

본 명세서에서 개시된 장치 및 플라즈마 조건들은 임의의 기술 노드에서 소자 또는 다른 구조물 내에 피처들을 에칭하는데 사용될 수 있다. 몇몇 실시예들에서, 에칭은 20 내지 10 nm 노드 또는 이를 뛰어넘는 노드에서의 제조 시에 사용된다. 에칭은 FEOL 제조 절차 및 BEOL 제조 절차에서 발생할 수 있다. 본 에칭은 약 2 퍼센트보다 양호한 바의 우수한 수직 프로파일, 재료 선택도, I/D 로딩 및/또는 웨이퍼 중앙 대 에지 균일도를 제공할 수 있다. 적합한 에칭 용도의 몇몇 실례는 STI (shallow trench isolation), 게이트 에칭, 스페이서 에칭, 소스/드레인 레세스 에칭, 산화물 리세스, 및 하드-마스크 개방 에칭을 포함한다.

[0088]

FinFET에 대한 소스-드레인 리세스 에칭

[0089]

FinFET 형성 시의 일 단계는 소스-드레인 리세스 에칭이다. 다양한 용도를 위해서, 에칭 동안에 소스-드레인 리세스 내에 재차 오목한 (reentrant) 형상을 생성하는 것이 바람직하다. 이 재차 오목한 프로파일은 소스-드레인 리세스 에칭에 의해서 생성된 오목한 공간 내에 SiGe 또는 SiC 를 에피택셜 증착한 후에 FinFET의 채널 영역 내에 목표 응력 레벨을 증가시키는데 도움이 된다. 에칭된 형상은 보다 넓게 에칭된 부분 위에 보다 좁게 에칭된 부분이 존재하면 재차 오목한 형상으로 간주된다. 소스-드레인 리세스 형성은 플라즈마 에칭 공정을 통해서 달성된다. 통상적인 플라즈마 에칭 조건을 사용하여서 처리하면, 수직 및 테이퍼드 (tapered) 에칭 프로파일을 생성할 수 있다. 또한, 통상적인 방법은 라운드된 등방성 리세스 (round isotropic recess) 가 형성될 수 있게 한다. 그러나, 보다 복잡한 형상들이 소스-드레인 리세스에 대해서 필요한 경우에, 통상적인 플라즈마 에칭 기술들은 성공적이지 못하였다.

[0090]

이온-이온 플라즈마 조건들 하에서 에칭함으로서, 다양한 새로운 리세스된 형상들이 달성될 수 있다. 도 7a는 소스-드레인 리세스 에칭 공정이 발생하기 이전에 기판 핀 구조물 (701) 상의 부분적으로 제조된 반도체 소자 게이트 구조물 포스트 (post) 스페이서 증착 (700) 을 나타낸다. 소자 (700) 는 핀의 형상을 특정하는 것을 지원하는 피처들을 포함한다. 예를 들면, 마스크 층 (705) 이 폴리 층 (703) 상에 있을 수 있다. 스페이서 층 (707) 은 마스크 층 (705) 및 폴리 또는 실리콘 게이트 구조물 (703) 을 둘러싼다. 스페이스 층 (707) 은 소스-드레인 리세스가 에칭될 때에 그 아래에 있는 층들 (703, 705) 및 구조물 (701) 의 부분들을 보호할 수 있다. 도 7b는 통상적인 플라즈마 처리로 달성될 수 있는 리세스 형상들의 실례들을 나타내고 있으며, 도 7c는 이온-이온 플라즈마 처리를 사용하여서 형성될 수 있는 추가 리세스 형상들의 실례들을 나타내고 있다. 에칭된 형상들은 이후에 예를 들어서 에피택셜 SiGe 로 충진될 소스-드레인 리세스 영역을 형성한다. 개시된 기술들을 사용하여서 형성될 수 있는 리세스 형상들의 다른 실례들이 실험 부분에서 기술될 도 19 및 도 20에서 제공된다.

[0091]

소스-드레인 리세스 영역을 형성하기 위한 일 방법은 (1) 수직 에칭, (2) 측방향 에칭 및 (3) 산화 단계를 포함하는 다중 단계 공정을 수행하는 것이다. 이 공정은 도 8에 도시되어 있다. 이러한 단계들 중 적어도 하나는 이온-이온 플라즈마 조건들 하에서 수행될 수 있다. 에칭 및 산화의 오직 2 번의 반복이 도시되지만, 임의의 회수의 반복이 사용될 수 있다. 이러한 다중 단계 공정은 리세스된 형상이 때로 단결정 실리콘인 기판 (701) 내로 상대적으로 저속으로 에칭되며 할 수 있다. 수직 에칭 단계 및 측방향 에칭 단계는 각기 수직 방향 및 수평 방향으로 재료를 제거하도록 수행된다. 산화 단계는 산화물 층 (810) 을 형성하도록 수행되며, 이 산화물 층은 에칭된 리세스의 측벽들을 후속 측방향 에칭으로부터 보호한다. 통상적인 플라즈마가 사용되면, 이러한 다중 단계 공정은 구별된 산화 단계 및 측방향 에칭 단계에 대응하는, 리세스된 피처의 측벽들 상에 인식 가능한 스캘럽 형상 (scalloped shape) 을 형성한다. 도 8은 이온-이온 플라즈마가 사용되어 달성되면서 통상적인 플라즈마 처리를 사용하면 발생하는 스캘럽 형상을 보이지 않는 형상을 나타내고 있다.

[0092]

이러한 스캘럽 형상의 형성을 촉진하는 일 요소는 산화 단계 동안에 사용되는 통상적인, 상대적으로 공격적인 플라즈마가 후속 에칭을 사용하여서 재성형하기 매우 어려운 두껍고 하드한 산화물을 형성하는 것이다. 산화물 형성 레이트는 기판으로의 산소 라디칼들의 플럭스에 비례한다. 통상적인 플라즈마는 매우 높은 라디칼 밀도로 인해서 두껍고 하드한 산화물을 형성하며, 여기서 이 라디칼 밀도는 고 전자 밀도 및 고 전자 온도와 상관된다. 이와 비교하여서, 이온-이온 플라즈마에서는, 전자 온도, 전자 밀도 및 라디칼 밀도가 모두 매우 낮다. 따라서, 이온-이온 플라즈마를 산화 단계 동안 사용하면 보다 얇고 보다 연한 (workable) 산화물을 형성되게 된다. 이러한 보다 얇은 산화물은 통상적인 플라즈마를 사용하여서 형성된 두꺼운 산화물에 비해서 후속 에칭 단

계에서 재성형하기 더 용이하다. 유리하게는, 이온-이온 플라즈마 조건들에서 형성된 산화물은 오버 에칭으로부터 리세스된 괴처를 적절하게 보호할 정도로 여전히 충분한 두께 및 높은 품질을 갖는다. 또한, 이온-이온 플라즈마 영역은 온화한 플라즈마 조건들이 예를 들면 표면으로의 낮은 이온 펄러스로 인해서 상대적으로 낮은 수직 및 측방향 에칭 레이트를 냥기 때문에 에칭 단계들 동안에 유리하다.

[0093] 이온-이온 플라즈마 조건들 하에서 수직 에칭을 수행하기 위해서, 플라즈마가 Cl_2 (또는 HBr , CF_4 , SF_6 , CHF_3 , 이들의 몇몇 조합들 또는 실리콘을 에칭하는 가스들의 임의의 다른 조합들) 과 같은 에천트로부터 상부 서브-챔버 내에서 형성된다. 그리드 아래에서, 이온-이온 플라즈마가 형성되고 기판 (예컨대, 단결정 실리콘) 을 수직 방향으로 에칭한다. 에천트의 플로우 레이트는 약 1 내지 1000 sccm 간일 수 있다. 서브-챔버 압력은 약 10 내지 200 mT 일 수 있다. 챔버 온도는 약 40 내지 60 $^{\circ}\text{C}$ 일 수 있다. 기판 온도는 약 0 내지 120 $^{\circ}\text{C}$ 일 수 있다. 플라즈마를 생성하는데 사용되는 전력은 스테이션당 약 100 내지 1100 와트일 수 있다. 기판은 약 0 내지 850 V로 바이어스될 수 있다. 단일 수직 에칭 공정은 약 10 내지 120 초의 기간을 가질 수 있다. 수직 에칭 레이트는 약 10 내지 120 nm/mim 일 수 있다.

[0094] 이온-이온 플라즈마 조건 하에서 측방향 에칭 단계를 수행하기 위해서, 플라즈마가 NF_3 과 Cl_2 의 혼합물과 같은 에천트로부터 상부 서브-챔버에서 생성된다. 몇몇 경우에는 SF_6 도 사용될 수 있다. 그리드 아래에서, 이온-이온 플라즈마가 형성되고 기판을 이번에는 주로 수평 방향으로 에칭한다. 에천트의 총 플로우 레이트는 약 50 내지 500 sccm 간일 수 있다. NF_3 과 Cl_2 의 혼합물이 사용되면, NF_3 의 플로우 레이트는 약 5 내지 50 sccm 이며, Cl_2 의 플로우 레이트는 약 20 내지 200 sccm 일 수 있다. 서브-챔버 압력은 약 5 내지 100 mT 일 수 있다. 챔버 온도는 약 40 내지 60 $^{\circ}\text{C}$ 일 수 있다. 기판 온도는 약 -5 내지 120 $^{\circ}\text{C}$ 일 수 있다. 플라즈마를 생성하는데 사용되는 전력은 스테이션 (TCP) 당 약 200 내지 1100 와트일 수 있다. 플라즈마를 생성하는데 사용되는 RF 주파수는 13.56 MHz이다. 기판은 몇몇 실시예들에서는 바이어스되지 않을 수 있다. 단일 측방향 에칭 공정은 약 5 내지 120 초의 기간을 가질 수 있다.

[0095] 이온-이온 플라즈마 조건 하에서 산화 단계를 수행하기 위해서, 플라즈마가 산소 기반 플라즈마 생성 가스로부터 상부 서브-챔버에서 생성된다. 몇몇 경우에, 플라즈마 생성 가스는 O_2 이다. 다른 경우들에서, 소스 가스는 N_2 와 같은 다른 성분을 더 포함하거나 이와 달리 N_2 와 같은 다른 성분을 포함한다. 그리드 아래에서, 이온-이온 플라즈마가 형성되고 기판과 상호 작용하여서 리세스된 영역에서 산화된 층을 형성한다. 이 산화된 층은 후속 에칭 동작들에서 오버 에칭을 방지하는 것을 돋는다. 플라즈마 생성 가스의 플로우 레이트는 약 10 내지 800 sccm 간일 수 있다. 챔버 압력은 약 10 내지 100 mT 일 수 있다. 챔버 온도는 약 40 내지 60 $^{\circ}\text{C}$ 일 수 있다. 기판 온도는 약 0 내지 120 $^{\circ}\text{C}$ 일 수 있다. 플라즈마를 생성하는데 사용되는 전력은 스테이션당 약 0 내지 1500 와트, 예를 들면 스테이션당 약 100 내지 1500 와트일 수 있다. 플라즈마를 생성하는데 사용되는 RF 주파수는 13.56 MHz이다. 기판은 약 0 내지 300 V, 예를 들어서 약 50 내지 300 V로 바이어스될 수 있다. 단일 산화 공정은 약 5 내지 60 초의 기간을 가질 수 있다.

FinFET 게이트 에칭

[0097] 이온-이온 플로즈마 방식 하의 처리로부터 이점을 얻는 용도의 다음 실례는 FinFET의 게이트 구조물을 에칭하는 것이다. 다양한 용도들에서, 이 공정은 최종 게이트 구조물의 윤곽을 형성하도록 오버레이 마스크 (overlaying mask) (예컨대, SiN 또는 산화물 재료) 를 갖는 폴리실리콘을 에칭하는 것을 포함할 수 있다. 이로써, FinFET 게이트 에칭 후에 남는 폴리실리콘은 최종 게이트가 존재할 개소에서 성형 및 위치된다. 폴리실리콘은 폴리실리콘의 더미 층 (dummy layer)이며, 이 더미 층은 최종 게이트가 위치할 개소에서 영역 형상을 규정하는 것을 지원하는데 사용되는 임시적 재료이다. 후속 처리 단계들에서, 이 폴리실리콘은 제거되고 목표 최종 게이트 재료로 대체된다. FinFET 게이트 에칭 공정을 기술하는 다른 방식은 완성된 집적 회로 내의 FinFET에 인접하는 로케이션들 (locations) 내에 캐비티들을 형성함으로써 FinFET 게이트 영역을 규정하도록 폴리실리콘 층이 에칭 되는 것이다. 이러한 로케이션들은 (전체 폴리실리콘 층 또는 에칭된 캐비트들 간의 로케이션들이 아니라) 에칭되는 실제 캐비티들이다.

[0098] FinFET 폴리실리콘 게이트 에칭은 통상적으로 특히 20 내지 10 nm 기술 노드에 있어서 성능 목표를 요구한다. 이러한 성능 목표의 실례는 (1) 약 3보다 큰 종횡비의 수직 폴리실리콘 에칭 프로파일, (2) 핀 (fin) 의 약 0 nm 이하의 실리콘 리세스, (3) 에칭 후에 남는 (예컨대, SiN 마스크의) 최소 약 50 nm 마스크, (4) 약 0 nm Iso/Dense 로딩, (5) 약 0 nm의 기판의 중앙 대 에지 불균일도를 포함한다. 상기 두번째의 성능 목표 사항에

대해서, 수직으로 예칭하여서 게이트 프로파일을 규정할 시에, 펈으로 지칭되는 피처를 만난다. 이 펈은 게이트에 대해 수직으로 연장된다. 펈 높이는 약 30 nm이며 게이트 예칭의 최종 30 nm 동안에 만나게 된다. 이 펈은 실리콘으로 제조되지만 약 3 내지 5 nm의 두께를 갖는 산화물 박층을 그 상에 갖는다. 게이트 예칭 공정은 매우 선택적이어야 하며 그렇지 않으면 펈을 예칭할 수도 있다. 이는 펈 리세스로 지칭된다. 게이트 예칭 공정은 통상적으로 게이트를 수직으로 만들기 위해서 게이트의 하단 테이퍼 (bottom tapper) 를 제거 (pull-in) 하도록 오버 예칭 (over-etch) 하는 것을 요구한다. 펈은 FinFET 폴리실리콘 게이트 예칭 동안에 예칭되지 않는 것이 중요하다.

[0099] 통상적인 플라즈마 처리에 있어서, 상기 목표 사항들을 동시에 달성하는 것은 매우 어려울 수 있다. 이전에는, 3 단계 예칭 공정이 FinFET 폴리실리콘 게이트 예칭을 위해서 사용되었다. 이 단계들은 (1) 저압 주 (main) 예칭, (2) 고압 소프트 랜딩 (soft landing) 예칭, (3) 고압 오버 예칭을 포함하였다. 이러한 공정을 사용하면, 게이트 프로파일, 선택도, I/D 로딩, 및 중앙 대 에지 불균일성 간이 서로 절충 (trade-off) 된다.

[0100] 그러나, 이온-이온 플라즈마가 사용되면, FinFET 폴리실리콘 게이트 예칭은 상기 공정 목표 사항들 간에 거의 실질적으로 절충이 일어나지 않으면서 단일 예칭으로 이루어질 수 있다. 본 명세서에서 기술된 그리드는 이온-이온 플라즈마가 하부 서브-챔버 내에서 생성되도록 플라즈마 처리 분위기를 효과적으로 변경시킨다. 이러한 처리 분위기로 인해서 통상적인 플라즈마 처리 시에서 경험되지 않는 상이한 플라즈마 웨이퍼 상호 작용이 일어난다. 구체적으로, 라디칼이 풍부한 이온-이온 플라즈마 분위기는 종래에는 폴리실리콘과 산화물 간의 낮은 선택도, 및 심각한 I/D 로딩에 의해서 제약되었던 저압 범위 (예컨대, 5 내지 20 mTorr) 에서 사용한 공정 윈도우를 개방한다. 종래에는, 목표 마스크 선택도 및 예칭 프로파일을 달성하기 위해서 고압 예칭 범위 (예컨대, 80 mTorr 보다 큼) 가 필요하였지만, 이는 중앙 대 에지 불균일성을 상대적으로 크게 하였다. 그러나, 이온-이온 플라즈마 영역을 사용함으로써, 상술한 모든 목표 사항들이 단일 예칭 단계로 해서 달성될 수 있다. 구체적으로, 이온-이온 플라즈마 영역을 사용하면, 예칭 공정은 무한대의 폴리실리콘:산화물 예칭 선택도 (즉, 산화물을 거의 예칭하지 않으면서 폴리실리콘만을 예칭함), 수직 예칭 게이트 프로파일, 거의 제로 또는 실질적으로 제로의 중앙 대 에지 불균일성, 및 거의 제로 또는 실질적으로 제로의 I/D 로딩을 낳는다.

[0101] 도 9는 FinFET 폴리실리콘 게이트 예칭을 경험하는 부분적으로 제조된 반도체 소자 (901) 를 예시한다. 소자 (901) 는 실리콘 기판 (902) 상의 펈 (910) 을 포함하며, 이 펈 및 기판은 모두 보호 산화물 박층 (904) 에 의해서 피복된다. 이 보호 산화물 박층 (904) 은 예를 들어서 SiO_2 일 수 있다. 이 보호 산화물 박층 (904) 상에 폴리실리콘 층 (906) 이 존재한다. 이 폴리실리콘 층 (906) 은 FinFET 폴리실리콘 게이트 예칭 동안에 예칭되는 층이다. 폴리실리콘 층 (906) 상에 패터닝된 마스크 층 (908) 이 존재하며, 이 마스크 층은 다양한 경우에 실리콘 질화물이거나 산화물이거나 실리콘 질화물 층을 갖는 산화물일 수 있다. 이 예칭 공정 동안에, 플라즈마가 상부 서브-챔버 내에서 생성되고 이온-이온 플라즈마는 하부 서브-챔버 내에서 형성된다. 이온-이온 플라즈마는 포토레지스트 마스크 (908) 에 의해서 보호되지 않는 폴리실리콘 층 (906) 의 부분들을 수직으로 예칭하도록 소자 (901) 와 상호 반응한다.

[0102] 도 10은 통상적인 FinFET 폴리실리콘 게이트 예칭 후의 부분적으로 제조된 반도체 소자 (1001) 의 단면도 (상부 패널) 및 평면도 (하부 패널) 이다. 이 도면은 소자의 온-핀 영역 (on-fin region) 과 오프-핀 영역 (off-fin region) 간의 불균일한 프로파일 로딩 문제를 예시한다. 하부 패널에서 점선은 상부 패널에서 사용되는 단면의 플레인 (plane) 을 나타낸다. 소자 (1001) 는 실리콘 기판 (1002) 위의 펈 (1010) 을 포함한다. 이 펈은 보호 산화물 층 (1004) 에 의해서 피복된다. 도 10의 상부 패널에 나타난 펈 (1010) 은 도면의 플레인 후방에 있다. 이 페이지의 플레인에서 펈의 전방에서 폴리실리콘 (1006) 으로부터 형성된 게이트 구조물들이 오버레이 마스크 층 (1008) 을 사용하여서 예칭된다. 보호 산화물 층 (1004) 은 폴리실리콘 게이트 구조물 (1006) 아래에 놓이면서 이 페이지의 플레인에서 양쪽 (both) 이 나타나고 이와 더불어 펈 구조물 (1010) 상에서는 이 페이지의 플레인 후방에서 나타난다. 펈 (1010) 의 로케이션이 온-핀 영역 (1012) 및 오프-핀 영역 (1014) 을 규정한다.

[0103] FinFET 폴리실리콘 게이트 예칭을 수행할 때에 발생하는 일 문제는 예칭된 영역들의 측벽에 부착되는 비휘발성 부산물들 (예컨대, SiBr_x 및 SiO_xBr_y) 의 형성으로 인해서 어느 정도로 측벽들이 폐시베이션되는 것이다. 이러한 부산물들은 부분적으로는 이 부산물들이 기판의 소한 영역 (isolated region) 및 밀한 영역 (dense region) 에 대해 서로 차이가 나게 영향을 미치기 때문에 문제가 된다. 예를 들면, 도 10의 상황에서, 불균일한 부산물 형성 및 흡착으로 인해서 온-핀 영역 (1012) 과 오프-핀 영역 (1014) 간에서 상당한 예칭 프로파일 편차가 발생할 수 있다. 도면에 도시된 바와 같이, 온-핀 영역 (1012) 내의 폴리실리콘 (1006) 은 잔류 폴리실리콘 (1006)

이 목표 수직 에칭 프로파일이 아니라 곡선진 에칭 프로파일을 갖도록 오버 에칭될 수 있다. 이와 대조적으로, 오프-핀 영역 (1014) 내의 에칭 프로파일은 수직이다.

[0104] 이러한 온-핀 영역과 오프-핀 영역 간의 편차를 줄이는 한가지 방법은 에칭 동안에 챔버를 펴지하기 위해서 매우 높은 가스 플로우 레이트를 사용하는 것이다. 그러나, 현재 전체 웨이퍼에 걸쳐서 이러한 펴지를 효과적으로 수행할 수 있는 가용한 펌프가 존재하지 않는다. 다른 방법은 부산물 형성 레이트이 낮게 되도록 에칭 레이트를 낮추어서 고 플로우 펴지 가스를 사용하여서 부산물을 양호하게 펴지하는 것이다. 이러한 방법은 쓰루풋이 감소하기 때문에 바람직하지 않다. 온-핀 영역과 오프-핀 영역 간의 편차를 줄이는 다른 방법은 이온-이온 플라즈마를 사용하는 것이다. 이러한 기술을 사용하면, 에칭 동안에 형성된 부산물들이 휘발성으로 남게 되는데, 그 이유는 이 부산물들이 상부 서브-챔버 내에 존재하는 격한 플라즈마 (harsh plasma)로부터 차폐되고 따라서 하부 서브-챔버 내에서 비휘발성 부산물로 분해되지 않기 때문이다. 이로써, 비휘발성 부산물들이 형성되지 않으며 측벽들이 패시베이션되지 않으며 휘발성 부산물들은 효과적으로 제거되며 이로써 웨이퍼의 전체 영역들에 걸쳐서 균일한 에칭 프로파일이 달성된다.

[0105] 이온-이온 플라즈마 영역을 사용하여서 FinFET 폴리실리콘 게이트 에칭을 수행하기 위해서, 플라즈마가 예를 들면 HBr 및 O₂ 또는 HBr 및 CO₂을 포함하는 플라즈마 생성 가스로부터 상부 서브-챔버 내에서 생성된다. 이 플라즈마 생성 가스는 He STG을 더 포함할 수 있다. 그리드 아래에서, 이온-이온 플라즈마가 형성되어서 기판과 상호 작용하여서 폴리실리콘을 에칭하여 게이트 구조물을 형성한다. HBr의 플로우 레이트는 약 100 내지 500 sccm이며 예를 들면 약 100 내지 300 sccm일 수 있다. O₂의 플로우 레이트는 약 2 내지 12 sccm이며 예를 들면 약 3 내지 6 sccm일 수 있다. He STG의 플로우 레이트는 약 200 내지 400 sccm일 수 있다. 챔버 압력은 약 5 내지 25 mTorr이며 예를 들면 약 10-20 mTorr일 수 있다. 기판 온도는 약 20-100 °C일 수 있다. 플라즈마를 생성하는데 사용되는 전력은 스테이션당 약 300 내지 1800 와트이며 예를 들면 스테이션 당 약 1000 내지 1600 와트일 수 있다. 기판은 약 100 내지 500V, 예를 들면 약 200 내지 400V로 바이어스될 수 있다. TCCT는 약 0.25 내지 0.75, 예를 들면 약 0.4 내지 0.6일 수 있다.

[0106] 폴리 게이트 FinFET는 % 오버 에칭의 추가 시간과 함께 상기 제안된 단일-단계 화학 성분 (single-step chemistry) 으로 엔드포인트 (EP) 까지 에칭된다. 에칭 성능을 더 개선하기 위해서 다음의 파라미터들이 조절될 수 있다: 압력 (5 내지 20mT), 총 플로우 (1x 내지 3x), O₂ 플로우, 정전적 온도 (20 내지 100 °C), TCP 전력 (300W 내지 1800W), 바이어스 전압, 바이어스 전압 펄싱 블록 사이클 (100 내지 200 Hz, 25 내지 50 %), CO₂ 플로우.

[0107] 다른 공정 조건은 낮은 TCP 및 바이어스 펄싱을 사용할 수 있다. 이 바이어스는 약 100 내지 500 Hz, 예를 들면 약 150 내지 300 Hz의 주파수로 펄싱될 수 있다.

[0108] 다른 공정 조건은 낮은 TCP, 낮은 바이어스 및 CO₂를 사용한다. CO₂의 플로우 레이트는 약 2 내지 12 sccm, 예를 들면 약 5 내지 10 sccm일 수 있다.

[0109] 그리드는 다양한 실시예들에서 챔버에 접지될 수 있다. 다른 구현예들에서, 그리드는 본 명세서의 다른 개소에서 기술되는 바와 같이 바어어싱될 수 있다.

[0110] 실험 결과들은 통상적인 에칭을 사용하면 경험하게 되는 온-핀 영역 대 오프-핀 영역 간의 프로파일 차와 같은 원하지 않는 결과들을 낳지 않고서 FinFET 게이트를 에칭하도록 이온-이온 플라즈마가 사용될 수 있었음을 나타내었다. 실리콘 잔여물들은 심지어 매우 작은 CD 크기 (예컨대, < 2 mm)에서도 에칭 후에 보이지 않았다. 또한, 게이트들이 최소 마스크 손실, 예를 들면 약 70 nm보다 많이 마스크가 남고 마스크 높이의 약 5 nm 이하 (약 10 퍼센트 이하) 의 손실과 함께 에칭될 수 있다. 실험 결과들은 또한 온-핀 영역과 오프-핀 영역 간의 최소 로딩을 보였으며 또한 이 두 영역들 모두에서 수직 에칭 프로파일을 보였다.

더미 (dummy) 폴리실리콘 제거

[0111] 도 11a 내지 도 11g는 다양한 제조 스템이지를 동안의 부분적으로 제조된 반도체 소자의 단면도들이다. 상기 실례에서 기술된 바와 같은 FinFET 폴리실리콘 에칭 후에, 소자 (1101)는 도 11a에서 도시된 바와 같이 펀 (1110)이 실리콘 기판 (1102) 상에 위치한다. 펀들 (1110) 및 기판 (1102) 모두는 SiO₂와 같은 재료로 제조될 수 있는 보호 산화물 층 (1104)에 의해서 피복될 수 있다. 마스크 층 (1108)이 도 11b에서 도시된 바와 같이 폴라즈마 에칭에 의해서 제거될 수 있다. 이어서, 유전체 재료 (1112)가 도 11c에서 도시된 바와 같이 이전의

폴리실리콘 게이트 에칭 동안에 에칭된 영역들 내에 증착된다. 이어서, 더미 폴리실리콘 재료 (1106) 가 제거되어서 최종 게이트가 존재할 로케이션에서 캐비티가 형성된다. 도 11d는 더미 폴리실리콘 재료 (1106) 제거 후의 소자 (1101) 를 나타낸다. 이러한 제거 공정은 더미 폴리실리콘 제거로 지칭되며 본 실례의 초점이다. 더미 실리콘이 제거된 후에, 습식 에칭이 도 11e에 도시된 바와 같이 그 아래에 놓인 보호 산화물 층 (1104) (예컨대, 실리콘 이산화물 층) 을 제거하도록 수행될 수 있다. 습식 에칭 후에, 새로운 보호 산화물 층 (1114) (예컨대, 하프늄 산화물 층) 이 증착될 수 있다. 이어서, 최종 목표 게이트 재료(들) (1116) (예컨대, 탄탈륨, 티타늄, 텉스텐, 및 이들의 조합들 중 하나 이상) 가 도 11g에 도시된 바와 같이 더미 폴리실리콘에 제거될 때에 형성된 캐비티 내로 증착될 수 있다. 더미 폴리실리콘 제거의 다른 방식은 완성된 접적 회로 내에서 FinFET 게이트가 위치할 로케이션들에서 캐비티들이 형성되도록 폴리실리콘에 에칭되는 것이다. 이 로케이션들은 에칭된 캐비티들의 실제 로케이션들 (전체 폴리실리콘 층 또는 에칭된 캐비티들 간의 공간이 아님) 이다.

[0113] 유사한 비휘발성 부산물 형성 문제가 위의 FinFET 폴리실리콘 게이트 에칭과 관련하여서 기술된 바와 같이 더미 폴리실리콘 제거 공정에서도 발생한다. 특히, 통상적인 플라즈마 공정은 더미 폴리실리콘을 제거하기 위해서 HBr/O₂ 화학 성분을 사용한다. 이는 휘발성 분산물이 형성되게 한다. 그러나, 이 휘발성 부산물들은 일단 통상적인 플라즈마에 접촉하면, 그 문자들의 다수가 부분적으로 제조된 소자의 측벽들 및 다른 부분들에 부착되는 보다 작은 비휘발성 문자들로 분해된다. 이러한 비휘발성 문자들은 측벽들을 효과적으로 패시베이션하여서 비수직형 에칭 프로파일을 낳는다.

[0114] 대신에 이온-이온 플라즈마 영역을 사용하여서 이러한 에칭을 수행하면, 상기 비휘발성 부산물 형성이 2 가지 방식으로 억제된다. 먼저, 이온-이온 플라즈마의 저 이온 농도 및 저 전자 밀도 특성으로 인해서, 핀을 피복하고 있는 그 아래에 놓인 보호 실리콘 산화물 재료를 제거하지 않고서 더미 폴리실리콘에 제거되도록 상이한 화학 성분이 사용될 수 있다. 다양한 경우들에서, 더미 폴리실리콘 제거는 각 단계가 이온-이온 플라즈마를 사용하는 2 단계 공정으로 이루어질 수 있다. 제 1 단계는 더미 폴리실리콘의 벌크를 제거하도록 제 1 플라즈마 (예컨대, HBr 기반 플라즈마) 내에서 기판을 에칭하는 단계를 포함한다. 이 제 1 에칭 단계 후에, 어느 정도의 재료가 기판 상에서, 특히 핀들에 근접한 피쳐들의 코너들에서 잔류할 수 있다. 이러한 잔류 물질들이 때로 폴리실리콘 잔여물이다. 이 공정의 제 2 단계는 이러한 코너 잔류물을 제거하도록 제 2 플라즈마 (예컨대, NF₃/Cl₂ 기반 플라즈마) 내에서 기판을 에칭하는 단계를 포함할 수 있다.

[0115] 다양한 경우들에서, 더미 폴리실리콘은 산소 함유 에칠티들이 존재하지 않거나 실질적으로 존재하지 않는 공정 가스들을 사용하여서 제거될 수 있다. 본 명세서에서 사용되는 바와 같이, 산소 함유 에칠티가 실질적으로 존재하지 않는다는 바는 미량의 (trace amount) 또는 그 이하의 산소 함유 에칠티를 포함함을 의미한다. 제 2 단계에서 Cl₂ 기반 화학 성분을 사용함으로써, 소정의 비휘발성 부산물들 (예컨대, SiO_xBr_y) 형성이 억제될 수 있는데, 그 이유는 이러한 부산물을 형성하기 위한 산소가 전혀 사용되지 않기 때문이다.

[0116] 또한, 이온-이온 플라즈마는 통상적인 HBr/O₂ 화학 성분이 사용되는 경우에도 비휘발성 부산물 형성을 저감 또는 억제하는데 그 이유는 하부 서브-챔버 내에서 형성되는 어떠한 부산물 (예컨대, 휘발성 부산물) 도 상부 서브-챔버의 격한 플라즈마 조건들에 노출되지 않기 때문이다. 대신에, 하부 서브-챔버 내의 이온-이온 플라즈마는 실질적으로 어떠한 휘발성 부산물도 비휘발성 부산물로 분해되지 않고 따라서 이러한 부산물들이 기판 상에 재증착되지 않고서 반응 챔버로부터 제거될 수 있도록 충분하게 온화한 (gentle) 특성 (즉, 저 전자 온도, 저 전자 밀도 등) 을 갖는다.

[0117] 도 12는 이온-이온 플라즈마 및 통상적인 플라즈마에 대한 전자 에너지 분포 함수이다. 이온-이온 플라즈마는 통상적인 플라즈마보다 실질적으로 낮은 전자 밀도 (약 10³ 크기보다 작은 밀도) 및 낮은 에너지를 갖는다. 이러한 온화한 특성은 휘발성 부산물들이 비휘발성 부산물로 분해하는 것을 억제하는 것을 돋는다.

[0118] 비휘발성 부산물들의 부착은 더미 폴리실리콘 제거 상황에서 특히 문제가 되는데 그 이유는 이러한 부산물들이 상술한 바와 같이 후속 습식 에칭 공정을 크게 방해하기 때문이다. 이러한 습식 에칭 공정은 실리콘 산화물 재료를 제거하도록 수행되며 임의의 주변/인접 실리콘 재료를 제거하지 말아야 한다. 다양한 경우들에서, 습식 에칭은 불화수소산 (hydrofluoric acid) 을 사용하여서 수행된다. HF는 순수한 (pristine) SiO₂를 제거하는데 매우 좋지만 더미 폴리실리콘의 제거 동안에 형성되는 비휘발성 부산물들과 같은 충분한 양의 산소를 가지지 않는 실리콘 기반 재료들을 제거하는데에는 효과적이지 않다. 따라서, 부산물들이 존재하는 경우에, 이들은 습식 에칭에 의해서 때로 제거되지 않을 수 있다. 짧게 말하면, (예컨대, 핀들 내의) 주변 실리콘 재료를 제거하지

않으면서 실리콘 기반 비휘발성 부산물들을 제거하는 공지된 화학성분/공정이 존재하지 않는데, 이는 소자 성능을 위해서 필요하다. 따라서, 우선적으로 이러한 비휘발성 부산물들의 형성을 억제하는 것이 바람직하다.

[0119] 상술한 바와 같이, 소정의 실시예들에서, 더미 폴리실리콘 제거는 주 에칭 단계 및 오버에칭 단계인 2 단계들로 달성된다. 주 에칭 단계는 HBr/He 플라즈마를 사용하여서 에칭하는 것을 포함하며 오버 에칭 단계는 NF₃/Cl₂ 플라즈마를 사용하여서 에칭하는 것을 포함할 수 있다. 폴리실리콘 기반 잔여물들의 어느 정도의 양이 주 에칭 단계 후에 기판 상에, 예를 들면 에칭된 구역들의 하단 코너들에서 존재할 수 있다. 오버 에칭 단계는 이러한 폴리실리콘 기반 잔여물들을 모두 제거하도록 수행된다. 이온-이온 플라즈마의 저 플라즈마 밀도로 인해서 기판 표면으로 낮은 이온 풀러스가 향한다. 따라서, 이 오버 에칭 공정은 매우 높은 선택도를 갖는 주로 화학적으로 구동되는 공정이며 이로써 편을 손상시키지 않으면서 상기 잔여물들을 효과적으로 제거하는데 사용될 수 있다.

[0120] 이온-이온 플라즈마 영역을 사용하여서 주 에칭 단계를 수행하는 동안에, HBr은 약 300 내지 850 sccm, 예를 들면 약 400 내지 600 sccm의 플로우 레이트로 해서 제공되며 He는 약 500 내지 1000 sccm, 예를 들면 약 700 내지 900 sccm He로 해서 제공될 수 있다. 플라즈마는 상부 서브-챔버 내에서 HBr/He로부터 생성된다. 이온-이온 플라즈마가 하부 서브-챔버 내에서 생성되어서 편 게이트 구조물이 위치할 로케이션에서 캐비티들이 형성되게 폴리실리콘을 제거하도록 기판과 상호 작용한다. 챔버 압력은 약 20 내지 80 mTorr, 예를 들면 약 60 내지 80 mTorr일 수 있다. 챔버 온도는 약 40 내지 60 °C일 수 있다. 기판 온도는 약 30 내지 80 °C, 예를 들면 약 50 내지 75 °C일 수 있다. 플라즈마를 생성하는데 사용된 전력은 스테이션당 약 200 내지 1500 W, 예를 들면 스테이션당 약 1000 내지 1500 W일 수 있다. 플라즈마를 생성하는데 사용된 RF 주파수는 약 13.56 MHz일 수 있다. 기판은 약 40 내지 150 V, 예를 들면 약 80 내지 130V로 바이어스될 수 있다. FinFET 더미 폴리실리콘 제거 공정을 위한 단일 주 에칭 기간은 약 30 내지 100 초일 수 있다.

[0121] 더미 폴리실리콘 제거의 오버 에칭 부분 동안에, 플라즈마는 NF₃ 및 Cl₂ 와 같은 에칭 화학 성분으로부터 상부 서브-챔버 내에서 생성된다. 또한, 불활성 가스가 플라즈마 생성 가스의 일부로서 반응 챔버 내에 제공될 수도 있다. 이온-이온 플라즈마가 하부 서브-챔버 내에서 생성되어서 상기 에칭된 구역들 내에 존재하는 모든 폴리실리콘 잔여물들을 제거하도록 기판과 상호 작용한다. NF₃은 약 0 내지 60 sccm, 예를 들면 약 20 내지 50 sccm의 플로우 레이트로 해서 흐르고 Cl₂는 약 10 내지 100 sccm, 예를 들면 약 40 내지 70 sccm의 플로우 레이트로 해서 흐를 수 있다. Ar과 같은 불활성 가스는 약 30 내지 200 sccm, 예를 들면 약 40 내지 100 sccm Ar의 플로우 레이트로 해서 흐를 수 있다. 챔버 압력은 약 4 내지 80 mTorr, 예를 들면 약 30 내지 60 mTorr일 수 있다. 챔버 온도는 약 40 내지 60 °C 일 수 있다. 기판 온도는 약 30 내지 80 °C, 예를 들면 약 50 내지 70 °C 일 수 있다. 플라즈마를 생성하는데 사용된 전력은 스테이션당 약 200 내지 1000 W, 예를 들면 스테이션당 약 200 내지 400 W일 수 있다. 플라즈마를 생성하는데 사용된 RF 주파수는 약 13.56 MHz일 수 있다. 기판은 바이어스되지 않은 상태로 유지될 수 있다. FinFET 더미 폴리실리콘 제거 공정을 위한 단일 오버 에칭 기간은 약 10 내지 60 초, 예를 들면 약 30 내지 60 초일 수 있다.

포토레지스트 리플로우

[0123] 포토레지스트 리플로우 공정들이 폭이 약 30 nm보다 작은 피처 크기 (예컨대, 라인, 스페이스들)를 요구하는 FEOL 공정 및 BEOL 공정에서 사용된다. 통상적인 193 nm 포토레지스트를 사용하는 현재의 포토리소그래피 패터닝 기술들은 이러한 크기에서는 양호한 패터닝을 달성할 수 없다. 따라서, 극자외선 (EUV) 포토레지스트가 통상적인 193 nm 포토레지스트를 대체하기 시작하고 있다. EUV 포토레지스트는 보다 작은 피처들을 양호하게 패터닝하는데 사용될 수는 있지만, EUV 포토레지스트 공정은 193 nm 포토레지스트에서 볼 수 있는 다른 문제들을 여전히 겪는다. 예컨대, FEOL 용도 시에 에칭된 포토레지스트는 통상적으로 상대적으로 큰 유입 (incoming) LWR (line-width-roughness)를 보이며, 그 크기는 약 5 내지 10 nm 범위에 있다. 포토레지스트 리플로우의 일 목적은 이러한 LWR를 에칭 후에 약 3.0 nm보다 작게 하는 것이다. FEOL 용도에서 다른 문제는 그 아래에 놓인 층에 대하여 때로 불충분한 에칭 저항성/선택도가 존재한다는 것이다. 이러한 불충분한 에칭 저항성은 EUV 가 사용되면 포토레지스트의 두께가 193 nm 포토레지스트에서 사용되는 두께의 약 50 내지 70 퍼센트만큼 작아진다는 사실에 의해서 더 악화된다. 달리 말하면, 그 아래에 존재하는 층을 보호하기 위해서 사용될 수 있는 포토레지스트가 더 적어지기 때문에, 그 아래에 놓인 층의 에칭 저항성은 불량해진다.

[0124] 작은 피처 크기를 갖는 것 이외에도, BEOL 용도는 오목부/볼록부 패턴을 동시에 전사하는 것을 요구할 수 있다. 상기 FEOL 용도와 마찬가지로, 라인/스페이스들의 LWR은 에칭 후에 약 3.0 nm 이하로 줄어드는 것이 요망된다.

또한, 웨이퍼 상의 모든 패턴들은 약 10 내지 30 퍼센트만큼 축소되는 것이 때로 요망되며, 이러한 크기 축소는 모든 패턴들에 대해서 균일하게 발생하는 것이 중요하다. 라인/블록부/오목부 패턴들의 크기 축소가 불균일하는 것은 x-로딩 (x-loading) 으로 지칭된다. 통상적인 플라즈마를 사용하여서 처리하면, LWR을 개선하는 것과 x-로딩을 개선시키는 것 간에 큰 절충이 존재한다.

[0125] 도 13은 포토레지스트 리플로우 공정 동안의 반도체 소자의 일부를 나타낸다. 포토레지스트 (1302) 는 그 아래에 놓인 재료 (1301) 상에 위치한다. 플라즈마 포토레지스트 리플로우 방법은 통상적으로 이 도면에서 도시된 바와 같이 2 단계 플라즈마 사전처리 공정을 포함한다. 이 공정의 시작 시에, 포토레지스트는 상대적으로 거칠다. 포토레지스트를 평坦화하기 위해서, 리플로우 공정의 제 1 단계는 포토레지스트를 리플로우시키도록 플라즈마 (예컨대, H_2 로부터 생성) 를 생성하는 단계를 포함한다. 포토레지스트 리플로우 공정의 다음 단계는 풋 영역 (foot region) 내로 흘러버린 과잉 포토레지스트를 모두 제거하도록 플라즈마 (예컨대, Ar로부터 생성) 를 생성하는 단계를 포함한다. 이로써, 포토레지스트는 상대적으로 평탄해지고 그 풋 영역에는 어떠한 포토레지스트도 남지 않거나 매우 소량의 포토레지스트만이 남게 된다.

[0126] 포토레지스트가 제 1 플라즈마 처리에서 평탄해짐에 따라서, 천천히 녹는 것과 같이 아래로 흐르거나 아래로 쳐지기 시작한다. 이는 포토레지스트 조도 (roughness) 낮추어 평탄화하여서 LWR을 개선하는데에는 유리하지만, 상기한 바와 같은 아래로 흐르거나 아래로 쳐지는 현상은 포토레지스트를 보다 얇고/얇게 하고 도 13에 도시된 바와 같이 포토레지스트의 풋 (foot) 에서 흐르게 된다. 통상적인 플라즈마를 사용하여서 달성된 포토레지스트 리플로우의 상대적으로 높은 레이트는 마스크 높이를 크게 감소시키며 이로써 그 아래에 놓인 층들에 대한 불량한 (poor) 예칭 선택도, 개선된 LWR의 그 아래에 놓인 층들로의 불량한 전사, 및 오목부/블록부 피처들의 불량한 패턴 전사로 이어진다. 이러한 요인들은 바람직하지 않게 모두 x-로딩을 크게 한다.

[0127] 대신에 이온-이온 플라즈마 영역을 사용하여서 처리하면, 포토레지스트 리플로우 레이트가 저하되며 LWR와 x-로딩 간의 절충이 최소화될 수 있다. 이온-이온 플라즈마는 통상적인 플라즈마에서 볼 수 있는 바와 균등한 LWR 개선 정도를 달성하지만 리플로우 레이트가 저속이며 포토레지스트 높이 감소가 낮으며 (즉, 밑으로 쳐지는 현상 (sagging) 이 저감되며) 상이한 패턴 형상들 간의 CD 바이어스 로딩이 작다. 이온-이온 플라즈마 처리 시에 포토레지스트 높이가 적게 감소하기 때문에, 포토레지스트 양은 늘어나며 그 아래에 놓인 층을 보호하는 역할을 하는 포토레지스트가 더 많이 남게 되므로 그 아래에 놓인 층들의 선택도가 증가하게 된다. 이온-이온 플라즈마는 EUV 포토레지스트 및 193 nm 포토레지스트 모두 및 적합하다면 임의의 다른 타입의 포토레지스트를 리플로우시키는데 사용될 수 있다.

[0128] 이온-이온 플라즈마의 저 전자 밀도는 포토레지스트 재료를 국소적으로 가열시키는 것을 억제하는 것을 지원한다. 이는 포토레지스트 리플로우 레이트를 낮추며 포토레지스트 풋이 상대적으로 제거되게 하며 포토레지스트 손실량을 최소화시킨다. 나아가, 이온-이온 플라즈마의 저 전자 밀도는 표면으로의 저 이온 플럭스와 관련된 낮은 전체 이온 밀도를 가능하게 한다. 이는 이온 층들로부터 발생하는 포토레지스트 손실량이 감소시키는 것을 지원한다. 바이어스 펄싱이 이온 플럭스를 추가적으로 제어하는데 사용될 수 있다.

[0129] (하부 전극을 통해) 기판으로 인가되는 총 바이어스 전압의 범위는 이온-이온 플라즈마를 사용할 때에 증가될 수 있다. 낮은 이온 플럭스는 기판 표면으로의 총 에너지 플럭스를 감소시킨다. 이로써, 종래에는 바이어스 전압 (및 총 전압) 을 30 V 이하로 제약되었다. 바이어스 전압이 또한 이온 크기에 의존함을 주목할 필요가 있다. 이온 크기가 클수록, 인가할 수 있는 바이어스 전압은 작아진다. 바이어스 전압은 포토레지스트 풋을 쵸프 오프 (chop-off) 하는 것을 감당한다. 그러나, 바이어스가 너무 높으면, 바이어스는 포토레지스트 내의 가교 결합을 유도할 것이다. 가교 결합 (crosslinking) 은 포토레지스트가 경화되고 시간이 지남에 따라서 총 에너지 플럭스가 증가하면서 고정되게 한다. 따라서, 고 이온 에너지 플럭스 시스템들에서, 바이어스 전압은 낮게 유지되어야 한다. 그러나, 이온-이온 플라즈마의 경우에, 총 이온 플럭스는 낮기 때문에, 인가되는 총 바이어스 전압은 증가될 수 있다. 바이어스 전압 (V_b) 이 높아지면 포토레지스트 가교 결합 효과를 유도하지 않으면서 포토레지스트 풋을 보다 효과적으로 쵸프 오프할 수 있다. 바이어스 전압은 이온-이온 플라즈마를 사용할 때에 200 Vb 정도로 클 수 있다.

[0130] 전술한 바와 같이, 포토레지스트 리플로우 공정은 2 개의 주 동작들을 포함한다. 제 1 동작은 리플로우 단계이며 제 2 동작은 풋 쵸프 오프 단계이다. 이온-이온 플라즈마 영역을 사용하여서 제 1 동작을 수행하기 위해서, 플라즈마는 예를 들면 H_2 를 포함하는 플라즈마 생성 가스로부터 상부 서브-챔버 내에서 생성된다. 다른 소정의 경우들에서, 플라즈마 생성 가스는 Ar, H_2/HBr , Ar/HBr, 또는 HBr일 수 있다. 또한, 이 플라즈마 생성 가스는

N_2 및/또는 He STG와 같은 불활성 가스를 더 포함할 수 있다. H_2 의 플로우 레이트는 약 100 내지 500 sccm이며 예를 들면 약 100 내지 300 sccm일 수 있다. N_2 의 플로우 레이트는 약 0 내지 300 sccm이며 He STG의 플로우 레이트는 약 0 내지 100 sccm일 수 있다. 그리드 아래에서, 이온-이온 플라즈마가 형성되어서 포토레지스트를 리플로우시키도록 기판과 상호 작용한다. 플라즈마 생성 가스의 총 플로우 레이트는 약 100 내지 500 sccm일 수 있다. 챔버 압력은 약 5 내지 20 mTorr일 수 있다. 기판 온도는 약 20-60 °C일 수 있다. 플라즈마를 생성하는데 사용되는 전력은 스테이션당 약 300 내지 1000 와트일 수 있다. 기판은 약 0 내지 200V, 예를 들면 약 50 내지 200V로 바이어스될 수 있다. 단일 포토레지스트 리플로우 동작은 약 5 내지 45 초, 예를 들면 약 5 내지 30 초의 기간을 가질 수 있다. TCCT는 약 0.5 내지 1.5, 예를 들면 약 1 내지 1.5일 수 있다.

[0131] 다음의 파라미터들은 에칭 성능을 더 개선하기 위해서 조절될 수 있다: 압력 (5 내지 20 mT), 총 플로우 (100 내지 500sccm), H_2 플로우 (0 내지 300sccm), 정전적 온도 (20 내지 60 °C), TCP 전력 (300 내지 1000 W), 기판 상의 바이어스 전압 (0 내지 200 V), 바이어스 전압 펄싱 브리 퍼센트 사이클 (100 내지 200 Hz, 250 = - 50%), 처리 시간 (5 내지 30s).

[0132] 다른 방법은 포토레지스트 리플로우 및 풋 쇼핑을 모두 수행하기 위해서 단일 단계 H_2 조건을 사용한다. 이 경우에, 플라즈마 생성 가스는 예를 들면 H_2 , N_2 및 HeSTG를 포함할 수 있다.

[0133] 2 단계 리플로우 공정의 실시예로 들어가면, 포토레지스트 리플로우 공정의 제 2 단계는 이온-이온 플라즈마를 사용하여서 수행될 수 있다. 플라즈마는 예를 들면 Ar (몇몇 경우에는 이 단계를 위한 플라즈마 생성 가스는 HBr 또는 HBr/Ar를 포함함) 를 포함하는 플라즈마 생성 가스로부터 상부 서브-챔버에서 생성된다. 다른 공정 조건들은 제 1 포토레지스트 리플로우 공정과 관련하여서 기술한 바와 동일할 수 있다.

[0134] 일 실례에서, 기판은 그상의 패터닝된 EUV 포토레지스트로 시작한다. 패터닝된 포토레지스트의 LWR은 약 6 nm이며, 포토레지스트는 약 60 nm의 높이를 갖는다. 포토레지스트 리플로우 동작은 H_2 로부터 생성된 이온-이온 플라즈마에서 수행된다. 제 2 동작에서, 포토레지스트 풋 제거는 Ar로부터 생성된 이온-이온 플라즈마에서 수행된다. 이러한 2 개의 플라즈마 처리를 통해서, LWR은 약 3.7로 감소하며 포토레지스트 높이는 약 40 nm로 감소한다.

STI (shallow trench isolation) 에칭

[0135] STI는 인접하는 트랜지스터들 간에 전류 누설을 방지하는데 사용될 수 있다. 이 트렌치들은 트랜지스터들을 서로 격리시키는 역할을 한다. STI 구조물을 형성할 시의 핵심 단계들은 트렌치 패턴을 기판 (예컨대, 실리콘) 내에 에칭하고 트렌치를 충진하도록 유전체 재료를 증착하고 CMP와 같은 기술을 사용하여서 과잉 유전체를 제거하는 것을 포함한다. 소형의 피쳐 크기에서, STI 에칭 공정은 종횡비 의존형 에칭 깊이 및 프로파일 결과들을 보인다. 달리 말하면, 밀한 피쳐 영역에서 때로 존재하는 고 종횡비 구조물은 소한 피쳐 영역에서 때로 존재하는 저 종횡비 구조물과는 상이한 에칭 결과들을 보인다. 이러한 종횡비 의존성은 이 2 개의 타입의 피쳐들 간에서 에천트 및 부산물의 농도가 상이하기 때문에 발생하는 것으로 보인다.

[0136] 도 14는 프로파일 로딩 문제를 예시한다. 도 14의 좌측 패널은 기판 (1401)에 대한 목표 에칭 프로파일을 나타낸다. 기판 (1401)은 트렌치들이 에칭될 위치를 규정하는데 사용되는 마스크 층 (1403)을 갖는다. 고 종횡비 피쳐 (1405) 및 저 종횡비 피쳐 (1407)는 모두 수직 에칭 프로파일을 가져야 한다. 도 14의 우측 패널은 통상적인 플라즈마 에칭을 사용하여서 통상적으로 달성된 에칭 프로파일을 나타낸다. 고 종횡비 피쳐 (1405)는 수직 에칭 프로파일을 보이는 반면에, 저 종횡비 피쳐 (1407)는 보다 많이 테이퍼된 프로파일 (tapered profile)을 보인다. 이러한 차이점은 프로파일 로딩 (profile loading)이라 지칭된다. 또한, 저 종횡비 피쳐 (1407)는 더 많이 에칭되어서 소한 영역의 피쳐 (1407)에서는 에칭 깊이가 더 낮아진다. 이러한 에칭 깊이 차는 에칭 깊이 로딩 또는 깊이 로딩으로 지칭된다. 프로파일 로딩 및 에칭 깊이 로딩은 모두 최소로 되어야 한다.

[0137] 고 종횡비의 밀한 피쳐들과 저 종횡비의 소한 피쳐들 간의 에칭 결과 편차를 최소화하는 일 기술은 바이어스 펄싱을 사용하는 것이다. 기판에 인가되는 바이어스를 펄싱함으로써, 에천트의 피쳐들 내로의 확산이 이 2 개의 타입의 피쳐들 간에서 보다 균일하게 되며 이로써 이 2 개의 타입의 피쳐들로 보다 균등한 라디칼:이온 플럭스 가 향하게 된다. 바이어스 펄싱은 또한 부산물들의 웨이퍼에서 벌크 플라즈마로의 총 플럭스를 줄여서 챔버 내의 부산물의 양을 최소화시킬 수 있다. 챔버 내에 부산물이 존재하는 것이 고 종횡비 밀한 피쳐들과 저 종횡비 소한 피쳐들 간의 에칭 프로파일 편차 (즉, 프로파일 로딩)에 기여하는 한가지 요인이다 때문에, 챔버 내에서 부

산물의 양을 줄이면 유리하게는 프로파일 로딩의 양을 최소로 할 수 있다.

[0139] 우수한 STI 에칭 결과들이 이온-이온 플라즈마 영역에서 에칭 공정을 수행함으로써 달성될 수 있다. 이온-이온 플라즈마는 다수의 이유로 해서 유리하다. 먼저, 이온-이온 플라즈마는 통상적인 플라즈마보다 보다 낮은 총 이온 밀도를 갖는다. 이러한 낮은 이온 밀도는 적어도 부분적으로는 기판 표면으로의 보다 높은 라디칼:이온 플러스 비를 달성함으로써 에칭 깊이의 종횡비 의존성을 줄인다. 바이어스 펄싱이 이온-이온 플라즈마 상황에서 사용되어서 고 종횡비의 밀한 구조물과 저 종횡비의 소한 구조물들 간의 보다 균일한 라디칼:이온 플러스 비를 달성할 수 있다. 라디칼:이온 플러스는 통상적인 플라즈마보다도 이온-이온 플라즈마가 사용되면 이러한 두 타입의 구조물들 간에서 보다 균일해진다.

[0140] 또한, 이온-이온 플라즈마는 이온-이온 플라즈마의 낮은 이온 플러스가 부산물 형성 레이트를 최소화하기 때문에 유리하다. 부산물들이 보다 저속으로 형성되면, 부산물들은 이들이 비휘발성 부산물로 해리되기 이전에 반응 챔버로부터 보다 철저하게 제거될 수 있다. 이러한 비휘발성 부산물들은 2 개의 타입의 피쳐들 간의 에칭 프로파일 편차에 기여한다. 따라서, 보다 낮은 부산물 형성 레이트는 보다 효율적인 부산물 제거를 놓으며 이는 다시 고 종횡비 피쳐와 저 종횡비 피쳐 간의 보다 균일한 에칭 프로파일로 이어진다.

[0141] 이온-이온 플라즈마의 다른 이점은 에칭 동안에 휘발성 부산물이 형성될 때에 이들이 이온-이온 플라즈마의 저 전자 밀도 및 저 전자 온도로 인해서 문제가 되는 비휘발성 부산물로 해리될 가능성이 낮다는 것이다. 이로써, 휘발성 부산물들은 비휘발성의 (점착성의) 부산물로 해리되기 전에 매우 보다 효율적으로 제거될 수 있다. 부산물들은 챔버로부터 양호하게 제거되기 때문에, 고 종횡비 피쳐와 저 종횡비 피쳐 간의 프로파일 로딩을 실질적으로 작아지며 에칭 결과들은 보다 균일해진다.

[0142] 도 15는 통상적인 플라즈마 (좌측 패널) 및 이온-이온 플라즈마 (우측 패널)를 사용하여서 STI 공정 동안에 달성된 에칭 프로파일들을 나타낸다. 통상적인 플라즈마가 사용되면, 상대적으로 고 전자 밀도 및 고 전자 온도로 인해서 예를 들어서 휘발성 $SiBr_4$ 가 비휘발성 $SiBr_3$ 로 해리된다. 비휘발성 $SiBr_3$ 은 이어서 때로 저 종횡비 피쳐 (1507) 내에서 기판 (1501) 상에 부착된다. 이와 대조하여서, 이온-이온 플라즈마가 사용되면, 전자 온도 및 밀도는 휘발성 $SiBr_4$ 가 비휘발성 $SiBr_3$ 로 해리되지 않을 정도로 충분하게 낮으며 이 휘발성 $SiBr_4$ 는 휘발성 형태로 챔버로부터 효과적으로 제거된다. 이로써, 비휘발성 부산물들은 덜 문제가 되며 즉각 패시베이션이 덜 발생하며 에칭 프로파일은 고 종횡비 피쳐 (1505) 와 저 종횡비 피쳐 (1507)에서 모두 수직으로 된다.

[0143] 몇몇 실시예들에서, STI 에칭 공정은 적어도 2 개의 상이한 타입의 피쳐들, 즉 고 종횡비 피쳐와 저 종횡비 피쳐를 동시에 에칭하는 것을 포함할 수 있다. 고 종횡비 피쳐는 약 10 이상의 종횡비를 가지며, 저 종횡비 피쳐는 약 1 이하의 종횡비를 갖는다. 플라즈마 생성 가스는 HBr 및 Cl_2 를 포함한다. 이온-이온 플라즈마로 에칭한 후에, 고 종횡비 피쳐의 에칭 깊이는 약 150 nm이며, 저 종횡비 피쳐의 에칭 깊이는 약 155 nm이다. 고 종횡비 피쳐의 에칭 깊이는 저 종횡비 피쳐의 에칭 깊이의 최소 약 95 퍼센트일 수 있다. 달리 말하면, 2 개의 에칭 깊이가 매우 동일하다. 몇몇 경우에, 고 종횡비 피쳐의 에칭 깊이와 저 종횡비 피쳐의 에칭 깊이 간의 차는 약 5 nm 이하이다. 또한, 고 종횡비 피쳐의 에칭 프로파일은 최소 약 88도 (90도가 완벽하게 수직임)이며, 저 종횡비 피쳐의 에칭 프로파일은 최소 약 85도일 수 있다.

[0144] 이온-이온 플라즈마 영역에서 STI 에칭 공정을 수행하기 위해서, 플라즈마가 예를 들어서 HBr를 포함하는 플라즈마 생성 가스로부터 상부 서브-챔버에서 생성된다. 그리드 아래에서, 이온-이온 플라즈마가 형성되고 기판 재료를 에칭하도록 기판과 상호 작용한다. 플라즈마 생성 가스의 플로우 레이트는 약 50 내지 500 sccm이다. 챔버 압력은 약 2 내지 100 mT이며, 예를 들면 약 5 내지 90 mT일 수 있다. 챔버 온도는 약 50 내지 130 °C일 수 있다. 기판 온도는 약 20 내지 100 °C일 수 있다. 플라즈마를 생성하는데 사용되는 전력은 스테이션 당 약 300 내지 1500 W일 수 있다. 플라즈마를 생성하는데 사용되는 RF 주파수는 약 13 MHz일 수 있다. 기판은 약 300 내지 1200 V 범위로 바이어스될 수 있다. 단일 STI 에칭 동작은 약 30 초 내지 100 초의 기간을 가질 수 있다.

장치

[0145] 본 명세서에서 기술된 방법들은 임의의 적합한 장치에 의해서 수행될 수 있다. 이 적합한 장치는 본 명세서에서 기술된 바와 같은 에칭 조건들을 제공 및 유지하기 위한 챔버 및 전자적 하드웨어를 포함한다. 적합한 장치는 또한 이러한 조건들을 달성하도록 하드웨어를 제어하고 FET의 게이트 전극을 에칭하는 것과 같은 용도들에 적합한 프로세스 동작들의 시퀀스를 수행하기 위한 인스트럭션들을 갖는 시스템 제어기를 포함한다. 몇몇 실시

예들에서, 하드웨어는 공정 툴 내에 포함된 하나 이상의 공정 스테이션을 포함할 수 있다.

[0147] 도 1을 참조하면, 본 명세서에서 개시된 소정의 실시예들에 따른 유도 결합형 플라즈마 에칭 장치 (100)의 단면도가 도시된다. 전술한 바와 같이, 본 명세서의 실시예들은 역시 비유도 결합형 플라즈마로 실시될 수 있다. 유도 결합형 플라즈마 에칭 장치 (100)는 챔버 벽들 (101) 및 윈도우 (111)에 의해서 구조적으로 규정되는 전체 에칭 챔버를 포함한다. 챔버 벽들 (101)은 통상적으로 스테인레스 스틸 또는 알루미늄으로 제조된다. 윈도우 (111)는 통상적으로 석영 또는 다른 유전체 재료로 제조된다. 내부 플라즈마 그리드 (150)는 전체 에칭 챔버를 상부 서브-챔버 (102) 및 하부 서브-챔버 (103)로 분할한다. 소정의 다른 구현예들에서, 보다 복잡한 플라즈마 그리드 어셈블리가 사용된다. 예를 들면, 플라즈마 그리드 어셈블리는 도 4 및 도 5에 도시된 바와 같이 다수의 그리드, 지지 구조물 및 이동 생성 요소를 포함할 수 있다. 도 1의 실시예로 돌아가면, 척 (117)은 하단 내부 표면 근처의 하부 서브-챔버 (103) 내에 위치한다. 척 (117)은 에칭 공정이 수행되는 반도체 웨이퍼 (즉, 웨이퍼)를 수용 및 홀딩하도록 구성된다. 척 (117)은 존재한다면 웨이퍼를 지지하는 정전척일 수 있다. 몇몇 실시예들에서, 에지 랭 (미도시)이 척 (117)을 감싸며 척 (117) 상에 존재할 때에 웨이퍼의 상단 표면과 대략 평면인 상부 표면을 갖는다. 척 (117)은 또한 웨이퍼 척킹 및 디척킹을 가능하게 하는 정전 전극들을 포함한다. 필터 및 DC 클램프 전원이 이러한 목적을 위해서 제공될 수 있다. 척 (117)이 웨이퍼를 상승시키기 위한 다른 제어 시스템이 제공될 수 있다. 척 (117)은 RF 전원 (123)을 사용하여 전기적으로 대전된다. RF 전원 (123)은 접속부 (127)를 통해서 매칭 회로 (121)와 접속된다. 매칭 회로 (121)는 접속부 (125)를 통해서 척 (117)과 접속된다. 이로써, RF 전원 (123)은 척 (117)에 접속된다.

[0148] 코일 (133)이 윈도우 (111) 상에 위치한다. 코일 (133)은 전기 도전성 재료로 구성되며 적어도 1회 권선되어 있다. 도 1에 도시된 예시적인 코일 (133)은 3회 권선된다. 참조 부호 "X"를 갖는 코일 (133)의 단면은 코일 (133)이 이 페이지 후방으로 회전하는 방식으로 연장됨을 표시한다. 이와 반대로, 참조 부호 "●"은 코일 (133)이 페이지의 전방으로 회전하는 방식으로 연장됨을 표시한다. RF 전원 (141)은 RF 전력을 코일 (133)에 공급하도록 구성된다. 일반적으로, RF 전원 (141)은 접속부 (145)를 통해서 매칭 회로 (139)에 접속된다. 매칭 회로 (139)는 접속부 (143)를 통해서 코일 (133)에 접속된다. 이로써, RF 전원 (141)이 코일 (133)에 접속된다. 선택적인 패러데이 쉴드 (149)가 코일 (133)과 윈도우 (111) 간에 배치된다. 패러데이 쉴드 (149)는 코일 (133)에 대해서 이격된 상태로 유지된다. 패러데이 쉴드 (149)는 윈도우 (111) 바로 위에 배치된다. 코일 (133), 패러데이 쉴드 (149), 및 윈도우는 각각 서로 실질적으로 평행하게 구성된다. 패러데이 쉴드는 금속 또는 다른 종들이 플라즈마 챔버의 유전체 윈도우에 충착되지 못하게 한다.

[0149] 공정 가스가 상부 챔버에 위치한 주 주입 포트 (160) 및/또는 때로 STG로 지칭되는 측 주입 포트 (170)를 통해서 공급될 수 있다. 가스 배기 포트들은 도시되지 않는다. 또한, 챔버 (101)에 연결되어서 동작 플라즈마 처리 동안에 진공 제어를 가능하게 하고 가스성 부산물들을 제거할 수 있게 하는 펌프들은 도시되어 있지 않다.

[0150] 이 장치의 동작 동안에, 하나 이상의 반응물 가스들이 주입 포트들 (160 및/또는 170)을 통해서 공급될 수 있다. 소정의 실시예들에서, 가스는 오직 주 주입 포트를 통해서만 또는 오직 측 주입 포트를 통해서만 공급될 수 있다. 몇몇 경우에, 주입 포트들은 샤퍼헤드로 대체될 수 있다. 패러데이 쉴드 (149) 및/또는 그리드 (150)는 챔버 내로 공정 가스의 전달을 가능하게 하는 내부 채널들 및 구멍들을 포함할 수 있다. 달리 말하면, 패러데이 쉴드 (149) 및/또는 그리드 (150)는 공정 가스 전달을 위한 샤퍼헤드 역할을 할 수 있다.

[0151] RF 전류가 코일 (133)을 통해서 흐르게 하도록 RF 전력이 RF 전원 (141)에서 코일 (133)로 인가된다. 코일 (133)에서 흐르는 RF 전류는 코일 (133) 주변에 전자계를 생성한다. 이 전자계는 상부 서브-챔버 (102) 내에서 유도 전류를 생성한다. 유도 전류는 상부 서브-챔버 (102) 내에 있는 가스에 대하여 작용하여 상부 서브-챔버 (102) 내에 전자-이온 플라즈마를 생성한다. 내부 플라즈마 그리드 (150)가 하부 서브-챔버 (103) 내에서의 고온 전자의 양을 제약한다. 다양한 실시예들에서, 이 장치는 하부 서브-챔버 내에 존재하는 플라즈마가 이온-이온 플라즈마가 되도록 설계 및 동작된다.

[0152] 상부 전자-이온 플라즈마 및 하부 이온-이온 플라즈마 모두는 양 이온 및 음 이온을 포함할 것이지만, 이온-이온 플라즈마는 음이온:양이온 비가 더 크다. 다양한 이온들 및 라디칼과 웨이퍼 (119) 간의 물리적 및 화학적 상호 작용들은 웨이퍼 파괴들을 선택적으로 예방한다. 휘발성 에칭 부산물들이 배기 포트 (미도시)를 통해서 하부 서브-챔버 내로부터 제거된다. 중요하게는, 이러한 휘발성 부산물들은 고온 전자에 실질적으로 노출되지 않으며 따라서 이들은 비휘발성의 "접착성" 해리 부산물로 해리될 가능성이 낮다.

[0153] 통상적으로, 본 명세서에서 개시된 척은 약 30 내지 약 250 °C, 바람직하게는 약 30 내지 150 °C 범위의 상승된 온도에서 동작한다. 이 온도는 에칭 공정 동작 및 특정 레시피에 의존할 것이다. 챔버 (101)는 약 1 mTorr

내지 약 95 mTorr 또는 약 5 mTorr 내지 20 mTorr의 범위의 압력에서 동작할 것이다.

[0154] 도시되지는 않았지만, 챔버 (101) 는 통상적으로 클린 룸 또는 제조 시설 내에 설치될 때에 설비들과 연결된다. 이 설비들은 가스 처리, 진공, 온도 제어, 및 주변 입자 제어를 제공하는 플럼빙 (plumbing) 을 포함한다. 이러한 설비들은 목표 제조 시설에 설치될 때에 챔버 (101) 와 연결된다. 또한, 챔버 (101) 는 로봇들이 통상적인 자동화를 사용하여 반도체 웨이퍼들을 챔버 (101) 내부 및 외부로 전달하게 할 전달 챔버에 연결될 수 있다.

[0155] 도 2a, 도 2b 및 도 3a 내지 도 3d는 본 명세서의 실시예들에 따른 내부 플라즈마 그리드들의 실례들을 나타낸다. 소정의 경우들에서, 각 그리드는 방사상 외측으로 또는 거의 방사상 외측으로 연장되는 슬롯들을 가질 수 있다. 이러한 경우 또는 다른 경우에, 슬롯들은 도 3c 및 도 3d에 도시된 바와 같이 보다 통상적이지 않는 비선형 형상을 가질 수 있다. 도 2b의 실시예에서, 3 개의 타입의 슬롯들이 존재한다. 각 타입의 슬롯은 상이한 슬롯 길이를 갖는다. 도 2b에 도시된 슬롯들은 상술한 바와 같이 하부 서브-챔버 내에서 이온-이온 플라즈마를 생성하게 적합한 종횡비를 갖는다. 도 2a 및 도 3a 내지 도 3d에 도시된 슬롯들은 실제 축적대로 도시된 것은 아닐 수 있다.

시스템 제어기

[0157] 몇몇 실시예들에서, 시스템 제어기 (하나 이상의 물리적 제어기 또는 논리적 제어기를 포함함) 는 예칭 챔버의 동작들 모두 또는 몇몇을 제어한다. 시스템 제어기는 하나 이상의 메모리 장치 및 하나 이상의 프로세서를 포함한다. 이 프로세서는 CPU, 컴퓨터, 아날로그 및/또는 디지털 입출력 접속부, 스텝퍼 모터 제어기 보드 및 다른 유사한 구성 요소들을 포함한다. 본 명세서에서 개시된 바와 같은 적합한 제어 동작들을 구현하기 위한 인스트럭션들이 프로세서 상에서 실행될 수 있다. 이러한 인스트럭션들은 시스템 제어기와 연관된 메모리 장치 상에 저장되거나 네트워크 상에서 제공될 수 있다. 소정의 실시예들에서, 시스템 제어기는 시스템 제어 소프트웨어를 실행한다.

[0158] 시스템 제어 소프트웨어는 다음의 챔버 동작 조건들 중 하나 이상의 인가 타티밍 및/또는 크기를 제어하는 인스트럭션들을 포함할 수 있다: 가스의 혼합 및/또는 조성, 챔버 압력, 챔버 온도, 웨이퍼 온도, 웨이퍼에 인가된 바이어스, 코일 또는 다른 플라즈마 생성 구성 요소에 인가된 전력 및 주파수, 웨이퍼 위치, 웨이퍼 이동 속도, 그리드 위치, 그리드 이동 속도, 공정 툴에 의해서 수행되는 특정 공정의 다른 파라미터들. 이 시스템 제어 소프트웨어는 임의의 적합한 방식으로 구성될 수 있다. 예를 들어서, 다양한 프로세스 툴의 프로세스를 실행시키는데 필요한 프로세스 툴 구성 요소들의 동작을 제어하도록 다양한 프로세스 툴 구성 요소 서브루틴 또는 제어 객체가 기록될 수 있다. 이 시스템 제어 소프트웨어는 임의의 적합한 컴퓨터 관독 가능한 프로그래밍 언어로서 코딩될 수 있다.

[0159] 몇몇 실시예들에서, 시스템 제어 소프트웨어는 상술한 바와 같은 다양한 파라미터를 제어하기 위한 인스트럭션들을 시퀀싱하는 IOC (input/output control) 를 포함한다. 예를 들어서, 반도체 제조 공정의 각 페이즈는 시스템 제어기에 의해서 실행되도록 하나 이상의 인스트럭션들을 포함할 수 있다. 예칭 페이즈에 대한 공정 조건들을 설정하기 위한 인스트럭션들이 예를 들면 대응하는 예칭 레시피 페이즈 내에 포함될 수 있다. 몇몇 실시예들에서, 이 레시피 페이즈는 공정 페이즈에 대한 모든 인스트럭션들이 이 공정 페이즈와 동시에 실행되도록 순차적으로 구성될 수 있다.

[0160] 다른 컴퓨터 소프트웨어 및/또는 프로그램들이 몇몇 실시예들에서 사용될 수 있다. 이러한 목적을 위한 프로그램들 또는 프로그램들의 섹션들의 실례들은 기판 포지셔닝 프로그램, 그리드 어셈블리 포지셔닝 프로그램, 공정 가스 조성 제어 프로그램, 압력 제어 프로그램, 가열기 제어 프로그램, 및 RF 전원 제어 프로그램을 포함한다.

[0161] 몇몇 경우들에서, 제어기들은 제어 가스 농도, 웨이퍼 이동, 그리드 이동, 및/또는 코일들 및/또는 정전체에 공급되는 전력을 제어한다. 제어기는 적합한 반응물(들)을 적합한 농도로 제공하는 하나 이상의 유입 가스 스크립들을 생성하도록 예를 들면 관련 밸브를 개방 및 폐쇄함으로써 가스 농도를 제어할 수 있다. 웨이퍼 이동은 예를 들어서 목표된 바와 같이 웨이퍼 포지셔닝 시스템이 이동하도록 이의 방향을 조절함으로써 제어될 수 있다. 그리드 이동은 그리드가 목표된 바와 같이 위치하도록 이동 생성 요소 (예컨대, 회전형 액추에이터, 승강기 및/또는 다른 이동 생성 요소) 의 방향을 조절함으로써 제어될 수 있다. 일 실례에서, 제어기는 하부 구역 플라즈마 내에서 소정의 플라즈마 조건들 (다음으로 한정되지 않지만 전자 온도, 전자 밀도, 이온 밀도, 양 이온 대 전자 비, 등) 이 달성되게 회전형 액추에이터가 하나 이상의 플라즈마 그리드를 회전시키도록 그 방향을 조절할 수 있다. 몇몇 구현예들에서, 제어기는 웨이퍼의 상이한 부분들 상에 상이한 플라즈마 조건들을 달성하

도록 구성된다 (예컨대, 플라즈마 조건들은 방사상으로 조절될 수 있다). 코일 및/또는 척에 인가된 전력은 상부 서브-챔버 내에서 목표 전자-이온 플라즈마가 생성되게 특정 RF 전력 레벨을 제공하도록 제어될 수 있다. 또한, 제어기는 전자-이온 플라즈마가 하부 서브-챔버에서는 생성되지 않도록 하는 조건 하에서 정전척에 전력을 공급하도록 구성될 수 있다. 달리 말하면, 제어기는 하부 서브-챔버 내에서 이온-이온 플라즈마 (또는 적어도 적합하게 낮은 유효 전자 온도 및 밀도를 갖는 플라즈마) 를 유지하도록 구성된다. 제어기들은 이러한 측면 또는 다른 측면들을 (예컨대, 전력, 전위, 압력 등이 소정의 임계치에 도달하면) 센서 출력에 기초하여서, (예컨대, 공정 내의 특정 시점들에 밸브를 개방하는 것과 같은) 동작 타이밍에 기초하여서 또는 사용자로부터 수신된 인스트럭션들에 기초하여서 제어할 수 있다.

[0162] 본 명세서에서 상술한 다양한 하드웨어 및/또는 방법 실시예들은 예를 들어서 반도체 소자, 디스플레이, LED, 광전 패널 등의 제조 또는 가공을 위한 리소그래피 패터닝 툴들 또는 공정들과 함께 사용될 수 있다. 통상적으로, 이러한 툴들 또는 공정들은 반드시 그러한 것은 아니지만 공통 제조 시설 내에서 함께 사용 또는 수행될 수 있다.

[0163] 막 리소그래피 패터닝은 통상적으로 다음의 단계들 중 몇몇 또는 모두를 포함하며, 다음의 각 단계는 다수의 가능한 툴을 사용하여서 수행되며, 이러한 단계들은 (1) 스핀 온 또는 스프레이 온 툴을 사용하여서, 그 상에 형성된 실리콘 질화물 막을 갖는 기판과 같은 작업 대상에 포토레지스트를 도포하는 단계, (2) 고온 플레이트 또는 퍼니스 또는 다른 적합한 경화 툴을 사용하여서 포토레지스트를 경화하는 단계, (3) 웨이퍼 스텝퍼와 같은 툴을 사용하여서 포토레지스트를 가시광선 또는 자외선 또는 x 선 광에 노광시키는 단계, (4) 습식 벤치 (wet bench) 또는 스프레이 현상기와 같은 툴을 사용하여서 포토레지스트를 선택적으로 제거하여서 이를 패터닝하도록 상기 포토레지스트를 현상하는 단계, (5) 건식 또는 플라즈마 보조 에칭 툴을 사용하여서 상기 포토레지스트 패턴을 그 아래의 막 또는 작업 대상에 전사하는 단계 및 (6) RF 또는 마이크로웨이브 플라즈마 레지스트 탈피기 (stripper) 와 같은 툴을 사용하여서 포토레지스트를 제거하는 단계를 포함할 수 있다. 몇몇 실시예들에서, 애쉬가능한 (ashable) 하드 마스크 (예컨대, 비정질 탄소 층) 및 다른 적합한 하드 마스크 (예컨대, 반사 방지 층) 이 포토레지스트를 도포하기 이전에 증착될 수 있다.

[0164] 본 명세서에서 기술된 구성을 및/또는 방식들은 본질상 예시적이며 이러한 특정 실시예들 또는 실례들은 한정적으로 해석되지 말아야 하며 다수의 변형들이 가능함이 이해되어야 한다. 본 명세서에서 기술된 특정 방법들 또는 루틴들은 임의의 개수의 처리 전략들 중 하나 이상을 나타낼 수 있다. 따라서, 예시된 다양한 동작들은 예시된 순서로, 다른 순서로, 병렬도 또는 몇몇 경우에는 생략되어서 수행될 수 있다. 마찬가지로, 상술된 공정들의 순서는 변화될 수 있다.

[0165] 본 개시의 주제 대상은 본 명세서에서 개시된 다양한 공정들, 시스템들, 구성들, 다른 특징들, 기능들, 동작들 및/또는 특성들 및 이들의 임의의 모든 균등 사항들의 모든 새롭고 비자명한 조합들 및 하위 조합들을 포함한다.

0166] 실험예

[0167] 본 개시된 방법들 및 장치들은 반도체 기판들 상에 부분적으로 제조된 소자들에 대해 개선된 에칭을 제공한다는 것을 실험예들이 확인하였다. 프라즈마 그리드를 사용하면, 에칭된 제품은 양호한 에칭 선택도, 프로파일 각, I/D 로딩 및 전체 에칭 균일성을 보였다.

[0168] 도 16a 및 도 16b는 고압 통상적인 기술 (16a) 및 플라즈마 그리드를 사용하는 본 실시예 (16b)에 따라서 에칭된 FinFET 구조물들의 SEM (scanning electron microscope) 이미지들이다. 도 16a에 도시된 바와 같이, 통상적인 기술에서는 웨이퍼의 중앙과 에지 간에서 불균일성이 컸다. 또한, I/D 로딩도 컷으며 재료들 간의 에칭 선택도도 낮았다. 그러나, 도 16b에서 볼 수 있는 바와 같이, 플라즈마 그리드를 사용하면 중앙 대 에지 균일성이 크게 증가하였다. 또한, I/D 로딩도 매우 낮았으며 에칭 선택도도 증가하였다. 이러한 실험은 완전 패터닝된 웨이퍼의 에칭을 시뮬레이션하기 위해서 FinFET 높이를 나타내는 두께로 얇아지며 50 퍼센트 SiN 쿠톤으로 피복된 Si 캐리어 웨이퍼에 대해서 수행되었다. FinFET 구조물은 그 프로파일에서 테이퍼가 최소로 되도록 65 퍼센트만큼 오버 에칭되었다.

[0169] 도 17a 및 도 17b는 저압 통상적인 기술 (17a) 및 플라즈마 그리드를 사용하는 본 개시된 실시예 (17b)에 따라서 에칭된 피처들의 SEM 이미지들이다. 통상적인 기술들에서는 산화물과 실리콘 간의 에칭 선택도가 상대적으로 낮았으며 에칭된 피처들은 테이퍼된 프로파일을 가졌으며 I/D 로딩도 불량하였다. 그러나, 도 17b에서 볼 수 있는 바와 같이, 소스 그리드는 개선된 에칭 선택도 (무한대의 선택도), 보다 수직 형상의 프로파일 각도,

실제 I/D 로딩이 전혀 없음을 제공하였다. 이 실험은 패터닝된 웨이퍼로부터 분리되어 캐리어 웨이퍼의 중앙에 배치된 칩에 대해서 수행되었다. 이 실험은 완전 패터닝된 웨이퍼의 에칭을 시뮬레이션하기 위해서 FinFET 높이를 나타내는 두께로 얇아지며 50 퍼센트 SiN 쿠톤으로 회복된 Si 캐리어 웨이퍼에 대해서 수행되었다.

[0170] 도 18은 플라즈마 그리드를 사용하지 않고 다양한 방식들에 따라서 에칭된 피처들의 다양한 SEM 이미지들을 나타내고 있다. 2 개의 상이한 압력이 사용되었으며 4 개의 상이한 총 플로우 레이트가 사용되었다. 유효 전자온도 Te는 압력이 증가하면 감소한다. 총 플로우 레이트가 증가할수록 상주 시간은 감소한다. 각 압력에 대해서, 총 플로우 레이트를 증가시키면 에칭 결과가 개선되었다. 특히, 높은 플로우 레이트는 보다 양호한 (보다 수직인) 프로파일 각 및 개선된 선택도 (마스크가 보다 많이 남겨짐)를 보였다. 그러나, 이러한 개선 사항들은 I/D 로딩 및 중앙 대 에지 균일성이 불량하게 됨으로써 상쇄되어 버린다. 높은 플로우 레이트에서의 결과들은 소정의 부산물들 및/또는 해리 부산물들이 가스성 형태로 제거되지 않을 때에 도 6a 내지 도 6c에서 예시된 바와 같이 이들이 피처의 측벽 및/또는 하단에 부착되어서 에칭 결과들을 불량하게 한다는 생각을 지지한다. 총 플로우 레이트가 높으면, 이러한 부산물들은 반응 챕버로부터 보다 효과적으로 제거되며 에칭 디렉트들을 생성할 가능성이 작아진다.

[0171] 도 19는 소스-드레인 리세스 에칭 동안 통상적인 플라즈마 및 이온-이온 플라즈마를 따라서 달성된 상이한 에칭 형상들의 SEM 이미지들이다. 첫번째 실례에서 상술한 바와 같이, 소스-드레인 리세스 에칭은 (1) 수직 에칭, (2) 측방향 에칭 및 (3) 산화 단계를 포함하는 다중 단계 공정이다. 상부 패널은 통상적인 플라즈마를 사용하여서 처리된 기판을 나타낸다. 이 경우에, 에칭 형상은 확연한 스캘로프형 에지 (scalloped edge)를 보인다. 이러한 스캘로프형 에지는 두꺼운 산화 층이 후속 측방향 에칭을 방해하기 때문이다. 이와 반대로, 하부 패널을 이온-이온 플라즈마를 사용하여서 처리된 기판을 나타낸다. 여기서, 에칭된 영역은 매우 평탄하며, 실질적으로 확연한 스캘로프 형상은 덜하며 보다 라운딩되고 평탄한 에지를 보인다. 이온-이온 플라즈마는 오버 에칭으로부터 측벽들을 보호하면서도 어느 정도의 에칭량을 허용하여 측벽들을 평탄하게 하고 목표 형상을 생성할 수 있게 하는 보다 연한 (workable) 산화물 층을 낳는다. 이온-이온 플라즈마에서의 저 전자 밀도는 실리콘 재료가 상대적으로 온화하게 산화되게 한다. 이로써, 스캘로핑 현상은 최소화되고 프로파일 제어는 개선된다.

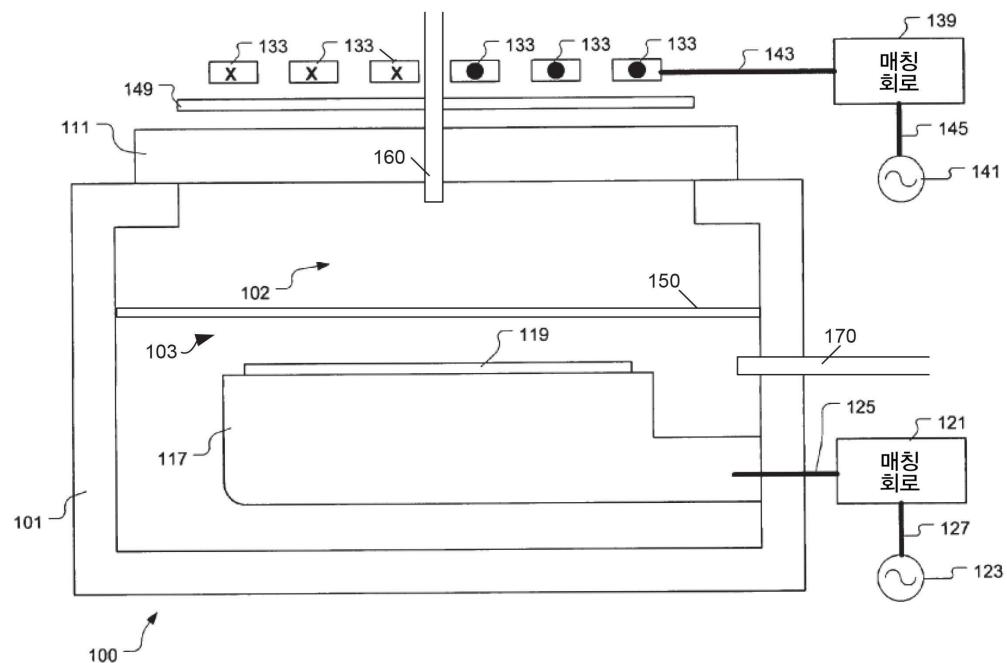
[0172] 도 20은 소스-드레인 리세스 에칭 공정 동안 이온-이온 플라즈마를 통해서 달성된 피처들의 다양한 SEM 이미지들이다. 보여지는 바와 같이, 다수의 상이한 피처 형상들은 이온-이온 플라즈마가 사용되어서 달성될 수 있다. 이로써, 다수의 새롭고 상이한 소스-드레인 리세스 형상들이 가능하게 된다.

[0173] 도 21은 통상적인 플라즈마 방식 및 이온-이온 플라즈마 영역으로 실행되는 STI 에칭 공정을 통해서 형성된 피처들의 SEM 이미지들을 나타낸다. 이 도면의 상부 부분 및 중간 부분은 통상적인 플라즈마를 사용하여서 처리된 기판에 대한 것이다. 상부 기판은 약 75 퍼센트 DC의 기판 바이어스 펄싱을 받은 반면에, 중간 기판은 약 25 퍼센트 DC의 기판 바이어스 펄싱을 받았다. 이 도면의 하부 부분은 이온-이온 플라즈마 처리를 받은 기판에 대한 것이며, 여기서 이 기판은 약 60 퍼센트 DC의 기판 바이어스 펄싱을 받았다. 모든 기판들이 고 종횡비 피처들의 경우에 양호한 수직 프로파일을 보였다. 이온-이온 플라즈마에서 처리된 기판은 저 종횡비 피처에서 개선된 에칭 프로파일을 보였다 (통상적인 플라즈마에서는 84도인데 반해서 85도의 프로파일을 보임). 또한, 이온-이온 플라즈마 영역으로 처리된 기판은 매우 보다 양호한 에칭 깊이로딩을 보였다. 통상적인 플라즈마는 약 25 nm 및 16 nm의 에칭 깊이로딩을 보인 반면에, 이온-이온 플라즈마는 오직 약 5 nm의 에칭 깊이로딩을 보였다. 총 에칭 깊이는 약 230 nm이다.

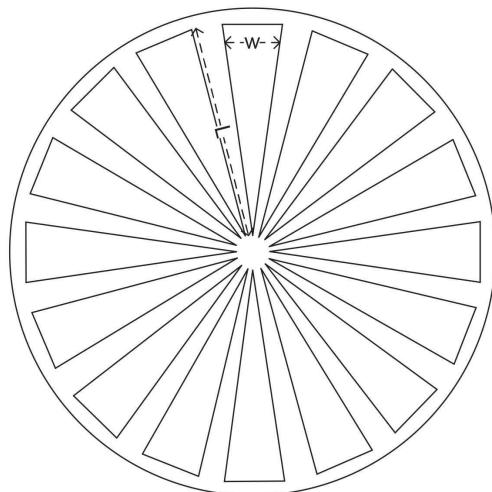
[0174] 다양한 실험 결과들은 플라즈마 그리드를 사용하면 에칭 공정이 매우 우수한 선택도, 프로파일 각, I/D 로딩 및 중앙 대 에지 균일성을 발휘함을 보였다. 소정의 경우에, 선택도 (즉, Si의 에칭 레이트: 산화물의 에칭 레이트)는 10보다 커으며 또는 약 100 보다 커졌다. 실제로, 소정의 경우에서는 플라즈마 그리드를 사용하면 무한대의 선택도도 가능하다. 이러한 경우에, 산화물 재료는 거의 실제로 에칭되지 않으며 산화물 표면 상에 소량의 증착이 있을 수 있다. 다수의 경우들에서 달성되는 프로파일 각은 실질적으로 수직이다 (예컨대, 약 89도보다 큼). 소정의 구현예들에서, I/D 로딩은 약 2도보다 낮게 되었다. 또한, 다양한 구현예들에서 중앙 대 에지 균일도도 약 2 nm보다 작았다.

도면

도면1



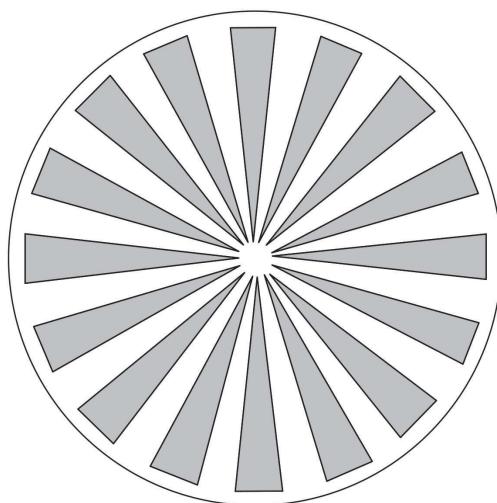
도면2a



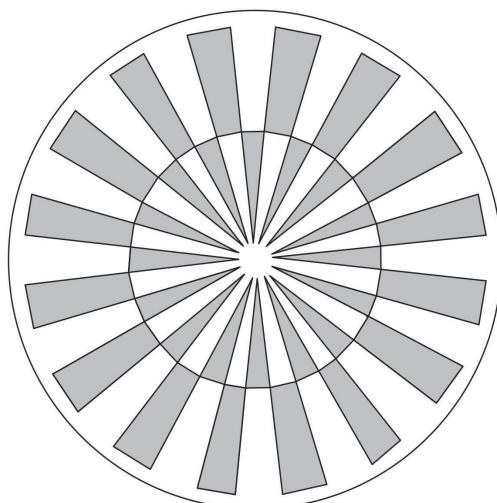
도면2b



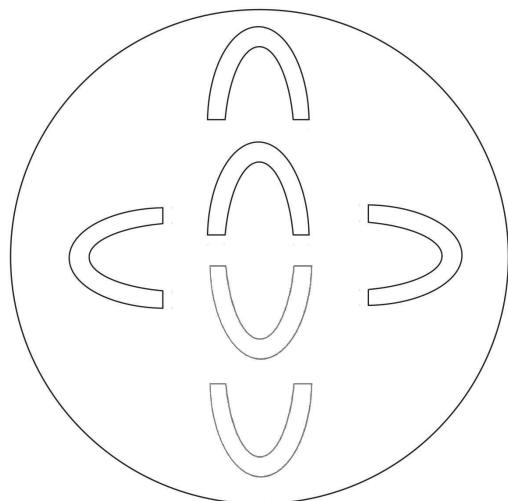
도면3a



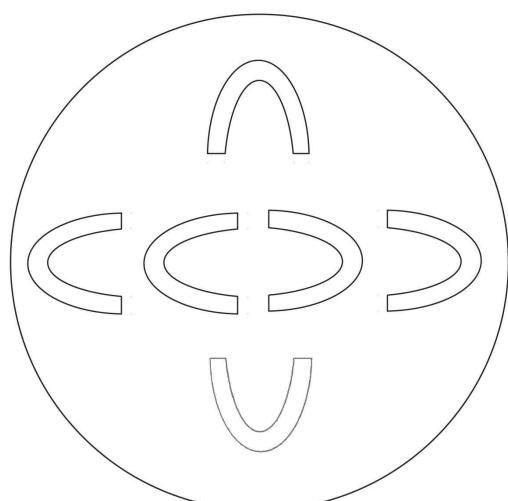
도면3b



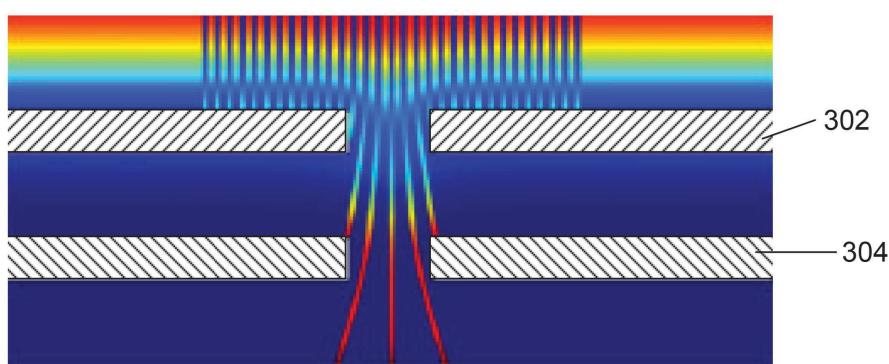
도면3c



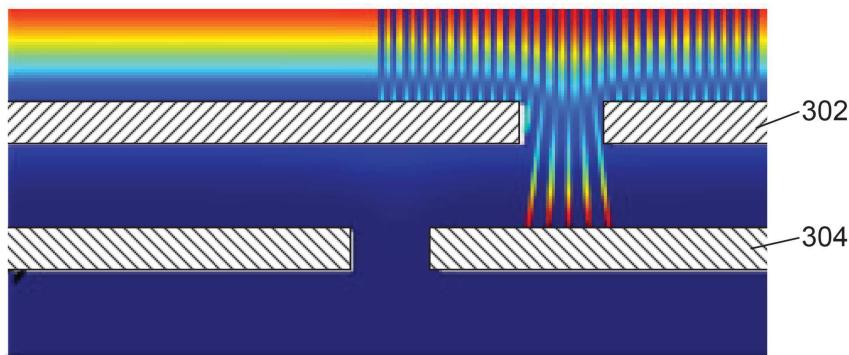
도면3d



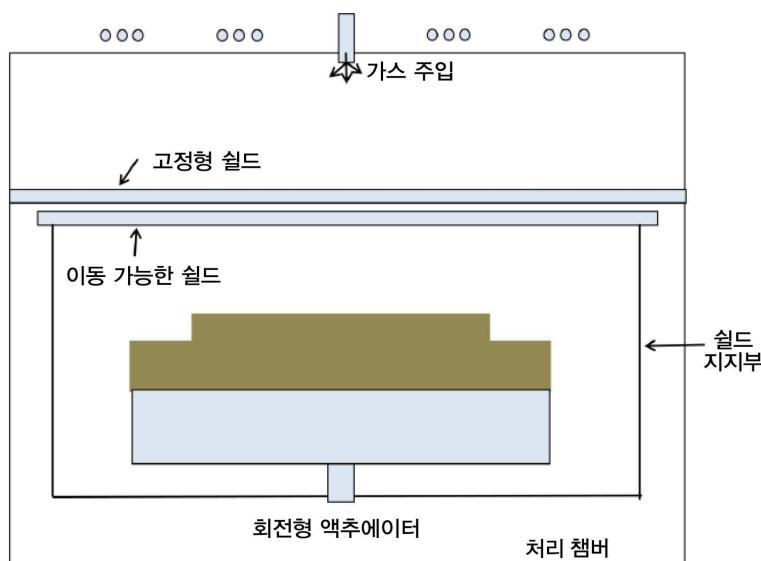
도면3e



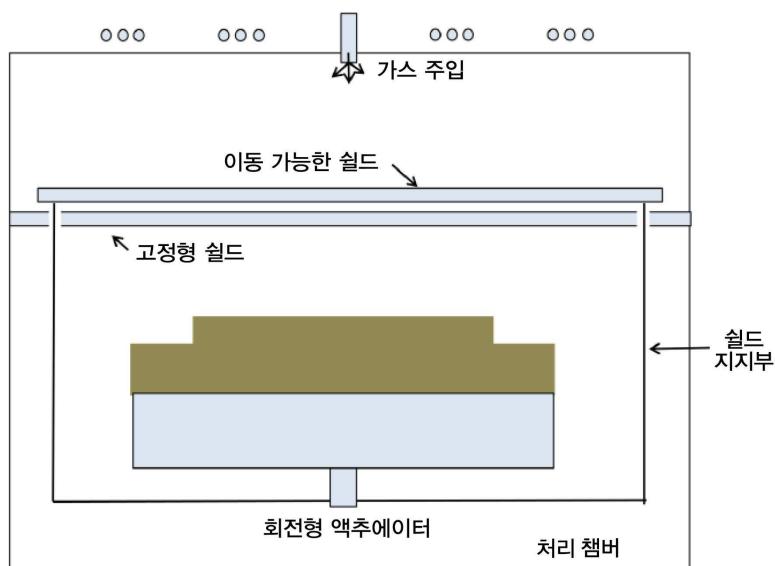
도면3f



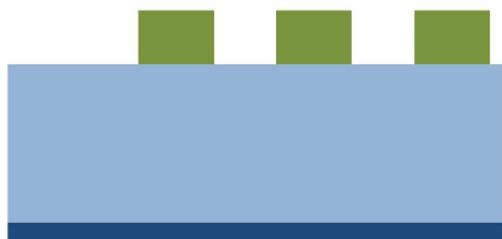
도면4



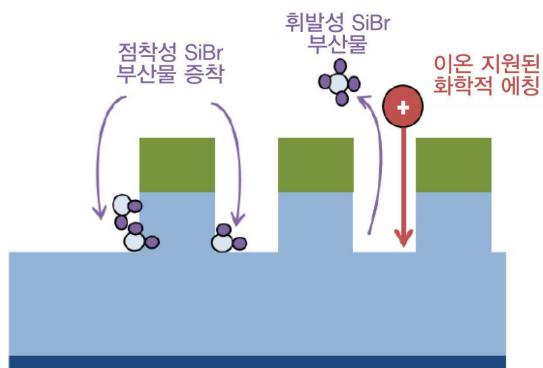
도면5



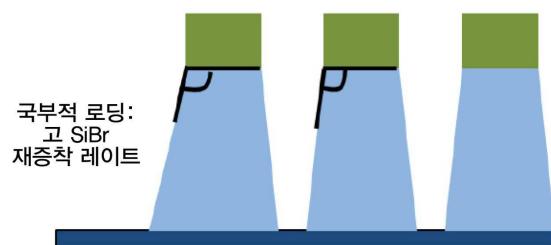
도면6a



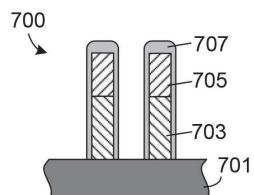
도면6b



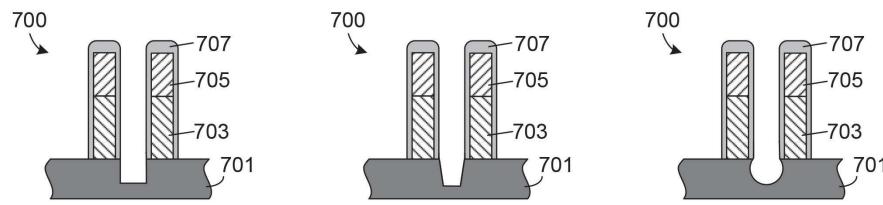
도면6c



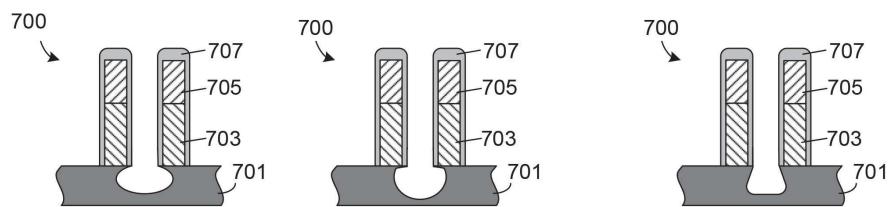
도면7a



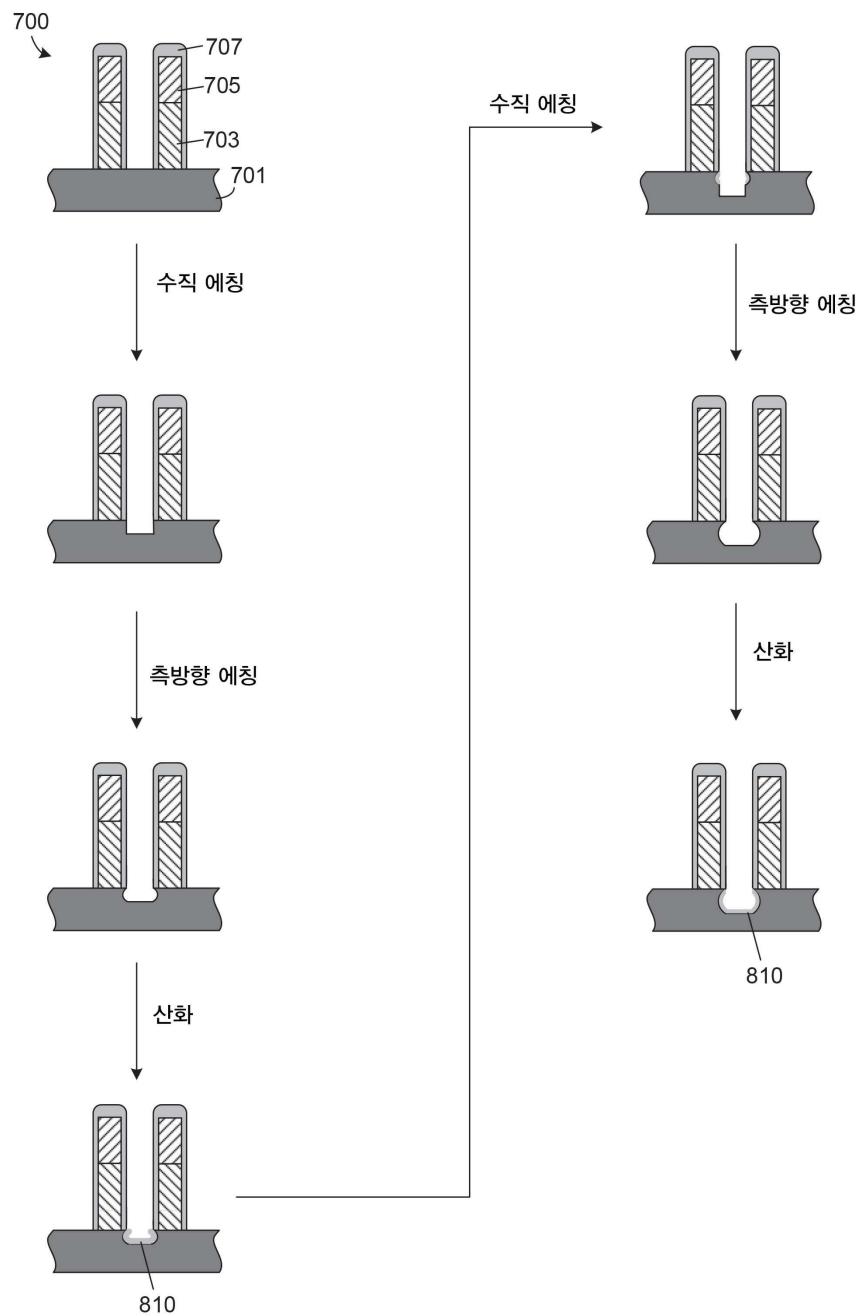
도면7b



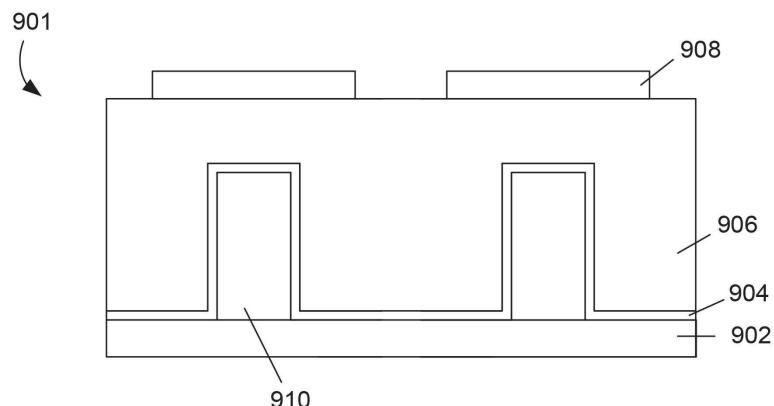
도면7c



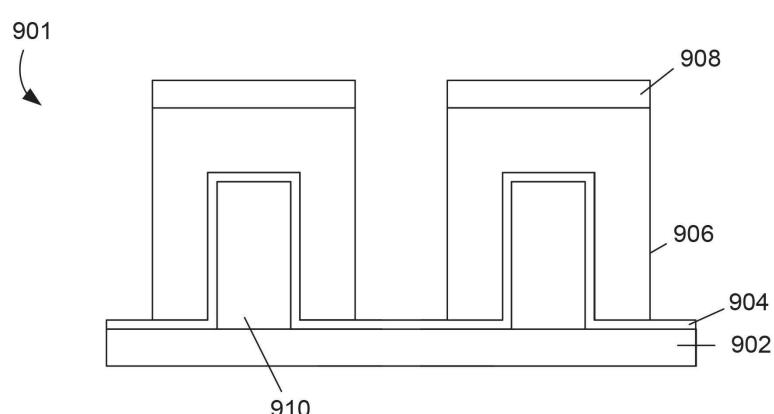
도면8



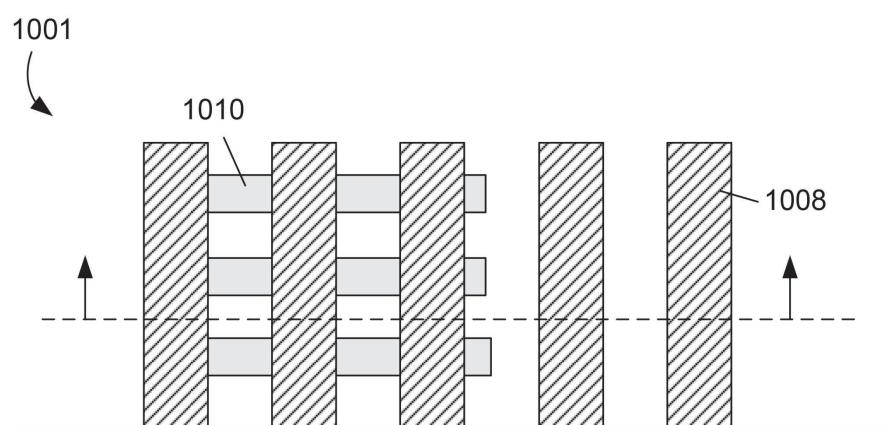
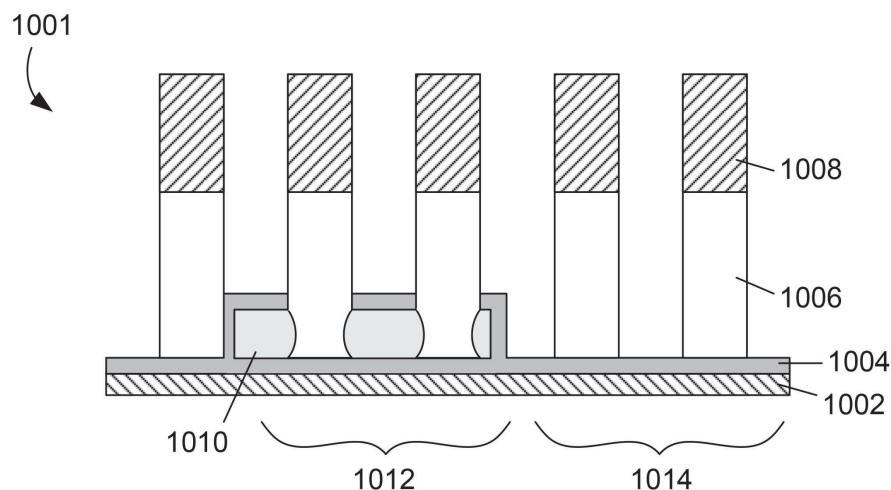
도면9



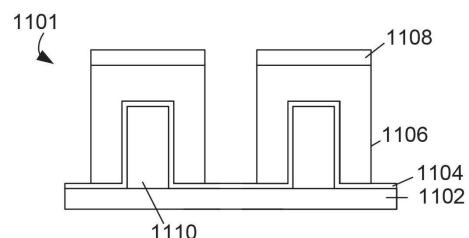
예칭



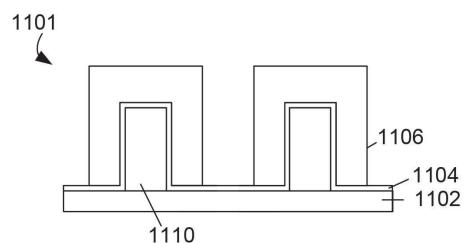
도면10



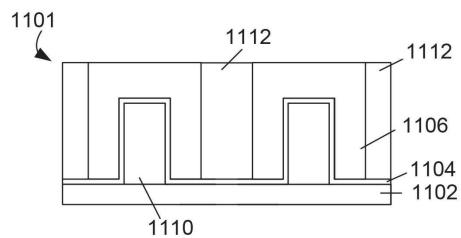
도면11a



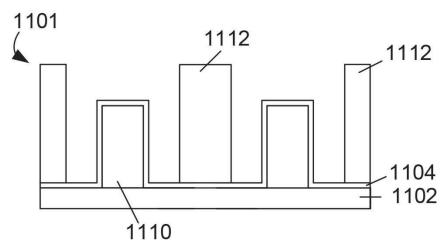
도면11b



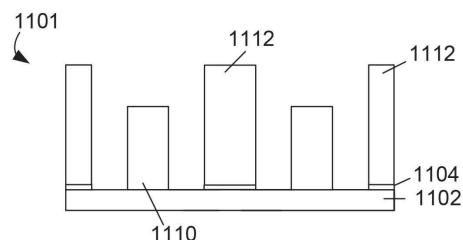
도면11c



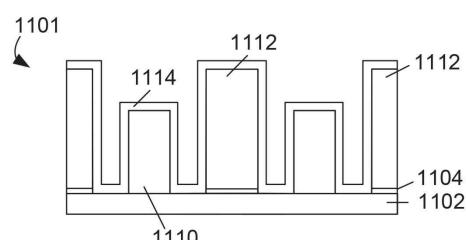
도면11d



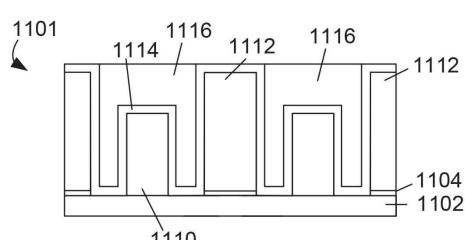
도면11e



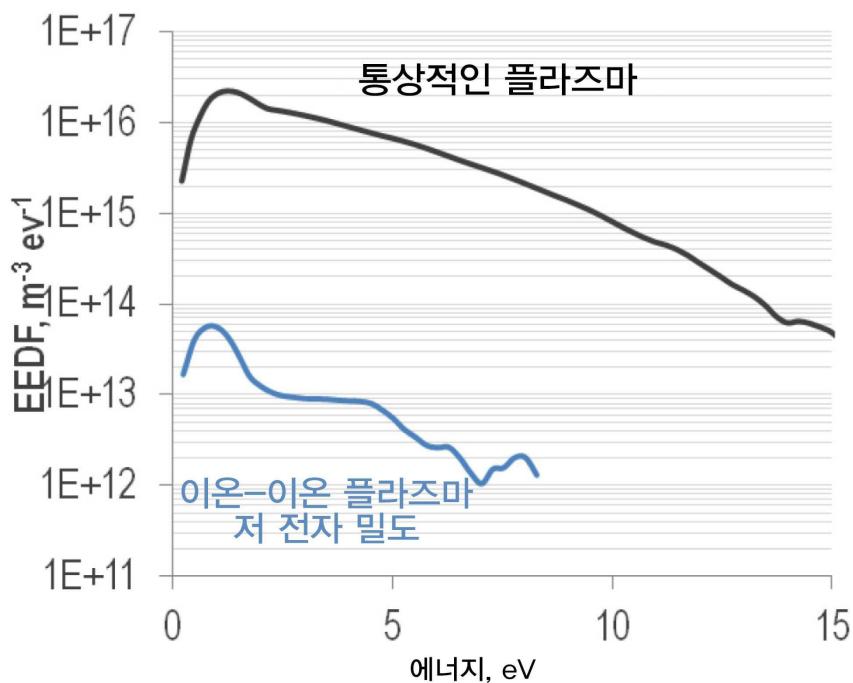
도면11f



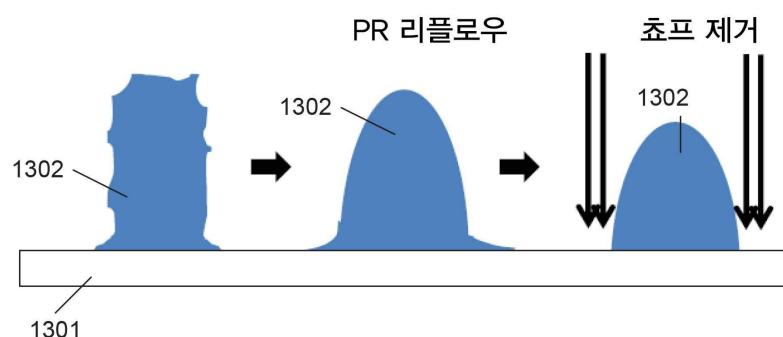
도면11g



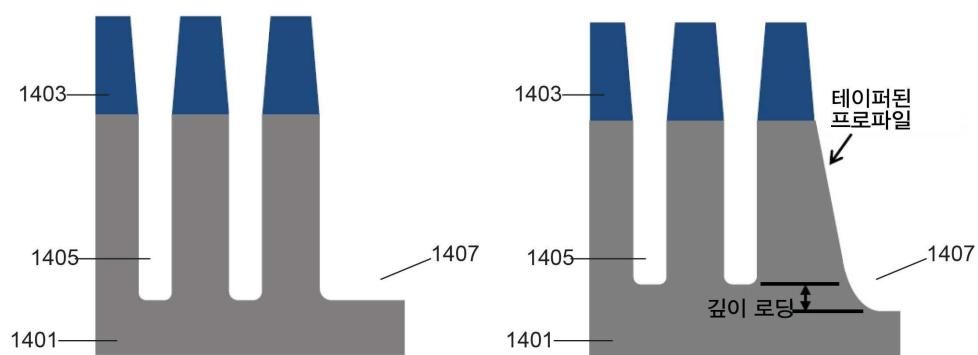
도면12



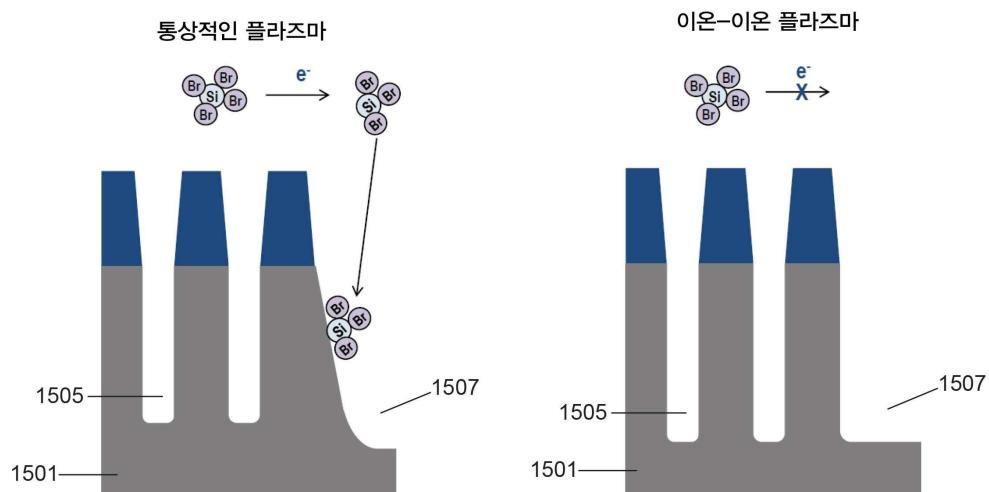
도면13



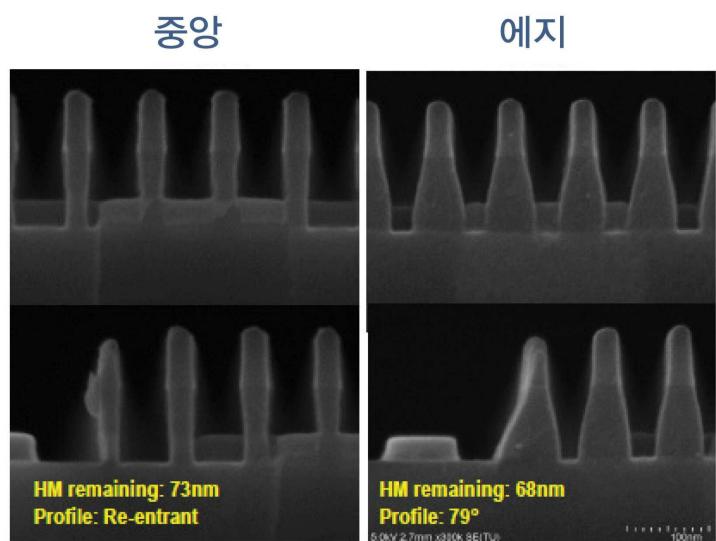
도면14



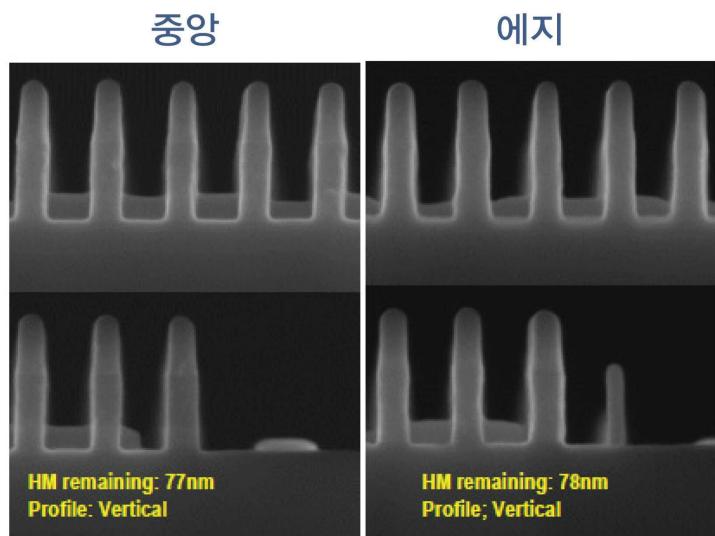
도면15



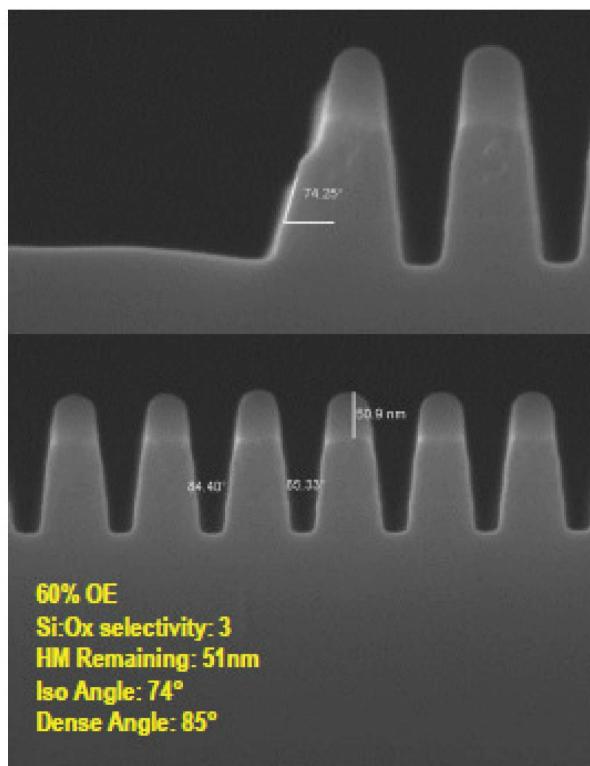
도면16a



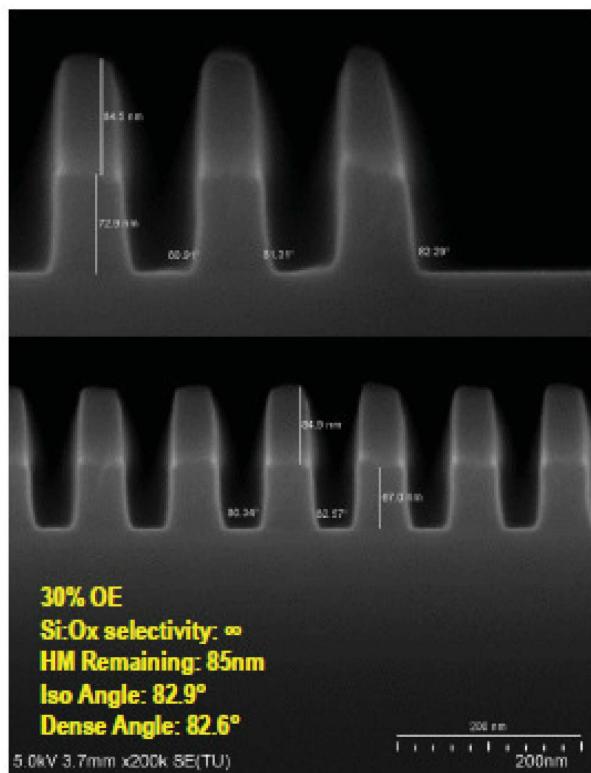
도면16b



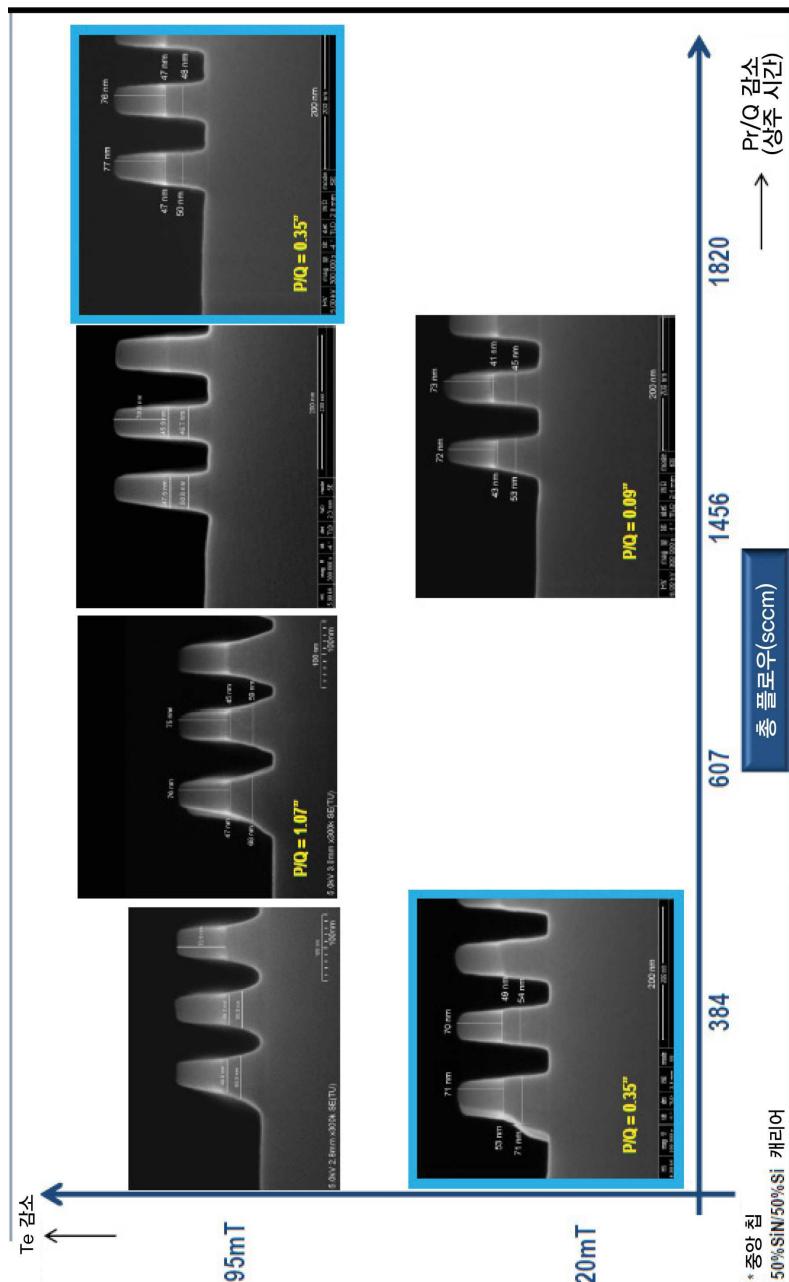
도면17a



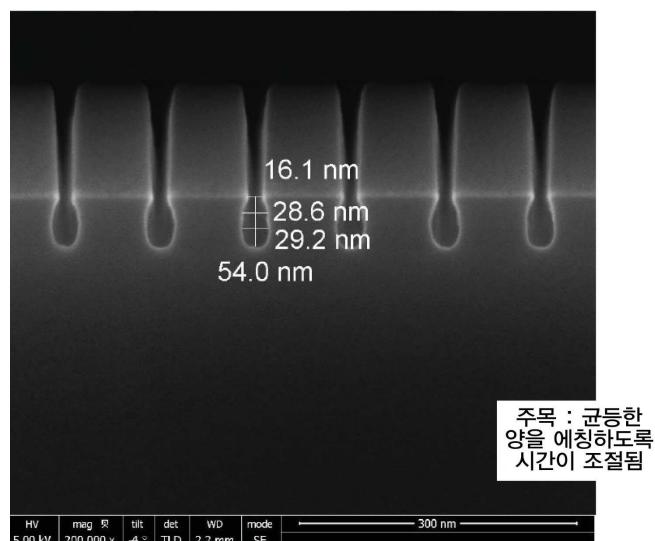
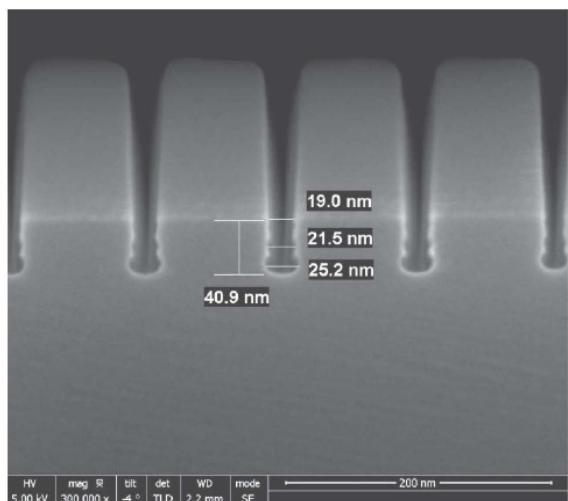
도면17b



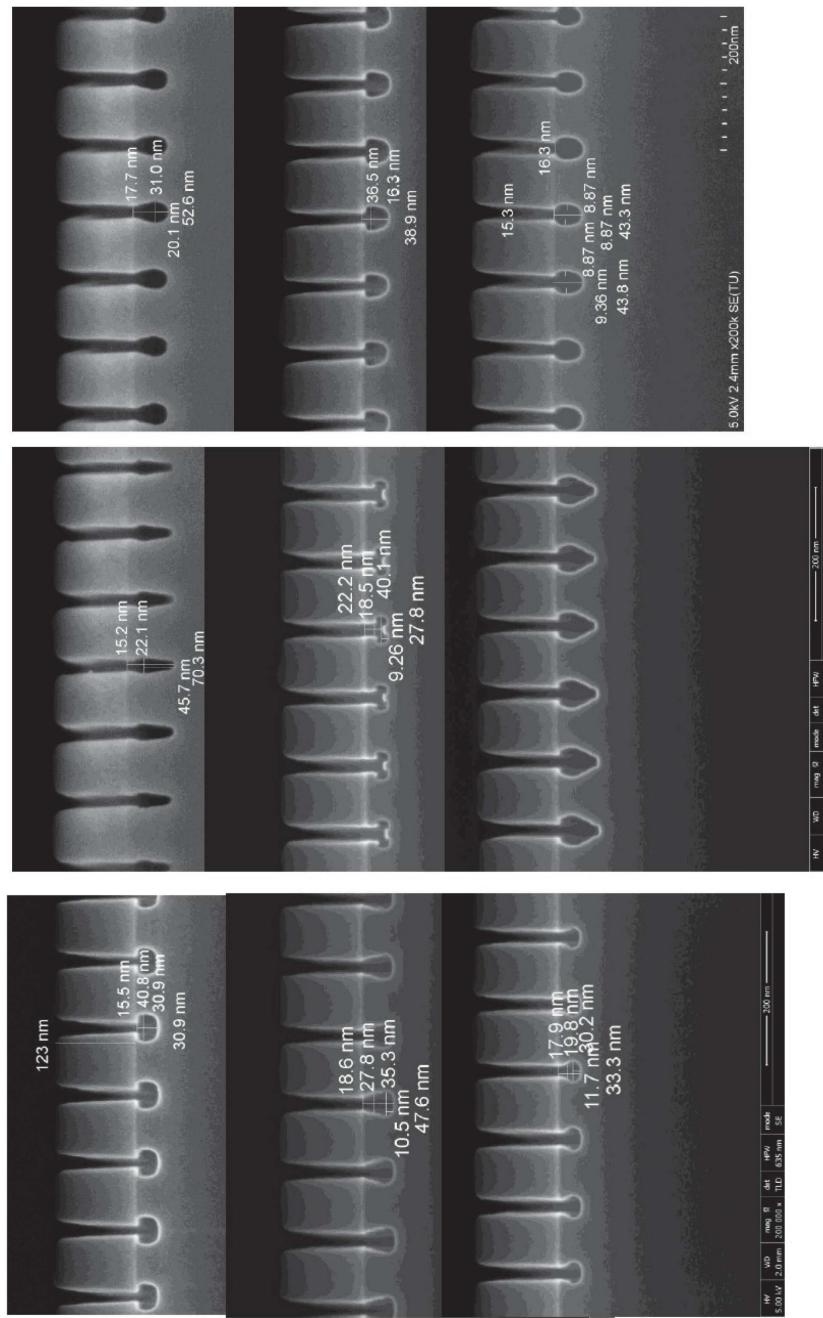
도면18



도면19



도면20



5.0kV 2.4mm×200k SE(TU)

200nm

도면21

