

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6000560号
(P6000560)

(45) 発行日 平成28年9月28日 (2016. 9. 28)

(24) 登録日 平成28年9月9日 (2016. 9. 9)

(51) Int. Cl.	F I	
HO 1 L 21/8242 (2006. 01)	HO 1 L 27/10	6 8 1 B
HO 1 L 27/108 (2006. 01)	HO 1 L 27/10	6 2 1 C
HO 1 L 29/786 (2006. 01)	HO 1 L 27/10	6 7 1 B
G 1 1 C 11/4097 (2006. 01)	HO 1 L 27/10	6 7 1 C
G 1 1 C 11/404 (2006. 01)	HO 1 L 27/10	6 8 1 A
請求項の数 6 (全 22 頁) 最終頁に続く		

(21) 出願番号 特願2012-19406 (P2012-19406)
 (22) 出願日 平成24年2月1日 (2012. 2. 1)
 (65) 公開番号 特開2012-178554 (P2012-178554A)
 (43) 公開日 平成24年9月13日 (2012. 9. 13)
 審査請求日 平成27年1月30日 (2015. 1. 30)
 (31) 優先権主張番号 特願2011-20732 (P2011-20732)
 (32) 優先日 平成23年2月2日 (2011. 2. 2)
 (33) 優先権主張国 日本国 (JP)

(73) 特許権者 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 竹村 保彦
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 審査官 佐藤 靖史

最終頁に続く

(54) 【発明の名称】 半導体メモリ装置

(57) 【特許請求の範囲】

【請求項1】

基板上に設けられた半導体回路と、
前記半導体回路上の、1以上のビット線と4以上のワード線と2以上のメモリブロック
と、を有し、
前記半導体回路は、1以上のセンスアンプ回路を有し、
前記メモリブロックは、2以上のメモリセルと、サブビット線とを有し、
前記メモリセルは、1以上のセルトランジスタと、1以上のキャパシタとを有し、
前記セルトランジスタは、前記サブビット線の上にあり、
前記キャパシタは、前記セルトランジスタの上にあり、
前記ビット線は、前記キャパシタの上にあり、
前記セルトランジスタは、半導体層と前記ワード線のーとで構成され、
前記ワード線のーは、前記セルトランジスタのゲート電極として機能し、
前記半導体層のバンドギャップは、3電子ボルト以上3.8電子ボルト以下であり、
前記ビット線は、前記半導体回路と電氣的に接続され、
前記センスアンプ回路の第1の端子は第1のメモリブロックのサブビット線に接続され
、
前記センスアンプ回路の第2の端子は第2のメモリブロックのサブビット線に接続され
、
前記第1のメモリブロックのサブビット線は、該メモリブロックの半導体層と接続され

10

20

前記第2のメモリブロックのサブビット線は、該メモリブロックの半導体層と接続されていることを特徴とする半導体メモリ装置。

【請求項2】

請求項1において、

前記第1のメモリブロックのサブビット線は、前記第2のメモリブロックのサブビット線と異なる層に形成されていることを特徴とする半導体メモリ装置。

【請求項3】

請求項1または請求項2において、

前記メモリブロックが有するメモリセルは、64以下であることを特徴とする半導体メモリ装置。

10

【請求項4】

請求項1乃至請求項3のいずれか一において、

前記半導体回路は、前記センスアンプ回路を駆動するための回路を有することを特徴とする半導体メモリ装置。

【請求項5】

請求項1乃至請求項4のいずれか一において、

前記半導体層は、凹部あるいは凸部の側面に形成された部分を有することを特徴とする半導体メモリ装置。

20

【請求項6】

請求項1乃至請求項5のいずれか一において、

前記キャパシタの容量は、0.1 fF以上1 fF以下であることを特徴とする半導体メモリ装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体メモリ装置に関する。

【背景技術】

【0002】

1つのトランジスタ（セルトランジスタ）と1つのキャパシタを用いてメモリセルを形成するDRAMは、高集積化でき、原理的に無制限に書き込みでき、さらに、書き込み読み出しの速度も比較的高速でおこなえるため、多くの電子機器で使用されている。DRAMはより集積度を高めるためにさまざまな工夫がなされてきた（特許文献1参照）。

30

【0003】

DRAMは、各メモリセルのキャパシタに電荷を蓄積することにより、データを記憶し、この電荷をビット線に放出することによりデータを読み出す。

【0004】

電荷の放出に伴うビット線の電位の変動は、キャパシタの容量とビット線の寄生容量との比率で決定される。ビット線の寄生容量はビット線の長さにほぼ比例するため、ビット線の長さが変わらなければキャパシタの容量も一定の値が要求される。現在、広く用いられているDRAMではキャパシタは30 fF程度の容量が必要とされる。

40

【0005】

微細化とともに、メモリセルの大きさは縮小する傾向にあるが、上記のようにキャパシタの容量を一定以上に保つ必要から、キャパシタを形成する面積が縮小する中で、従来と同じ容量のキャパシタを形成することが求められてきた。

【0006】

現在、キャパシタはシリコンウェハーに深い穴を掘るトレンチ構造、あるいは、煙突状の突起を設けるスタック構造によって形成されている（非特許文献1、非特許文献2参照）。いずれもアスペクト比は50以上とすることが求められている。すなわち、深さや高さが2 μm以上の極めて細長い構造物を限られた面積に形成する必要があり、これらを歩留

50

まりよく形成することは難しい。

【0007】

このような困難を克服するために、ビット線の支線であるサブビット線を設け、かつ、サブビット線にそれぞれフリップフロップ回路型のセンスアンプを接続し、キャパシタの容量を低減する方法が提案されている（特許文献2参照）。

【0008】

しかしながら、従来の構造のDRAMでは、ワード線上に、ビット線とサブビット線を重ねて設けることが求められる。スタックキャパシタを採用した場合、ワード線上にはこのように多くの構造物が設けられることから、回路設計や作製が困難となる。

【0009】

また、キャパシタの容量を低減すると、その分、リフレッシュの間隔が短くなることも問題である。例えば、容量を1/10とした場合、セルトランジスタのオフ抵抗が不変であれば、キャパシタに電荷が保持される時間も1/10となるので、通常の場合の1/10の間隔でリフレッシュをおこなう（すなわち、10倍の頻度でリフレッシュをおこなう）必要がある。特許文献2をはじめとする分割ビット線構造に関する提案は多いが、この点に関して明確な解決策を示している例は見られない。

【先行技術文献】

【特許文献】

【0010】

【特許文献1】米国特許第5302843号

【特許文献2】米国特許第4777625号

【非特許文献】

【0011】

【非特許文献1】Kim, "Technology for sub-50nm DRAM and NAND Flash Manufacturing" TECHNICAL DIGEST OF INTERNATIONAL ELECTRON DEVICES MEETING, pp333-336, 2005

【非特許文献2】Mueller et al., "Challenges for the DRAM Cell Scaling to 40nm" TECHNICAL DIGEST OF INTERNATIONAL ELECTRON DEVICES MEETING, pp347-350, 2005

【発明の概要】

【発明が解決しようとする課題】

【0012】

本発明の一は、キャパシタの容量を従来のDRAMに用いられている値以下、具体的には1fF以下、好ましくは0.1fF以下としても十分に機能するメモリ装置を提供することを課題とする。また、本発明の一は、キャパシタに必要な深さあるいは高さを1μm以下、好ましくは、0.3μm以下であるメモリ装置を提供することを課題とする。

【0013】

また、本発明の一は、新規な構造のメモリ装置あるいはその駆動方法を提供することを課題とする。特に消費電力を低減できるメモリ装置あるいはメモリ装置の駆動方法を提供することを課題とする。

【課題を解決するための手段】

【0014】

以下、本発明の説明をおこなうが、本明細書で用いる用語について簡単に説明する。まず、トランジスタのソースとドレインについては、本明細書においては、一方をドレインと呼ぶとき他方をソースとする。すなわち、電位の高低によって、それらを区別しない。したがって、本明細書において、ソースとされている部分をドレインと読み替えることもできる。

【0015】

10

20

30

40

50

さらに、本明細書においては、「接続する」と表現される場合であっても、現実の回路においては、物理的な接続部分が明確でなく、配線が延在している場合だけのこともある。例えば、絶縁ゲート型電界効果トランジスタ(MISFET)の回路では、一本の配線が複数のMISFETのゲートを兼ねている場合もある。その場合、回路図では、一本の配線からゲートに何本もの分岐が生じるように書かれることもある。本明細書では、そのような場合でも、「配線がゲートに接続する」という表現を用いることがある。

【0016】

なお、本明細書では、マトリクスにおいて特定の行や列、位置を扱う場合には、符号に座標を示す記号をつけて、例えば、「選択トランジスタSTr_nm」、「ビット線MBL_m」、「サブビット線SBL_nm」というように表記するが、特に、行や列、位置を特定しない場合や集合的に扱う場合、あるいはどの位置にあるか明らかである場合には、「選択トランジスタSTr」、「ビット線MBL」、「サブビット線SBL」、あるいは、単に「選択トランジスタ」、「ビット線」、「サブビット線」というように表記することもある。

【0017】

本発明の一態様は、基板上に形成されたセンスアンプ回路と、センスアンプ回路上に形成されたサブビット線と、サブビット線上に形成された島状の半導体領域と、島状の半導体領域上に形成されたワード線およびキャパシタと、キャパシタを覆うビット線を有することを特徴とする半導体メモリ装置である。

【0018】

また、本発明の一態様は、1以上のビット線と4以上のワード線と2以上のメモリブロックと1以上のセンスアンプ回路とを有する半導体メモリ装置であって、各メモリブロックは、2以上のメモリセルと、サブビット線とを有し、各メモリセルは1以上の島状の半導体領域とキャパシタを有し、センスアンプ回路の第1の端子は第1のメモリブロックのサブビット線に接続し、センスアンプ回路の第2の端子は第2のメモリブロックのサブビット線に接続する回路構成を有し、第1のメモリブロックのサブビット線と第2のメモリブロックのサブビット線はワード線の下にあり、ビット線はワード線の上にあることを特徴とする半導体メモリ装置である。

【0019】

ここで、サブビット線の下にはセンスアンプ回路以外に上記のビット線やワード線に信号を送るための回路(デコーダ等)が設けられていてもよい。また、島状の半導体領域は平坦面以外に凹部あるいは凸部に設けられていてもよい。隣接するサブビット線の高さあるいは深さは異なってもよい。

【0020】

また、キャパシタの容量は0.1 fF以上1 fF以下であってもよい。さらに、1つのメモリブロックが有するメモリセルは64個以内とすることが望ましい。なお、エラーを防止する観点からは、キャパシタの容量は、センスアンプ回路の容量の10倍以上であることが望ましい。

【0021】

また、上記の半導体メモリ装置に用いられるセルトランジスタのオフ抵抗は、 1×10^1 以上、好ましくは 1×10^2 以上とするとよい。また、このような高いオフ抵抗を得るためには、半導体として酸化物半導体等のワイドバンドギャップ半導体を用いてもよい。あるいは、半導体領域の厚さを5 nm以下、好ましくは1 nm以下の超薄膜としてもよい。

【発明の効果】

【0022】

上記の構成においては、島状の半導体領域とワード線によってセルトランジスタが構成される。上記のように、サブビット線はセルトランジスタの下方にあり、また、ワード線およびキャパシタはセルトランジスタの上方にある。このため、キャパシタの位置に関係なくサブビット線を配置できるため、極めて効率的なレイアウトとなり、1メモリセルの面

10

20

30

40

50

積は理想的には $6F^2$ (F は最小加工寸法、Featured Size)まで縮小できる。

【0023】

また、島状の半導体領域を凹部に設ける場合、ワード線は主に凹部の側面に形成されるが、サブビット線へのコンタクトプラグを凹部の底面形成したコンタクトホール中に設ければよいので、1メモリセルの面積は理想的には $4F^2$ まで縮小できる。島状の半導体領域を凸部に設ける場合も同様である。

【0024】

なお、凹部あるいは凸部の側面にワード線が形成される場合は、ワード線をゲートとするトランジスタのチャンネル長は、概略、凹部あるいは凸部の側面の高さあるいは深さ程度である。したがって、例えば、そのような高さや深さを適切に設定することにより、集積度を損ねること無く、最小加工寸法よりチャンネル長を大きくでき、短チャンネル効果を抑制できる。

10

【0025】

また、上記の構成では、サブビット線はキャパシタやワード線とは離れた位置にあるため、それらとの間での寄生容量も削減できる。サブビット線の寄生容量が小さくなれば、メモリセルに設けるキャパシタの容量もそれに比例して小さくすることができる。

【0026】

特に上記の構成では、ビット線の寄生容量よりも、サブビット線の寄生容量を小さくすると効果が顕著である。すなわち、ビット線の寄生容量は上記構成においては信号遅延にのみ関与するのに対し、サブビット線の寄生容量は、キャパシタの容量をも決定するからである。

20

【0027】

上記の構成を採用すれば、ビット線の寄生容量は従来の構造のDRAMの2倍であっても読み出しに要する時間はほとんど変わらない。従来の構造のDRAMではキャパシタの電荷をビット線に開放して、その電位変動を観測するが、ビット線の電位が安定するまで、信号遅延時間の2倍以上の時間を要する。その後、センスアンプを稼働させるため、読み出しには信号遅延時間の数倍の時間が必要である。

【0028】

一方、上記の構成では、キャパシタの電荷はサブビット線に開放されるが、サブビット線の寄生容量は、従来の構造のDRAMのビット線に比べてはるかに小さい。従来の構造のDRAMでは、1つのビット線に2千個程度のメモリセルが設けられ、ビット線の寄生容量は $200fF$ 程度である。

30

【0029】

これに対し、例えば、1つのメモリブロックに64個のメモリセルがある場合、サブビット線の寄生容量は $8fF$ 程度であるため、センスアンプを稼働させるまでの時間は、従来の構造のDRAMの4%程度であり、無視できる。

【0030】

サブビット線からビット線に信号を取り出すのに要する時間はビット線の寄生容量に依存し、これが、従来の構造のDRAMの2倍であるとしても、従来の構造のDRAMにおいてセンスアンプが稼働するタイミングで、すでにデータを取り出すことができるのである。

40

【0031】

また、キャパシタの容量が小さいということは、従来のDRAMのようなアスペクト比の大きな構造物が不要ということである。そのため、キャパシタ上にビット線を配置することも容易にできる。

【0032】

なお、上記の構成では、サブビット線はセルトランジスタの下方にあり、特に障害となるような構造物が設けられていないことから、サブビット線を配置する深さは任意に設定できる。もちろん、サブビット線を他の配線から離れて形成することでより寄生容量を低減

50

できる。また、隣接するサブビット線の深さを異なるものとすることによって、隣接するサブビット線間に生じる寄生容量をも低減できる。

【0033】

また、サブビット線の下にはワード線やビット線、サブビット線等を駆動するための回路（駆動回路）を設けることにより、チップ面積を削減できる。一般に従来のDRAMのチップの表面の2割乃至5割はセンスアンプを含む駆動回路である。駆動回路とメモリセルの形成された回路（メモリセルアレイ）を重ねることにより、チップ面積を削減することができ、また、同じチップ面積であれば、より多くのメモリセルを形成できる。

【図面の簡単な説明】

【0034】

【図1】本発明の半導体メモリ装置の作製方法の例を説明する図である。

【図2】本発明の半導体メモリ装置の作製方法の例を説明する図である。

【図3】本発明の半導体メモリ装置の作製方法の例を説明する図である。

【図4】本発明の半導体メモリ装置に適用される回路の例を説明する図である。

【図5】本発明の半導体メモリ装置に適用される回路の例を説明する図である。

【図6】本発明の半導体メモリ装置に適用される回路の例を説明する図である。

【図7】本発明の半導体メモリ装置の作製方法の例を説明する図である。

【図8】本発明の半導体メモリ装置の作製方法の例を説明する図である。

【図9】本発明の半導体メモリ装置の構成の例を説明する図である。

【発明を実施するための形態】

【0035】

以下、実施の形態について図面を参照しながら説明する。但し、実施の形態は多くの異なる態様で実施することが可能であり、趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は、以下の実施の形態の記載内容に限定して解釈されるものではない。

【0036】

また、第1、第2という序数は構成物の混同をさけるために付記するものであり、必ずしも順序を意味するものではない。例えば、第1層間絶縁体の下層に別の層間絶縁体があってもよく、第1コンタクトプラグと第2コンタクトプラグの中間の層に別のコンタクトプラグを設けることもできる。

【0037】

（実施の形態1）

図4（A）、図4（B）、図5および図6は本実施の形態が適用されるDRAMの回路の例を示す。図4（A）は1つのメモリブロックおよびそれに関連するセンスアンプ回路の配置を示す。図4（A）に示すように、第n行第m列のメモリブロックMBK_{n,m}は、選択トランジスタSTr_{n,m}とサブビット線SBL_{n,m}と複数（図4（A）では4つ）のメモリセルMC_{n,m,1}乃至MC_{n,m,4}を有する。

【0038】

図4（A）では、メモリセルMCはメモリブロックMBKに4つ設けられているが、より多くのメモリセルを設けてもよい。例えば、1つのメモリブロックMBKに含まれるメモリセルMCの数は2乃至64とするとよい。メモリセルの数が多くなるとサブビット線SBLが長くなり、それに伴って、寄生容量も増加する。メモリセルMCのキャパシタの容量が一定であると、サブビット線SBLの寄生容量に対する比率が低下するため、信号をセンスアンプ回路SAで増幅する際の誤動作が発生しやすくなる。

【0039】

選択トランジスタSTr_{n,m}のゲートは選択線SL_nに、ソースはビット線MBL_mに、ドレインはサブビット線SBL_{n,m}に、それぞれ接続する。また、個々のメモリセルは1つのセルトランジスタと1つのキャパシタを有し、セルトランジスタのゲートはワード線WL_{n,1}乃至WL_{n,4}に、ドレインはサブビット線SBL_{n,m}に、ソースはキャパシタの一電極にそれぞれ接続する。なお、1つのメモリセルが2つ以

10

20

30

40

50

上のセルトランジスタや2つ以上のキャパシタを有してもよい。

【0040】

また、センスアンプ回路 $S A_{n,m}$ は、例えば、インバータを2つ組み合わせたフリップフロップ回路で構成できるが、これに限らない。さらに、センスアンプ回路 $S A_{n,m}$ の第1電極はサブビット線 $S B L_{n,m}$ と接続し、センスアンプ回路 $S A_{n,m}$ の第2電極は参照電位 V_{REF} に保持される。参照電位 V_{REF} としては、他のサブビット線等を用いることができるが、それについては後述する。

【0041】

このようなメモリブロック $M B K$ を図4(B)に示すようにマトリクス状に形成する。なお、図4(B)ではワード線は表記していない。

10

【0042】

選択トランジスタ $S T r$ 、各メモリセル $M C$ のセルトランジスタ、センスアンプ回路 $S A$ に用いられるトランジスタにはさまざまな半導体を用いることができる。例えば、これら全てを同種の半導体材料としてもよい。また、例えば、選択トランジスタ $S T r$ およびセンスアンプ回路 $S A$ に用いられるトランジスタは単結晶シリコン半導体基板を用いて作製し、各メモリセル $M C$ のトランジスタには薄膜の半導体層を用いて形成してもよい。その場合、薄膜の半導体層としては、単結晶シリコンあるいは多結晶シリコンを用いてもよいし、シリコン以外の半導体、例えば、酸化物半導体や窒化物半導体、硫化物半導体を用いてもよい。

【0043】

特に、酸化物半導体の中でも、バンドギャップが3電子ボルト以上のものでは、ドナーあるいはアクセプタの濃度を $1 \times 10^{12} \text{ cm}^{-3}$ 以下とすることにより、オフ時の抵抗を極めて高くできる。すなわち、ゲートの電位を最適化することにより、オフ状態でのソースとドレイン間の抵抗(オフ抵抗)を 1×10^{24} 以上とすることができる。

20

【0044】

セルトランジスタのオフ抵抗が 1×10^{24} であれば、例えば、メモリセルのキャパシタの容量を従来の $D R A M$ の $1/100$ 以下の $1 \times 10^{-16} \text{ F}$ としても、時定数が 1×10^8 秒(約3年)であり、従来の $D R A M$ では想定できない期間にわたってデータを保持できる。すなわち、従来の $D R A M$ では1秒間に10回以上も必要であったリフレッシュ(キャパシタに蓄えられた電荷が減少することを補うために、データを再書き込みすること)が通常の使用では不要となることである。

30

【0045】

$D R A M$ のデータの書き込みに際しては、ビット線に流れる電流の多くは、メモリセルのキャパシタの充電以外に、ビット線間の寄生容量の充放電に使用されている。ビット線間の寄生容量は、配線幅が縮小するに伴って増大するため、集積化の進んだ現状ではメモリセルのキャパシタの充電の10倍以上の電流がビット線間の寄生容量の充放電に使用されている。

【0046】

言うまでもなく、ビット線間の寄生容量の充放電はデータの保持とは無関係な現象であり、リフレッシュをおこなうことは消費電力の増大を意味する。その意味で、リフレッシュ回数を減らす、あるいはリフレッシュを不要とすることは、消費電力を抑制する上で効果がある。

40

【0047】

図4(A)の半導体メモリ装置の動作について説明する。最初に書き込みについて説明する。例えば、第 n 行第 m 列のメモリブロックの2番目のメモリセル $M C_{n,m,2}$ にデータを書き込む場合およびメモリセル $M C_{n,m,2}$ からデータを読み出す場合を考える。ここでは、ビット線 $M B L_m$ の電位は、データに応じて、0Vあるいは+1Vとする。なお、書き込む電位は適宜設定できる。

【0048】

また、ワード線や選択線に接続するトランジスタをオンとするようにそれらに電位を与え

50

る場合を「(ワード線や選択線の)電位をHとする」と表現し、トランジスタをオフとするようにそれらに電位を与える場合を「(ワード線や選択線の)電位をLとする」と表現する。

【0049】

また、センスアンプ回路SA_nmの参照電位V_{REF}は+0.5Vであり、増幅する対象であるサブビット線SBL_nmの電位が参照電位V_{REF}より高ければサブビット線SBL_nmに+1Vを出力し、低ければ0Vを出力するものとする。

【0050】

最初に書き込みについて説明する。選択線SL_nとワード線WL_n2の電位をHとし、選択トランジスタSTr_nmとメモリセルMC_nm2のセルトランジスタをオンとする。また、ビット線MBL_mを書き込むデータに応じたものとする。この結果、メモリセルMC_nm2のキャパシタがビット線MBL_mの電位に充電される。

10

【0051】

充電が完了すると、選択線SL_nとワード線WL_n2の電位をLとし、選択トランジスタSTr_nmとメモリセルMC_nm2のセルトランジスタをオフとする。以上でデータの書き込みが完了する。

【0052】

次に、メモリセルMC_nm2の読み出しについて説明する。ここで、メモリセルMC_nm2のキャパシタの容量はサブビット線SBL_nmの寄生容量およびセンスアンプ回路SA_nmの容量(ゲート容量と寄生容量を含む)の和の1/4であるとする。なお、本実施の形態のメモリ装置を作製するにあたって、メモリセルMCのキャパシタの容量はサブビット線SBLの寄生容量およびセンスアンプ回路SAの容量(ゲート容量と寄生容量を含む)の和の10%以上であることが好ましい。

20

【0053】

また、キャパシタの容量が小さい場合には、セルトランジスタのゲート容量も無視できなくなるので注意が必要であるが、必要なとき以外はセルトランジスタをオフとすることでゲート容量を回路から消去できる。ただし、その場合には、セルトランジスタを少なくとも2回オフとする操作が必要であり、その分、消費電力が多くなる。

【0054】

まず、ビット線MBL_mの電位を+0.5Vとし、選択線SL_nの電位をHとして、選択トランジスタSTr_nmをオンとする。この結果、サブビット線SBL_nmの電位は+0.5Vとなる。

30

【0055】

次に、選択線SL_nの電位をLとして、選択トランジスタSTr_nmをオフとする。その後、ワード線WL_n2の電位をHとして、メモリセルMC_nm2のセルトランジスタをオンとする。その結果、サブビット線SBL_nmの電位が変動する。選択トランジスタSTr_nmがオフであるので、電位の変動に関しては、ここでは、メモリセルMC_nm2のキャパシタの容量、サブビット線SBL_nmの寄生容量およびセンスアンプ回路SA_nmの容量のみを考慮すればよい。

40

【0056】

上記のように、メモリセルMC_nm2のキャパシタの容量はサブビット線SBL_nmの寄生容量およびセンスアンプ回路SA_nmの容量の和の1/4であるので、サブビット線SBL_nmの電位は、+0.4Vもしくは+0.6Vのいずれかとなる。

【0057】

その後、センスアンプ回路SA_nmを作動させ、サブビット線SBL_nmと参照電位V_{REF}の電位差を増幅する。すなわち、当初、参照電位V_{REF}よりも低い+0.4Vであれば、サブビット線SBL_nmの電位は0Vとなり、参照電位V_{REF}よりも高い+0.6Vであれば、サブビット線SBL_nmの電位は+1Vとなる。

50

【0058】

なお、メモリセルMC_n_m₂のセルトランジスタはオンであるので、そのキャパシタは自動的にサブビット線SBL_n_mの電位に充電されるが、その電位は書き込み時の電位と同じである。キャパシタへの充電後は、ワード線WL_n₂の電位をLとして、メモリセルMC_n_m₂のセルトランジスタをオフとしてもよい。

【0059】

また、選択線SL_nの電位をHとして、選択トランジスタSTr_n_mをオンとし、ビット線MBL_mの電位をサブビット線SBL_n_mの電位と等しくする。このビット線MBL_mの電位を読み取ることでデータの読み出しができる。

【0060】

上記の参照電位V_{REF}として、他のサブビット線の電位を用いることができる。例えば、図5はオープンビット線型DRAMに本発明の技術思想の1つを反映させたものであるが、ここでは、第(n+1)行第(m+1)列のメモリブロックMBK_{n+1}_{m+1}のサブビット線SBL_{n+1}_{m+1}を参照電位としたものである。

【0061】

言うまでもなく、フリップフロップ型のセンスアンプ回路においては、第1電極と第2電極(すなわち、2つの入出力端子)は等価であるため、逆にサブビット線SBL_n_mの電位が、サブビット線SBL_{n+1}_{m+1}の参照電位としても用いられることもある。すなわち、この例のように、フリップフロップ型のセンスアンプ回路は、サブビット線SBL_n_mの電位とサブビット線SBL_{n+1}_{m+1}の電位の差の増幅に用いられる。このような特性のため、ここではセンスアンプ回路SA_n_m/n+1_{m+1}と表記する。

【0062】

同様に、第(n+1)行第m列のメモリブロックMBK_{n+1}_mのサブビット線SBL_{n+1}_mと第(n+2)行第(m+1)列のメモリブロックMBK_{n+2}_{m+1}のサブビット線SBL_{n+2}_{m+1}との電位の差を増幅するために、それらに接続するセンスアンプ回路SA_{n+1}_m/n+2_{m+1}が設けられる。また、第n行第(m+1)列のメモリブロックMBK_n_{m+1}のサブビット線SBL_n_{m+1}の電位は、センスアンプ回路SA_{n-1}_m/n_{m+1}によって、第(n-1)行第m列のメモリブロックMBK_{n-1}_mのサブビット線SBL_{n-1}_mの電位と比較、増幅される。

【0063】

図5の回路の動作について説明する。書き込みは図4(A)に示した場合と同じであるので省略し、以下では読み出しについて説明する。例えば、メモリセルMC_n_m₂のデータを読み出す場合を考える。

【0064】

まず、ビット線MBL_mおよびビット線MBL_{m+1}の電位を+0.5Vとする。また、選択線SL_nおよび選択線SL_{n+1}の電位をHとして、選択トランジスタSTr_n_mと選択トランジスタSTr_{n+1}_{m+1}をオンとする。その後、選択線SL_nおよび選択線SL_{n+1}の電位をLとして、選択トランジスタSTr_n_mと選択トランジスタSTr_{n+1}_{m+1}をオフとする。この結果、サブビット線SBL_n_mとサブビット線SBL_{n+1}_{m+1}の電位は+0.5Vとなる。

【0065】

次に、ワード線WL_n₂の電位をHとして、メモリセルMC_n_m₂のセルトランジスタをオンとする。その結果、サブビット線SBL_n_mの電位、+0.4Vもしくは+0.6Vのいずれかとなる。一方、サブビット線SBL_{n+1}_{m+1}に接続するメモリセルではオンとなるセルトランジスタがないため、サブビット線SBL_{n+1}_{m+1}の電位は+0.5Vのままである。

【0066】

その後、センスアンプ回路SA_n_m/n+1_{m+1}を作動させ、サブビット線SBL

10

20

30

40

50

L_n_m の電位を増幅する。すなわち、当初、サブビット線 SBL_n+1_m+1 の電位(+0.5V)よりも低い+0.4Vであれば、サブビット線 SBL_n_m の電位は0Vとなり、サブビット線 SBL_n+1_m+1 の電位よりも高い+0.6Vであれば、サブビット線 SBL_n_m の電位は+1Vとなる。

【0067】

その後、選択線 SL_n の電位をHとして、選択トランジスタ STr_n_m をオンとし、ビット線 MBL_m の電位をサブビット線 SBL_n_m の電位と等しくする。このビット線 MBL_m の電位を読み取ることでデータの読み出しができる。

【0068】

上記の過程においては、ワード線 WL_n_2 に接続する他のメモリセル(例えば、メモリセル $MC_n_m+1_2$)のセルトランジスタもオンとなり、キャパシタに蓄えられていた電荷が放出されるので、それを回復するために例えば、センスアンプ回路 SA_n-1_m/n_m+1 も同様に作動させる必要がある。

10

【0069】

図6はフォールデッドビット線型DRAMに本発明の技術思想の1つを反映させたものであるが、ここでは、第n行第m列のメモリブロック MBK_n_m のサブビット線 SBL_n_m の電位と第n行第(m+1)列のメモリブロック MBK_n_m+1 のサブビット線 SBL_n_m+1 の電位差を、センスアンプ回路 SA_n_m/n_m+1 で増幅する。

【0070】

なお、フォールデッドビット線型DRAMでは、ワード線とサブビット線の交点の半分のみメモリセルが設けられる構造であるため、集積度はオープンビット線型に比較して集積度が低下する。

20

【0071】

図6の回路の動作について説明する。書き込みは図4(A)に示した場合と同じであるので省略し、以下では読み出しについて説明する。例えば、メモリセル $MC_n_m_3$ のデータを読み出す場合を考える。

【0072】

まず、ビット線 MBL_m およびビット線 MBL_m+1 の電位を+0.5Vとする。また、選択線 SL_n の電位をHとして、選択トランジスタ STr_n_m と選択トランジスタ STr_n_m+1 をオンとする。その後、選択線 SL_n の電位をLとして、選択トランジスタ STr_n_m と選択トランジスタ STr_n_m+1 をオフとする。この結果、サブビット線 SBL_n_m とサブビット線 SBL_n_m+1 の電位は+0.5Vとなる。

30

【0073】

次に、ワード線 WL_n_3 の電位をHとして、メモリセル $MC_n_m_3$ のセルトランジスタをオンとする。その結果、サブビット線 SBL_n_m の電位は+0.4Vもしくは+0.6Vのいずれかとなる。一方、サブビット線 SBL_n_m+1 に接続するメモリセルではオンとなるセルトランジスタがないため、サブビット線 SBL_n+1_m+1 の電位は+0.5Vのままである。

40

【0074】

その後、センスアンプ回路 SA_n_m/n_m+1 を作動させ、サブビット線 SBL_n_m の電位を増幅する。その後、選択線 SL_n の電位をHとして、選択トランジスタ STr_n_m と選択トランジスタ STr_n_m+1 をオンとし、ビット線 MBL_m の電位をサブビット線 SBL_n_m の電位と等しくする。このビット線 MBL_m の電位を読み取ることでデータの読み出しができる。

【0075】

図5あるいは図6に使用できるセンスアンプ回路SAおよび選択トランジスタSTrの回路レイアウトの例を図7(A)乃至図7(F)に示す。図7(A)乃至図7(C)は、図6のフォールデッドビット線型DRAMの回路に用いることのできるセンスアンプの配線

50

等のレイアウトを、図7(D)乃至図7(F)は、図5のオープンビット線型の回路に用いることのできるセンスアンプの配線等のレイアウトを示す。詳細は公知の半導体集積回路技術を参照できる。

【0076】

図7(A)は半導体基板等に形成される素子形成領域とその上に設けられる第1配線等の例を示している。すなわち、素子形成領域302nと素子形成領域302pを設け、その上に重ねて第1配線301a乃至301cを形成する。これらはいずれもトランジスタのゲートとして機能する。例えば、第1配線301aは選択線SLとして機能する。また、第1配線301bおよび301cはセンスアンプ回路SA内のインバータのゲートとなる。

10

【0077】

第1配線301a乃至301cを用いて自己整合的にn型あるいはp型の不純物をドーピングできる。ここでは、素子形成領域302nにn型トランジスタを、素子形成領域302pにp型トランジスタを形成する。さらに、素子形成領域302nと素子形成領域302pには図に示すように上層への接続に用いる第1コンタクトプラグを設ける。

【0078】

図7(B)は、図7(A)に示した回路の上に形成される第2配線303a、303b、303n、303pと上層への第2コンタクトプラグのレイアウトを示す。第2配線303aおよび303bはn型トランジスタのドレインとp型トランジスタのドレインを接続するために設けられ、第2配線303nおよび303pは、それぞれ、n型トランジスタおよびp型トランジスタのソースに接続して、センスアンプに電源を供給するために用いられる。

20

【0079】

さらに、第1配線301bと上層、第1配線301cと上層、第2配線303aと上層、および第2配線303bと上層等への接続のために第2コンタクトプラグが設けられる。

【0080】

図7(C)は、図7(B)に示した回路の上に形成される第3配線304a、304bと上層への第3コンタクトプラグのレイアウトを示す。第3配線304a、304bはサブビット線である。また、第3コンタクトプラグ305aおよび305bはさらに上層に設けられるビット線に接続するためのものである。上層では、ビット線はサブビット線と平行に設けられるとよいが、45°未満の角度を有してもよい。

30

【0081】

なお、第3配線304aは図の上方に形成されるインバータのゲートと下方に形成されるインバータの出力を接続し、第3配線304bは図の下方に形成されるインバータのゲートと上方に形成されるインバータの出力を接続する。

【0082】

図7(D)は半導体基板等に形成される素子形成領域とその上に設けられる第1配線等の例を示している。すなわち、素子形成領域352nと素子形成領域352pを設け、その上に重ねて第1配線351a乃至351dを形成する。第1配線351aは例えば、選択線SL_nとして、また、第1配線351bは次の行の選択線SL_{n+1}として機能する。

40

【0083】

ここでは、素子形成領域352nにn型トランジスタを、素子形成領域352pにp型トランジスタを形成する。さらに、素子形成領域352nと素子形成領域352pには図に示すように上層への接続に用いる第1コンタクトプラグを設ける。

【0084】

図7(E)は、図7(D)に示した回路の上に形成される第2配線353a、353b、353n、353pと上層への第2コンタクトプラグのレイアウトを示す。第2配線353aおよび353bはn型トランジスタのドレインとp型トランジスタのドレインを接続するために設けられ、第2配線353nおよび353pは、それぞれ、n型トランジスタ

50

および p 型トランジスタのソースに接続して、センスアンプに電源を供給するために用いられる。

【0085】

さらに、第1配線351cと上層、第1配線351dと上層、第2配線353aと上層、および第2配線353bと上層等への接続のために第2コンタクトプラグが設けられる。

【0086】

図7(F)は、図7(E)に示した回路の上に形成される第3配線354a、354bと上層への第3コンタクトプラグのレイアウトを示す。第3配線354a、354bはサブビット線である。また、第3コンタクトプラグ355aおよび355bはさらに上層に設けられるビット線に接続するためのものである。

10

【0087】

なお、第3配線354aは図の上方に形成されるインバータのゲートと下方に形成されるインバータの出力を接続し、第3配線354bは図の下方に形成されるインバータのゲートと上方に形成されるインバータの出力を接続する。

【0088】

本実施の形態の半導体メモリ装置では、メモリセルは上記したセンスアンプ等の回路の上に形成される。その作製工程を図1(A)、図1(B)、図2および図3を用いて説明する。図1(A)、図1(B)、図2および図3は半導体メモリ装置のサブビット線に平行な一断面を示す。

【0089】

20

<図1(A)>

基板101上に、上記のようにトランジスタを含む半導体回路102を形成する。そして、適切な厚さの第1絶縁体103と第1コンタクトプラグ104を形成する。基板101には、表面に単結晶半導体を有するもの(例えば、単結晶半導体基板やSOI基板)を用いることが好ましい。単結晶半導体としては、単結晶シリコン、単結晶ゲルマニウム、単結晶シリコンゲルマニウム、単結晶ガリウム砒素、単結晶インジウム燐、単結晶インジウム砒素等を用いることができる。

【0090】

そして、第1コンタクトプラグに接するようにサブビット線105a、105c、接続電極105bを形成する。さらに、その上に適切な厚さの第2絶縁体106とサブビット線105a、105c、接続電極105bに接続する第2コンタクトプラグ107を形成する。第1絶縁体103と第2絶縁体106の厚さは、サブビット線の寄生容量を決定する上で重要である。100nm乃至1 μ mとすることが好ましい。また、第1絶縁体103と第2絶縁体106は酸化シリコン等の比較的誘電率の低い材料で形成するとよい。

30

【0091】

<図1(B)>

島状の半導体領域108a、108bを形成し、これを覆ってゲート絶縁体109を形成する。半導体領域108a、108bおよびゲート絶縁体109の厚さは適宜、決定できるが、トランジスタのチャネル長が短い場合には、いずれも薄くすることが好ましく、例えば、チャネル長の1/50乃至1/5とするとよい。なお、ゲート絶縁体109の厚さはトンネル電流等が問題とならない程度に薄くするとよい。また、ゲート絶縁体109は比誘電率が10以上の材料で形成してもよい。

40

【0092】

半導体領域108a、108bに用いる半導体の種類には制約は無いが、移動度が5cm²/Vs以上であることが好ましい。例えば、多結晶シリコン、多結晶ゲルマニウム、多結晶シリコンゲルマニウム、インジウム酸化物あるいはインジウム酸化物に他の金属元素を添加した酸化物、窒化ガリウムあるいは窒化ガリウムに酸素を添加した化合物、砒化ガリウム、砒化インジウム、硫化亜鉛等を用いればよい。

【0093】

半導体領域108a、108bはセルトランジスタを構成するものであるが半導体の電界

50

効果移動度は、さほど問題とならず、メモリセルのセルトランジスタのオン抵抗とキャパシタの容量との積が 1 n s e c 以下となるように材料を選定し、チャンネル長、チャンネル幅を決定すればよい。例えば、キャパシタの容量を 1 f F とするのであれば、オン抵抗は 1 M 以下であればよい。

【0094】

本実施の形態の半導体メモリ装置では、オン抵抗よりも、むしろ、オフ抵抗の方が重要である。セルトランジスタのオフ抵抗はメモリセルのキャパシタの容量との比較で決定される。リフレッシュ周期が従来のDRAMと同程度であり、メモリセルのキャパシタの容量が従来のDRAMの $1/10$ であれば、オフ抵抗は従来のDRAMのセルトランジスタの10倍必要である。

10

【0095】

さらにセルトランジスタのオフ抵抗を上昇させるとメモリセルのリフレッシュ周期をより長くできるので好ましい。例えば、従来のセルトランジスタの100万倍のオフ抵抗であれば、実用的にはリフレッシュ動作を必要としないで使用できる。

【0096】

このような非常に高いオフ抵抗を得るためには、バンドギャップが2.5電子ボルト以上4電子ボルト以下、好ましくは3電子ボルト以上3.8電子ボルト以下のワイドバンドギャップ半導体を使用することが好ましい。例えば、酸化インジウム、酸化亜鉛等の酸化物半導体、窒化ガリウム等の窒化物半導体、硫化亜鉛等の硫化物半導体等を用いればよい。

【0097】

オフ抵抗は、熱的に励起するキャリアの濃度に反比例する。ドナーやアクセプタによるキャリアが全く存在しない状態（真性半導体）であっても、シリコンの場合にはバンドギャップが1.1電子ボルトなので、室温（ 300 K ）での熱励起キャリアの濃度は $1 \times 10^{11} \text{ cm}^{-3}$ 程度である。

20

【0098】

一方、バンドギャップ3.2電子ボルトの半導体では熱励起キャリアの濃度は $1 \times 10^{-7} \text{ cm}^{-3}$ 程度となる。電子移動度が同じ場合、抵抗率は、キャリア濃度に反比例するので、バンドギャップ3.2電子ボルトの半導体の抵抗率は、シリコンより18桁も大きい。

【0099】

なお、ドナーやアクセプタによるキャリアは極力、低濃度であることが好ましく、その濃度は、 $1 \times 10^{12} \text{ cm}^{-3}$ 以下とすることが好ましい。これらのキャリア濃度によりトランジスタのしきい値が決定される。

30

【0100】

なお、シリコンを用いても、セルトランジスタのオフ抵抗を従来の100倍程度とすることは可能である。シリコンを用いるトランジスタでは、ソースドレイン間の抵抗はpn接合によって決定される。pn接合は、双方の不純物濃度が高くなると空乏層が薄くなり、トンネル電流が生じるため絶縁性が悪化する。したがって、少なくともチャンネルが形成される部分のドナーあるいはアクセプタの濃度は $1 \times 10^{14} \text{ cm}^{-3}$ 以下とすることが好ましい。

40

【0101】

しかしながら、チャンネルが形成される部分がそのような低濃度では、ソースからキャリアが侵入することにより絶縁性が悪化する。このことに対しては、半導体領域108a、108bを厚さ5nm以下、好ましくは1nm以下に薄膜化することで対応できる。あるいは、チャンネルを縦方向に形成し、実質的なチャンネル長を長くしてもよい。これらのことは、酸化物半導体等のワイドバンドギャップ半導体を用いる場合にも適用できる。

【0102】

加えて、後に形成するワード線が半導体領域にゲート絶縁体109を介して向かい合う面に、仕事関数が5電子ボルト以上の材料（例えば、白金、パラジウム等の白金族元素や窒化インジウム、窒化亜鉛等の窒化物、あるいはp型シリコン等）を用いるとよい。

50

【0103】

半導体領域108a、108bとゲート絶縁体109を形成した後、ワード線110a乃至110dを形成する。ワード線110a乃至110dはメモリセルのセルトランジスタのゲートとしても機能する。

【0104】

なお、一般に、下層に半導体集積回路が設けられている場合には、それらによって発生するノイズが上層のトランジスタの動作に支障をもたらすことがある。この問題に対しては、上層のトランジスタの下、特にサブビット線105a、105cの下に何らかのシールド層を設けて、ノイズを吸収させるとよい。

【0105】

<図2>

イオン注入法等により、半導体領域108a、108bにワード線110a乃至110dをマスクとして不純物を注入し、n型あるいはp型のドーピングされた領域111を形成する。なお、第2コンタクトプラグ107が半導体領域108a、108bと接する部分とワード線110a乃至110dとの距離、あるいは、後で形成する第3コンタクトプラグと半導体領域108a、108bと接する部分と110a乃至110dとの距離が20nm以下、好ましくは10nm以下の場合には、ドーピングされた領域111を形成しなくてもよい。

【0106】

また、半導体領域108a、108bが予め何らかの導電性を有している場合には、ワード線110a乃至110dを構成する材料との仕事関数差を利用して、トランジスタの制御をおこなえるので、特にドーピングされた領域111を形成することが不要となることもある。

【0107】

例えば、酸化シリコン上の多結晶シリコンは特別に不純物をドーピングしなくとも、n型を呈するが、ワード線110a乃至110dに窒化インジウム、窒化亜鉛、p型シリコン等の仕事関数が5電子ボルト以上の材料を用いると、電子を排除することにより、極めて抵抗率の高い領域を形成することができる。

【0108】

次に、酸化シリコン等の比較的誘電率の低い材料で第3絶縁体112を形成して、第3コンタクトプラグ113を形成する。さらに、誘電率の低い材料で第4絶縁体114を形成し、これにキャパシタを形成するための孔を設ける。なお、本実施の形態では、メモリセルのキャパシタの容量を従来のDRAMの1/10以下とできるので、孔の深さも従来のDRAMの1/10以下、すなわち、0.3μm以下、好ましくは30nm以下とできる。

【0109】

このように孔を浅く形成できることは、その後に形成するキャパシタの電極や絶縁体を孔の内面に形成する上で有利である。すなわち、アスペクト比が50倍を超えるような深い孔の内面にこれらを形成するには技術的に大きな困難が伴い、歩留まりの低下をもたらす。また、より誘電率の高い絶縁体や導電率の高い電極材料はそのような条件では形成できないこともある、これに対し、例えば、アスペクト比が10倍以下であれば、比較的容易に、電極や絶縁体を形成でき、また、より多くの好ましい材料を使用することができる。

【0110】

そして、孔の内面に厚さ2nm乃至20nmの第1キャパシタ電極115a乃至115dを形成する。なお、第1キャパシタ電極115a乃至115dの厚さの上限は最小加工寸法Fに応じて、決定すればよく、Fが20nmであれば、5nm以下とすることが好ましく、Fが10nmであれば、2.5nm以下とすることが好ましい。

【0111】

さらに、第4コンタクトプラグ116を形成する。

【0112】

10

20

30

40

50

< 図 3 >

厚さ 2 nm 乃至 20 nm のキャパシタ絶縁体 117 を形成する。キャパシタ絶縁体 117 としては各種の high - k 材料を用いることができるが、酸化ハフニウム、酸化ジルコニウム、酸化タンタル、チタン酸バリウムストロンチウム等が好ましい。

【0113】

さらに、第 2 キャパシタ電極 118 a、118 b を形成する。その後、第 5 絶縁体 119、第 5 コンタクトプラグ 120 を形成し、第 5 コンタクトプラグ 120 と接するようにビット線 121 を形成する。

【0114】

(実施の形態 2)

図 8 (A) 乃至図 8 (D) および図 9 (A) 乃至図 9 (D) に本実施の形態を示す。なお、本実施の形態でも、実施の形態 1 と同様にセンスアンプ等の半導体回路上にメモリセルが形成されるが、図 8 (A) 乃至図 8 (D)、図 9 (A) 乃至図 9 (D) では、そのような半導体回路は省略する。以下、図面にしたがって説明する。

【0115】

< 図 8 (A) >

第 1 絶縁体 401 の上にサブビット線 402 を形成する。このとき、サブビット線 402 の配置にはいくつかの方法がある。例えば、図 9 (A) と図 9 (B) に示すように、サブビット線 402 と隣接するサブビット線 402 a、402 b を全て同じ深さあるいは同じ層に形成する方法である。図 9 (A) はサブビット線 402 を形成した面を図 8 (A) の線分 CD を含む平面で切断した断面の模式図であり、図 9 (A) の線分 EF の断面を図 9 (B) に示す。なお、図 9 (A) および図 9 (C) の線分 AB の断面は図 8 に示される。

【0116】

図 9 (B) に示されるように、サブビット線 402 に隣接するサブビット線 402 a、402 b と同じ深さ、あるいは同じ層に形成される。この方法は作製工程が少ないという特徴がある。

【0117】

もうひとつの方法は、図 9 (C) と図 9 (D) に示すように、サブビット線 402 と隣接するサブビット線 402 a、402 b を、異なる深さあるいは異なる層に形成する方法である。図 9 (C) は図 8 (A) の線分 CD を含む平面で切断した断面の模式図であり、図 9 (C) の線分 EF の断面を図 9 (D) に示す。

【0118】

図 9 (C) では、隣接するサブビット線 402 a、402 b が見えないが、図 9 (D) に示されるように、隣接するサブビット線 402 a、402 b はサブビット線 402 とは異なる深さに形成されている。この方法では追加の作製工程が必要であるが、同じ層にサブビット線を形成する方法より隣接するサブビット線間の寄生容量を低減できる。図 9 (D) では、サブビット線の深さは 2 種類としたが、3 種類以上とすることもできる。

【0119】

従来の DRAM ではサブビット線が配置される部分にはキャパシタ等の構造物があり、サブビット線の配置はきわめて制限されていたが、本実施の形態では、キャパシタはサブビット線から離れた場所に形成されるため、サブビット線の配置の自由度が高く、上記のような深さの異なるサブビット線を形成することもできる。本実施の形態ではいずれの方法も採用することができる。

【0120】

上述のように、本発明の一様態においては、メモリセルのキャパシタの容量を低減する上では、ビット線の寄生容量を低減するよりもサブビット線の寄生容量を低減することの方が効果的である。このような方法でサブビット線の寄生容量を低減することによって、キャパシタを小さく形成できれば、工定数の増加に見合う効果が得られる。

【0121】

次に、第 2 絶縁体 403 および第 3 絶縁体 404 を形成する。第 2 絶縁体 403 および第

10

20

30

40

50

3 絶縁体 404 は異種の材料あるいはエッチングレートの異なる材料とするとよい。例えば、第2絶縁体 403 として酸化シリコン、第3絶縁体 404 として、窒化シリコンを用いることができる。そして、第2絶縁体 403 および第3絶縁体 404 にサブビット線 402 に接続する第1コンタクトプラグ 405 を埋め込む。

【0122】

次に、絶縁体および導電層を形成し、これを溝状にエッチングして、溝 408 およびこれにより分断される第4絶縁体 406、導電層 407a、407b を形成する。この際、エッチングは第3絶縁体で停止するようにする。すなわち、第3絶縁体がエッチングストッパーとなる。

【0123】

<図8(B)>

次に、溝 408 の底面および側面に半導体膜を形成し、半導体膜および導電層 407a、407b をエッチングして、島状の半導体領域 409 を形成する。さらにゲート絶縁体 410 を半導体領域 409 上に形成する。

【0124】

<図8(C)>

その後、導電性材料の膜を形成し、これを異方性エッチングすることにより、溝 408 の側面のゲート絶縁体 410 に接するワード線 411a、411b を形成する。溝の側面にこのようなワード線 411a、411b を形成する方法は、特許文献1を参照すればよい。また、特許文献1に開示されているように、ワード線 411a、411b をマスクとして不純物を半導体領域 409 にドーピングしてもよい。

【0125】

このように形成されるワード線 411a、411b を用いたトランジスタでは、チャンネル長を最小加工寸法より大きくすることができる。すなわち、チャンネル長はおおよそ、溝 408 の深さとワード線 411a (あるいはワード線 411b) の水平方向の長さ(図8(C)中にxで示す)との和である。溝 408 の深さを最小加工寸法より大きくすると、チャンネル長は最小加工寸法より大きくなり、短チャンネル効果を抑制できる。

【0126】

また、長さxは最小加工寸法とは無関係に設定できる。例えば、必要な導電性さえ確保できれば、長さxを最小加工寸法の1/2以下、好ましくは1/4以下とできる。すると、溝 408 の幅は最小加工線幅の2倍以下、好ましくは1倍とできる。その結果、1つのメモリセルの面積を $5F^2$ 、好ましくは $4F^2$ とできる。

【0127】

例えば、溝 408 の幅を $2F$ としたとき、長さxは、好ましくは $0.7F$ 以下であれば、同じ溝 408 に形成されるワード線 411a と 411b が分離できる。この結果、1つのメモリセルに必要な長さは $2.5F$ であり、1つのメモリセルの面積は、線分ABに垂直な方向(すなわち、図9の線分EF方向)の長さ(サブビット線間隔) $2F$ との積である $5F^2$ とできる。

【0128】

また、溝 408 の幅を F としたとき、長さxは、好ましくは $0.3F$ 以下であれば、同じ溝 408 に形成されるワード線 411a と 411b が分離できる。この結果、1つのメモリセルに必要な長さは $2F$ であり、1つのメモリセルの面積は $4F^2$ とできる。これはマトリクス型のメモリセルアレイでの理論上の下限値である。

【0129】

なお、このような高密度化、小面積化はサブビット線 402 が半導体領域 409 の下にあるために可能であり、サブビット線がワード線の上にあると、溝 408 の側面にワード線を形成する方法であっても、より大きな面積が必要である。これは、溝 408 にワード線に加えて、サブビット線とのコンタクトを設ける必要があるためである。コンタクトがワード線と接触してはならないことから、溝 408 の幅は F より大きく、現実には $2F$ より大きくすることが必須となる。

10

20

30

40

50

【 0 1 3 0 】

< 図 8 (D) >

第 5 絶縁体 4 1 2 を形成し、さらに、導電層 4 0 7 a、4 0 7 b と接続する第 2 コンタクトプラグ 4 1 3 a、4 1 3 b を形成する。導電層 4 0 7 a、4 0 7 b はエッチングストッパーとしての機能を有し、特に半導体領域 4 0 9 が薄い場合には効果的である。第 2 コンタクトプラグ 4 1 3 a、4 1 3 b 上には実施の形態 1 で示したようにキャパシタを形成し、さらに、その上にはビット線を形成すればよい。

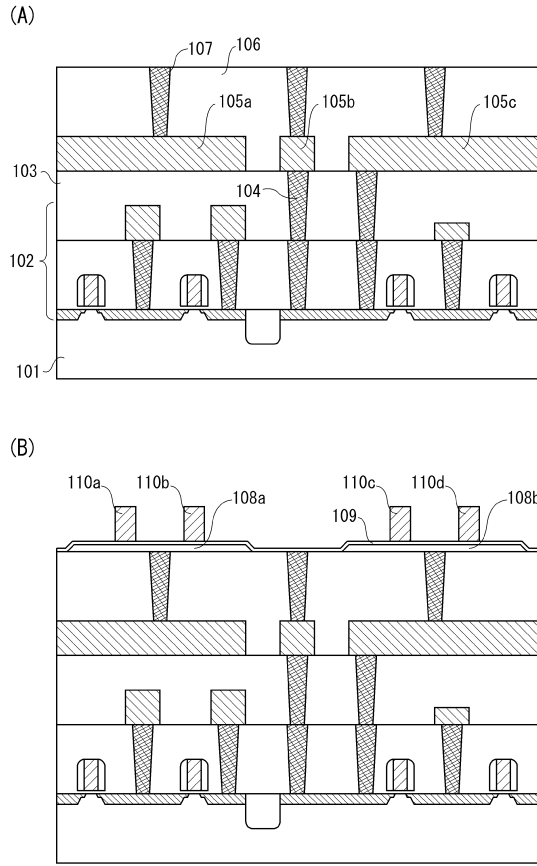
【 符号の説明 】

【 0 1 3 1 】

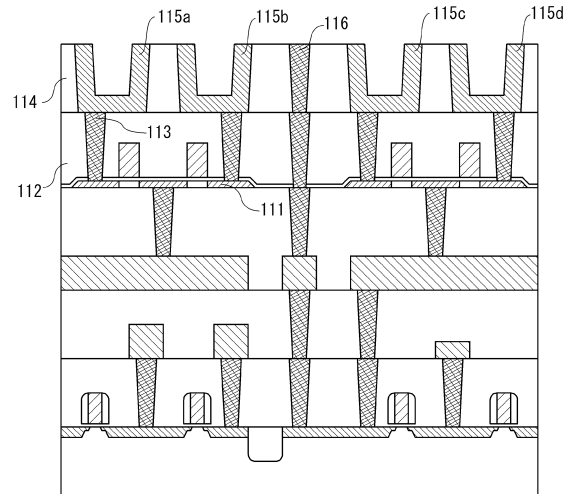
1 0 1	基板	10
1 0 2	半導体回路	
1 0 3	第 1 絶縁体	
1 0 4	第 1 コンタクトプラグ	
1 0 5 a	サブビット線	
1 0 5 b	接続電極	
1 0 5 c	サブビット線	
1 0 6	第 2 絶縁体	
1 0 7	第 2 コンタクトプラグ	
1 0 8 a	半導体領域	
1 0 8 b	半導体領域	20
1 0 9	ゲート絶縁体	
1 1 0 a	ワード線	
1 1 0 b	ワード線	
1 1 0 c	ワード線	
1 1 0 d	ワード線	
1 1 1	ドーピングされた領域	
1 1 2	第 3 絶縁体	
1 1 3	第 3 コンタクトプラグ	
1 1 4	第 4 絶縁体	
1 1 5 a	第 1 キャパシタ電極	30
1 1 5 b	第 1 キャパシタ電極	
1 1 5 c	第 1 キャパシタ電極	
1 1 5 d	第 1 キャパシタ電極	
1 1 6	第 4 コンタクトプラグ	
1 1 7	キャパシタ絶縁体	
1 1 8 a	第 2 キャパシタ電極	
1 1 8 b	第 2 キャパシタ電極	
1 1 9	第 5 絶縁体	
1 2 0	第 5 コンタクトプラグ	
1 2 1	ビット線	40
3 0 1 a	第 1 配線	
3 0 1 b	第 1 配線	
3 0 1 c	第 1 配線	
3 0 2 n	素子形成領域	
3 0 2 p	素子形成領域	
3 0 3 a	第 2 配線	
3 0 3 b	第 2 配線	
3 0 3 n	第 2 配線	
3 0 3 p	第 2 配線	
3 0 4 a	第 3 配線	50

3 0 4 b	第 3 配線	
3 0 5 a	第 3 コンタクトプラグ	
3 0 5 b	第 3 コンタクトプラグ	
3 5 1 a	第 1 配線	
3 5 1 b	第 1 配線	
3 5 1 c	第 1 配線	
3 5 1 d	第 1 配線	
3 5 2 n	素子形成領域	
3 5 2 p	素子形成領域	
3 5 3 a	第 2 配線	10
3 5 3 b	第 2 配線	
3 5 3 n	第 2 配線	
3 5 3 p	第 2 配線	
3 5 4 a	第 3 配線	
3 5 4 b	第 3 配線	
3 5 5 a	第 3 コンタクトプラグ	
3 5 5 b	第 3 コンタクトプラグ	
4 0 1	第 1 絶縁体	
4 0 2	サブビット線	
4 0 2 a	サブビット線	20
4 0 2 b	サブビット線	
4 0 3	第 2 絶縁体	
4 0 4	第 3 絶縁体	
4 0 5	第 1 コンタクトプラグ	
4 0 6	第 4 絶縁体	
4 0 7 a	導電層	
4 0 7 b	導電層	
4 0 8	溝	
4 0 9	半導体領域	
4 1 0	ゲート絶縁体	30
4 1 1 a	ワード線	
4 1 1 b	ワード線	
4 1 2	第 5 絶縁体	
4 1 3 a	第 2 コンタクトプラグ	
4 1 3 b	第 2 コンタクトプラグ	
MC	メモリセル	
MBK	メモリブロック	
MBL	ビット線	
SA	センスアンプ回路	
SBL	サブビット線	40
SL	選択線	
STr	選択トランジスタ	
VREF	参照電位	
WL	ワード線	

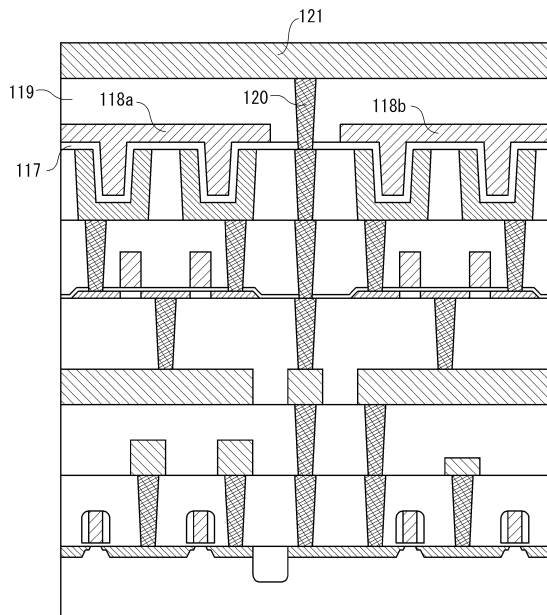
【図1】



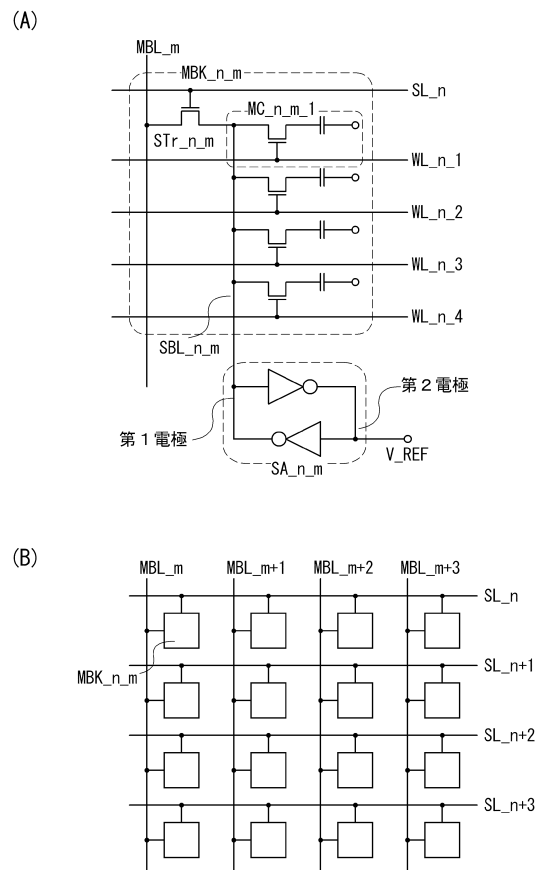
【図2】



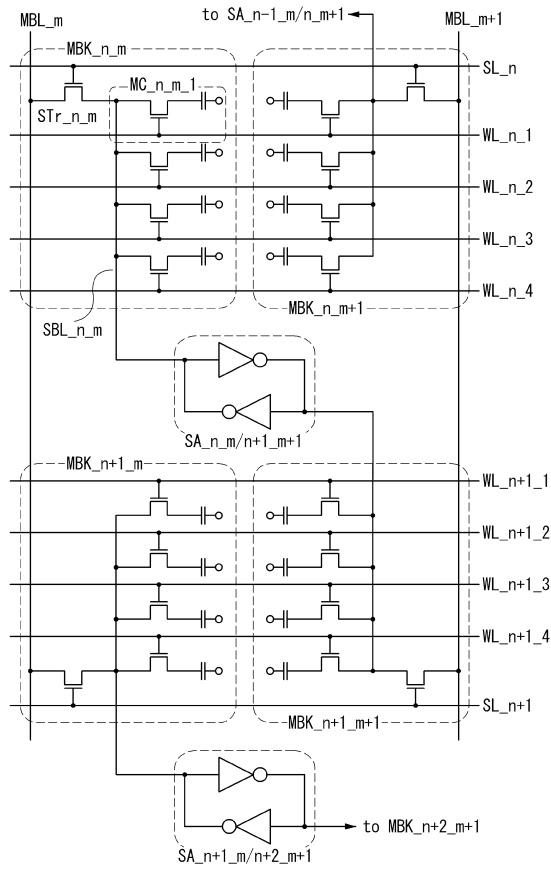
【図3】



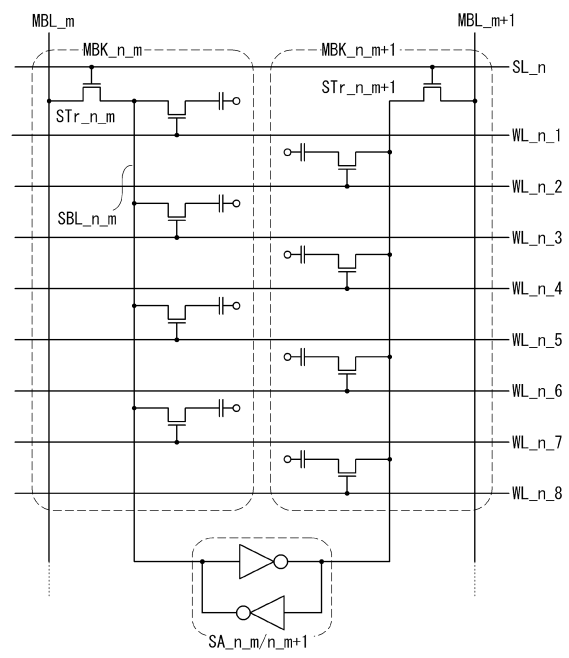
【図4】



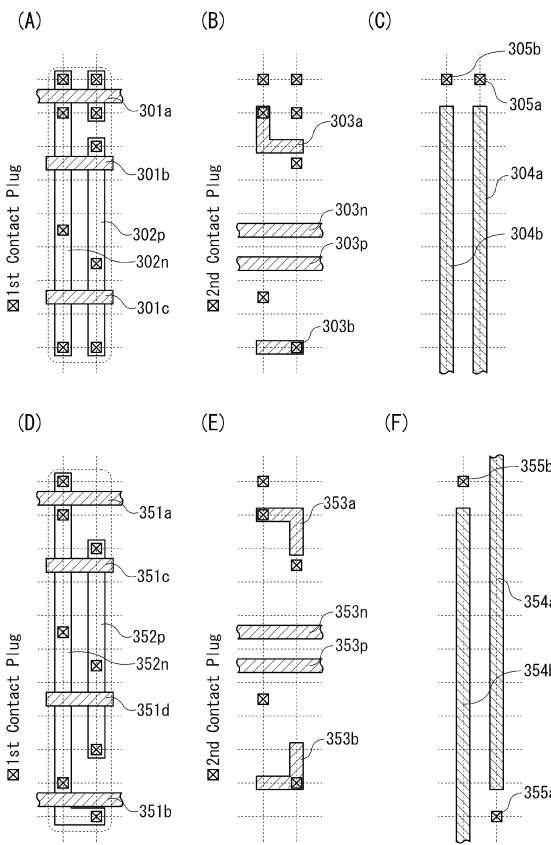
【 図 5 】



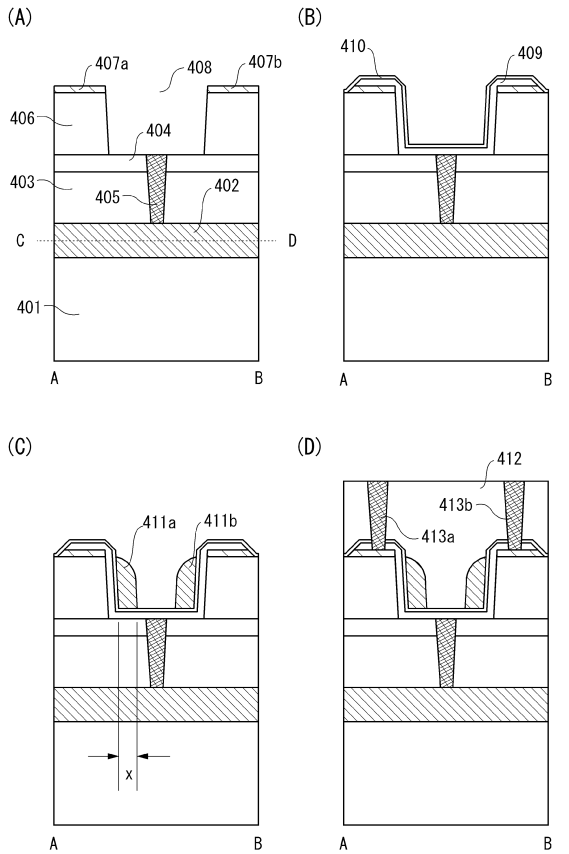
【 図 6 】



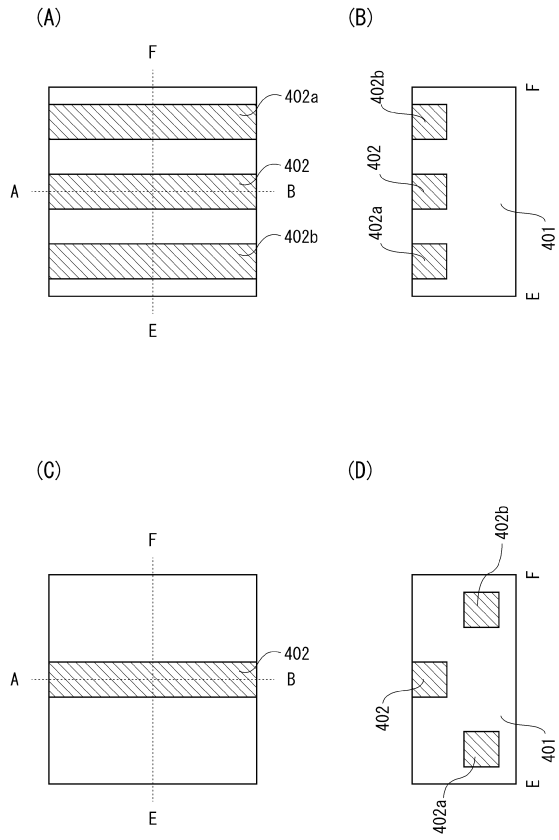
【 図 7 】



【 図 8 】



【 図 9 】



フロントページの続き

(51)Int.Cl. F I
H 0 1 L 27/10 6 7 1 Z
H 0 1 L 29/78 6 1 3 B
G 1 1 C 11/34 3 6 2 B
G 1 1 C 11/34 3 5 2 C

(56)参考文献 米国特許第07715246(US, B1)
特開2009-135350(JP, A)
特表2007-525004(JP, A)
米国特許出願公開第2008/0123447(US, A1)
特開昭60-124963(JP, A)
特開2007-179602(JP, A)
特開平04-225276(JP, A)
特開平08-078635(JP, A)
特開2001-274355(JP, A)
特開平10-326487(JP, A)
特開2004-119457(JP, A)
特表2010-504602(JP, A)
特開平11-068116(JP, A)
特表2009-544962(JP, A)

(58)調査した分野(Int.Cl., DB名)

H 0 1 L 2 1 / 8 2 2 9
2 1 / 8 2 4 2 - 2 1 / 8 2 4 7
2 7 / 1 0 - 2 7 / 1 1 5
2 7 / 2 8
5 1 / 0 5