

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H03L 7/16 (2006.01)

H04B 5/02 (2006.01)



[12] 发明专利申请公布说明书

[21] 申请号 200710108939.X

[43] 公开日 2007年12月12日

[11] 公开号 CN 101087142A

[22] 申请日 2007.6.7

[21] 申请号 200710108939.X

[30] 优先权

[32] 2006.6.9 [33] JP [31] 160734/2006

[71] 申请人 株式会社瑞萨科技

地址 日本东京都

[72] 发明人 增田彻

[74] 专利代理机构 北京市金杜律师事务所

代理人 季向冈

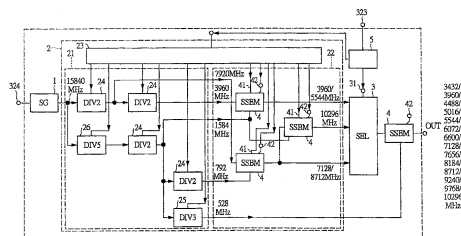
权利要求书9页 说明书18页 附图6页

[54] 发明名称

频率合成器

[57] 摘要

本发明提供一种频率合成器，包括基准信号发生器(1)，输出单一频率的信号；频率倍增器(2)，基于输入信号的频率生成一个以上不同频率的中间信号而作为输出信号输出；频率选择器(3)；混频器(4)；以及频率合成器控制电路(5)，具有频率合成器控制端子，其中，将基准信号发生器(1)的输出作为频率倍增器(2)的输入，将频率倍增器(2)的1个以上的输出作为频率选择器(3)的1个以上的输入，将频率选择器(3)的输出和频率倍增器(2)的输出中的1个输出作为混频器(4)的第一和第二输入，将混频器(4)的输出作为频率合成器的输出。本发明在用于生成在超宽频带内使用的本振信号的结构中同时实现低相位噪声和低功耗。



1. 一种频率合成器，其特征在于，包括：

基准信号发生器，输出单一频率的信号；

频率倍增器，基于输入信号的频率而生成1个以上不同频率的中间信号来作为输出信号进行输出，并按照频率倍增器控制信号来控制各中间信号，使其输出或停止输出，

频率选择器，具有1个以上的输入端子，输出根据频率选择器控制信号选择出的输入信号；

混频器，对2个输入信号实施混频来生成输出信号；以及

频率合成器控制电路，具有频率合成器控制端子，其中，

将上述基准信号发生器的输出作为上述频率倍增器的输入，

将上述频率倍增器的1个以上的输出作为上述频率选择器的1个以上的输入，

将上述频率选择器的输出、和上述频率倍增器的输出中的1个输出作为上述混频器的第一输入和第二输入，

将上述混频器的输出作为频率合成器的输出。

2. 根据权利要求1所述的频率合成器，其特征在于：

按照输入到上述频率合成器控制端子的控制信号来控制其输出频率，并局部关断上述频率倍增器和上述频率选择器进行工作不需要的内部电路电源。

3. 根据权利要求1所述的频率合成器，其特征在于：

上述基准信号发生器具有输出正相和反相差动信号的2个输出端子，

上述频率倍增器具有：2个输入端子，用于输入正相和反相差动信号；和4个输出端子，输出在基于输入信号的频率而具有不同的频率的1种以上的输出信号中分别偏移了 90° 相位的4相信号，

上述频率选择器具有至少一组由4个输入端子构成的输入端子组和1个输出端子，其中，上述输入端子组将4相信号作为输入信号，

上述1个输出端子输出偏移了 90° 相位的4相信号，

上述混频器将上述频率倍增器输出的任意的偏移了 90° 相位的一组4相信号和上述频率选择器输出的偏移了 90° 相位的一组4相信号作为输入，从4个输出端子输出其输出信号也偏移了 90° 相位的一组4相信号。

4. 根据权利要求1所述的频率合成器，其特征在于，

上述频率倍增器包括：

分频部，其具备含有1个以上不同的分频数的分频电路；和

混频部，将以上述分频部所生成的信号为基准，通过混频来进行频率的加减运算而生成的频率信号作为输出。

5. 根据权利要求4所述的频率合成器，其特征在于，

上述频率倍增器的分频部包括：

第一路径，将上述频率倍增器的差动输入信号作为输入信号而对其进行2分频，并输出其4相信号；

第二路径，将上述频率倍增器的差动输入信号作为输入信号而对其进行4分频，并输出其4相信号；

第三路径，将上述频率倍增器的差动输入信号作为输入信号而对其进行10分频，并输出其4相信号；

第四路径，将上述频率倍增器的差动输入信号作为输入信号而对其进行20分频，并输出其4相信号；以及

第五路径，将上述频率倍增器的差动输入信号作为输入信号而对其进行30分频，并输出其4相信号，

上述频率倍增器的混频部，

将第一混频器的2个输入中的第一输入端子连接在上述第二路径的输出端子上，将第二输入端子连接在上述第三路径的输出端子上，将上述第一混频器的输出作为上述频率倍增器的第一输出；

将第二混频器的2个输入中的第一输入端子连接在上述第一路径的输出端子上，将第二输入端子连接在上述第四路径的输出端子上，将上述第二混频器的输出作为上述频率倍增器的第二输出；

将第三混频器的2个输入的第一输入端子连接在上述第二混频器的输出端子上，将第二输入端子连接在上述第三路径的输出端子上，将上述第三混频器的输出作为上述频率倍增器的第三输出；

将上述第五路径作为上述频率倍增器的第四输出。

6. 根据权利要求5所述的频率合成器，其特征在于：

上述混频器和构成上述频率倍增器的混频部的所有混频器具有第一输入端子和第二输入端子、第一输出端子、以及混频器输出频率控制端子，

为了输入4相信号，分别设置有4个上述第一输入端子和上述第二输入端子，

为了输出4相信号，还设置有4个上述第一输出端子，

各混频器的输出频率根据施加在上述混频器输出频率控制端子上的控制信号而可变。

7. 根据权利要求6所述的频率合成器，其特征在于：

上述混频器和构成上述频率倍增器的混频部的所有混频器具有4个双平衡混频器、2个RF输入缓存电路、2个LO输入缓存电路、2个IF输出缓存电路、1个加法电路、1个减法电路、1个电源控制电路、以及1个混频器输出频率控制电路，

将各混频器的第一4相输入(0° 、 180° 、 90° 、 270°)中的相位 0° 和相位 180° 作为第一RF输入缓存电路的差动输入，并将相位 90° 和相位 270° 作为第二RF输入缓存电路的差动输入，

将各混频器的第二4相输入(0° 、 180° 、 90° 、 270°)中的相位 0° 和相位 180° 作为第一LO输入缓存电路的差动输入，并将相位 90° 和相位 270° 作为第二LO输入缓存电路的差动输入，

将各混频器的混频器输出频率控制信号作为上述混频器输出频率控制电路的控制信号，

将上述第一RF输入缓存电路的差动输出作为第一双平衡混频器和第二双平衡混频器的RF输入，

将上述第二RF输入缓存电路的差动输出作为第三双平衡混频器

和第四双平衡混频器的 RF 输入，

将上述第一 LO 输入缓存电路的差动输出作为上述第一双平衡混频器和第三双平衡混频器的 LO 输入，

将上述第二 LO 输入缓存电路的差动输出作为上述第二双平衡混频器和第四双平衡混频器的 LO 输入，

将上述加法电路的 2 个差动输入中的第一差动输入作为上述第二双平衡混频器的 IF 差动输出，将第二差动输入作为上述第三双平衡混频器的 IF 差动输出，

将上述减法电路的 2 个差动输入中的第一差动输入作为上述第一双平衡混频器的 IF 差动输出，将第二差动输入作为上述第四双平衡混频器的 IF 差动输出，

将合并了上述加法电路和上述减法电路各自的差动输出的 4 个输出信号作为各混频器的 4 相输出。

8. 根据权利要求 7 所述的频率合成器，其特征在于：

构成上述频率倍增器的混频部的所有混频器，能够根据混频器输出频率控制信号来输出进行了 2 种输入频率 (f_1 、 f_2) 的相加 ($f_1 + f_2$)、相减 ($f_1 - f_2$)、通过 (f_1) 的频率，并能够根据混频器电源控制信号来关断电源以停止工作所需要的电流供给。

9. 根据权利要求 7 所述的频率合成器，其特征在于：

上述第一 LO 输入缓存电路和第二 LO 输入缓存电路，具有根据 LO 输入缓存控制信号使其差动输出的信号的相位倒置的功能和仅输出其差动输出各自不同的直流电位的功能，

其差动输出被切换为相位非倒置状态、相位倒置状态和直流电位输出状态这 3 种状态。

10. 根据权利要求 1 所述的频率合成器，其特征在于：

通过将上述基准信号发生器的输出信号的频率取为 f_{REF} ，并将上述频率选择器的选择器控制信号和上述混频器的混频器输出频率控制信号的控制进行组合，而在 f_{REF} 的 $7/60 \sim 41/60$ 的范围内输出 $f_{REF} \times (2n + 1) / 60$ 的频率的信号，在此 n 为 $3 \sim 20$ 中的任意整数。

11. 根据权利要求 10 所述的频率合成器, 其特征在于:

通过将上述基准信号发生器的输出信号的频率取为 15840MHz, 并将上述频率选择器的选择器控制信号和上述混频器的混频器输出频率控制信号的控制进行组合, 而至少产生 3432MHz、3960MHz、4488MHz、5016MHz、5544MHz、6072MHz、6600MHz、7128MHz、7656MHz、8184MHz、8712MHz、9240MHz、9768MHz、10296 MHz 的输出频率。

12. 根据权利要求 7 所述的频率合成器, 其特征在于,

上述第一 LO 输入缓存电路和第二 LO 输入缓存电路包括:

第一双极晶体管, 其基极连接在第一输入端子上, 其发射极经由第一恒流源连接在第一恒压端子上;

第二双极晶体管, 其基极连接在第二输入端子上, 其发射极经由第二恒流源连接在第一恒压端子上;

第一电阻, 连接上述第一双极晶体管和上述第二双极晶体管的发射极;

第三双极晶体管, 其基极连在第一控制端子上, 其发射极连接在上述第一双极晶体管的集电极上;

第四双极晶体管, 其基极连接在第二控制端子上, 其发射极连接在上述第一双极晶体管的集电极上;

第五双极晶体管, 其基极连接在上述第二控制端子上, 其发射极连接在上述第二双极晶体管的集电极上;

第六双极晶体管, 其基极连接在上述第一控制端子上, 其发射极连接在上述第二双极晶体管的集电极上;

第二电阻, 其一个端子与上述第三双极晶体管和上述第五双极晶体管的集电极共同连接, 其另一个端子与第二恒压端子连接;

第三电阻, 其一个端子与上述第四双极晶体管和上述第六双极晶体管的集电极共同连接, 其另一个端子与上述第二恒压端子连接;

第一 pMOS 晶体管, 其栅极和源极连接在上述第二恒压端子上, 其漏极与上述第三双极晶体管和上述第五双极晶体管的集电极共同

连接;

第二 pMOS 晶体管, 其栅极连接在第三控制端子上, 其源极连接在上述第二恒压端子上, 其漏极与上述第四双极晶体管和上述第六双极晶体管的集电极共同连接;

第七双极晶体管, 其基极连接在上述第三双极晶体管和上述第五双极晶体管的集电极上, 其集电极连接在上述第二恒压端子上, 其发射极经由第三恒流源连接在上述第一恒压端子上;

第八双极晶体管, 其基极连接在上述第四双极晶体管和上述第六双极晶体管的集电极上, 其集电极连接在上述第二恒压端子上, 其发射极经由第四恒流源连接在上述第一恒压端子上;

第九双极晶体管, 其基极连接在上述第七双极晶体管的发射极上, 其发射极经由第五恒流源连接在上述第一恒压端子上;

第十双极晶体管, 其基极连接在上述第八双极晶体管的发射极上, 其发射极经由第六恒流源连接在上述第一恒压端子上;

第四电阻, 连接上述第九双极晶体管和上述第十双极晶体管的发射极;

第五电阻和第六电阻, 它们的一个端子连接在上述第九双极晶体管和上述第十双极晶体管的集电极上, 它们的另一个端子连接在一起; 以及

第七电阻和第一电容的并联电路, 其连接在上述第五电阻和上述第六电阻的公共端子与上述第二恒压端子之间,

将上述第九双极晶体管和上述第十双极晶体管的集电极分别作为第一输出端子和第二输出端子,

利用施加在上述第一控制端子和上述第二控制端子上的电压的电位差, 使在上述第一输出端子和上述第二输出端子上出现的信号的相位倒置,

在使施加在上述第一控制端子和上述第二控制端子上的电压相等, 并使施加在上述第三控制端子上的直流电压与上述第二恒压端子的电压之间的电位差超过上述第二 pMOS 晶体管的阈值电压而进行

了设定时,在上述第一输出端子和上述第二输出端子上出现的信号成为不同值的直流电压。

13. 根据权利要求7所述的频率合成器,其特征在于,

上述第一LO输入缓存电路和上述第二LO输入缓存电路包括:

第一nMOS晶体管,其栅极连接在第一输入端子上,其源极经由第一恒流源连接在第一恒压端子上;

第二nMOS晶体管,其栅极连接在第二输入端子上,其源极经由第二恒流源连接在第一恒压端子上;

第一电阻,连接上述第一nMOS晶体管和上述第二nMOS晶体管的源极;

第三nMOS晶体管,其栅极连接在第一控制端子上,其源极连接在上述第一nMOS晶体管的漏极上;

第四nMOS晶体管,其栅极连接在第二控制端子上,其源极连接在上述第一nMOS晶体管的漏极上;

第五nMOS晶体管,其栅极连接在上述第二控制端子上,其源极连接在上述第二nMOS晶体管的漏极上;

第六nMOS晶体管,其栅极连接在上述第一控制端子上,其源极连接在上述第二nMOS晶体管的漏极上;

第二电阻,其一个端子与上述第三nMOS晶体管和上述第五nMOS晶体管的漏极共同连接,其另一个端子与第二恒压端子连接;

第三电阻,其一个端子与上述第四nMOS晶体管和上述第六nMOS晶体管的漏极共同连接,其另一个端子与上述第二恒压端子连接;

第一pMOS晶体管,其栅极和源极连接在上述第二恒压端子上,其漏极与上述第三nMOS晶体管和上述第五nMOS晶体管的漏极共同连接;

第二pMOS晶体管,其栅极连接在第三控制端子上,其源极连接在上述第二恒压端子上,其漏极与上述第四nMOS晶体管和上述第六nMOS晶体管的漏极共同连接;

第七 nMOS 晶体管,其栅极连接在上述第三 nMOS 晶体管和上述第五 nMOS 晶体管的漏极上,其漏极连接在上述第二恒压端子上,其源极经由第三恒流源连接在上述第一恒压端子上;

第八 nMOS 晶体管,其栅极连接在上述第四 nMOS 晶体管和上述第六 nMOS 晶体管的漏极上,其漏极连接在上述第二恒压端子上,其源极经由第四恒流源连接在上述第一恒压端子上;

第九 nMOS 晶体管,其栅极连接在上述第七 nMOS 晶体管的源极上,其源极经由第五恒流源连接在上述第一恒压端子上;

第十 nMOS 晶体管,其栅极连接在上述第八 nMOS 晶体管的源极上,其源极经由第六恒流源连接在上述第一恒压端子上;

第四电阻,连接上述第九 nMOS 晶体管和上述第十 nMOS 晶体管的源极;

第五电阻和第六电阻,它们的一个端子连接在上述第九 nMOS 晶体管和上述第十 nMOS 晶体管的漏极上,它们的另一个端子连接在一起;以及

第七电阻、第一电容的并联电路,其连接在上述第五电阻和第六电阻的公共端子与上述第二恒压端子之间,

将上述第九 nMOS 晶体管和上述第十 nMOS 晶体管的漏极分别作为第一输出端子和第二输出端子,

利用施加在上述第一控制端子和上述第二控制端子上的电压的电位差,使在上述第一输出端子和上述第二输出端子上出现的信号的相位倒置,

在使施加在上述第一控制端子和上述第二控制端子上的电压相等,并使施加在上述第三控制端子上的直流电压与上述第二恒压端子的电压之间的电位差超过上述第二 pMOS 晶体管的阈值电压而进行了设置时,在上述第一输出端子和上述第二输出端子上出现的信号成为不同值的直流电压。

14. 一种频率合成器,其特征在于:

具有频率选择器,该频率选择器被输入频率互不相同的多个频带

的信号，并输出按照控制信号选择出的频带信号，

上述多个频带按预定数量的频带被分成多个频带组，

在上述频率选择器的前级，从上述多个频带组中选择1个频带组，

在上述频率选择器的后级，从上述选择出的1个频带组中选择1个频带。

15. 根据权利要求14所述的频率合成器，其特征在于：

上述频带组具有中心频带及其上下的频带，

在上述频率选择器的后级，上述上下的频带被从上述中心频带处分开。

16. 根据权利要求15所述的频率合成器，其特征在于：

用于使用了MB-OFDM方式的UWB无线通信，

上述多个频带被划分为第一频带至第十四频带，这些频带中的每3个频带被分成一个频带组，上述多个频带由第一频带至第三频带、第四频带至第六频带、第七频带至第九频带、第十频带至第十二频带、第十三频带和第十四频带而形成的5个频带组构成。

17. 根据权利要求16所述的频率合成器，其特征在于：

上述频带各自的中心频率按从低到高依次为 3432 MHz、3960 MHz、4488 MHz、5016 MHz、5544 MHz、6072 MHz、6600 MHz、7128 MHz、7656 MHz、8184 MHz、8712 MHz、9240 MHz、9768 MHz、10296 MHz。

频率合成器

技术领域

本发明涉及适用于构成无线通信系统的无线通信电路的频率合成器，尤其涉及有效适用于使用宽频带中的多频带收发数据的无线通信电路和系统的频率合成器。

背景技术

一般来说，无线通信系统为了进行数据的收发而使用预定的频带。例如，在作为无线局域网（LAN）的美国标准而众所周知的IEEE802.11g中使用2.4GHz~2.47GHz的频带，在通信距离50~100m的范围内作为最大传送速度实现54Mbps。但是，普通用户对数据的要求逐年增高，强烈希望能在短时间内将高清晰静止图像及音乐数据、动态图像数据下载到用户的便携设备上。与该要求相应的1种技术为超宽带（Ultra Wide Band: UWB）无线通信。UWB无线通信自2002年4月美国联邦通信委员会许可UWB的工业利用以来，许多机构正在对其进行研究开发。

在这样的UWB无线通信中，该UWB无线通信用的本振信号发生电路例如记载于非专利文献1、非专利文献2、专利文献1、专利文献2、专利文献3、以及专利文献4等。

在非专利文献1中，由能够生成4相信号、应用了使用由电感器和电容器构成的共振电路的振荡器的基准信号发生器生成了振荡频率 f_{REF} 之后，使用多个2分频电路和单边带混频器（Single Sideband Mixer: SSB混频器）来生成多个频率的信号。

在非专利文献2中，设置2个基准信号发生器，同时生成528MHz的整数倍的频率和小数倍的频率，并在此基础上同时使用3个SSB混频器来反复进行频率的加减运算，生成子带（subband）的中心频

率。

在专利文献 1 中，在高速频率跳变用本机发生器中，生成基准频率并分为 4 路，使用 5 分频、3 分频、4 分频、2 分频的多个分频器来生成多个频率的信号。

在专利文献 2 中，在使用至少含有 2 个由 2 个以上基准频率构成的频率组的 UWB 来收发数据的通信系统中，使用 1 个本机振荡器和 1 个 PLL 来生成多个基准频率。

在专利文献 3 中，在合成 2 个以上频率得到新频率的频率合成装置中，对基准频率进行 2 分频而得到采样频率，进而进行 2 分频、4 分频、8 分频而生成多个频率。

在专利文献 4 中，在使用 1 个本振信号和至少 2 个中频信号来生成载波的 SSB 发生装置中，生成由对各频率进行了相位移动的信号和未进行相位移动的信号构成的组信号，并从其中选择一个组信号来传输到 SSB 发生装置。

[非专利文献 1]A I smail 等 “A3.1 to 8.2GHz Direct Conversion Receiver for MB-OFDM UWB Communications” (美国), IEEE Solid-State Circuits Conference, 2005 年论文集, 演讲号 11.5、pp.208~210

[非专利文献 2]C-F.Liang 等, “A 14-band Frequency Synthesizer for MB-OFDM UWB Application” (美国), IEEE Solid-State Circuits Conference, 2006 年论文集, 演讲号 6.7、pp.126~128

[专利文献 1]日本特开 2005 - 175698 号公报

[专利文献 2]日本特开 2005 - 198304 号公报

[专利文献 3]日本特开 2005 - 129993 号公报

[专利文献 4]日本特开 2005 - 39827 号公报

发明内容

对于上述那样的 UWB 无线通信，近年来提出了面向室内通信使用多频带 OFDM (MB-OFDM) 方式的 UWB 无线通信用的频率配置。

将使用了该 MB-OFDM 方式的 UWB 无线通信用的频率配置示于图 7。由图 7 可知, UWB 被划分为以 3432MHz 为中心频率的、具有 528MHz 带宽的第一子带至以 10296MHz 为中心频率的、同样具有 528MHz 的带宽的第十四子带。将这些子带每 3 个分为 1 组, 由第一至第三、第四至第六、第七至第九、第十至第十二、以及第十三和第十四形成的这 5 个组构成。各子带的中心频率按从低到高的顺序分别为 3432、3960、4488、5016、5544、6072、6600、7128、7656、8184、8712、9240、9768、10296 (单位 MHz)。能够按每个组构成称为微微网 (piconet) 的通信网, 但目前开发出了使用频率低的第一组的子带形成微微网来实现无线通信的装置。

但是, 为了对更多的用户提供高速数据传输用的无线通信, 需要广泛使用设于约 3GHz 至约 10GHz 以及 UWB 频带的子带来增加微微网数量。因此, 在收发 UWB 信号的无线电路中, 为了进行接收信号的解调和发送信号的调制, 需要生成上述第一至第十四子带的中心频率作为本振信号。对于由 MB-OFDM 方式无线电路生成的本振信号, 需要信号的载波频率在短时间内在子带中心频率之间跳变, 该载波频率切换所容许的时间被规定为最长 9.5ns。在现有的本振信号的频率切换中使用了锁相环 (PLL), 但 PLL 方式是通过构成负反馈环而成立的, 因此存在本振信号的频率的切换时间长, 需要耗费数 ms 的缺点。根据以上的背景技术, 需要进行用于在宽频范围内生成 UWB 无线通信用的本振信号的技术开发。

这样的 UWB 无线通信用的本振信号发生电路记载在上述非专利文献 1、2 和上述专利文献 1~4 等中。

在上述非专利文献 1 中, 在由基准信号发生器生成了振荡频率 f_{REF} 之后, 能够使用多个 2 分频电路和单边带混频器产生最小为 $f_{REF} \cdot (4/64)$ 的频率、最大为 $f_{REF} \cdot (76/64)$ 的频率。但是, 即便在注意到 UWB 无线通信用的子带中心频率, 设定 $f_{REF} = 16896\text{MHz}$ 的情况下, 在多个生成频率中符合图 7 的子带中心频率的也仅有 3432、3960、4488MHz 这三个频率。因此, 具有无法较宽地

覆盖图 7 所示的频带的缺点。

另外,在上述非专利文献 1 的结构中,前提是将基准信号发生器输出取为 4 相输出,但是这种结构作为本振信号发生电路是存在问题的。在本振信号发生电路中要求的技术指标中尤为重要是:(1)无寄生成分地提供的预定频率范围的正弦波信号;(2)输出信号为低噪声。输出信号的噪声如果在频率区域考虑则能够以相位噪声考虑,能够谋求其值的降低。根据上述非专利文献 1,在决定本振信号发生电路的信号品质的基准信号发生器中,为了得到相对相位为 0° 、 90° 、 180° 、 270° 的 4 相输出信号而使用 4 相输出型振荡电路。

图 8 示出 4 相输出型的振荡电路的一例。另外,图 9 示出 2 相(差动)输出型的振荡电路的一例,上述相位噪声与对于普通噪声的概念相同,产生噪声的能动元件的个数越多则总噪声越增加,因此在以相等的条件比较消耗电流时,图 8 所示的 4 相输出型的振荡电路与 2 相输出型的振荡电路比较,可明显定性为该 4 相输出型的振荡电路的相位噪声大。另外,虽然能够通过使偏置电流增加使振荡振幅增大来抑制相位噪声,但是会造成如下结果:需要偏置电流为原来的 2 相输出型的 2 倍,这将使功耗进一步增大。根据以上的研究,将频率合成器的基准信号发生器的输出信号取为相位噪声少的高纯度信号是尤为重要的,因此即便基准信号发生器的输出形式为差动型,能够生成所希望频率的信号的频率合成器的机构也是必不可少的。

另外,在上述非专利文献 2 中,能够同时生成 528MHz 的整数倍的频率和小数倍的频率,并在此基础上反复进行频率的加减运算,生成图 7 所示的第一至第十四子带中心频率。另一方面,由于需要使用 2 个基准信号发生器,因此存在如下缺点:功耗和芯片面积增大,进而在产生高频侧的 UWB 子带中心频率时需要使 SSB 混频器的 3 级全部工作,所以功耗将进一步增大。另外,由于混频器为 3 级级联,以及混频器的非线性动作引起的寄生信号,将会导致在输出频率附近产生许多无用的寄生频率。因此,期待使输出信号的纯度提高并且以低消耗电流生成 UWB 无线通信用的本振信号的技术开发。

因此，本发明是为了克服上述问题而做出的，其目的在于提供一种在用于生成在超宽频带内使用的本振信号的结构中，同时实现低相位噪声和低功耗的方法。

本发明的上述及其他目的和新的特征，将会根据本说明书的记载和附图得到明确。

简单说明本申请所公开的发明中具有代表性的技术概要如下。

为了实现上述目的，本发明的频率合成器，其特征在于，包括：基准信号发生器，输出单一频率的信号；频率倍增器，基于输入信号的频率，生成1个以上不同频率的中间信号而作为输出信号输出，按照频率倍增器控制信号控制各中间信号使其输出或停止输出，频率选择器，具有1个以上的输入端子，输出按照频率选择器控制信号选择出的输入信号；混频器，对2个输入信号实施混频处理而生成输出信号；以及频率合成器控制电路，具有频率合成器控制端子，其中，将上述基准信号发生器的输出作为上述频率倍增器的输入，将上述频率倍增器的1个以上的输出作为上述频率选择器的1个以上的输入，将上述频率选择器的输出、和上述频率倍增器的输出中的1个输出作为上述混频器的第一和第二输入，将上述混频器的输出作为频率合成器的输出。

通过这样组合频率倍增器、频率选择器及混频器，能够提供一种在基准信号发生器的输出频率 f_{REF} 的 $7/60 \sim 41/60$ 的范围内输出 $f_{REF} \times (2n+1)/60$ （在此 n 为 $3 \sim 20$ 中的任意整数）的信号的频率合成器，基准信号发生器的输出能够以差动输出形式生成上述输出频率，因此能够构成低相位噪声的宽频带频率合成器，提供本振信号。

简单说明能够根据本申请所公开的发明中具有代表性的技术得到的效果如下。

根据本发明，基于能够对4相输出实现低相位噪声的差动输出形式的基准信号发生器，组合频率倍增器、频率选择器及混频器，通过这样构成能够以低噪声、低功耗提供 UWB 通信用的 14 子带中心频率所对应的本振信号。

附图说明

图 1 是用于说明本发明的频率合成器的第一实施方式（整体结构）的图。

图 2 是用于说明本发明的频率合成器的第二实施方式（混频器的结构）的图。

图 3 是用于说明本发明的频率合成器的第三实施方式（LO 输入缓存电路的结构）的图。

图 4 是用于说明本发明的频率合成器的第四实施方式（LO 输缓存电路的结构）的图。

图 5 是用于说明本发明的频率合成器的第五实施方式（包括频率合成器的无线通信机）的图。

图 6 是用于说明本发明的频率合成器的第六实施方式（包括频率合成器的无线通信机）的图。

图 7 是用于说明使用了 MB-OFDM 方式的 UWB 无线通信用的频率配置的图。

图 8 是用于说明 4 相输出形式的振荡电路的电路结构的图。

图 9 是用于说明 2 相输出形式的振荡电路的电路结构的图。

具体实施方式

以下，参照附图详细说明本发明的频率合成器的实施方式。在用于说明实施方式的所有附图中，对同一部件原则上标以相同的标记，省略其反复的说明。

（第一实施方式）

图 1 示出本发明的频率合成器的第一实施方式（整体结构）。图 1 所示的频率合成器具有：基准信号发生器（SG）1，输出单一频率的信号；频率倍增器 2，基于输入信号的频率而生成 1 个以上不同频率的中间信号来作为输出信号输出，由频率倍增器控制信号控制各中间信号的输出或输出停止；频率选择器（SEL）3，具有 1 个以上输入

端子，输出根据频率选择器控制信号所选择的输入信号；混频器（SSBM）4，对2个输入信号实施混频处理而生成输出信号；以及频率合成器控制电路5，具有频率合成器控制端子。

在这样的频率合成器的结构中，进行如下连接：将基准信号发生器1的输出作为频率倍增器2的输入，将频率倍增器2的1个以上的输出作为频率选择器3的1个以上的输入，将频率选择器3的输出和频率倍增器2的输出中的1个输出作为混频器4的第一输入和第二输入，将混频器4的输出作为频率合成器的输出。特别是能够利用被输入到频率合成器控制端子上的控制信号来控制其输出频率，并且将频率倍增器2和频率选择器3的不需要工作的内部电路的电源局部关断。

在本结构中，基准信号发生器1具有输出正相和反相差动信号的2个输出端子，从频率合成器基准时钟用输入端子324输入频率合成器基准时钟，以频率 f_{REF} 产生正相、反相差动信号，并将其输出连接至频率倍增器2的差动输入上。

频率倍增器2具有：2个输入端子，输入正相和反相差动信号；4个输出端子，基于输入信号的频率而输出使具有不同频率的1种以上输出信号分别偏移 90° 相位的4相信号；分频部21，具备1个以上具有不同分频数的分频电路；混频部22，以由分频部21所生成的信号为基准，将通过混频处理进行频率的加减运算后生成的频率信号作为输出；以及频率倍增器控制部23，该频率倍增器基于所输入的基准信号，由分频部21产生多个频率的信号，并由设于后级的混频部22中的单边带（SSB）混频器进一步对分频部21输出的多个信号进行频率加减运算，从而生成UWB各子带中第二、第五、第八、第十一、第十四的中心频率，并作为4相信号（具有 0° 、 90° 、 180° 、 270° 的相位差）输出。

该频率倍增器2的分频部21，作为分频电路具有4个2分频电路（DIV2）24、1个3分频电路（DIV3）25、1个5分频电路（DIV5）26，包括将差动输入信号作为输入信号来进行2分频并输出其4相信

号的第一路径（2分频电路）；进行4分频并输出其4相信号的第二路径（2分频电路+2分频电路）；进行10分频并输出其4相信号的第三路径（5分频电路+2分频电路）；进行20分频并输出其4相信号的第四路径（5分频电路+2分频电路+2分频电路）；以及进行30分频并输出其4相信号的第五路径（5分频电路+2分频电路+3分频电路）。

另外，频率合成器2的混频部22具有3个混频器（SSBM）4，进行如下连接：将第一混频器的2个输入中的第一输入端子连接在第二路径的输出端子上，将第二输入端子连接在第三路径的输出端子上，将第一混频器的输出作为第一输出，将第二混频器的2个输入中的第一输入端子连接在第一路径的输出端子上，将第二输入端子连接在第四路径的输出端子上，将第二混频器的输出作为输出，将第三混频器的2个输入中的第一输入端子连接在第二混频器的输出端子上，将第二输入端子连接在第三路径的输出端子上，将第三混频器的输出作为第三输出，将第五路径作为第四输出。

频率选择器3具有至少一组由4个输入端子构成的输入端子组，将4相信号作为输入信号；和1个输出端子，输出偏移了 90° 相位的4相信号，对频率倍增器2输出的多个信号中按照频率合成器控制电路5的控制信号（经由选择控制端子31）所指示的1个输入信号实施了放大和频率选择滤波处理后，将其作为频率选择器3的输出信号作为4相信号输出。

混频器4将一组频率倍增器2输出的任意偏移了 90° 相位的4相信号和1组频率选择器3输出的偏移了 90° 相位的4相信号作为输入，作为输出信号也是从4个输出端子输出一组相位偏移了 90° 的4相信号。即，将频率选择器3输出的4相信号作为RF输入信号（频率 f_{RF} ），并将从频率倍增器2输出的4相信号作为LO输入信号（频率 f_{LO} ），将利用混频功能进行了频率加减运算的4相输出作为IF输出信号（频率 f_{IF} ）输出，并将其作为频率合成器的输出信号。对于混频器4，在其混频功能中，具有频率的相加运算（ $f_{RF} + f_{LO}$ ）、

相减运算 ($f_{RF} - f_{LO}$)、以及使 LO 信号衰减而仅使 RF 信号通过并输出 (f_{RF}) 这 3 种工作模式, 其控制根据施加在混频器输出频率控制端子 42 上的信号来进行。

频率合成器控制电路 5 由逻辑电路构成, 按照施加在频率合成器控制端子 323 上的频率合成器控制信号控制频率倍增器 2 内部的频率倍增器控制部 23、频率选择器 3、混频器 4 的动作状态, 将由频率合成器控制信号所确定的频率的信号作为频率合成器的输出来进行输出。

在如上述那样构成的频率合成器中, 通过组合频率倍增器 2、频率选择器 3、以及混频器 4, 能够在相对于基准信号发生器 1 的输出频率 f_{REF} 为 $7/60 \sim 41/60$ 的范围内输出 $f_{REF} \times (2n + 1) / 60$ (在此 n 为 $3 \sim 20$ 中的任意整数) 的信号的信号。此时, 多个子带被按预定数的子带分为多个带组, 在频率选择器的前级, 从多个带组中选择 1 个带组, 在频率选择器的后级, 从所选择的 1 个带组中选择 1 个子带。进而, 在带组中, 具有中心子带和其上下的子带, 在频率选择器的后级, 上下的子带从中心的子带分开, 生成第一子带 ~ 第十四子带并输出。

以下, 使用记载于图 1 中的频率值详细说明频率合成器的动作。

基准信号发生器 1 产生 15840MHz 频率的差动信号。如上所述, 在频率倍增器 2 和频率选择器 3 中传送着 4 相信号, 但在本发明的结构中, 在基准信号发生器 1 中做成差动输出。这是因为: 在构成基准信号发生器 1 的振荡器在例如使用了由电感器和电容器构成的共振电路的 LC 共振振荡器中不采用差动输出而是采用了 4 相输出结构的振荡电路结构时, 与差动输出结构的振荡电路结构相比, 作为输出信号的纯度的指标的相位噪声增加。因此, 从使频率合成器的输出信号噪声降低的观点出发, 在基准信号发生器 1 中做成差动输出。

在频率倍增器 2 的分频部 21 中, 对于 15840MHz 的输入信号, 使用多个 2 分频电路 24、3 分频电路 25、5 分频电路 26 实现图 1 所示的结构。利用这样的结构, 能够生成具有 7920MHz (2 分频)、

3960MHz (2分频 + 2分频)、1584MHz (5分频 + 2分频)、792MHz (5分频 + 2分频 + 2分频)、528MHz (5分频 + 2分频 + 3分频) 频率的信号。通过在分频电路中选择公知的4相输出型的电路结构, 这些生成的信号作为4相信号输入到下一级的频率倍增器2的混频部22。

在混频部22中, 使用3个混频器4生成UWB子带的中心频率。在第一混频器中, 通过将3960MHz作为RF输入, 将1584MHz作为LO输入, 使施加在混频器输出频率控制端子42上的混频器输出频率控制信号发生变化, 由此将RF信号频率的通过输出、对RF信号和LO信号进行了频率相加运算后的信号作为混频器输出, 从而能够输出UWB子带#2的3960MHz和#5的5544MHz。另外, 在第二混频器中, 将7920MHz作为RF输入, 将792MHz作为LO输入, 同样使施加在端子42上的混频器输出频率控制信号发生变化, 由此将对RF信号和LO信号进行了频率相减和相加运算后的信号作为混频器输出, 从而能够输出UWB子带#8的7128MHz和#11的8712MHz。对于UWB子带#14的10296MHz, 将第二混频器的输出频率设定为8712MHz, 将其信号作为第三混频器的RF输入, 将1584MHz作为LO输入, 同样按照施加在端子42上的混频器输出频率控制信号实施频率相加运算, 从而能够输出10296MHz的信号。在分频部21中所生成的528MHz的信号不在混频部22中使用而直接作为频率倍增器2输出的1个4相输出信号。

频率选择器3在这3个4相输入中, 由施加在端子31上的选择器控制信号来选择输出由频率合成器控制信号按时分方式出现的5个UWB子带频率中的1个。

混频器4将由频率选择器3所选择出的UWB子带#2、#5、#8、#11、#14的中心频率的4相输入信号作为RF输入信号, 将频率倍增器2输出的信号中的528MHz的4相输出信号作为LO输入信号, 将进行了上述频率混频处理之后的4相输出作为混频器输出。对于混频器输出信号而言, 能够按照施加在混频器输出频率控制端子42上

的混频器输出频率控制信号输出 ($f_{RF} + f_{LO}$ 、 $f_{RF} - f_{LO}$) 的频率。此时 LO 信号的频率设定为 528MHz, 该频率与 UWB 子带的中心频率间的步长频率即 528MHz 相等。因此, 在混频器 4 中, RF 输入频率能够按照混频器输出频率控制端子 42 的控制信号, 在为 UWB 子带 #2 的中心频率时适当输出 #1 和 #3 的频率; 在为 UWB 子带 #5 的中心频率时适当输出 #4 和 #6 的频率; 在为 UWB 子带 #8 的中心频率时适当输出 #7 和 #9 的频率; 在为 UWB 子带 #11 的中心频率时适当输出 #10 和 #12 的频率; 在为 UWB 子带 #14 的中心频率时适当输出 #13 的频率。即, 在图 1 所示的频率合成器的结构中, 能够输出图 7 所示的 UWB 子带的全部 14 个频带。

以下, 叙述本实施方式的结构。本实施方式除了具有能够全部覆盖上述的 UWB 子带这样的优点以外, 与现有技术 (例如非专利文献 1 和 2) 相比还同时具有如下的 2 个优点, 即 (1) 基准信号发生器的输出形式能够应用相位噪声特性优良的差动形式; (2) 具有如下功能: 基于频率和合成器控制信号, 按照频率倍增器输出信号和频率选择器控制信号进行在频率合成器输出频率的生成中不需要的电路的电源关断, 根据输出频率的值进行变化但将功耗抑制到较低程度。

(第二实施方式)

图 2 示出本发明的频率合成器的第二实施方式 (混频器的结构)。图 2 所示的混频器 4 是频率合成器的最末级的混频器, 且是频率倍增器 2 的混频部 22 的各混频器, 与 4 相信号对应具有以下构成部分: 4 个第一输入端子 (In_{RF0} 、 In_{RF180} 、 In_{RF90} 、 In_{RF270})、4 个第二输入端子 (In_{LO0} 、 In_{LO180} 、 In_{LO90} 、 In_{LO270})、以及 4 个第一输出端子 (Out_{IF0} 、 Out_{IF180} 、 Out_{IF90} 、 Out_{IF270}); 1 个混频器电源控制端子 (Cntp) 41、1 个混频器输出频率控制端子 (CntF) 42、2 个 RF 输入缓存电路 (RFBUF) 43、2 个 LO 输入缓存电路 (LOBUF) 47、双平衡混频器 (DBM) 44、1 个加法电路 (ADDC) 46、1 个减法电路 (SUBC) 45、2 个 IF 输出缓存电路 (IFBUF) 61、1 个电源控制电路 (Pcnt) 48、1 个混频器输出频率控制电路 (Fcnt) 49。

在该混频器 4 的结构中进行如下连接：将混频器 4 的第一 4 相输入（ 0° 、 180° 、 90° 、 270° ）中的相位 0° 和相位 180° 作为第一 RF 输入缓存电路的差动输入，将相位 90° 和 270° 作为第二 RF 输入缓存电路的差动输入，将混频器 4 的第二 4 相输入（ 0° 、 180° 、 90° 、 270° ）中的相位 0° 和相位 180° 作为第一 LO 输入缓存电路的差动输入，将相位 90° 和相位 270° 作为第二 LO 输入缓存电路的差动输入，将混频器输出频率控制信号作为混频器输出频率控制电路的控制信号。进而，将第一 RF 输入缓存电路的差动输出作为第一和第二双平衡混频器的 RF 输入，将第二 RF 输入缓存电路的差动输出作为第三和第四双平衡混频器的 RF 输入，将第一 LO 输入缓存电路的差动输出作为第一和第三双平衡混频器的 LO 输入，将第二 LO 输入缓存电路的差动输入作为第二和第四双平衡混频器的 LO 输入。并且，将加法电路的 2 个差动输入中的第一差动输入作为第二双平衡混频器的 IF 差动输出，将第二差动输入作为第三双平衡混频器的 IF 差动输出，将减法电路的 2 个差动输入中的第一差动输入作为第一双平衡混频器的 IF 差动输出，将第二差动输入作为第四双平衡混频器的 IF 差动输出，将合并了加法电路和减法电路各自的差动输出后的 4 个输出信号作为各混频器的 4 相输出。

即，4 相 RF 输入信号分为相对相位 0° 和 180° 的信号、相对相位 90° 和 270° 的信号这两组，输入到分别采用差动输入输出形式的 RF 输入缓存电路 43。相同的 4 相 LO 输入信号输入到与 RF 信号同样地采用差动输入输出形式的 2 个 LO 输入缓存电路 47。

LO 输入缓存电路 47 具有 3 个 LO 输入缓存控制端子，通过使第一和第二控制端子间产生 0.5V 左右的电位差，并且使第三控制端子的电位与电源电压相等，能够使 LO 输入缓存电路 47 的输出信号的相位按正相和反相倒置。另外，通过使第一和第二控制端子间的电位相等，并使第三控制端子的电位等于接地电压，能够将 LO 输入缓存电路 47 的输出信号作为以 2 个电位进行动作的直流电位。基于来自混频器输出频率控制端子 42 的控制信号，混频器输出频率控制电路

49 对以上的 LO 输入缓存电路 47 的动作模式（相位非倒置状态、相位倒置状态、直流电位输出状态）的切换进行控制。

双平衡混频器 44 将 RF 输入缓存电路 43 和 LO 输入缓存电路 47 的输出作为输入，构成可进行 4 相输出的 SSB 混频器电路。为了从由 SSB 混频器电路进行了频率加减运算后的信号仅取出预定频率的单边带成分，而由加法电路 46 和减法电路 45 进行信号的加减。通过合并该加法电路 46 和减法电路 45 各自的差动输出并作为混频器输出来取出，能够得到混频器的 4 相输出。

另外，电源控制电路 48，能够具有基于来自混频器电源控制端子 41 的控制信号将混频器结构电路内部的偏移电流缩小到数 mA 的很小的值的功能，并能够具有在利用该电源控制信号关闭混频器功能时降低功耗的动作模式。

（第三实施方式）

图 3 示出本发明的频率合成器的第三实施方式（LO 输入缓存电路的结构）。在图 3 中例示的 LO 输入缓存电路 47 包括：基极连接在输入端子 Inp 上、发射极经由恒流源 I1 连接在恒压端子 V1 上的双极晶体管 Qn1；基极连接在输入端子 Inn 上、发射极经由恒流源 I2 连接在恒压端子 V1 上的双极晶体管 Qn2；连接双极晶体管 Qn1、Qn2 的发射极的电阻 R1；基极连接在控制端子 Cnt1 上、发射极连接在双极晶体管 Qn1 的集电极上的双极晶体管 Qn3；基极连接在控制端子 Cnt2 上、发射极连接在双极晶体管 Qn1 的集电极上的双极晶体管 Qn4；基极连接在控制端子 Cnt2 上、发射极连接在双极晶体管 Qn2 的集电极上的双极晶体管 Qn5；基极连接在控制端子 Cnt1 上、发射极连接在双极晶体管 Qn2 的集电极上的双极晶体管 Qn6；一个端子上共同连接有双极晶体管 Qn3、Qn5 的集电极、另一端子上连接恒压端子 V2 的电阻 R2；一个端子上共同连接有双极晶体管 Qn4、Qn6 的集电极、另一个端子上连接恒压端子 V2 的电阻 R3；栅极和源极连接在恒压端子 V2 上、漏极与双极晶体管 Qn3、Qn5 的集电极共同连接的 pMOS 晶体管 Mp1；以及栅极连接在控制端子 Cnt3 上、基极连接在

恒压端子 V2 上、漏极与双极晶体管 Qn4、Qn6 的集电极共同连接的 pMOS 晶体管 Mp2。

除此之外，还包括：基极连接在双极晶体管 Qn3、Qn5 的集电极上、集电极连接在恒压端子 V2 上、发射极经由恒流源 I3 连接在恒压端子 V1 上的双极晶体管 Qn7；基极连接在双极晶体管 Qn4、Qn6 的集电极上、集电极连接在恒压端子 V2 上、发射极经由恒流源 I4 连接在恒压端子 V1 上的双极晶体管 Qn8；基极连接在双极晶体管 Qn7 的发射极上、发射极经由恒流源 I5 连接在恒压端子 V1 上的双极晶体管 Qn9；基极连接在双极晶体管 Qn8 的发射极上、发射极经由恒流源 I6 连接在恒压端子 V1 上的双极晶体管 Qn10；连接双极晶体管 Qn9、Qn10 的发射极的电阻 R4；一个端子连接在双极晶体管 Qn9、Qn10 的集电极、另一个端子共同连接的电阻 R5、R6；以及由连接在电阻 R5、R6 的公共端子与恒压端子 V2 之间的电阻 R7、电容 C1 构成的并联电路。

在该 LO 输入缓存电路 47 的结构中，双极晶体管 Qn9、Qn10 的集电极分别作为输出端子 Outp、Outn，利用施加在控制端子 Cnt1、Cnt2 上的电压的电位差进行控制，使得在输出端子 Outp、Outn 上出现的信号的相位倒置，在设定为施加在控制端子 Cnt1、Cnt2 上的电压相等，施加在控制端子 Cnt3 上的直流电压与恒压端子 V2 的电压之间的电位差超过 pMOS 晶体管 Mp2 的阈值电压时，在输出端子 Outp、Outn 上出现的信号的电压为不同值的直流电压。

即，该 LO 输入缓存电路 47 由利用施加在控制端子 Cnt1、Cnt2、Cnt3 上的直流电压的值实施输入信号的相位倒置和信号衰减的输入级、和设定输出信号电平的输出级构成。该 LO 输入缓存电路 47 被输入正相输入 Inp、反相输入 Inn，输出正相输出 Outp、反相输出 Outn。

输入级包括：经由电阻 R1 连接 npn 型（以下省略）晶体管 Qn1 和 Qn2 的发射极的差动输入电路；具有利用控制端子 Cnt1 和 Cnt2 的电位差使在晶体管 Qn1、Qn2 的集电极上出现的信号电流的相位倒置或不倒置的功能的晶体管 Qn3 ~ Qn6；以及负载电阻 R2、R3。p 型

MOS 晶体管（以下称 pMOS 晶体管）Mp2 具有根据控制端子 Cnt3 的电位为最大电压 V2 还是为最小电压 V1 来将负载电阻 R3 的两端电位切换为开路或短路的功能。pMOS 晶体管 Mp1 是为了对负载电阻 R2 提供与负载电阻 R3 等量的寄生电容而附加的元件。在输入级的负载电阻上被放大的信号电压在由射极跟随器晶体管 Qn7、Qn8 进行了电平移动后，被输入到由通过电阻 R4 连接了发射极的晶体管 Qn9、Qn10 构成的输出级的输入电路。

在使控制端子 Cnt1 和 Cnt2 的控制端子间电位差为 0.5V 左右，并使控制端子 Cnt3 的电位等于 V2 的电位时，在输出级中，以晶体管 Qn9、Qn10 的偏置电流之和与电阻 R7 值的乘积所确定的电位（ $= V2 - (I5+I6) \times R7$ ）为中心，输出振幅（ $2 \times I5 \times R5$ ）的输出振幅。在此假定 $I5=I6$ 、 $R5=R6$ 。

另一方面，在使控制端子 Cnt1 和 Cnt2 的控制端子间电位相等，并使控制端子 Cnt3 的电位等于 V1 的电位的情况下，输入级的信号电流由晶体管 Qn3 ~ Qn6 的公共集电极所抵消，晶体管、电阻等电路元件不产生离差地做成时，将会看成所输入的交流信号被显著衰减，负载电阻 R2 和 R3 的输出为直流电位。进而，仅负载电阻 R3 的两端被短路，因此晶体管 Qn8 的基极电位与 V2 电位相同，晶体管 Qn7 的基极电位将取为由 $V2 - I1 \times R2$ 所表示的电位。将晶体管 Qn9 和 Qn10 的差动输入动态范围设定得小于 $I1 \times R2$ ，由此输出晶体管 Qn9 和 Qn10 中的一方处于导通状态，另一方处于截止状态，因此将输出如下那样的直流电位，即该直流电位的高电位值用 $(V2 - (2 \times I5 \times R7))$ 表示，低电位值用 $(V2 - (2 \times I5 \times (R5+R7)))$ 表示。

对于该 LO 输入缓存电路 47 可进行动作的电源电压的下限值（由 $(V2-V1)$ 所求得的电压的最小值） VCC_{min} ，当将晶体管的导通状态的基极 - 发射极间电压（ V_{BE} ）取为 0.8V，将集电极 - 发射极间的饱和电压（ V_{CEs} ）取为 0.2V 时，

$$VCC_{min} = V_{CEs} + I5 \times R4 + 2 \times V_{BE},$$

当 $I5 \times R4 = 0.3V$ 时， $VCC_{min} = 2.1V$ 。由此，能够降低对功耗产生影

响的电源电压。

(第四实施方式)

图 4 示出本发明的频率合成器的第四实施方式 (LO 输入缓存电路的结构)。在图 4 中例示出的 LO 输入缓存电路 47 的电路结构是在图 3 的结构中将晶体管从 npn 型双极晶体管替换为 n 型 MOS 晶体管 (以下称为 nMOS 晶体管) 的结构。图 4 中电路结构的功能与图 3 相同, 除此之外采用这样的电路结构具有能够谋求动作电源电压的降低的优点。

即, 该 LO 输入缓存电路 47 包括 nMOS 晶体管 Mn1、nMOS 晶体管 Mn2、电阻 R1、nMOS 晶体管 Mn3、nMOS 晶体管 Mn4、nMOS 晶体管 Mn5、nMOS 晶体管 Mn6、电阻 R2、电阻 R3、pMOS 晶体管 Mp1、pMOS 晶体管 Mp2、nMOS 晶体管 Mn7、nMOS 晶体管 Mn8、nMOS 晶体管 Mn9、nMOS 晶体管 Mn10、电阻 R4、电阻 R5、电阻 R6、以及电阻 R7 与电容 C1 构成的并联电路, nMOS 晶体管 Mn9、Mn10 的集电极分别作为输出端子 Outp、Outn, 利用施加在控制端子 Cnt1、Cnt2 上的电压的电位差进行控制使得在输出端子 Outp、Outn 上出现的信号的相位倒置, 在设定为施加在控制端子 Cnt1、Cnt2 上的电位相等, 施加在控制端子 Cnt3 上的直流电压与恒压端子 V2 的电压之间的电位差超过 pMOS 晶体管 Mp2 的阈值电压时, 在输出端子 Outp、Outn 上出现的信号成为不同值的直流电压。

对于该 LO 输入缓存电路 47 可进行动作的电源电压的下限值 (由 $(V2-V1)$ 所求得的电压的最小值) VDD_{min} , 例如将 MOS 晶体管的导通状态的栅极-源极间电压 (VGS) 取为 0.4V, 将漏极-源极间的饱和电压 (VDSs) 取为 0.2V 时,

$$VDD_{min} = VDSs + I5 \times R4 + 2 \times VGS,$$

当 $I5 \times R4 = 0.3V$ 时, $VDD_{min} = 1.3V$ 。这与使用了双极晶体管的情况相比, 能够降低约 40% 的电源电压, 即能够降低功耗。

(第五实施方式)

图 5 示出本发明的频率合成器的第五实施方式 (包含频率合成器

而构成的无线通信机)。图5是包含第一~第四实施方式的频率合成器而构成的无线通信机。

本实施方式的无线通信机是作为对接收信号进行接收,将其直接变换为低频信号的直接转换方式的无线接收机而构成的。低频信号由低频信号同相成分(i相成分)和低频信号正交成分(Q相)构成。

该无线通信机包括放大从RF输入端子321所输入的频率RF的接收信号Sig-RF的低噪声放大器301、除去低噪声放大器301的输出信号中的无用波的带通滤波器302、将带通滤波器302的输出信号变换为上述低频信号的直接转换混频器303。

在本振发生电路311中生成的本振信号被提供给直接转换混频器303。本振信号由相位相差 90° 即正交的2个信号构成。低频信号作为公共输出从直接转换混频器303输出,将低频信号同相成分和低频信号正交成分作为i信号、Q信号而差动输出。直接转换混频器303的输出被放大器304a、304b所放大后,由低通滤波器305a、305b除去无用波,经由级间电容306a、306b由可变增益放大器307a、307b再次放大。从可变增益放大器307a、307b输出的i/Q两相信号Data_i、Data_Q从IF输出端子322a、322b输出。

本振发生电路311由从第一~第四实施方式的频率合成器选择出的本发明的频率合成器构成。由此,无线接收机能够接收宽频率范围的输入信号,并且能够产生低相位噪声的本振信号,因此能够提高接收数据的识别灵敏度。

(第六实施方式)

图6示出本发明的频率合成器的第六实施方式(包含频率合成器而构成的无线通信机)。图6是包含从第一~第四实施方式的频率合成器中选择出的本发明的频率合成器而构成的另一无线通信机。

本实施方式的无线通信机是作为将所输入的调制信号Mod_i(调制信号同相成分)、调制信号Mod_Q(调制信号正交成分)直接变换为无线频率的发送信号Sig-RF的直接转换方式的无线通信机而构成的。

从 Mod 输入端子 422a、422b 所输入的调制信号 Mod_i、Mod_Q 以差动方式分别输入到可变增益放大器 401a、401b。可变增益放大器 401a、401b 的输出信号通过低通滤波器 402a、402b 除去无用波。

低通滤波器 402a、402b 的输出信号被输入到直接转换调制器 403，被转换为发送信号。从直接转换调制器 403 输出的发送信号由可变增益放大器 404 放大后由输出放大器 405 所放大，频率 RF 的发送信号 Sig - RF 从 RF 输出端子 421 输出。

在该发送机中，也对直接变换调制器 403 提供本振发生电路 311 生成的本振信号。如上所述，本振信号由相位相差 90° 即正交的 2 个信号构成。在本实施方式中，也由本发明的频率合成器构成本振发生电路 311，因此无线通信机能够发送宽频率范围的输出信号，并且能够产生低相位噪声的本振信号，从而能够提高发送数据的识别灵敏度。

以上，基于实施方式具体说明了由本发明人做出的发明，但是本发明不限于上述实施方式，在不脱离其主旨的范围内当然可以进行各种各样的变更。

例如，在上述各实施方式中，本发明的效果当然不是仅在使用了双极晶体管或 MOS 晶体管的情况产生，置换为场效应晶体管、异质结型双极晶体管、高电子移动率晶体管、金属半导体结型场效应晶体管等也能得到同样的效果。

另外，本说明书中虽然描述了双极晶体管采用 npn 型、MOS 晶体管在负电导中采用 p 型和 n 型的 CMOS 型的电路结构，但是不言而喻，考虑到电源电压的极性而采用双极晶体管为 pnp 型、以及在 MOS 晶体管中更换成 n 型和 p 型的电路结构也能得到同样的效果。

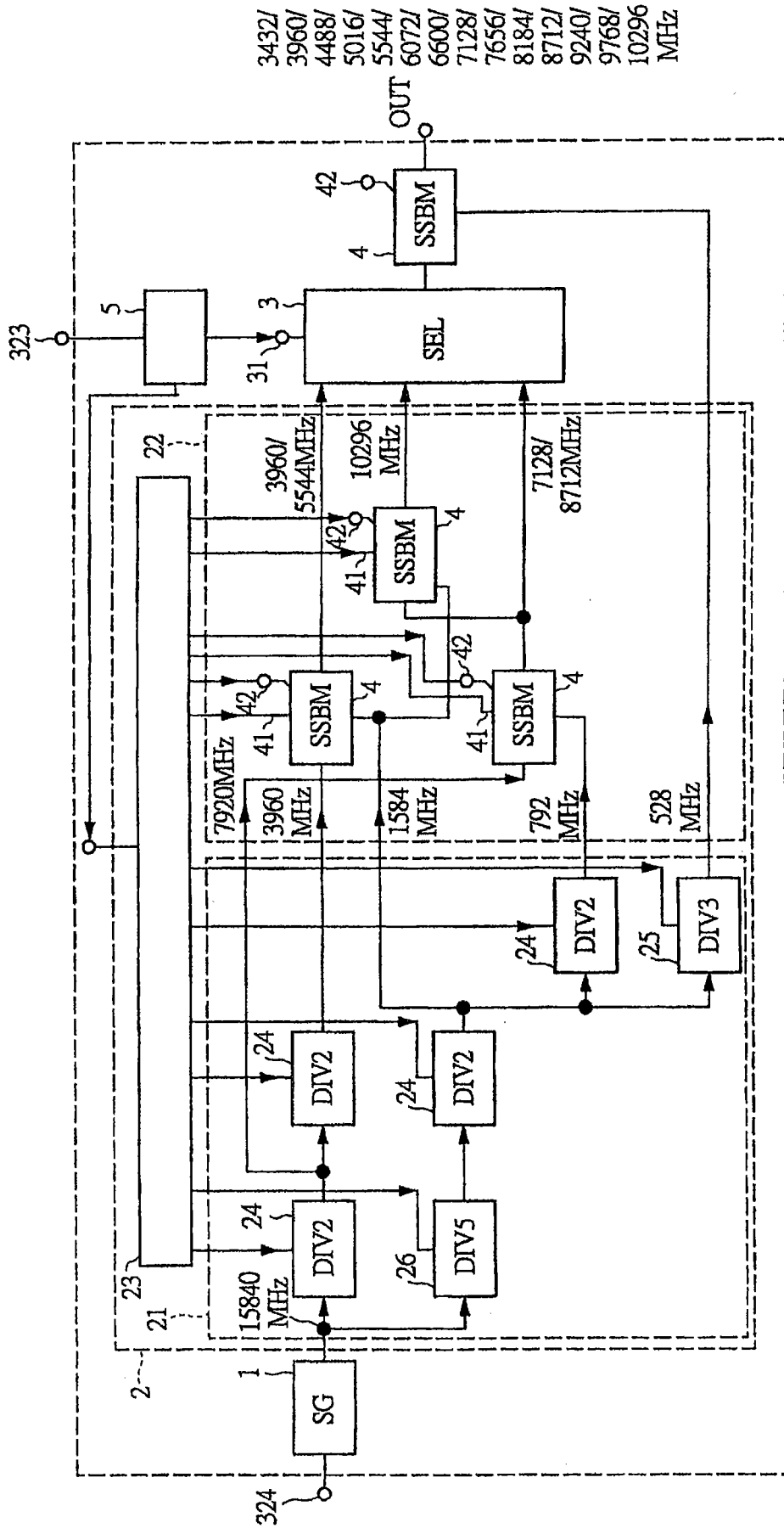


图 1

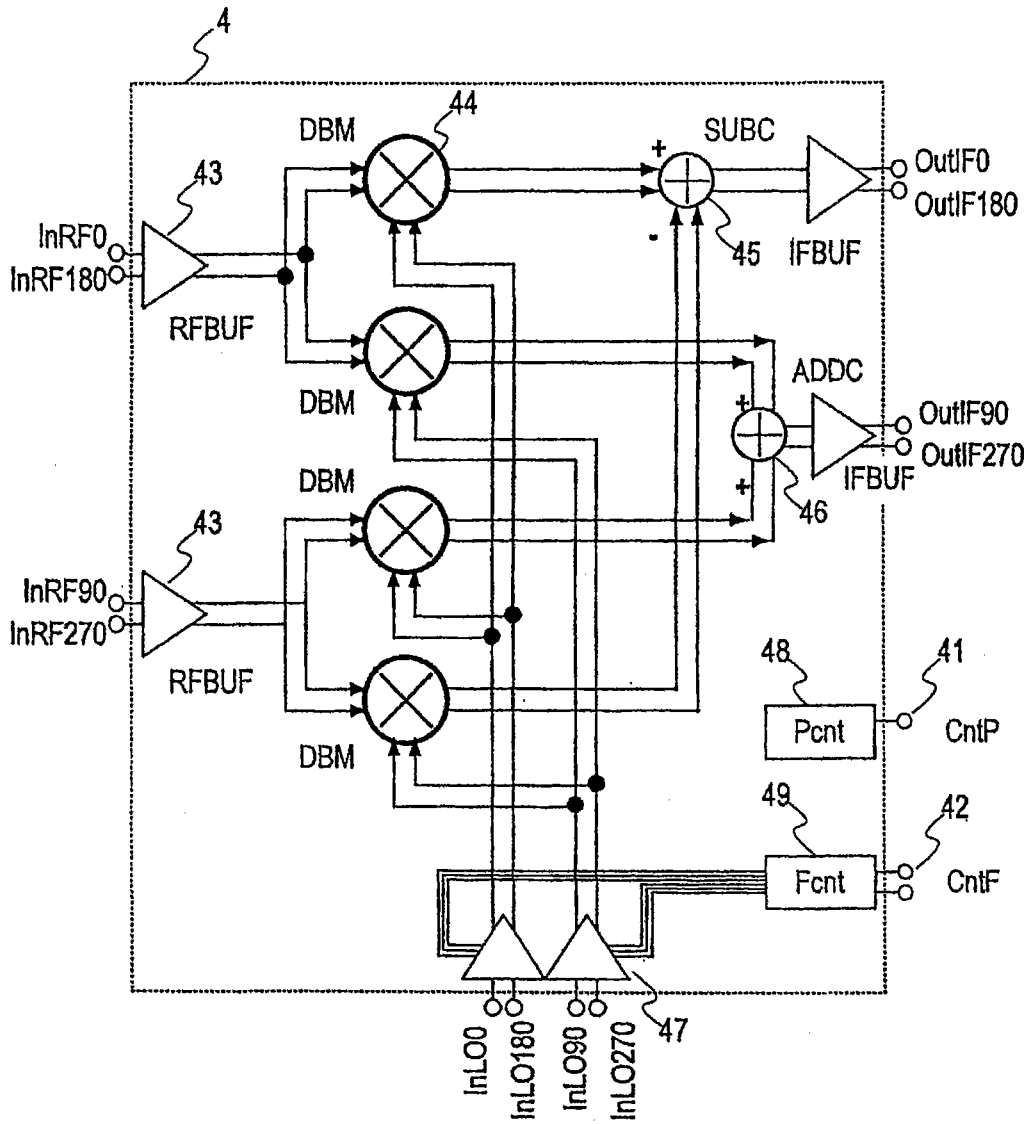


图 2

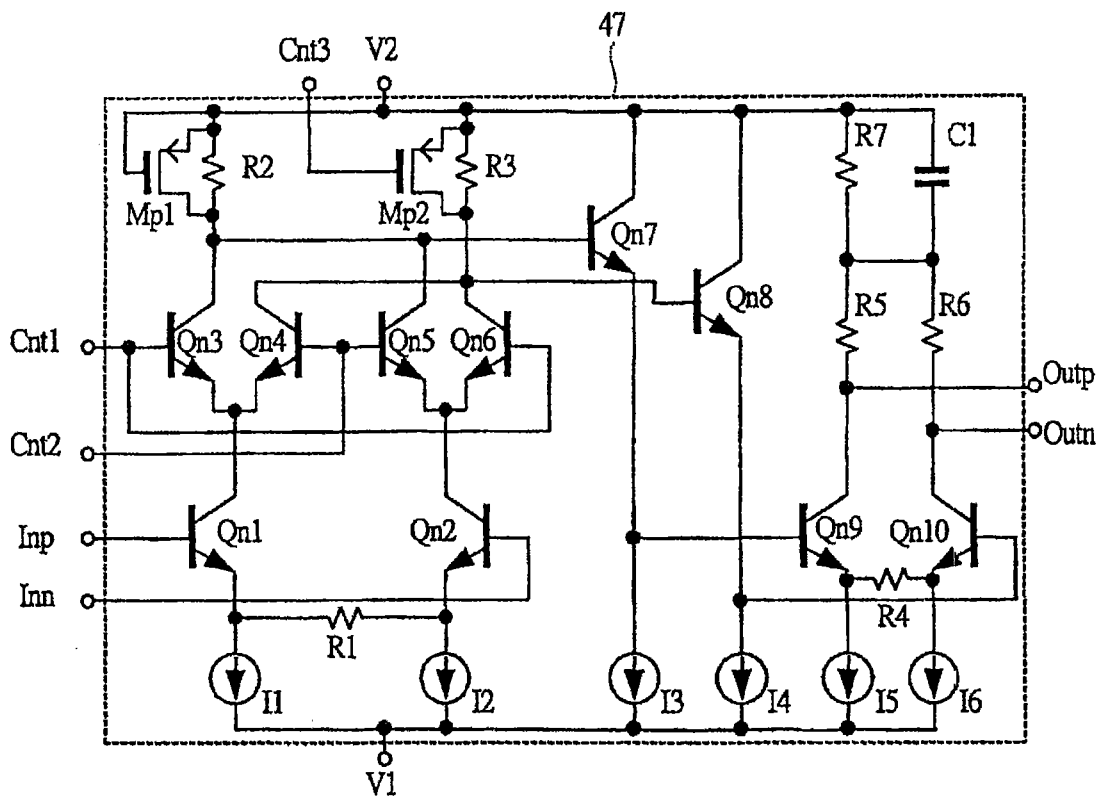


图 3

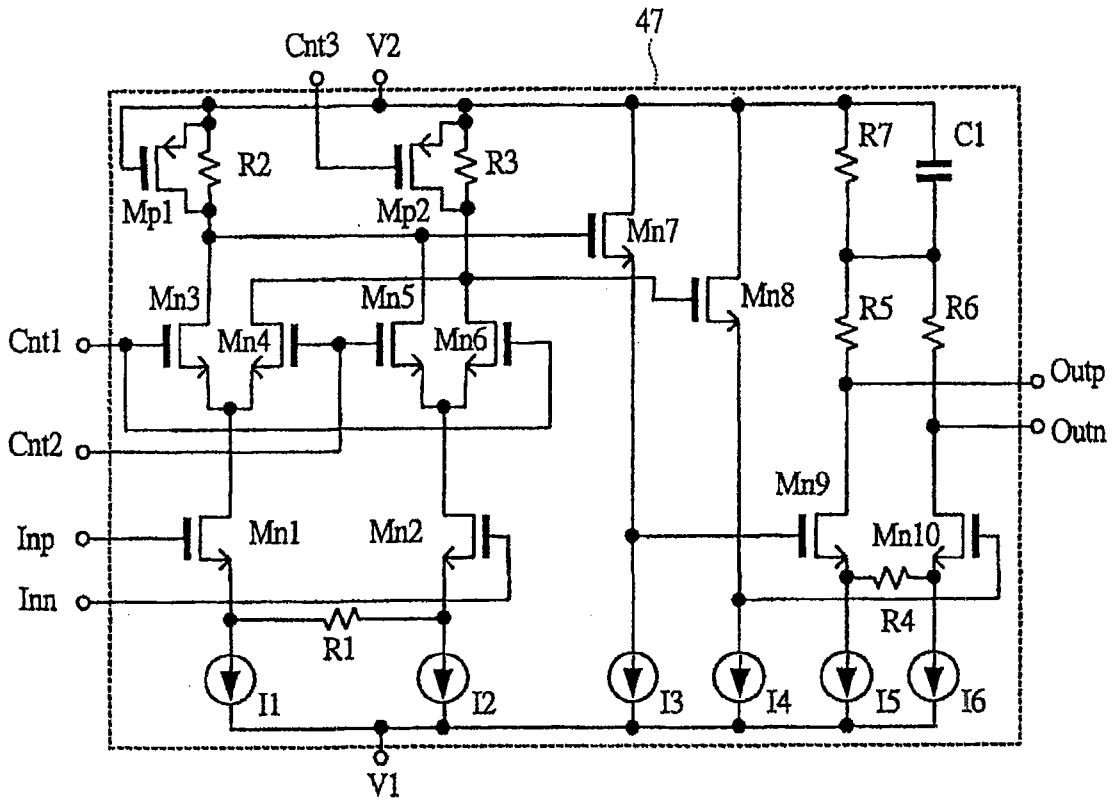


图 4

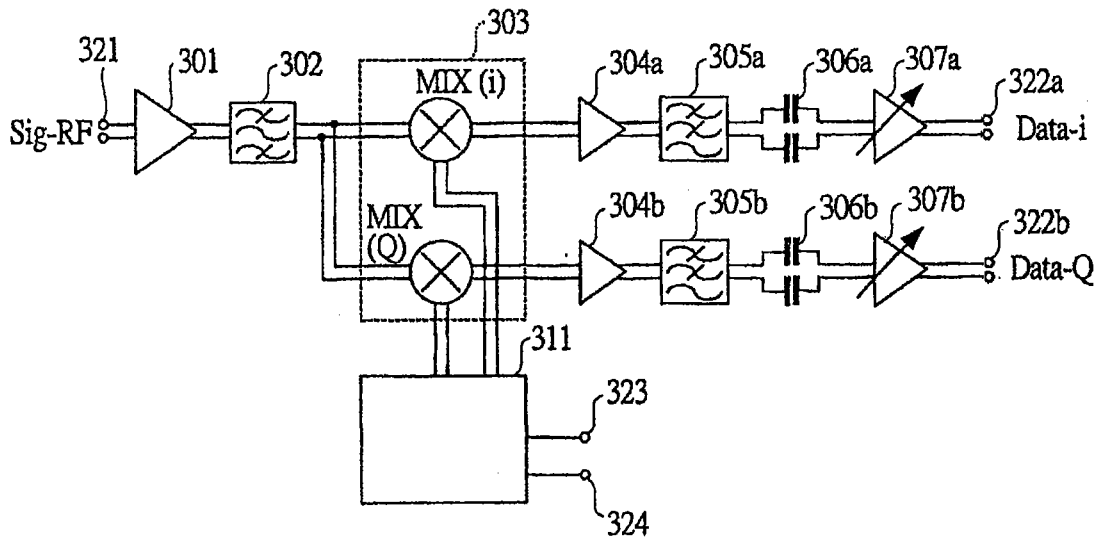


图 5

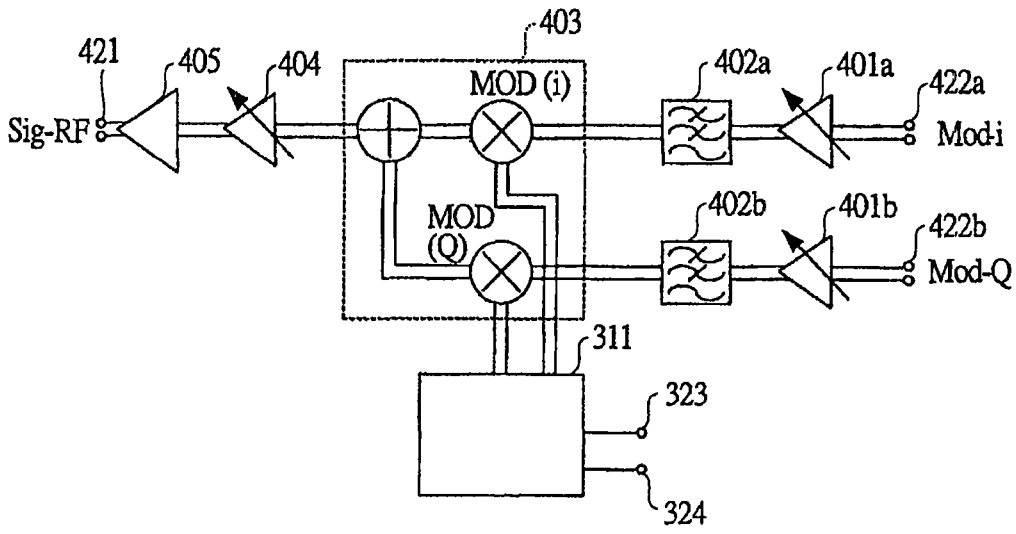


图 6

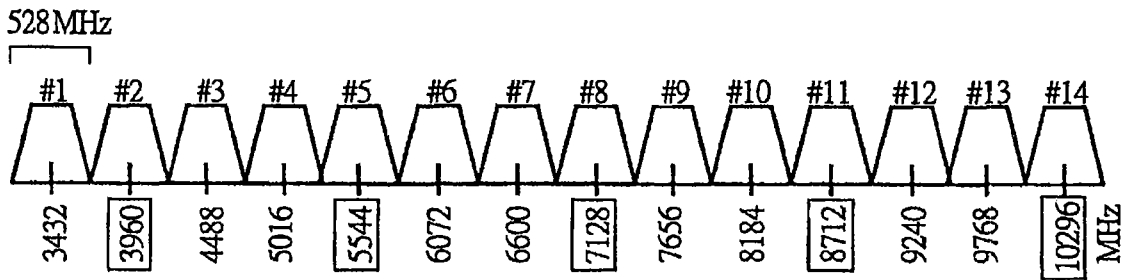


图 7

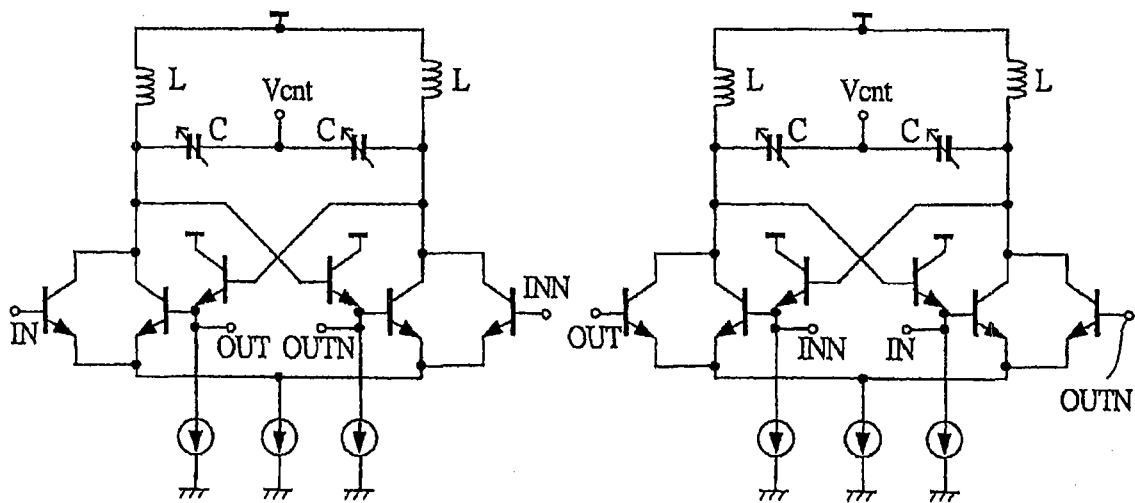


图 8

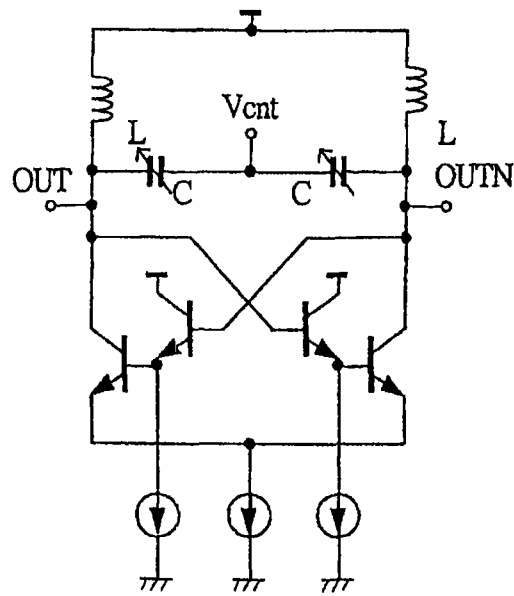


图 9