

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3871471号

(P3871471)

(45) 発行日 平成19年1月24日(2007.1.24)

(24) 登録日 平成18年10月27日(2006.10.27)

(51) Int. Cl.

G 1 1 C 29/42 (2006.01)

F I

G 1 1 C 29/00 6 3 1 B

請求項の数 5 (全 24 頁)

(21) 出願番号	特願平11-196903	(73) 特許権者	000005821
(22) 出願日	平成11年7月12日(1999.7.12)		松下電器産業株式会社
(65) 公開番号	特開2001-23394(P2001-23394A)		大阪府門真市大字門真1006番地
(43) 公開日	平成13年1月26日(2001.1.26)	(74) 代理人	100077931
審査請求日	平成15年7月31日(2003.7.31)		弁理士 前田 弘
		(74) 代理人	100094134
			弁理士 小山 廣毅
		(72) 発明者	本多 利行
			大阪府高槻市幸町1番1号 松下電子工業株式会社内
		審査官	小松 正
		(56) 参考文献	特開昭60-133600(JP,A)
			特開平07-029395(JP,A)
			最終頁に続く

(54) 【発明の名称】 ECC回路搭載半導体記憶装置及びその検査方法

(57) 【特許請求の範囲】

## 【請求項1】

複数のビットからなるデータに基づいて、複数のビットからなるECCコードを生成するためのECCコード生成手段と、

上記データの各ビットを記憶するためのデータ記憶手段と、

上記ECCコードの各ビットを記憶するためのECCコード記憶手段と、

上記データ記憶手段のデータと上記ECCコード記憶手段のECCコードとに基づいて誤り訂正のためのシンδροームを演算処理し、上記データの各ビットの誤りを訂正する機能を有する復号手段と、

検査モード時に、上記ECCコード生成手段に与えるデータの各ビットの値を任意に変更させるデータ入力制御手段とを備え、

上記復号手段は、検査モード時には検査用の任意のシンδροームを生成する機能を有することを特徴とするECC回路搭載半導体記憶装置。

## 【請求項2】

複数のビットからなるデータに基づいて、複数のビットからなるECCコードを生成するためのECCコード生成手段と、

上記データの各ビットを記憶するためのデータ記憶手段と、

上記ECCコードの各ビットを記憶するためのECCコード記憶手段と、

上記データ記憶手段のデータと上記ECCコード記憶手段のECCコードとに基づいて誤り訂正のためのシンδροームを演算処理し、上記データの各ビットの誤りを訂正する機

20

能を有する復号手段と、

検査モード時に、上記ECCコード生成手段に与えるデータの各ビットの値を変更させるデータ入力制御手段とを備え、

上記復号手段は、検査モード時には、対応して訂正するデータビットが存在しないパターンであって、そのパターンのうちいずれか1つのビットが反転しても対応して訂正すべきデータビットが存在するシンドロームパターンを生成する機能を有することを特徴とするECC回路搭載半導体記憶装置。

【請求項3】

複数のビットからなるデータに基づいて、複数のビットからなるECCコードを生成するためのECCコード生成手段と、上記データの各ビットを記憶するためのデータ記憶手段と、上記ECCコードの各ビットを記憶するためのECCコード記憶手段と、上記データ記憶手段のデータと上記ECCコード記憶手段のECCコードとに基づいて誤り訂正のためのシンドロームを演算処理し、上記データの各ビットの誤りを訂正する機能を有する復号手段とを備えたECC回路搭載半導体記憶装置の検査方法であって、

任意の2ビットにおいて(0 0)、(0 1)、(1 0)、(1 1)の4通りのパターンが含まれるメモリ検査用データとメモリ検査用ECCコードとを生成することを特徴とするECC回路搭載半導体記憶装置の検査方法。

【請求項4】

複数のビットからなるデータに基づいて、複数のビットからなるECCコードを生成するためのECCコード生成手段と、上記データの各ビットを記憶するためのデータ記憶手段と、上記ECCコードの各ビットを記憶するためのECCコード記憶手段と、上記データ記憶手段のデータと上記ECCコード記憶手段のECCコードとに基づいて誤り訂正のためのシンドロームを演算処理し、上記データの各ビットの誤りを訂正する機能を有する復号手段とを備えたECC回路搭載半導体記憶装置の検査方法であって、

データから上記ECCコードとは異なるパターンを有する検査用ECCコードを生成し、検査用の任意のシンドロームを生成することを特徴とするECC回路搭載半導体記憶装置の検査方法。

【請求項5】

複数のビットからなるデータに基づいて、複数のビットからなるECCコードを生成するためのECCコード生成手段と、上記データの各ビットを記憶するためのデータ記憶手段と、上記ECCコードの各ビットを記憶するためのECCコード記憶手段と、上記データ記憶手段のデータと上記ECCコード記憶手段のECCコードとに基づいて誤り訂正のためのシンドロームを演算処理し、上記データの各ビットの誤りを訂正する機能を有する復号手段とを備えたECC回路搭載半導体記憶装置の検査方法であって、

検査モード時には、対応して訂正するデータビットが存在しないパターンであって、そのパターンのうちいずれか1つのビットが反転しても対応して訂正すべきデータビットが存在するシンドロームパターンを生成することを特徴とするECC回路搭載半導体記憶装置の検査方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、誤り訂正符号回路(ECC回路)を内蔵した半導体記憶装置に関するものである。

【0002】

【従来の技術】

近年の半導体記憶装置の記憶容量の増加に伴い、内蔵されている記憶素子中のいずれかが故障する確率や、誤書き込み、誤読み出しなどの確率も高まってくる。そのため、電気信号からデータの誤りを検知してさらにこれを訂正する機能を有するECC回路搭載半導体記憶装置が提案されている。

【0003】

10

20

30

40

50

このECC回路とは、符号(コード)理論に基づいて設計された誤り訂正機能を有する回路である。符号化による誤りの訂正は、本来伝達すべき情報に余分なもの(冗長性)を一定の規則に従って付加して送り、それらを受けた方では、受けた情報がこの規則に従っているかどうかを調べ、その結果によって誤りを検出・訂正するという順序で行なわれる。そのために、ECC回路搭載半導体記憶装置においては、デジタル情報に対し、より組織的に機械で処理しやすい形で冗長性を付加し、信頼性の向上を図っている。

【0004】

ここで、従来例として、特開平5-54697号公報に開示されているECC回路搭載半導体記憶装置の構成および動作について、図10及び図11を参照しながら説明する。

【0005】

図10は上記公報に係る発明の背景となっている従来のECC回路搭載半導体記憶装置(“第1の従来例”とする)の構成を概略的に示すブロック図である。図10に示すように、ECC回路搭載メモリブロック101は、データ記憶領域102と、ECCコード記憶領域103と、ECCコード生成器104と、復号器105と、I/Oコントロール回路106とによって構成されている。

【0006】

I/Oコントロール回路106は、ECC回路搭載メモリブロック101の外部に配置されるデバイスから入出力データ線112を経て入力されるデータを、入力データ線107を経由してデータ記憶領域102とECCコード生成器104とに送られる。ECCコード生成器104は、入力データ線107からの入力データ信号を受けて、このデータに 20  
対応するECCコードを生成し、このECCコードを書き込みECCコード線108を介してECCコード記憶領域103に入力する。復号器105は、データ記憶領域102から読み出されたデータを読み出しデータ線109を介して取り込むとともに、ECCコード記憶領域103から読み出されたECCコードを読み出しECCコード線110を介して取り込んで、データに誤りがなければそのデータを、データに誤りがあれば誤りの訂正を行ったデータを出力データ線111からI/Oコントロール回路106に送る。そして、I/Oコントロール回路106は、復号器105から出力されたデータを、そのまま入出力データ線112を介してECC回路搭載メモリブロック101の外部のデバイスに出力する。

【0007】

以下、ECC回路搭載メモリブロック101にデータを書き込む動作と、ECC回路搭載メモリブロック101からデータを読み出す動作とについて、より詳細に、8ビットのデータと4ビットのECCコードとによって1ワードが構成される場合を例にとって説明する。

【0008】

まず、ECC回路搭載メモリブロック101にデータを書き込む時は、I/Oコントロール回路106によって、ECC回路搭載メモリブロック101の外部のデバイスからデータ入出力線112を経て入力される8ビットのデータ

(D0, D1, D2, D3, D4, D5, D6, D7)

を取り込む。そして、この取り込まれた8ビットのデータが、I/Oコントロール回路1 40  
06により、入力データ線107を経てデータ記憶領域102に書き込まれるとともに、ECCコード生成器104にも入力される。

【0009】

次に、ECCコード生成器104において、入力された8ビットのデータに対応する4ビットのECCコード

(C0, C1, C2, C3)

が生成され、このECCコードがECCコード線108を経てECCコード記憶領域103に書き込まれる。このとき、上記公報に記載されている方法によると、ECCコード(C0, C1, C2, C3)の各要素は、下記式(1)

$$C0 = D0 + D1 + D3 + D4 + D6$$

10

20

30

40

50

$$C1 = D0 + D2 + D3 + D5 + D6$$

$$C2 = D1 + D2 + D3 + D7$$

$$C3 = D4 + D5 + D6 + D7$$

(1)

に基づいて生成される。ただし、上記式(1)及び以下の説明において、記号+は排他的論理和を表すものとする。

【0010】

次に、ECC回路搭載メモリブロック101からデータを読み出すときは、復号器105に、データ記憶領域102から読み出される8ビットのデータ

$$(D0', D1', D2', D3', D4', D5', D6', D7')$$

を読み出しデータ線109を通じて取り込むとともに、ECCコード記憶領域103から読み出される4ビットのECCデータ

$$(C0', C1', C2', C3')$$

を読み出しECCコード線110を介して取り込む。そして、復号器105は、4ビットのシンδροーム

$$(S0, S1, S2, S3)$$

を、下記式

$$S0 = C0' + D0' + D1' + D3' + D4' + D6'$$

$$S1 = C1' + D0' + D2' + D3' + D5' + D6'$$

$$S2 = C2' + D1' + D2' + D3' + D7'$$

$$S3 = C3' + D4' + D5' + D6' + D7'$$

に基づいて生成する。

【0011】

復号器105は、読み出された8ビットのデータの中の1ビットまでの誤りを訂正するために、シンδροームのビット列に対応するデータ

$$(D0', D1', D2', D3', D4', D5', D6', D7')$$

中の誤りと判定されたビットのデータを反転処理した後に、出力データ線111に出力する。

【0012】

このとき、シンδροームのビット列に対応するデータ(検査行列H)は、下記式(2)

【0013】

【数1】

$$H = \begin{pmatrix} 1 & 1 & 0 & 1 & 1 & 0 & 1 & 0 & 1 & 0 & 0 & 0 \\ 1 & 0 & 1 & 1 & 0 & 1 & 1 & 0 & 0 & 1 & 0 & 0 \\ 0 & 1 & 1 & 1 & 0 & 0 & 0 & 1 & 0 & 0 & 1 & 0 \\ 0 & 0 & 0 & 0 & 1 & 1 & 1 & 1 & 0 & 0 & 0 & 1 \end{pmatrix} \dots\dots\dots (2)$$

【0014】

で示される。このとき、s = (S0, S1, S2, S3)としたとき、シンδροームsは、下記式

$$s = (D0', D1', \dots, D7', C0', \dots, C3') H^T$$

で表される。ここで、シンドローム  $s$  はデータ自体の情報を含まず誤りビットの情報だけを含んでいることが、ベクトル計算から確認できる。

【0015】

図12は、上記式(2)の有する意味を分かりやすくするために作成されたもので、誤りビットとシンドロームとの関係を示す図である。

【0016】

たとえば、 $S_0 = 1$  ,  $S_1 = 1$  ,  $S_2 = 1$  ,  $S_3 = 0$  という結果が得られたときには、ビット  $D_3$  のデータが誤りであることがわかるので、このビットのデータを訂正するのである。一方、 $S_0 = S_1 = S_2 = S_3 = 0$  の時には、データに誤りがないことになり、どのビットのデータも反転しない。

【0017】

このように誤りの訂正処理がされた8ビットのデータは、出力データ線111に出力され、I/Oコントロール回路106から入出力データ線112を介してECC回路搭載メモリブロック101の外部に出力される。

【0018】

以上の手順により、ECC回路メモリブロック101へのデータの書き込みと、ECC回路メモリブロック101からのデータの読み出しが行なわれる。

【0019】

次に、第2の従来例のECC回路を搭載した半導体記憶装置の構成および動作について説明する。図11は、上記公報に記載されている公報に係る発明の構成を概略的に示すブロック図である。

【0020】

これは、図10に示すECC回路だけでは、一定の定められた誤り訂正処理以外の処理を行なうのに不便であることから、半導体記憶装置の特性等を考慮した各種の誤り訂正処理を行なうための改善を施したものである。

【0021】

図11に示すように、第2の従来例の半導体記憶装置は、図10に示す半導体記憶装置の構成に加えて、ECCコードI/Oコントロール回路113を設けたものである。

【0022】

図11に示す回路において、通常の動作時には、テストモード信号117が"0"に設定される。これにより、ECC回路搭載メモリブロック101へのデータの書き込み・読み出し動作は、すでに説明した第1の従来例の動作と同様の動作によって行なわれる。

【0023】

次に、テストモード時の動作について説明する。テストモード信号117が"1"に設定されると、テストモード信号117によって、セクタゲート114~116が制御される。これによって、データ記憶領域102には、I/Oコントロール回路106から入力データ線107を介してデータが書き込まれる。また、データ記憶領域102から読み出されたデータは、読み出しデータ線109とセクタゲート114を経由してI/Oコントロール回路106に出力される。このとき、書き込み・読み出しの動作にECCコード生成器104や復号器105が関与しないので、データ記憶領域102に対するデータの書き込み・読み出しをECCコード生成器104や復号器105を経由することなくい

わば直接に行なうことができる。

【0024】

一方、ECCコード記憶領域103には、ECC回路搭載メモリブロック101の外部のデバイスにより、ECCデータ( $C_0$  ,  $C_1$  ,  $C_2$  ,  $C_3$ )がECCコードI/Oコントロール回路113とセクタゲート115とを経由して書き込まれる。また、ECCコード記憶領域103から読み出されたデータは、セクタゲート116とECCコードI/Oコントロール回路113とを経由してECC回路搭載メモリブロック101の外部のデバイスに出力される。このように、ECCコード記憶領域103に対するデータの書き込み・読み出しを直接行なうことができる。

10

20

30

40

50

## 【0025】

上記第2の従来例に係るECC回路搭載半導体記憶装置においては、以上のようにして、たとえばチェッカーパターンの検査用データを用いてデータ記憶領域102とECCコード記憶領域103とのメモリセルの検査を行い、2ビット以上の誤りを訂正して良品・不良品の判別を行うように改善されている。

## 【0026】

## 【発明が解決しようとする課題】

しかるに、上記第1、第2の従来例においては、それぞれ以下のような不具合があった。

## 【0027】

第1の従来例においては、データ記憶領域とECCコード記憶領域とで異なる検査パターン(たとえばチェッカーパターン)を用いて検査しなければならない場合に、テストを迅速に行なうことができない。

## 【0028】

一方、第2の従来例においては、検査パターンを多様に変化させることが可能になるが、反面、半導体記憶装置全体の占有面積が増大し、半導体記憶装置を搭載した電子機器の小型化の要請に十分応えることができない。

## 【0029】

さらに、図10、図11に示される構成において、復号器105の誤りを訂正する動作の検査は行う手段がなく、1ビット誤りが発生したときでも正しく訂正されない可能性がある、つまり、従来の検査方法によってはECC回路搭載半導体記憶装置の信頼性を十分確保することができないという不具合があった。

## 【0030】

本発明の目的は、ECC回路自体の構成の簡略化を図りつつ、搭載される電子機器の小型化に適した機能の高いECC回路搭載半導体記憶装置を提供することや、ECC回路搭載半導体記憶装置の信頼性の向上を図るための検査方法を提供することにある。

## 【0031】

## 【課題を解決するための手段】

本発明の第1のECC回路搭載半導体記憶装置は、複数のビットからなるデータに基づいて、複数のビットからなるECCコードを生成するためのECCコード生成手段と、上記データの各ビットを記憶するためのデータ記憶手段と、上記ECCコードの各ビットを記憶するためのECCコード記憶手段と、上記データ記憶手段のデータと上記ECCコード記憶手段のECCコードとに基づいて誤り訂正のためのシンドロームを演算処理し、上記データの各ビットの誤りを訂正する機能を有する復号手段と、検査モード時に、上記ECCコード生成手段に与えるデータの各ビットの値を任意に変更させるデータ入力制御手段とを備え、上記復号手段は、検査モード時には検査用の任意のシンドロームを生成する機能を有している。

## 【0032】

これにより、復号手段の不良を検出することが可能になり、より信頼性の高いECC回路搭載半導体記憶装置が得られる。

## 【0033】

本発明の第2のECC回路搭載半導体記憶装置は、複数のビットからなるデータに基づいて、複数のビットからなるECCコードを生成するためのECCコード生成手段と、上記データの各ビットを記憶するためのデータ記憶手段と、上記ECCコードの各ビットを記憶するためのECCコード記憶手段と、上記データ記憶手段のデータと上記ECCコード記憶手段のECCコードとに基づいて誤り訂正のためのシンドロームを演算処理し、上記データの各ビットの誤りを訂正する機能を有する復号手段と、検査モード時に、上記ECCコード生成手段に与えるデータの各ビットの値を変更させるデータ入力制御手段とを備え、上記復号手段は、検査モード時には、対応して訂正するデータビットが存在しないパターンであって、そのパターンのうちいずれか1つのビットが反転しても対応して訂正

10

20

30

40

50

すべきデータビットが存在するシンドロームパターンを生成する機能を有している。

【0034】

これにより、ECCコード記憶手段の不良を検出することができる。

【0035】

本発明の第1のECC回路搭載半導体記憶装置の検査方法は、複数のビットからなるデータに基づいて、複数のビットからなるECCコードを生成するためのECCコード生成手段と、上記データの各ビットを記憶するためのデータ記憶手段と、上記ECCコードの各ビットを記憶するためのECCコード記憶手段と、上記データ記憶手段のデータと上記ECCコード記憶手段のECCコードとに基づいて誤り訂正のためのシンドロームを演算処理し、上記データの各ビットの誤りを訂正する機能を有する復号手段とを備えたECC回路搭載半導体記憶装置の検査方法であって、任意の2ビットにおいて(0 0), (0 1), (1 0), (1 1)の4通りのパターンが含まれるメモリ検査用データとメモリ検査用ECCコードとを生成する方法である。

10

【0036】

この方法により、ワードに含まれる2ビット以上の不良を検出することが可能になる。

【0037】

本発明の第2のECC回路搭載半導体記憶装置の検査方法は、複数のビットからなるデータに基づいて、複数のビットからなるECCコードを生成するためのECCコード生成手段と、上記データの各ビットを記憶するためのデータ記憶手段と、上記ECCコードの各ビットを記憶するためのECCコード記憶手段と、上記データ記憶手段のデータと上記ECCコード記憶手段のECCコードとに基づいて誤り訂正のためのシンドロームを演算処理し、上記データの各ビットの誤りを訂正する機能を有する復号手段とを備えたECC回路搭載半導体記憶装置の検査方法であって、データから上記ECCコードとは異なるパターンを有する検査用ECCコードを生成し、検査用の任意のシンドロームを生成する方法である。

20

【0038】

この方法により、復号手段の不良を検出できる検査方法を提供することができる。

【0039】

本発明の第3のECC回路搭載半導体記憶装置の検査方法は、複数のビットからなるデータに基づいて、複数のビットからなるECCコードを生成するためのECCコード生成手段と、上記データの各ビットを記憶するためのデータ記憶手段と、上記ECCコードの各ビットを記憶するためのECCコード記憶手段と、上記データ記憶手段のデータと上記ECCコード記憶手段のECCコードとに基づいて誤り訂正のためのシンドロームを演算処理し、上記データの各ビットの誤りを訂正する機能を有する復号手段とを備えたECC回路搭載半導体記憶装置の検査方法であって、検査モード時には、対応して訂正するデータビットが存在しないパターンであって、そのパターンのうちいずれか1つのビットが反転しても対応して訂正すべきデータビットが存在するシンドロームパターンを生成する方法である。

30

【0040】

この方法により、ECCコード記憶手段の不良を検出できる検査方法を提供することができる。

40

【0041】

【発明の実施の形態】

(第1の実施形態)

図1は、第1の実施形態におけるECC回路搭載半導体記憶装置の構成を概略的に示すブロック図である。図1に示すように、半導体記憶装置には、多数のメモリセルをマトリクス状に配置したメモリセルアレイ5が設けられており、このメモリセルアレイ5は複数個のメモリブロック9に分割されていて、各メモリブロック9ごとに、図4に示されるようなデータ記憶領域9aとECCコード記憶領域9bとが設けられている。そして、メモリセルアレイ5の周辺には、列を選択するためのコラムデコーダ4と、行を選択するた

50

のロウデコーダ（図示せず）とが配置されている。そして、カラムデコーダ4はビット線群6により、ロウデコーダはワード線群（図示せず）により、それぞれメモリセルアレイ5と接続されている。なお、ロウデコーダに付設されている回路は、本願発明の特徴部分とは関連性がないために、図1において記載を省略している。

【0042】

周辺回路においては、主要な要素として、ECC回路搭載半導体記憶装置の外部のデバイスからデータを書き込む際におけるデータの入力制御を行なうための入力制御回路1と、データの伝達を行なうための8ビットのデータバス2と、ECCコードを伝達するための4ビットのECCコードバス3と、メモリセルアレイ5に書き込みするデータからECCコードを生成するとともに、メモリセルアレイ5から読み出したデータ・ECCコードからシンドロームを生成してデータの誤りを訂正する機能を備えたECC回路7と、ECC回路7から出力されるデータをECC回路搭載半導体記憶装置の外部のデバイスに出力するための制御を行う出力制御回路8とが設けられている。

10

【0043】

以下、以上のように構成されたECC回路搭載半導体記憶装置の書き込み・読み出し動作について説明する。

【0044】

まず、データをECC回路搭載半導体記憶装置に書き込むときは、ECC回路搭載半導体記憶装置の外部のデバイスから8ビットのデータ

(D0, D1, D2, D3, D4, D5, D6, D7)

20

が入力制御回路1に入力される。そして、入力制御回路1に入力された8ビットのデータは、データバス2からメモリセルアレイ5に送られてデータ記憶領域9aに格納されるとともに、ECC回路7に取り込まれる。ECC回路7は、データバス2から取り込んだ8ビットのデータを元に、4ビットのECCコード

(C0, C1, C2, C3)

を生成する。このECCコードは、ECCコードバス3からカラムデコーダ4を経由してメモリセルアレイ5に送られてECCコード記憶領域9bに格納される。ここで、データ及びECCコードは、ビット線群6の中のある1ワード(=データ8ビット+ECCコード4ビット;以下1ワードと記述)のデータに対応するビット線に出力され、メモリセルアレイ5へと書き込まれる。

30

【0045】

次に、データをECC回路搭載半導体記憶装置からデータを読み出すときは、メモリセルアレイ5から読み出される1ワードのデータが、カラムデコーダ4によって選択されたビット線群6の中のビット線を経由してデータバス2及びECCバス3に読み出される。そして、データバス2を経由した8ビットのデータと、ECCコードバス3を経由した4ビットのECCコードとがECC回路7に取り込まれる。ECC回路7は、8ビットのデータと4ビットのECCコードとに基づいて、4ビットのシンドローム

(S0, S1, S2, S3)

を生成する。そして、このシンドロームに基づいて、図12に示すような誤りビットとシンドロームとの関係を参照して、データに訂正すべき誤りがあるとこれを訂正し、誤りがなければそのままにしておくという誤りの訂正処理を行なった後に、8ビットのデータを出力制御回路8へ出力する。出力制御回路8は、ECC回路7から入力される8ビットのデータをECC回路搭載半導体記憶装置の外部のデバイスに出力し、これによって、データの読み出しが完了する。

40

【0046】

図2は、図1のECC回路7の内部構成を示す回路図である。図2に示すように、ECC回路7内には、ECCコード・シンドローム生成回路16と、データ訂正回路17とが配設されており、ECC回路7の各バス2,3との接続部分には、データバス2からECC回路7へのデータの入力を制御するデータバス入力制御回路10と、ECCコードバス3からECC回路7へのECCコードの入力を制御するECCコードバス入力制御回路1

50

1と、ECCコードバス3からECC回路7へのECCコードの出力を制御するECCコードバス出力制御回路12とが設けられている。ECCコード・シンドローム生成回路16は、排他的論理和ゲート13とインバータゲート14とを組み合わせで構成されている。また、データ訂正回路17は、論理積ゲート15と排他的論理和ゲート13とを組み合わせで構成されている。

#### 【0047】

図3は、ECCコードバス入力制御回路11の構成を概略的に示す回路図である。同図に示すように、ECCコードバス入力制御回路11は、テスト信号TESTを反転するためのインバータ14と、ECCコードをECC回路7内に伝えるNチャンネル型MOSトランジスタ及びPチャンネル型MOSトランジスタからなるCMOSトランスファゲート18と、必要に応じてECC回路7内に送る信号を“L”に固定するためのNチャンネル型MOSトランジスタ19とにより構成されている。そして、テスト信号TESTが“L”のときには、CMOSトランスファゲート18によってECCコード(C0, C1, C2, C3)がECC回路7内に送られる一方、テスト信号TESTが“H”のときにはECCコード(C0, C1, C2, C3)のECC回路7内への入力が阻止され、かつ、Nチャンネル型MOSトランジスタ19によってECC回路7内に送られる信号が“L”に固定される。

#### 【0048】

##### - 具体的な回路構成 -

本実施形態のECC回路搭載半導体記憶装置によると、図1、図2及び図3に示すように、図10及び図11に示す第1、第2の従来例の半導体記憶装置に比べて、従来別に設けられていたECCコード生成器104に相当する部分がECC回路7に組み込まれ、ECC回路7によってECC生成器104と復号器105との機能を併せて果たすように構成されていることで、装置自体の小型化が図られている。具体的には、図10及び図11に示す構成におけるECCコード生成器104には、本実施形態のECC回路7内のECCコード・シンドローム生成回路16内の16個の排他的論理和ゲートのうち12個の排他的論理和ゲートとインバータとが必要である(図中の波線によって囲まれる部分)。ただし、従来のECC回路搭載半導体記憶装置においては、本実施形態のごときECCコードバス入力制御回路11は不要である。その他の部分は、本実施形態と上記各従来例とは、回路構成はほとんど変わらない。従って、排他的論理和ゲートが少なくとも6個のトランジスタによって構成され、インバータが2つのトランジスタによって構成されていることを考慮すると、本実施形態のECC回路搭載半導体記憶装置により、従来のECC回路搭載半導体記憶装置に比べて、トランジスタの数が低減されていることがわかる。よって、本実施形態のECC回路搭載半導体記憶装置により、装置全体の小型化を図ることができる。

#### 【0049】

##### - 演算方法 -

次に、以上のように構成されたECC回路7のECCコード生成・シンドローム生成・データ訂正動作を示す演算と、これに対応する回路動作とについて説明する。

#### 【0050】

まず、演算方法は、8ビットのデータビットから4ビットのECCコードを生成する式として、下記式(3)

$$\begin{aligned} C_0 &= D_0 + D_1 + D_2 && + D_5 + D_6 \\ C_1 &= && D_1 + D_2 + D_3 + D_4 + D_5 \\ C_2 &= D_0 && + D_2 + D_3 + D_4 && + D_7 \\ C_3 &= D_0 + D_1 && + D_3 && + D_6 + D_7 \end{aligned} \quad (3)$$

を使用する。

#### 【0051】

上記式(3)から、本実施形態のECC回路搭載半導体記憶装置が以下のような2つの特徴を有していることが導かれる。

10

20

30

40

50

## 【 0 0 5 2 】

第1に、それぞれのECCコード中の各ビットC0, C1, C2, C3の演算のために割り当てられているデータのビットの数が同じである。式(3)においては、各ECCコードの各ビットには、いずれも5ビットのデータが割り当てられている。たとえば、ECCコードの1つのビットC0には、5ビットのデータD0, D1, D2, D5, D6が割り当てられている。その結果、回路で演算を実現するときのゲート数が全てのECCコード中の各ビットごとに等しくなり、回路遅延のばらつきを生じない。それに対し、従来の式(1)で示されるECCコードを使用した場合には、ECCコード中の1つのビットC0には5つのデータビットが割り当てられ、ECCコード中の他のビットC3には4つのデータビットが割り当てられるので、回路遅延にばらつきを生じるおそれがあった。

10

## 【 0 0 5 3 】

第2に、8ビットのデータビットのパターンと同じ種類のパターンが4ビットのECCコードパターンとして生成される。たとえば、データとしてチェッカーパターンを書き込む場合、

$$(D0, D1, D2, D3, D4, D5, D6, D7) \\ = (0, 1, 0, 1, 0, 1, 0, 1)$$

とすると、ECCコードは、

$$(C0, C1, C2, C3) = (0, 1, 0, 1)$$

となり、ECCコードもチェッカーパターンになる。また、ストライプパターンを生成するためには、「ALL0パターン」と「ALL1パターン」とを生成する必要があるが、データビットが全て"1"の時ECCコードも全て"1"になる。

20

## 【 0 0 5 4 】

それに対し、式(1)で表される従来のECCコードを用いた場合、

$$(D0, D1, D2, D3, D4, D5, D6, D7) \\ = (0, 1, 0, 1, 0, 1, 0, 1)$$

とすると、ECCコードは、

$$(C0, C1, C2, C3) = (0, 0, 0, 1)$$

となり、ECCコードはチェッカーパターンとはならない。また、データビットが全て"1"の時、ECCコードは全て"1"にはならない。

## 【 0 0 5 5 】

以上のようなチェッカーパターンやストライプパターンは、メモリセルの検査において物理的に隣接しているメモリセル(ビットに対応する)間の干渉等の不良を検出するために有効な検査パターンである。ところが、従来のECC回路搭載半導体記憶装置においては、チェッカーパターンやストライプパターンを用いた検査を行なうために、専用の検査パターンを用いる必要があることになる。それに対し、本実施形態のECC回路搭載半導体記憶装置によると、データパターンと同じ種類のECCコードパターンが生成されるので、各種の検査パターンを別途準備していなくても、データパターンを用いて各種検査に適合したECCコードを生成できる。従って、準備しておく必要のある検査パターン数を低減することができる。

30

## 【 0 0 5 6 】

次に、上記式(3)は

$$\begin{aligned} C0 &= (D1 + D6) + (D2 + D5) + D0 \\ C1 &= (D2 + D5) + (D3 + D4) + D1 \\ C2 &= (D0 + D7) + (D3 + D4) + D2 \\ C3 &= (D0 + D7) + (D1 + D6) + D3 \end{aligned}$$

のように書き換えることができる。このように書き換えても、各ECCコードの各ビットは式(3)の値と等価であることは容易に理解できる。すなわち、上記括弧でくくった演算結果を共用することができる。たとえば、(D0 + D7)の値は、ECCコード中のビットC2とC3との演算に使用できる。従って、動作速度の向上を図ることができる。

40

## 【 0 0 5 7 】

50

一方、ECCコードの生成式である式(3)に対応するシンドロームの生成式は、下記式(4)

$$\begin{aligned} S_0 &= C_0 + D_0 + D_1 + D_2 && + D_5 + D_6 \\ S_1 &= C_1 + && D_1 + D_2 + D_3 + D_4 + D_5 \\ S_2 &= C_2 + D_0 && + D_2 + D_3 + D_4 && + D_7 \\ S_3 &= C_3 + D_0 + D_1 && + D_3 && + D_6 + D_7 \end{aligned} \quad (4)$$

で表される。また、上記式(4)は、

$$\begin{aligned} S_0 &= (D_1 + D_6) + (D_2 + D_5) && + (D_0 + C_0) \\ S_1 &= && (D_2 + D_5) + (D_3 + D_4) + (D_1 + C_1) \\ S_2 &= (D_0 + D_7) && + (D_3 + D_4) + (D_2 + C_2) \\ S_3 &= (D_0 + D_7) + (D_1 + D_6) && + (D_3 + C_3) \end{aligned}$$

10

のように書き換えることができる。式(3)と式(4)とを比較すると、共通部分が多いことがわかる。したがって、ECCコードの生成と、シンドロームの生成とにおいても、回路を共用することができ、動作速度の向上を図ることができる。

#### 【0058】

また、シンドロームの生成の結果、誤りが発見されたときに行なわれるデータの訂正は、下記式(5)

$$\begin{aligned} & ( S_0 \cdot / S_1 \cdot S_2 \cdot S_3 ) + D_0 && D_0 \\ & ( S_0 \cdot S_1 \cdot / S_2 \cdot S_3 ) + D_1 && D_1 \\ & ( S_0 \cdot S_1 \cdot S_2 \cdot / S_3 ) + D_2 && D_2 \\ & ( / S_0 \cdot S_1 \cdot S_2 \cdot S_3 ) + D_3 && D_3 \\ & ( / S_0 \cdot S_1 \cdot S_2 \cdot / S_3 ) + D_4 && D_4 \\ & ( S_0 \cdot S_1 \cdot / S_2 \cdot / S_3 ) + D_5 && D_5 \\ & ( S_0 \cdot / S_1 \cdot / S_2 \cdot S_3 ) + D_6 && D_6 \\ & ( / S_0 \cdot / S_1 \cdot S_2 \cdot S_3 ) + D_7 && D_7 \end{aligned} \quad (5)$$

20

に従って行われる。ただし、式(5)において、“・”は論理積を表し、“/”はデータの反転を表す。たとえば、“/S0”は、S0が“0”の時“1”を、S0が“1”の時“0”を表す。“ ”は左辺の演算結果を右辺に代入することを表す。つまり、上記式(5)は、( )内が“0”であればデータが変化せず、( )内が“1”のときにデータが反転することを示している。たとえば、シンドロームが(1011)のときには、データビットD0が誤りであると判断されて、その値が反転するように訂正される。また、シンドロームが(1100)のときには、データビットD5が反転するように訂正されることになる。

30

#### 【0059】

ここで、下記式(6)は、従来技術で説明した式(2)に対応する本実施形態のECC回路搭載半導体記憶装置で用いている検査行列Hを示す式である。

#### 【0060】

#### 【数2】

$$H = \begin{pmatrix} 1 & 1 & 1 & 0 & 0 & 1 & 1 & 0 & 1 & 0 & 0 & 0 \\ 0 & 1 & 1 & 1 & 1 & 1 & 0 & 0 & 0 & 1 & 0 & 0 \\ 1 & 0 & 1 & 1 & 1 & 0 & 0 & 1 & 0 & 0 & 1 & 0 \\ 1 & 1 & 0 & 1 & 0 & 0 & 1 & 1 & 0 & 0 & 0 & 1 \end{pmatrix} \dots\dots\dots (6)$$

10

## 【 0 0 6 1 】

また、従来技術の説明において述べたように、シンドローム  $s$  は、下記式

$$s = (D_0, D_1 \dots, D_7, C_0, \dots, C_3) H^T$$

で表される。

## 【 0 0 6 2 】

20

図 9 は、本実施形態における誤りビットとシンドロームとの関係を示す図である。

## 【 0 0 6 3 】

- 回路動作 -

次に、本実施形態に係る ECC 回路搭載半導体記憶装置の回路動作について説明する。

## 【 0 0 6 4 】

ECC コードを生成するときは、データバス入力制御回路 10 からデータバス 2 の 8 ビットのデータが ECC 回路 7 内に入力される。そして、ECC コード入力制御回路 11 により、ECC 回路 7 への入力が "0" に固定される。そして、ECC コード・シンドローム生成回路 16 により、式 (3) に基づく ECC コードの生成が行われ、ECC コードバス出力制御回路 12 から ECC コードバス 3 を介してメモリセルアレイに 4 ビットの ECC

30

## 【 0 0 6 5 】

シンドロームを生成するときは、データバス 2 の 8 ビットのデータが、データバス入力制御回路 10 から ECC 回路 7 内に取り込まれる。また、メモリセルアレイから ECC コードバス 3 に取り出された 4 ビットの ECC コードが、ECC コード入力制御回路 11 から ECC 回路 7 内に取り込まれる。そして、ECC コード・シンドローム生成回路 16 により、式 (4) に基づくシンドロームの生成が行なわれた後、データ訂正回路 17 により、必要に応じて式 (5) に基づくデータの訂正が行なわれる。さらに、出力制御回路 8 から半導体記憶装置の外部のデバイスに 8 ビットのデータが出力される。

## 【 0 0 6 6 】

40

以上のように、本実施形態における ECC 回路搭載半導体記憶装置の回路動作によると、上述のように ECC コードの各ビットを算出する際のデータのビット数を均一にしているので (式 (3) 参照)、ECC コードを生成する際の各 ECC コードビットの回路遅延を等しくすることができ、よって、ECC コード生成の際の動作の円滑化を図ることができる。

## 【 0 0 6 7 】

なお、ECC コードの各ビットを算出するための式 (3) においては、すでに説明したように、データビットの任意の 2 ビットの入れ替えを複数回行ってもよいし、シンドロームの各ビットを算出する際の式 (4) においても、データビットの任意の 2 ビットの入れ替えを複数回行ってもよい。

50

## 【 0 0 6 8 】

また、上記式 ( 3 ) において、C 0 と C 1 とを入れ替えると、

$$C 0 = D 1 + D 2 + D 3 + D 4 + D 5$$

$$C 1 = D 0 + D 1 + D 2 + D 5 + D 6$$

$$C 2 = D 0 + D 2 + D 3 + D 4 + D 7$$

$$C 3 = D 0 + D 1 + D 3 + D 6 + D 7 \quad ( 3 )$$

のようになる。このように、E C Cコードビットの任意の2ビットの入れ替えを複数回行ってよい。

## 【 0 0 6 9 】

なお、16ビットのデータ ( D 0 - D 1 5 ) と5ビットのE C Cコード ( C 0 - C 4 ) とを用いる場合には、以下の式 10

$$C 0 = D 0 + D 1 + D 3 + D 4 + D 6 + D 8 + D 9 + D 1 3 + D 1 4$$

$$C 1 = D 1 + D 2 + D 3 + D 7 + D 8 + D 9 + D 1 0 + D 1 1 + D 1 2$$

$$C 2 = D 0 + D 2 + D 3 + D 5 + D 6 + D 9 + D 1 0 + D 1 2 + D 1 3$$

$$C 3 = D 4 + D 5 + D 6 + D 7 + D 8 + D 9 + D 1 0 + D 1 1 + D 1 5$$

$$C 4 = D 0 + D 1 + D 2 + D 4 + D 5 + D 7 + D 1 0 + D 1 4 + D 1 5$$

によって、E C Cコードを算出することができる。

## 【 0 0 7 0 】

( 第 2 の実施形態 )

図 4 は、第 2 の実施形態に係る E C C回路搭載半導体記憶装置のメモリセルアレイ 5 の構成を模式的に示す図である。同図に示すように、メモリセルアレイ 5 内は 4 つのメモリブロック 9 に分けられており、各メモリブロック 9 ごとにデータ記憶領域 9 a と E C Cコード記憶領域 9 b とが設けられている。そして、メモリセルアレイ 5 中の行の番号を X = 0 , 1 , 2 , ... , 2 5 5 とし、各メモリブロック 9 の番号を Y = 0 , 1 , 2 , 3 とする。そして、1つのメモリセルブロック 9 におけるデータ記憶領域 9 a と E C Cコード記憶領域 9 b とによって1つのワードに対応するメモリセルブロックが構成されており、これを“単位ワードブロック”とする。 20

## 【 0 0 7 1 】

ここで、本実施形態においても、第 1 の実施形態において説明した式 ( 3 ) を用いて、8ビットのデータから4ビットのE C Cコードを生成するものとする。つまり、第 1 の実施形態と同様に、8ビットのデータパターンから、同じ種類のパターンが4ビットのE C Cコードパターンとして生成されるという特徴をそのまま有している。 30

## 【 0 0 7 2 】

このE C Cコードパターンは以下の規則性を有している。すなわち、添字が偶数であるE C Cコードビットを演算する式に、添字が偶数であるデータビットの奇数個と、添字が奇数であるデータビットの偶数個とを割り当てる。たとえば、E C Cコードにおいて添字が偶数であるビットC 0 には、添字が偶数であるデータビットの奇数個 ( D 0 , D 2 , D 6 ) と、添字が奇数であるデータビットの偶数個 ( D 1 , D 5 ) とが割り当てられている。一方、添字が奇数であるE C Cコードビットを演算する式には、添字が奇数であるデータビットの奇数個と、添字が偶数であるデータビットの偶数個とを割り当てる。たとえば、E C Cコードにおいて添字が奇数であるビットC 1 には、添字が奇数であるデータビットの奇数個 ( D 1 , D 3 , D 5 ) と、添字が偶数であるデータビットの偶数個 ( D 2 , D 4 ) とが割り当てられている。 40

## 【 0 0 7 3 】

以上のような規則性に従って生成できる検査パターンにおける具体的なデータビットとE C Cコードビットとの対応の例を以下に示す。

## 【 0 0 7 4 】

パターン名	( D 0 ~ D 7 )	( C 0 ~ C 3 )
A L L 0	( 0 0 0 0 0 0 0 0 )	( 0 0 0 0 )
A L L 1	( 1 1 1 1 1 1 1 1 )	( 1 1 1 1 )

チェッカー ( 0 1 0 1 0 1 0 1 ) ( 0 1 0 1 )

チェッカーバー ( 1 0 1 0 1 0 1 0 ) ( 1 0 1 0 )

まず、メモリセルアレイ 5 内のすべてのメモリセル（データ記憶領域及び E C C コード記憶領域を含む）に “ 0 ” のデータを書き込むときには、メモリセルアレイ 5 内の全てのアドレスのデータビット（又は E C C コードビット）を全て “ 0 ” として書き込みを行う。次に、メモリセルアレイ 5 内のすべてのメモリセルに “ 1 ” のデータを書き込むときには、メモリセルアレイ 5 内の全てのアドレスのデータビット（又は E C C コードビット）を全て “ 1 ” として書き込みを行う。

【 0 0 7 5 】

次に、メモリセルアレイ 5 全体にチェッカーパターンを書き込むときには、行番号 X = 0 である全てのアドレスの単位ワードブロック 2 1 には “ 0 ” から始まり交互に “ 0 ” , “ 1 ” を繰り返すパターンである部分チェッカーパターンを書き込む。行番号 X = 1 である全てのアドレスの単位ワードブロック 2 1 には “ 1 ” から始まり交互に “ 1 ” , “ 0 ” を繰り返すパターンである部分チェッカーバーパターンを書き込む。さらに、行番号 X = 2 である全てのアドレスの単位ワードブロック 2 1 には部分チェッカーパターンを書き込む。つまり、行番号 X が偶数であるアドレスの全ての単位ワードブロック 2 1 には部分チェッカーパターンを、行番号 X が奇数であるアドレスの全ての単位ワードブロック 2 1 には部分チェッカーバーパターンを書き込むことにより、メモリセルアレイ 5 の全体にチェッカーパターンを書き込むことができる。

【 0 0 7 6 】

図 5 は、上述の手順によって、メモリセルアレイ 5 の全体にチェッカーパターンが書き込まれた状態を示す図である。

【 0 0 7 7 】

また、メモリセルアレイ 5 に、行方向のストライプパターン（横縞）を書き込むときには、たとえば行番号 X が偶数であるアドレスの全ての単位ワードブロック 2 1 には部分 A L L 0 パターンを、行番号 X が奇数であるアドレスの全ての単位ワードブロック 2 1 には部分 A L L 1 パターンを書き込む。メモリセルアレイ 5 に、列向のストライプパターン（縦縞）を書き込むときには、たとえば各行の全ての単位ワードブロック 2 1 に部分チェッカーパターンを書き込むか、各行の全ての単位ワードブロック 2 1 に部分チェッカーバーパターンを書き込む。

【 0 0 7 8 】

以上のように、本実施形態においては、E C C コードを生成するために規則として、添字が偶数である E C C コードビットを演算する式に、添字が偶数であるデータビットの奇数個と、添字が奇数であるデータビットの偶数個とを割り当てる一方、添字が奇数である E C C コードビットを演算する式には、添字が奇数であるデータビットの奇数個と、添字が偶数であるデータビットの偶数個とを割り当てるようにしている。これにより、部分チェッカーパターンのデータを利用して部分チェッカーパターンの E C C コードを、部分チェッカーバーパターンのデータを利用して部分チェッカーバーパターンの E C C コードを、部分 A L L 0 パターンのデータを利用して部分 A L L 0 パターンの E C C コードを、部分 A L L 1 パターンのデータを利用して部分 A L L 1 パターンの E C C コードをそれぞれ生成することができる。そして、このような各種のパターンを用いてメモリセルアレイ 5 中の各メモリセルの検査を行なうことにより、縦横斜め方向に隣接したメモリセル（ビット）間の干渉等の不良を検出することができる。

【 0 0 7 9 】

従って、第 2 の実施形態の E C C コードの生成方法によると、データのパターンを利用して同じ種類のパターンの E C C コードパターンを生成できるので、別途 E C C コード専用の検査パターンを準備しなくても、メモリ検査において、縦横斜め方向に隣接したメモリセル（ビット）間の干渉等の不良を検出することができるという利点がある。

【 0 0 8 0 】

（第 3 の実施形態）

10

20

30

40

50

図6は、第3の実施形態に係るECC回路搭載半導体記憶装置の構成を示すブロック図である。

【0081】

同図に示すように、本実施形態におけるECC回路搭載半導体記憶装置の構成は、第1の実施形態と同様である(図1参照)。本実施形態においては、ECC回路搭載半導体記憶装置中の入力制御回路1に検査パターンを出力し、出力制御回路8から検査パターンを入力してメモリ検査を行うテスト回路22が配設されており、このテスト回路22の検査方法に特徴がある。

【0082】

上記従来技術において説明したように、1ビットまで訂正可能なECC回路搭載半導体記憶装置においてECC回路搭載メモリブロックの外部とのECCコード入出力のための信号線を用いずにメモリの検査を行うためには、データビットのみの検査で1ワード中に含まれる2ビット以上の不良を検出する必要がある。しかし、従来行われているようなメモリの検査パターンでは2ビット以上の不良を検出できない。たとえば、検査パターンとして

	( D 0	D 1	D 2	D 3	D 4	D 5	D 6	D 7 )	
A L L 0	( 0	0	0	0	0	0	0	0 )	
A L L 1	( 1	1	1	1	1	1	1	1 )	
チェッカー	( 0	1	0	1	0	1	0	1 )	
チェッカーバー	( 1	0	1	0	1	0	1	0 )	

の4パターンを使用していると、D0が“0”に、D2が“1”に固定された不良モードはそれぞれの4パターンでは1ビット誤りとして認識されるため検出できない。

【0083】

ここで、本実施形態においては、テスト回路22の発生するデータビットのパターンとして、

	( D0	D1	D2	D3	D4	D5	D6	D7	C0	C1	C2	C3 )
パターン1	( 0	0	0	0	0	0	0	0	0	0	0	0 )
パターン2	( 1	1	1	1	1	1	1	1	1	1	1	1 )
パターン3	( 0	1	0	1	0	1	0	1	0	1	0	1 )
パターン4	( 1	0	1	0	1	0	1	0	1	0	1	0 )
パターン5	( 0	0	1	1	0	0	1	1	0	0	1	1 )
パターン6	( 1	1	0	0	1	1	0	0	1	1	0	0 )
パターン7	( 1	1	1	1	0	0	0	0	1	1	1	1 )
パターン8	( 0	1	0	1	1	1	1	1	1	0	1	0 )
パターン9	( 1	0	1	0	1	1	1	1	0	1	0	1 )

の9パターンを使用する。以上の9パターンを作成する上でのルールとして、相隣接していないビット同士も含め、任意の2ビットに着目したときにその2ビットのパターンとして

- ( 0 0 )
- ( 0 1 )
- ( 1 0 )
- ( 1 1 )

の4通りのパターンが必ず含まれるように作られている。テスト回路22による9パターンで検査を行うことで、不良の発生した任意の2ビットはいずれか1つ以上のパターンで2ビット不良として検出することができる。パターンを発生するテスト回路22を設けることにより、ECC回路搭載半導体記憶装置のメモリセルアレイ中のデータビット及びECCコードビットの双方について2ビット以上の不良を検出する検査方法を提供することができる。

【0084】

また、このようなテスト回路22は、半導体チップ内に組み込んで組み込まなくても

10

20

30

40

50

よいが、テスト回路 2 2 を半導体チップ内に組み込むことにより、外部デバイスとの入出力信号線を増やさずにメモリの 2 ビット以上の誤りを検出する検査手法を提供することができる。

【 0 0 8 5 】

なお、2 ビット不良を検出する検査パターンを発生するテスト回路 2 2 は、マイクロプロセッサを用いても実現できる。

【 0 0 8 6 】

図 7 は、テスト回路 2 2 に代えて、マイクロプロセッサ 2 3 によって、本実施形態のテスト方法を行なうように構成した例を示すブロック図である。この場合、メモリ・ロジック混載型半導体装置に適した構造が得られる。

10

【 0 0 8 7 】

なお、テスター等のハードウェアを別途設けることにより直接メモリのデータビットにアクセスすることでも実現できる。

【 0 0 8 8 】

( 第 4 の実施形態 )

図 8 は、第 4 の実施形態に係る E C C 回路搭載半導体記憶装置の構成の一部 ( 特に E C C 回路 ) を示す回路図である。E C C 回路搭載半導体記憶装置全体の構成は、図 1 に示すとおりである。

【 0 0 8 9 】

図 8 に示すように、本実施形態における E C C 回路 2 5 は、図 2 に示す E C C 回路 7 の構成に加えて、データバス 2 から取り込んだデータ ( D 0 , D 1 , D 2 , D 3 ) を E C C コード生成用の排他的論理ゲートに入力するか否かを制御するためのデータバス入力テスト制御回路 2 6 と、データバス入力制御回路 1 0 からの入力とデータ訂正回路 1 7 からの入力を切り替えて出力制御回路 8 に送るセクタゲート 2 7 とを備えている。

20

【 0 0 9 0 】

以下、以上のように構成された E C C 回路 2 5 について、通常書き込み動作・テストモード書き込み動作・通常読み出し動作・テストモード読み出し動作を示す演算と、対応する回路動作とを説明する。

【 0 0 9 1 】

通常書き込み動作は、8 ビットのデータビットから 4 ビットの E C C コードを生成する式として、第 1 の実施形態で示した式 ( 3 ) を用いて行なう。また、通常読み出しのシンドローム生成は、第 1 の実施形態で示した式 ( 4 ) を用いて行なう。

30

【 0 0 9 2 】

一方、テストモード書き込みのためには、下記式 ( 7 )

$$C 0 = ( D 1 + D 6 ) + ( D 2 + D 5 )$$

$$C 1 = ( D 2 + D 5 ) + ( D 3 + D 4 )$$

$$C 2 = ( D 0 + D 7 ) + ( D 3 + D 4 )$$

$$C 3 = ( D 0 + D 7 ) + ( D 1 + D 6 ) \quad ( 7 )$$

を使用する。また、テストモード読み出しにおいては、読み出した 8 ビットのデータをそのまま出力する。

40

【 0 0 9 3 】

ここで、テストモード書き込み動作のための式 ( 7 ) の特徴は、E C C コードを生成する式 ( 3 ) 中の右辺のうちの 1 つのビット ( D 0 , D 1 , D 2 , D 3 ) がそれぞれ省かれていることである。この操作を行なうために、E C C 制御回路 2 5 中のデータバス入力テスト制御回路 2 6 によって、8 ビットのデータ中の最初の 4 ビットのデータ ( D 0 , D 1 , D 2 , D 3 ) の通過を遮断する。

【 0 0 9 4 】

そして、テストモード書き込みの後、通常読み出しを行うと、ビット誤りが存在しないときのシンドローム ( S 0 , S 1 , S 2 , S 3 ) は、式 ( 7 ) を式 ( 4 ) に代入して求められ、( 0 , 0 , 0 , 0 ) ではなく ( D 0 , D 1 , D 2 , D 3 ) と等しくなる。つまり、

50

外部から入力するデータビットにより任意のシンδροームを設定できる。

【0095】

次に、回路動作について説明する。テストモード書き込みを行うときは、データバス入力制御回路10は、データバス2の8ビットのデータをECC回路25内に入力する。データバス入力テスト制御回路26は、ECCコード・シンδροーム生成回路16への出力を“0”に固定する。ECCコード入力制御回路11は、ECC回路25への入力を“0”に固定する。式(7)に対応するECCコード・シンδροーム生成回路16によりECCコード生成が行われ、ECCコードバス出力制御回路12からECCコードバス3へと4ビットのテスト用ECCコードが出力される。

【0096】

シンδροームを生成するときは、データバス入力制御回路10はデータバス2の8ビットのデータをECC回路25内に入力する。セクタゲート27は、入力された8ビットのデータをそのまま出力制御回路8から外部のデバイスに出力する。

【0097】

データ訂正回路17の検査を行なうためには、データビットD0, D1, D2, D4を、対応して修正するシンδροームS0, S1, S2, S3と同じパターンにする。つまり、図9に示すシンδροームS0, S1, S2, S3のパターンの各行と同じパターンにすれば複合機能の検査を行なうことができる。例として、データビットD0, D1, D2, D4を図9のシンδροームS0, S1, S2, S3の1行目に示しているパターン(1, 0, 1, 1)にしてテストモード書き込みを行ない、通常読み出しを行なうと、シンδροームS0, S1, S2, S3は(1, 0, 1, 1)になるので、対応するデータであるD0の値は反転して出力される。その結果、読み出されるデータビットD0, D1, D2, D4が(0, 0, 1, 1)であることを確認することにより、データビットD0を訂正する複合機能の検査を行なうことができる。

【0098】

このように第4の実施形態によれば、対応する訂正ビットが存在するシンδροームが生成されるようにECCコードビットを設定する手段を設けることにより、ECC回路25中の複合機能の検査を行なうことができ、ECC回路搭載半導体記憶装置の信頼性を確保することができる。

【0099】

また、ECCコード記憶領域9bの検査を行うためには、データビットD0, D1, D2, D3を全て“1”にしてテストモード書き込みを行う。ビット誤りが存在しない場合でもシンδροームは(0, 0, 0, 0)ではなく(1, 1, 1, 1)になる。この(1, 1, 1, 1)というシンδροームは、

1. 対応して修正するビットは存在しない  
 2. ECCコードに1ビット誤りが存在すると、シンδροームの1ビットが反転し、対応するデータビットの訂正を必ず行う  
 という2つの特徴がある。そのため、通常読み出し時に、ビット誤りが存在しない場合、書き込みを行ったデータと同じデータを読み出すことができる。

【0100】

しかしながら、ECCコード(C0, C1, C2, C3)に誤りが1ビット存在すると、シンδροーム(S0, S1, S2, S3)は

(1, 0, 1, 1) (C1が誤っているとき)

(1, 1, 0, 1) (C2が誤っているとき)

(1, 1, 1, 0) (C3が誤っているとき)

(0, 1, 1, 1) (C0が誤っているとき)

のいずれかになり、通常読み出し時にそれぞれD0, D1, D2, D3が反転され出力される。すなわち、ECCコード中の1つのビットの不良が検出され、ECCコード記憶領域の検査を行うことができる。

【0101】

10

20

30

40

50



## 【 0 1 0 3 】

以上のように、第 4 の実施形態によれば、対応する訂正ビットが存在しないシンδροームが生成されるように E C C コードビットを設定する手段を設けることにより、メモリセルアレイ 5 内の E C C コード領域 9 a の検査を行うことができ、E C C 回路搭載半導体記憶装置の信頼性を確保することができる。

## 【 0 1 0 4 】

## 【発明の効果】

本発明の E C C 回路搭載半導体記憶装置によると、E C C 回路自体の構成の簡略化を図りつつ、各種の検査パターンを自在に盛り込むことを可能にすることにより、機能の高い半導体記憶装置の提供を図ることができる。

10

## 【 0 1 0 5 】

本発明の E C C 回路搭載半導体記憶装置の検査方法によると、半導体記憶装置の信頼性を確保するための検査を簡便に行なうことができる。

## 【図面の簡単な説明】

【図 1】 本発明の第 1 の実施形態における E C C 回路搭載半導体記憶装置の構成を概略的に示すブロック図である。

【図 2】 本発明の第 1 の実施の形態における E C C 回路の回路図である。

【図 3】 本発明の第 1 の実施形態における E C C コードバス入力制御回路の構成を概略的に示す回路図である。

【図 4】 本発明の第 2 の実施形態におけるメモリセルアレイの構成を模式的に示す図である。

20

【図 5】 本発明の第 2 の実施形態におけるメモリセルアレイにチェッカーパターンを書き込んだ状態を示す図である。

【図 6】 本発明の第 3 の実施形態における E C C 回路搭載半導体記憶装置の構成を概略的に示すブロック図である。

【図 7】 本発明の第 3 の実施形態の変形例における E C C 回路搭載半導体記憶装置の構成を概略的に示すブロック図である。

【図 8】 本発明の第 4 の実施形態における E C C 回路の回路図である。

【図 9】 本発明の第 5 の実施形態における誤りビットとシンδροームとの関係を示す図である。

30

【図 1 0】 第 1 の従来例における E C C 回路搭載半導体記憶装置の構成を概略的に示すブロック図である。

【図 1 1】 第 2 の従来例における E C C 回路搭載半導体記憶装置の構成を概略的に示すブロック図である。

【図 1 2】 従来例における誤りビットとシンδροームとの関係を示す図である。

## 【符号の説明】

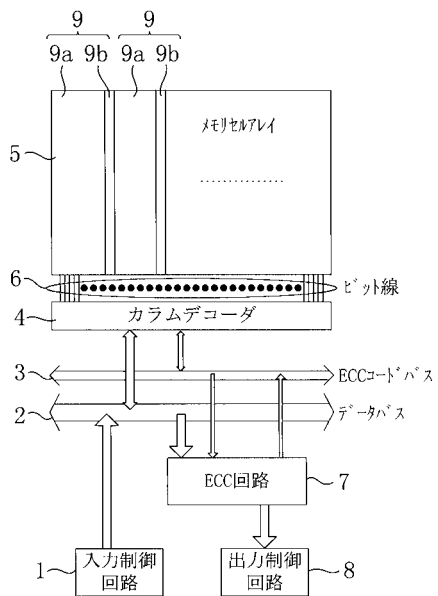
- 1 入力制御回路
- 2 データバス
- 3 E C C コードバス
- 4 カラムデコーダ
- 5 メモリセルアレイ
- 6 ビット線群
- 7 E C C 回路
- 8 出力制御回路
- 9 メモリブロック
- 9 a データ記憶領域
- 9 b E C C コード記憶領域
- 1 0 データバス入力制御回路
- 1 1 E C C コードバス入力制御回路
- 1 2 E C C コードバス出力制御回路

40

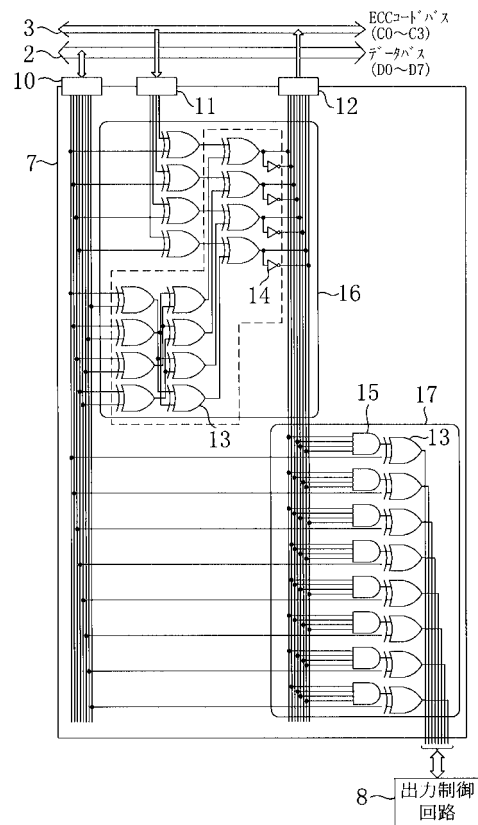
50

- 1 3 排他的論理和ゲート
- 1 4 インバータゲート
- 1 5 論理積ゲート
- 1 6 E C Cコード・シンドローム生成回路
- 1 7 データ訂正回路
- 1 8 C M O Sトランスファゲート
- 1 9 Nチャネル型M O Sトランジスタ
- 2 1 単位ワードブロック
- 2 2 テスト回路
- 2 3 C P U
- 2 5 E C C回路
- 2 6 データバス入力テスト制御回路
- 2 7 セレクタゲート

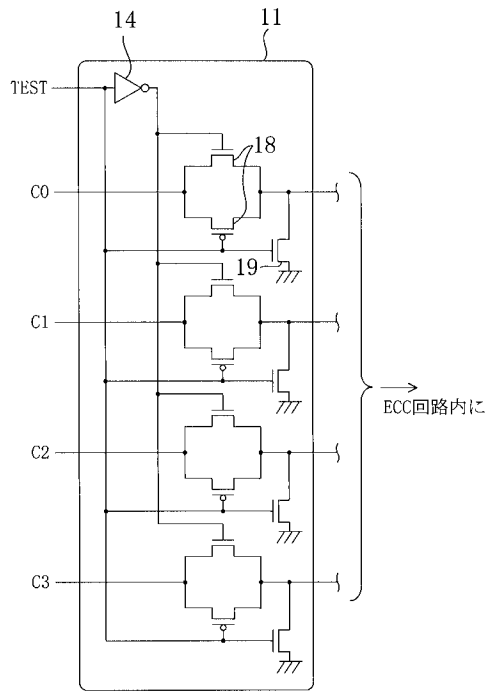
【 図 1 】



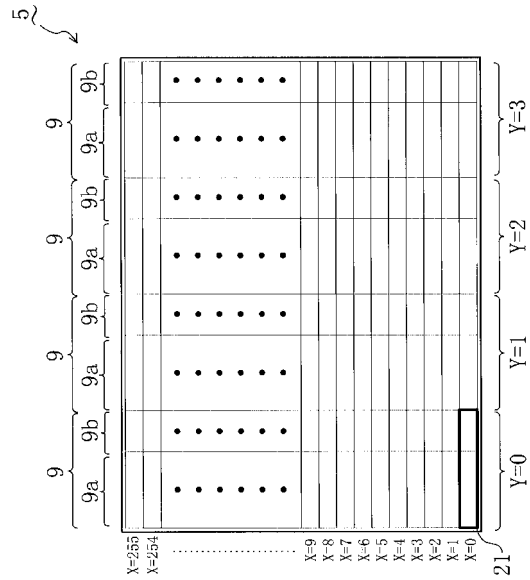
【 図 2 】



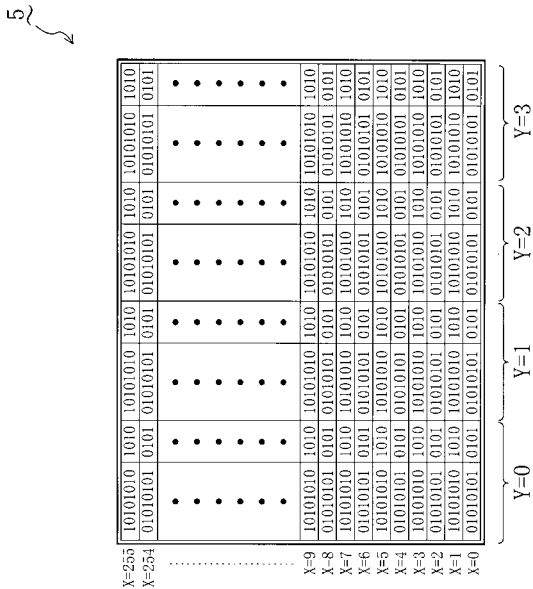
【 図 3 】



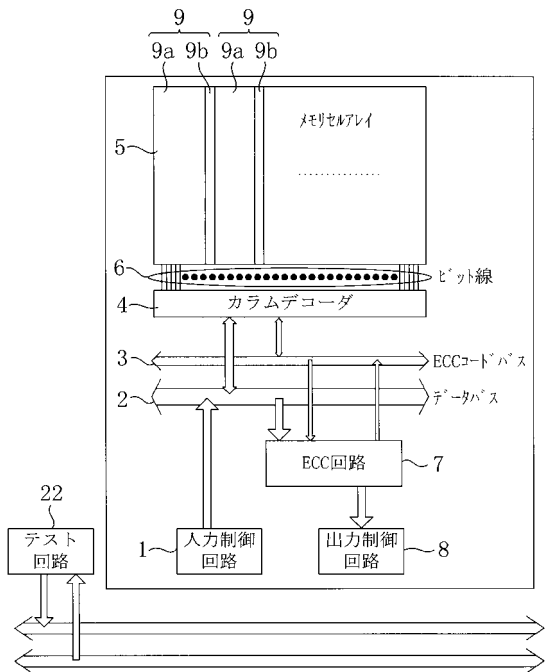
【 図 4 】



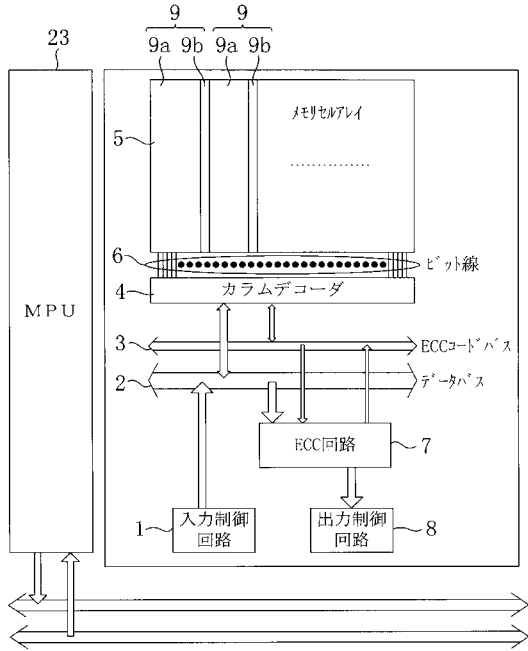
【 図 5 】



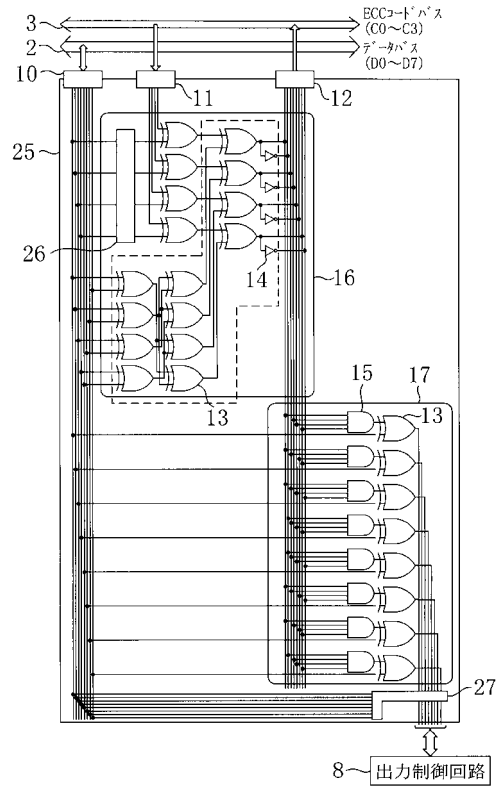
【 図 6 】



【図7】



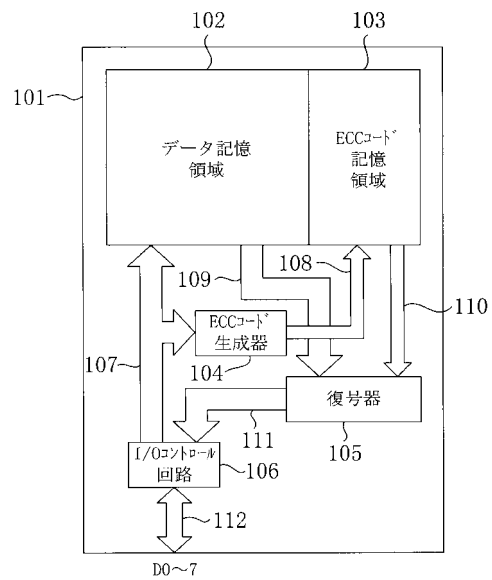
【図8】



【図9】

誤りビット	シンδροーム			
	S0	S1	S2	S3
1 0 0 0 0 0 0 0	1	0	1	1
0 1 0 0 0 0 0 0	1	1	0	1
0 0 1 0 0 0 0 0	1	1	1	0
0 0 0 1 0 0 0 0	0	1	1	1
0 0 0 0 1 0 0 0	0	1	1	0
0 0 0 0 0 1 0 0	1	1	0	0
0 0 0 0 0 0 1 0	1	0	0	1
0 0 0 0 0 0 0 1	0	0	1	1

【図10】





フロントページの続き

(58)調査した分野(Int.Cl. , D B名)

G11C 29/00